



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0047642
(43) 공개일자 2011년05월09일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0104352

(22) 출원일자 2009년10월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

이용덕

경기 파주시 교하읍 야당2리 아침마을자유로아이
파크아파트 107-703

정기열

경기 파주시 아동동 팜스프링아파트 111동 2306호

(74) 대리인

특허법인로알

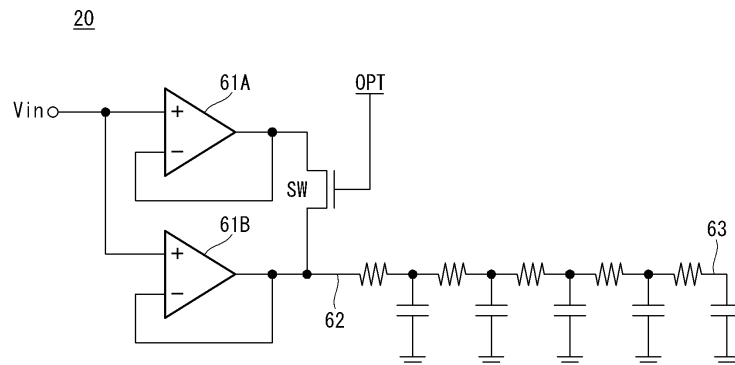
전체 청구항 수 : 총 7 항

(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 화소 어레이의 데이터라인들에 데이터전압을 공급하기 위한 다수의 소스 드라이브 IC들; 및 상기 게이트라인들에 게이트펄스를 순차적으로 공급하기 위한 게이트 구동회로를 구비한다. 상기 소스 드라이브 IC들 중 적어도 어느 하나의 제1 출력 채널은 상기 제1 데이터라인에 연결된 다중 버퍼를 포함한다.

대표도 - 도6



특허청구의 범위

청구항 1

데이터라인들과 게이트라인들이 교차되고 그 라인들의 교차 구조에 의해 매트릭스 형태의 액정셀들이 배열되고 TFT들이 이웃한 데이터라인들에 지그재그 형태로 접속된 화소 어레이를 포함한 액정표시패널;

상기 데이터라인들에 데이터전압을 공급하기 위한 다수의 소스 드라이브 IC들; 및

상기 게이트라인들에 게이트펄스를 순차적으로 공급하기 위한 게이트 구동회로를 구비하고,

상기 소스 드라이브 IC들 중 적어도 어느 하나의 제1 출력 채널은 상기 제1 데이터라인에 연결된 다중 버퍼를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 화소 어레이의 일측 끝단에 배치된 제1 데이터라인과, 상기 화소 어레이의 타측 끝단에 배치된 더미 데이터라인을 연결하는 우회라인을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 소스 드라이브 IC들은 상기 제1 데이터라인과 상기 더미 데이터라인 이외의 데이터라인들과 1:1로 연결된 제2 출력채널들을 구비하고,

상기 제2 출력채널 각각은 상기 데이터라인에 연결된 단일 버퍼를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 소스 드라이브 IC들 중 적어도 어느 하나는 상기 다중 버퍼를 제어하기 위한 옵션단자를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 다중 버퍼는,

2 개 이상의 버퍼들; 및

상기 옵션단자의 전압에 따라 상기 버퍼들의 출력단자들을 선택적으로 연결하기 위한 스위치소자들을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 스위치소자들은,

상기 옵션단자의 전압에 따라 제1 버퍼의 출력단자와 제2 버퍼의 출력단자를 선택적으로 연결하는 제1 스위치소자를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 스위치소자들은,

상기 옵션단자의 전압에 따라 상기 제2 버퍼와 제3 버퍼의 출력단자를 선택적으로 연결하는 제2 스위치소자를

더 구비하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 영상을 표시한다.

[0003] 패널 구조에 따라 하나의 표시패널 내에서 데이터라인들의 길이가 달라질 수 있다. 예를 들어, 데이터 구동회로의 제1 출력채널에 연결된 제1 데이터라인의 길이가 그 데이터 구동회로의 제2 출력채널에 연결된 제2 데이터라인의 길이보다 긴 예를 가정하면, 제1 데이터라인은 제2 데이터라인에 비하여 더 큰 저항값(Resistance Value, R)을 가지며, 또한 더 많은 액정셀들과 커플링되고 더 많은 게이트라인들과의 커플링되어 더 큰 정전용량값(Capacitance Value, C)을 가진다. 이 때문에 제1 데이터라인을 통해 액정셀들에 공급되는 데이터전압의 지연량이 커져 화질이 열화될 수 있다.

[0004] 본원 출원인은 대한민국 특허출원 제10-2002-0021792호(2002. 04. 20), 제10-2002-0021795호(2002. 04. 20), 제10-2002-0070305(2002. 11. 13)호 등을 통해 화소 어레이에서 컬럼 방향(또는 수직 라인 방향)을 따라 배열되는 TFT들을 좌우 인접한 데이터라인들에 지그재그 형태로 접속하여 컬럼 인버전 타입의 소스 드라이브 IC를 이용하여 액정셀들을 도트 인버전으로 구동하는 액정표시장치를 제안한 바 있다. 이 액정표시장치는 1 프레임기간 동안 소스 드라이브 IC의 출력채널을 통해 액정표시패널의 데이터라인들에 공급되는 데이터전압의 극성을 동일하게 유지하므로 소스 드라이브 IC의 발열 온도와 소비전력을 줄일 수 있고, 액정셀들에 충전되는 데이터전압의 극성을 도트 인버전 형태로 반전시킴으로써 플리커를 최소화할 수 있는 등의 장점이 많다. 이러한 액정표시장치에서, 데이터라인들의 길이가 다르면 전술한 바와 같이 화질이 열화될 수 있다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명은 데이터 구동회로의 출력채널들에 연결된 데이터라인들의 데이터 지연량이 다를 때 초래되는 화질 열화를 방지하도록 한 액정표시장치를 제공한다.

과제 해결수단

[0006] 본 발명의 액정표시장치는 데이터라인들과 게이트라인들이 교차되고 그 라인들의 교차 구조에 의해 매트릭스 형태의 액정셀들이 배열되고 TFT들이 이웃한 데이터라인들에 지그재그 형태로 접속된 화소 어레이를 포함한 액정표시패널; 상기 데이터라인들에 데이터전압을 공급하기 위한 다수의 소스 드라이브 IC들; 및 상기 게이트라인들에 게이트펄스를 순차적으로 공급하기 위한 게이트 구동회로를 구비한다. 상기 소스 드라이브 IC들 중 적어도 어느 하나의 제1 출력 채널은 상기 제1 데이터라인에 연결된 다중 버퍼를 포함한다.

효과

[0007] 본 발명은 데이터 지연량이 큰 데이터라인에 연결된 소스 드라이브 IC의 출력 채널에 다중 버퍼를 연결하여 데이터라인들의 데이터 지연량을 실질적으로 동일하게 한다. 그 결과, 본 발명은 데이터 구동회로의 출력채널들에 연결된 데이터라인들의 데이터 지연량이 다를 때 초래되는 화질 열화를 방지할 수 있다. 특히, 본 발명은

컬럼 인버전으로 극성이 반전되는 데이터전압을 출력하는 소스 드라이브 IC를 이용하여 액정표시패널을 도트 인버전으로 구동하는 액정표시장치의 제1 데이터라인과 더미 데이터라인을 연결하고, 제1 데이터라인에 연결된 소스 드라이브 IC의 제1 출력 채널에 상기 다중 버퍼를 연결하여 상기 액정표시장치의 화질 열화를 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0008] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0009] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 화소 어레이(10)가 형성된 액정표시패널, 소스 드라이브 IC(12), 및 타이밍 콘트롤러(11)를 구비한다.
- [0010] 액정표시패널은 액정층을 사이에 두고 대향하는 상부 유리기관과 하부 유리기관을 포함한다. 액정표시패널의 하부 유리기관은 화소 어레이(10)를 포함한다. 화소 어레이(10)는 데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 액정셀들을 포함하여 비디오 데이터를 표시한다. 화소 어레이(10)는 데이터라인들과 게이트라인들의 교차부마다 형성되는 TFT들과, TFT에 접속된 화소전극을 포함한다. 화소 어레이(10)의 TFT들은 컬럼 방향에서 볼 때 지그재그 형태로 이웃하는 데이터라인들에 접속된다. 화소 어레이(10)의 액정셀들 각각은 TFT를 통해 데이터전압(도 3 및 도 5의 RGB)을 충전하는 화소전극과 공통전압(도 9의 VCOM)이 인가되는 공통전극의 전압차에 의해 구동되어 빛의 투과량을 조정함으로써 비디오 데이터의 화상을 표시한다.
- [0011] 액정표시패널의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 유리기관 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부 유리기관 상에 형성된다.
- [0012] 액정표시패널의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0013] 본 발명의 액정표시장치는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드으로도 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0014] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되어 TAB(Tape Automated Bonding) 공정에 의해 액정표시패널의 하부 유리기관에 접합되고, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정표시패널의 하부 유리기관 상에 직접 접착될 수도 있다.
- [0015] 소스 드라이브 IC들(12) 중에서 제1 소스 드라이브 IC(12)의 제1 출력채널은 화소 어레이(10)의 최좌측에 위치하는 제1 데이터라인(D1)과, 화소 어레이(10)의 최우측 더미 데이터라인(DDL)에 연결된다. 제1 소스 드라이브 IC(12)에서, 제1 출력채널을 제외한 나머지 출력채널들은 화소 어레이(10)의 데이터라인들에 1:1로 접속된다. 또한, 소스 드라이브 IC들(12) 중에서 제1 소스 드라이브 IC(12)를 제외한 다른 소스 드라이브 IC들(12)의 출력채널들은 화소 어레이(10)의 데이터라인들에 1:1로 접속된다. 따라서, 제1 소스 드라이브 IC(12)의 제1 출력채널에 연결된 데이터라인들(D1,DDL)은 다른 데이터라인들에 비하여 RC 지연이 더 크다.
- [0016] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터를 입력받는다. 그리고 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 데이터 출력채널들을 통해 화소 어레이(10)의 데이터라인들에 공급한다. 이 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 이웃한 데이터라인들에 서로 상반된 극성의 데이터전압들을 공급하고, 각각의 데이터라인들에 공급되는 데이터전압의 극성을 1 프레임기간 동안 동일하게 유지한다. 따라서, 소스 드라이브 IC들(12)은 도 3 및 도 5와 같이 극성이 컬럼 인버전 형태로 반전되

는 데이터전압들을 출력한다.

- [0017] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터의 게이트 타이밍 제어신호에 응답하여 화소 어레이(10)의 게이트라인들에 게이트펄스를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP(Tape Carrier Package) 상에 실장되어 TAB 공정에 의해 액정표시패널의 하부 유리기관에 접합되거나, GIP(Gate In Panel) 공정에 의해 화소 어레이(10)와 동시에 액정표시패널의 하부 유리기관 상에 직접 형성될 수 있다. 게이트 구동회로(13A, 13B)는 화소 어레이(10)의 양측에 배치되거나 화소 어레이(10)의 일측에 배치될 수 있다.
- [0018] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 입력되는 디지털 비디오 데이터를 소스 드라이브 IC들(12)에 공급한다. 그리고 타이밍 콘트롤러(11)는 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기판(17)을 통해 연결된다.
- [0019] 화소 어레이(10)의 좌측에 배치된 제1 데이터라인(D1)과, 화소 어레이(10)의 우측에 배치된 더미 데이터라인(DDL)은 우회라인(SL)을 경유하여 연결된다. 우회라인(SL)은 제1 소스 드라이브 IC가 실장된 제1 TCP(15), 소스 PCB(14), 및 제N(N은 2 이상의 양의 정수) TCP(15)를 경유하여 제1 데이터라인(D1)과 더미 데이터라인(DDL)을 연결한다. 제N TCP(15)는 화소 어레이(10)의 우측 상단에 접촉된다. 제N TCP(15)에는 제N 소스 드라이브 IC가 실장된다.
- [0020] 도 2는 화소 어레이(10)의 제1 실시예를 보여 주는 등가 회로도이다.
- [0021] 도 2를 참조하면, 화소 어레이(10)는 $m \times n$ 해상도에서 서로 교차되는 m 개의 데이터라인들(D1~Dm, DDL)과 n 개의 게이트라인들(G1~Gn), 매트릭스 형태로 배치되는 화소전극(PE1~PE4), 및 화소전극(PE1~PE4)에 1:1로 접속되는 TFT들(T1~T4)을 포함한다. 적색 서브픽셀(R)의 액정셀들은 화소 어레이(10)의 $3i+1$ 번째 컬럼에 배치된다. 녹색 서브픽셀(G)의 액정셀들은 화소 어레이(10)의 $3i+2$ 번째 컬럼에 배치된다. 청색 서브픽셀(B)의 액정셀들은 화소 어레이(10)의 $3i+3$ 번째 컬럼에 배치된다. TFT(T1~T4) 각각은 게이트라인(G1~Gn)으로부터의 게이트펄스에 응답하여 데이터라인(D1~Dm, DDL)으로부터의 데이터전압을 화소전극(PE1~PE4)에 공급한다. 화소 어레이의 컬럼들 각각에서 TFT들(T1~T4)은 좌우에 이웃하는 데이터라인들(D1~Dm, DDL) 사이에서 지그재그 형태로 배치된다. 데이터라인들(D1~Dm, DDL) 각각에는 실선과 점선 화살표와 같이 1 프레임기간 동안 동일한 극성의 데이터전압들이 공급되지만, 수직 및 수평 방향으로 이웃하는 액정셀들에는 서로 상반된 극성의 데이터전압이 공급된다. 따라서, 액정셀들에 충전되는 데이터 전압들의 극성 패턴은 도트 인버전으로 구현된다.
- [0022] 화소 어레이의 상단 좌측에 배치되는 2×2 액정셀들의 예를 들어 도 2에 도시된 TFT들(T1~T4)의 접속관계를 상세히 설명하기로 한다.
- [0023] 화소 어레이(10)의 기수 수평라인들에는 제1 내지 제m 데이터라인들(D1~Dm)의 우측에 배치된 화소전극(PE1, PE2)을 데이터라인들(D1~Dm)에 접속시키기 위한 TFT들(T1, T2)이 배치된다. 제1 TFT(T1)의 드레인전극은 제1 데이터라인(D1)과 더미 데이터라인(DDL)에 접속되고 그 소스전극은 제1 데이터라인(D1)의 우측에 배치된 제1 화소전극(PE1)에 접속된다. 제2 TFT(T2)의 드레인전극은 제2 데이터라인(D2)에 접속되고 그 소스전극은 제2 데이터라인(D2)의 우측에 배치된 제2 화소전극(PE2)에 접속된다. 제1 및 제2 TFT(T1, T2)의 게이트전극들은 제1 게이트라인(G1)에 접속된다.
- [0024] 화소 어레이(10)의 우수 수평라인들에는 제2 내지 제m 데이터라인들(D1~Dm)과 더미 데이터라인(DDL)의 좌측에 배치된 화소전극(PE3, PE4)을 그 데이터라인들(D2~Dm, DDL)에 접속시키기 위한 TFT들(T3, T4)이 배치된다. 제3 TFT(T3)의 드레인전극은 제2 데이터라인(D2)에 접속되고 그 소스전극은 제2 데이터라인(D2)의 좌측에 배치된 제3 화소전극(PE3)에 접속된다. 제4 TFT(T4)의 드레인전극은 제3 데이터라인(D3)에 접속되고 그 소스전극은 제3 데이터라인(D3)의 좌측에 배치된 제4 화소전극(PE4)에 접속된다. 제3 및 제4 TFT(T1, T4)의 게이트전극들은 제2 게이트라인(G2)에 접속된다.
- [0025] 우수 수평라인들의 우측 끝단에 위치하는 끝단 TFT들은 더미 데이터라인(DDL)에 접속되어 제1 소스 드라이브 IC(12)의 제1 출력채널을 통해 공급되는 데이터전압(B_{END})을 우측 끝단 화소전극들에 공급한다.
- [0026] 도 3은 도 2와 같은 화소 어레이(10)를 구동하기 위한 소스 드라이브 IC들(12)의 출력을 보여 주는 파형도이다.
- [0027] 도 2 및 도 3을 참조하면, 소스 드라이브 IC들(12)은 이웃한 데이터라인들에 서로 상반된 극성의 데이터전압들을 출력함과 아울러, 각각의 데이터라인에 공급되는 데이터전압의 극성을 1 프레임 기간 동안 동일하게 한다.

도 3에서 "+"는 정극성 데이터전압을 의미하며, "-"는 부극성 데이터전압을 의미한다. "R"은 적색 서브픽셀의 액정셀에 공급되는 적색 데이터전압, "G"는 녹색 서브픽셀의 액정셀에 공급되는 녹색 데이터전압, 그리고 "B"는 청색 서브픽셀의 액정셀에 공급되는 청색 데이터전압이다. "B_{END}"는 더미 데이터라인(DDL)을 통해 인가되는 데이터전압들이다.

- [0028] 제1 데이터라인(D1)과 더미 데이터라인(DDL)에는 기수 수평기간 동안 화소 어레이(10)의 제1 컬럼과 기수 수평라인의 교차부에 형성된 액정셀들에 충전될 데이터전압(+R)이 공급된다. 기수 게이트라인들(G1, G3)에는 기수 수평기간에 게이트펄스가 공급된다. 제1 데이터라인(D1)과 더미 데이터라인(DDL)에는 우수 수평기간 동안 화소 어레이(10)의 제_m(_m은 N보다 작은 양의 정수) 컬럼과 우수 수평라인의 교차부에 형성된 액정셀들에 충전될 데이터전압(B_{END})이 공급된다. 우수 게이트라인들(G2, G4)에는 우수 수평기간에 게이트펄스가 공급된다.
- [0029] 타이밍 컨트롤러(10)는 소스 드라이브 IC(12)로부터 도 3과 같이 데이터전압들이 출력될 수 있도록 메모리를 이용하여 디지털 비디오 데이터의 정렬 순서를 재정렬할 수 있다.
- [0030] 도 4는 화소 어레이(10)의 제2 실시예를 보여 주는 등가 회로도이다.
- [0031] 도 4를 참조하면, 화소 어레이(10)는 데이터라인들(D1~D_m)과 게이트라인들(G1~G3_n), 매트릭스 형태로 배치되는 화소전극(PE1~PE4), 및 화소전극에 1:1로 접속되는 TFT들(T1~T4)을 포함한다. 적색 서브픽셀의 액정셀들은 화소 어레이(10)의 3i(i는 양의 정수)+1 번째 수평라인(LINE#1, LINE#4)에 배치된다. 녹색 서브픽셀의 액정셀들은 화소 어레이(10)의 3i+2 번째 수평 라인(LINE#2)에 배치된다. 청색 서브픽셀(B)의 액정셀들은 화소 어레이(10)의 3i+3 번째 수평 라인(LINE#3, LINE#3_n)에 배치된다.
- [0032] 화소 어레이의 컬럼들 각각에는 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀의 순으로 3 원색의 서브픽셀들이 배치된다. TFT 각각은 게이트라인(G1~G_n)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D_m)으로부터의 데이터전압을 화소전극(PE1~PE4)에 공급한다. 화소 어레이의 컬럼들 각각에서 TFT들은 좌우에 이웃하는 데이터라인들 사이에서 지그재그 형태로 배치된다. 데이터라인들(D1~D_m) 각각에는 실선과 점선 화살표와 같이 1 프레임기간 동안 동일한 극성의 데이터전압들이 공급되지만, 수직 및 수평 방향으로 이웃하는 액정셀들에는 서로 상반된 극성의 데이터전압이 공급된다. 따라서, 액정셀들에 충전되는 데이터 전압들의 극성 패턴은 도트 인버전으로 구현된다.
- [0033] 화소 어레이의 상단 좌측에 배치되는 2×2 액정셀들의 예를 들어 도 4에 도시된 TFT들(T1~T4)의 접속관계를 상세히 설명하기로 한다.
- [0034] 기수 수평라인들(LINE#1, LINE#3)에는 제1 내지 제_m 데이터라인들(D1~D_m)의 우측에 배치된 화소전극(PE1, PE2)을 데이터라인들(D1~D_m)에 접속시키기 위한 TFT들(T1, T2)이 배치된다. 제1 TFT(T1)의 드레인전극은 제1 데이터라인(D1)에 접속되고 그 소스전극은 제1 데이터라인(D1)의 우측에 배치된 제1 화소전극(PE1)에 접속된다. 제2 TFT(T2)의 드레인전극은 제2 데이터라인(D2)에 접속되고 그 소스전극은 제2 데이터라인(D2)의 우측에 배치된 제2 화소전극(PE2)에 접속된다. 제1 및 제2 TFT(T1, T2)의 게이트전극들은 제1 게이트라인(G1)에 접속된다.
- [0035] 우수 수평라인들(LINE#2, LINE#4)에는 제2 내지 제_m 데이터라인들(D1~D_m)과 더미 데이터라인(DDL)의 좌측에 배치된 화소전극(PE3, PE4)을 그 데이터라인들(D1~D_m, DDL)에 접속시키기 위한 TFT들(T3, T4)이 배치된다. 제3 TFT(T3)의 드레인전극은 제2 데이터라인(D2)에 접속되고 그 소스전극은 제2 데이터라인(D2)의 좌측에 배치된 제3 화소전극(PE3)에 접속된다. 제4 TFT(T4)의 드레인전극은 제3 데이터라인(D3)에 접속되고 그 소스전극은 제3 데이터라인(D3)의 좌측에 배치된 제4 화소전극(PE4)에 접속된다. 제3 및 제4 TFT(T3, T4)의 게이트전극들은 제2 게이트라인(G2)에 접속된다.
- [0036] 우수 수평라인들의 우측 끝단에 위치하는 끝단 TFT들은 더미 데이터라인(DDL)에 접속되어 제1 소스 드라이브 IC(12)의 제1 출력채널을 통해 공급되는 데이터전압(R_{END}, G_{END}, B_{END})을 우측 끝단 화소전극들에 공급한다.
- [0037] 도 4에 도시된 화소 어레이(10)는 도 2에 도시된 화소 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/3로 줄일 수 있고, 필요한 소스 드라이브 IC들(12)의 개수도 1/3로 줄일 수 있다.
- [0038] 도 5는 도 4에 도시된 화소 어레이(10)를 구동하기 위한 소스 드라이브 IC들(12)의 출력을 보여 주는 파형도이다.
- [0039] 도 4 및 도 5를 참조하면, 소스 드라이브 IC들(12)은 이웃한 데이터라인들에 서로 상반된 극성의 데이터전압들을 출력함과 아울러, 각각의 데이터라인에 공급되는 데이터전압의 극성을 1 프레임 기간 동안 동일하게 한다.

도 3에서 "+"는 정극성 데이터전압을 의미하며, "-"는 부극성 데이터전압을 의미한다. "R"은 적색 서브픽셀의 액정셀에 공급되는 적색 데이터전압, "G"는 녹색 서브픽셀의 액정셀에 공급되는 녹색 데이터전압, 그리고 "B"는 청색 서브픽셀의 액정셀에 공급되는 청색 데이터전압이다. "R_{END}, G_{END}, B_{END}"는 더미 데이터라인(DDL)을 통해 인가되는 데이터전압들이다.

[0040] 제1 데이터라인(D1)과 더미 데이터라인(DDL)에는 기수 수평기간 동안 화소 어레이(10)의 제1 컬럼과 기수 수평라인의 교차부에 형성된 액정셀들에 충전될 데이터전압(+R)이 공급된다. 기수 게이트라인들(G1, G3)에는 기수 수평기간에 게이트펄스가 공급된다. 제1 데이터라인(D1)과 더미 데이터라인(DDL)에는 우수 수평기간 동안 화소 어레이(10)의 제_m 컬럼과 우수 수평라인의 교차부에 형성된 액정셀들에 충전될 데이터전압(R_{END}, G_{END}, B_{END})이 공급된다. 우수 게이트라인들(G2, G4)에는 우수 수평기간에 게이트펄스가 공급된다.

[0041] 타이밍 컨트롤러(11)는 소스 드라이브 IC(12)로부터 도 5와 같이 데이터전압들이 출력될 수 있도록 메모리를 이용하여 디지털 비디오 데이터의 정렬 순서를 재정렬할 수 있다.

[0042] 소스 드라이브 IC들(12)의 모든 출력채널들의 전류 구동 능력이 동일하다면, 제1 소스 드라이브 IC(12)의 제1 출력채널을 통해 출력되는 데이터전압은 다른 출력채널들을 통해 출력되는 데이터전압에 비하여 더 많이 지연된다. 이는 제1 소스 드라이브 IC(12)의 제1 출력채널에는 제1 데이터라인과 더미 데이터라인이 연결되어 RC 지연값이 크기 때문이다. 이러한 데이터 지연의 차이를 해결하기 위하여, 본 발명은 소스 드라이브 IC들(12)의 제1 출력채널에는 하나 이상의 버퍼를 선택적으로 연결한다. 하나의 출력채널에 연결되는 버퍼를 2 개 이상 연결하면 출력채널의 전류 구동능력을 그 만큼 높여 데이터 지연량을 줄일 수 있다.

[0043] 소스 드라이브 IC들(12)의 제1 출력채널은 도 2 및 도 4와 같이 데이터전압을 데이터라인들(D1~D_m, DDL)에 공급하기 위한 다중 버퍼(20)를 구비한다. 다중 버퍼(20)는 도 6 및 도 7과 같이 선택적으로 연결 가능한 두 개 이상의 버퍼들(61A~61C)을 포함한다. 소스 드라이브 IC들(12)에서 제1 출력채널을 제외한 나머지 출력채널들에는 단일 버퍼(21)를 구비한다. 단일 버퍼(21)는 도 8과 같이 기존의 버퍼 구성과 실질적으로 동일하다. 버퍼들(20,21) 각각은 연산 증폭기(Operating Amplifier, OP. amp)를 포함한 전압 추종기(Voltage follower)로 구현된다.

[0044] 도 6 및 도 7을 참조하면, 소스 드라이브 IC들(12)은 다중 버퍼(20)를 제어하기 위한 옵션단자(OPT)를 구비한다. 옵션단자(OPT)는 전원전압원(V_{cc})에 연결될 때 하이논리의 전압을 다중 버퍼(20)의 제어단자에 공급하는 반면, 기저전압원(GND)에 연결될 때 로우논리의 전압을 다중 버퍼(20)의 제어단자에 공급한다. 다중 버퍼(20)는 자신의 제어단자에 인가되는 옵션단자의 논리값에 따라 2 개 이상의 버퍼들을 선택적으로 연결한다. 도 6 및 도 7에서 도면부호 '63'은 저항과 정전용량을 포함한 데이터라인이다. 데이터라인(63)은 소스 드라이브 IC(12)의 출력노드(62)를 통해 다중 버퍼(20)에 접속된다.

[0045] 다중 버퍼(20)는 2 개 이상의 버퍼들(61A~61C)과, 버퍼들(61A~61C)의 출력단자들을 연결하기 위한 스위치소자들(SW1, SW2)을 구비한다. 스위치소자들(SW1, SW2)은 MOSFET(metal-oxide semiconductor field-effect transistor)와 같이 전기적 제어신호에 응답하여 스위칭하는 반도체 스위치소자로 구현될 수 있다.

[0046] 제1 스위치소자(SW1)는 소스 드라이브 IC(12)의 옵션단자에 접속된 게이트전극(또는 제어단자), 제1 버퍼(61A)의 출력단자에 접속된 드레인전극, 및 제2 버퍼(61B)의 출력단자에 접속된 소스전극을 포함한다. 제1 스위치소자(SW1)는 옵션단자의 전압이 하이논리일 때, 턴-온(turn-on)되어 제1 및 제2 버퍼들(61A, 61B)의 출력단자들을 데이터라인(63)에 병렬로 연결한다.

[0047] 제2 스위치소자(SW2)는 소스 드라이브 IC(12)의 옵션단자에 접속된 게이트전극, 제2 버퍼(61B)의 출력단자에 접속된 소스전극, 및 제3 버퍼(61C)의 출력단자에 접속된 드레인전극을 포함한다. 제2 스위치소자(SW2)는 옵션단자의 전압이 하논리일 때, 턴-온되어 제2 및 제3 버퍼들(61B, 61C)의 출력단자들을 데이터라인(63)에 병렬로 연결한다.

[0048] 본 발명의 발명자들은 데이터라인(63)에 다중 버퍼(20)를 연결하고 스위치 제어를 통해 데이터라인(63)에 연결되는 버퍼들의 개수를 조정하면서 데이터의 지연 정도를 확인한 실험을 행하였다. 이 실험에서, 데이터의 측정 위치는 도 9의 A 위치와 B 위치이다. A 위치는 소스 드라이브 IC(12)의 출력채널 근방이고, B 위치는 소스 드라이브 IC(12)의 출력채널로부터 가장 먼 데이터라인의 끝단 위치이다.

[0049] 이 실험 결과는 도 10과 같다. 도 10에서 '1 AMP'는 데이터라인에 하나의 버퍼가 연결된 경우이고, '2 AMP'는 데이터라인에 두 개의 버퍼가 연결된 경우이다. 그리고 '3 AMP'는 데이터라인에 세 개의 버퍼가 연결된 경우이

다. 도 10의 실험 결과에서 알 수 있듯이, 데이터라인에 연결되는 버퍼 개수를 증가시킬수록 A 및 B 측정 위치에서 데이터전압의 라이징 타임(Rising time)과 폴링 타임(Falling time)이 빨라진다. 따라서, 소스 드라이브 IC의 제1 출력채널에 2 개 이상의 버퍼들을 연결하면 제1 데이터라인(D1)과 더미 데이터라인(DDL)의 데이터 지연량을 다른 데이터라인들(D2~Dm)의 데이터 지연량 수준 만큼 줄일 수 있다.

[0050] 본 발명의 다른 실시예로써 제1 소스 드라이브 IC(12)에 다중 버퍼(20)를 설치하되, 그 다중 버퍼(20)의 버퍼들을 스위치와 옵션단자 없이 직접 연결할 수도 있다.

[0051] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0052] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 블록도이다.

[0053] 도 2는 화소 어레이의 제1 실시예를 보여 주는 도면이다.

[0054] 도 3은 도 2에 도시된 데이터라인들에 공급되는 데이터전압을 보여 주는 파형도이다.

[0055] 도 4는 화소 어레이의 제2 실시예를 보여 주는 도면이다.

[0056] 도 5는 도 4에 도시된 데이터라인들에 공급되는 데이터전압을 보여 주는 파형도이다.

[0057] 도 6 및 도 7은 본 발명의 실시예에 따른 제1 버퍼의 실시예들을 보여 주는 회로도들이다.

[0058] 도 8은 본 발명의 실시예에 따른 제2 버퍼의 실시예들을 보여 주는 회로도들이다.

[0059] 도 9는 소스 드라이브 IC로부터 출력되는 데이터전압의 측정 위치들을 보여 주는 도면이다.

[0060] 도 10은 버퍼의 연결 개수에 따른 데이터 지연량을 측정한 실험 결과를 보여 주는 도면이다.

[0061] 도면의 주요 부분에 대한 부호의 설명>

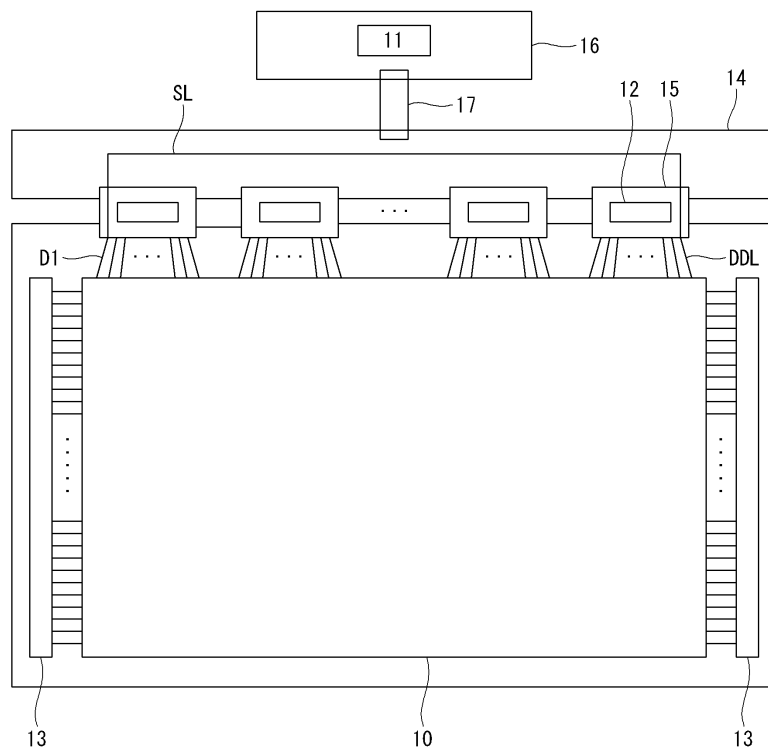
[0062] 10 : 화소 어레이 11 : 타이밍 콘트롤러

[0063] 12 : 소스 드라이브 IC 13 : 게이트 구동회로

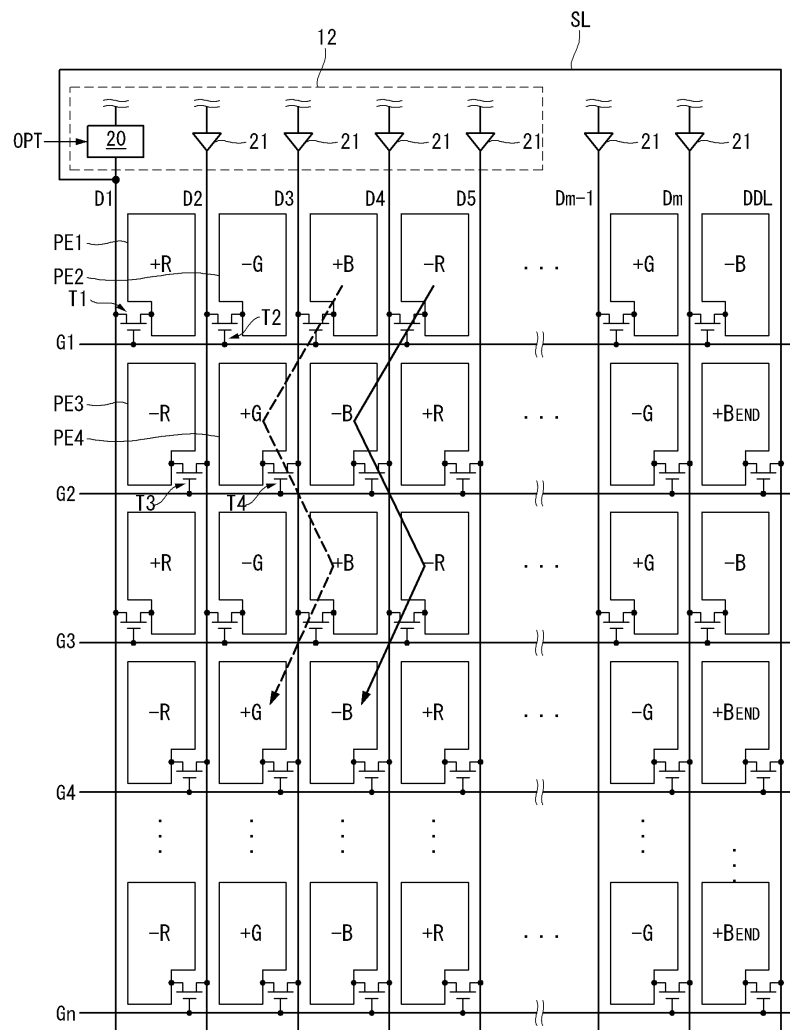
[0064] 20 : 다중 버퍼 21 : 단일 버퍼

도면

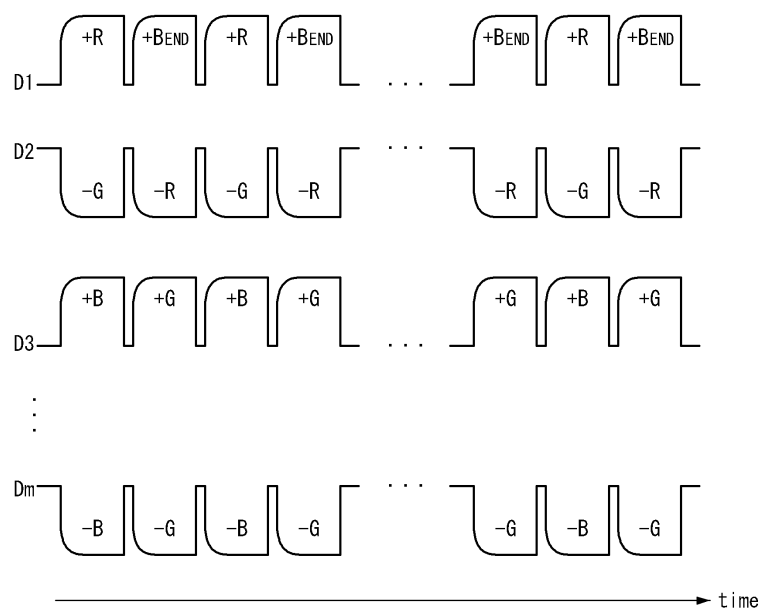
도면1



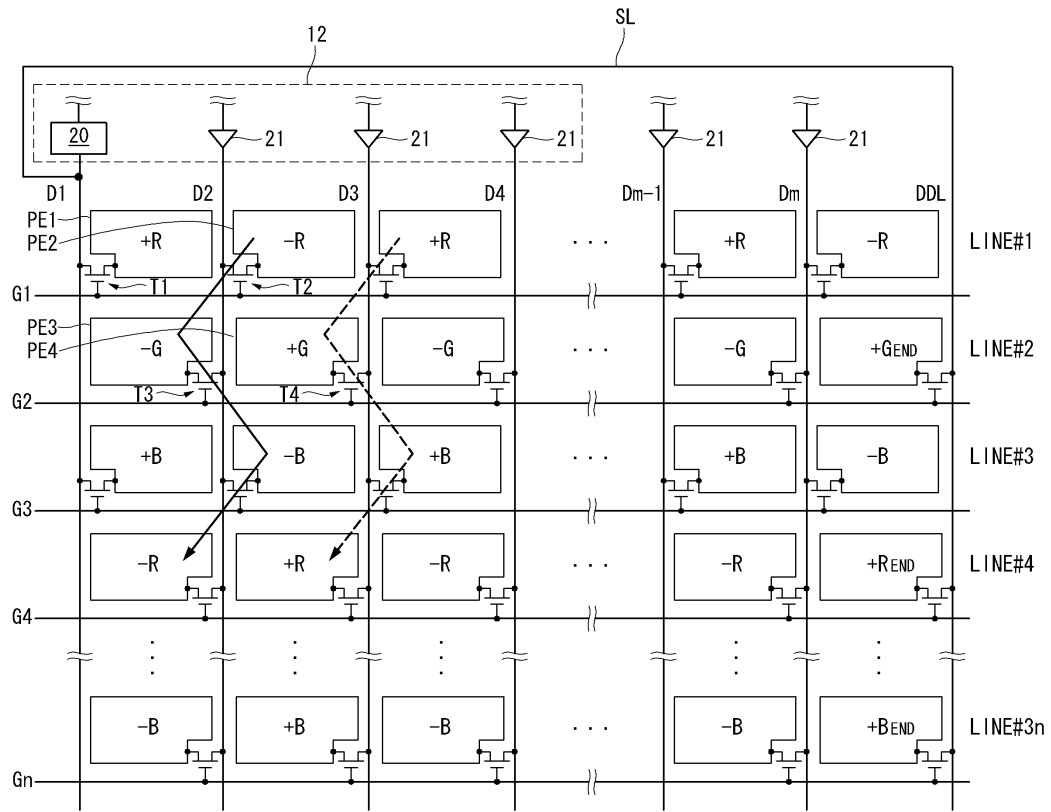
도면2



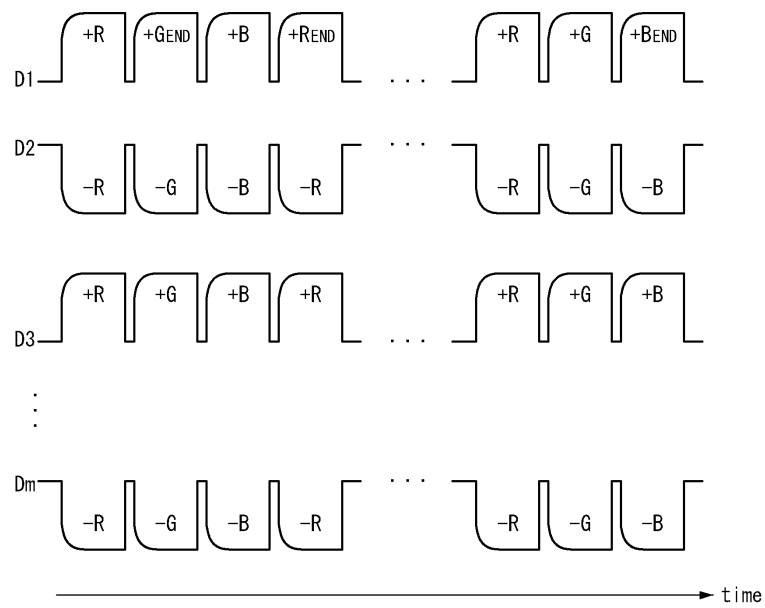
도면3



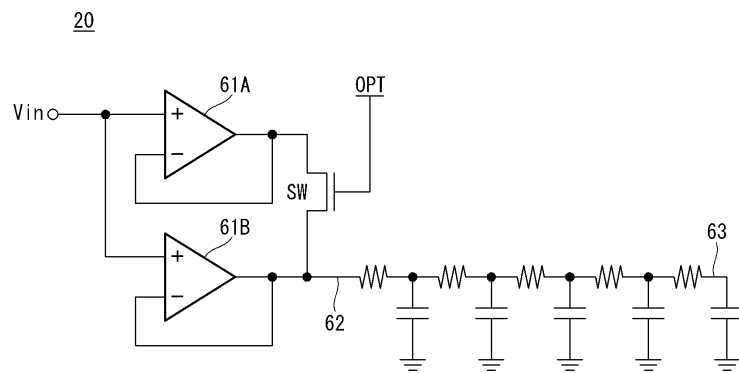
도면4



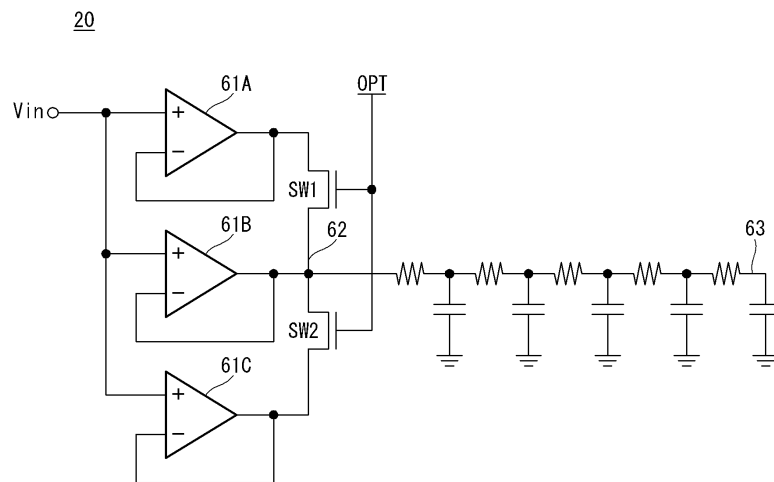
도면5



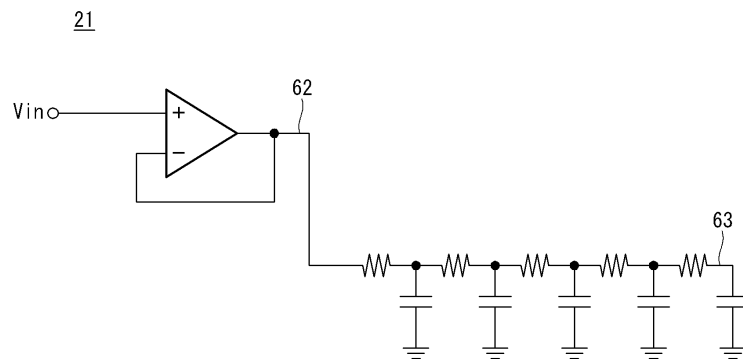
도면6



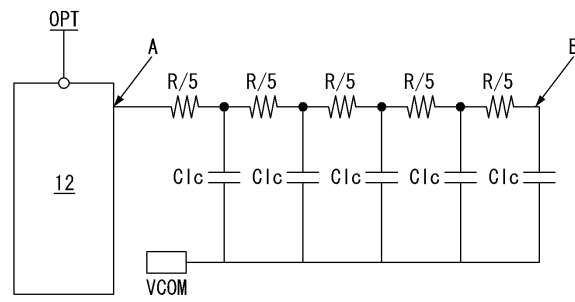
도면7



도면8



도면9



도면10

	A				B			
	High (7.78V~14.64V)		Low (0.49V~6.88V)		High (7.78V~14.64V)		Low (0.49V~6.88V)	
	Rising Time	Falling Time	Rising Time	Falling Time	Rising Time	Falling Time	Rising Time	Falling Time
1AMP	0.718	0.5942	0.5843	0.8389	1.798	1.846	1.843	1.888
2AMP	0.2955	0.1538	0.1497	0.2834	1.622	1.654	1.655	1.653
3AMP	0.1662	0.08453	0.093	0.1366	1.582	1.602	1.609	1.602

专利名称(译)	液晶显示器		
公开(公告)号	KR1020110047642A	公开(公告)日	2011-05-09
申请号	KR1020090104352	申请日	2009-10-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE YONG DUK 이용덕 CHONG KI YOL 정기열		
发明人	이용덕 정기열		
IPC分类号	G09G3/36 G02F1/133		
其他公开文献	KR101679068B1		
外部链接	Espacenet		

摘要(译)

液晶显示器本发明涉及一种液晶显示器，包括多个源驱动IC，用于向像素阵列的数据线提供数据电压；以及栅极驱动电路，用于顺序地向栅极线提供栅极脉冲。至少一个源驱动IC的第一输出通道包括耦合到第一数据线的多个缓冲器。

