



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0108301
(43) 공개일자 2010년10월06일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0027558

(22) 출원일자 2010년03월26일

심사청구일자 2010년03월26일

(30) 우선권주장

200910081003.1 2009년03월27일 중국(CN)

(71) 출원인

베이징 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드

중국 베이징 100176 비디에이 시환중로 8호

(72) 발명자

상 광리양

중국 베이징 100176 비디에이 지하우안중루 8호

(74) 대리인

리앤목특허법인

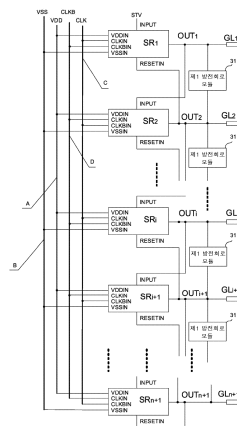
전체 청구항 수 : 총 8 항

(54) 액정 디스플레이 게이트 구동 장치

(57) 요약

본 발명은 액정 디스플레이 게이트 구동 장치에 관한 것이다. 해당 장치는 각각의 단에도 신호 출력단이 포함된 복수단의 쉬프트 레지스터부들과, 상기 복수단의 쉬프트 레지스터부들에 게이트 구동 신호를 생성시키도록 각각의 클럭 신호 라인도 상기 복수단의 쉬프트 레지스터부들에 접속되는 복수의 클럭 신호 라인들을 구비하고, i 단째의 쉬프트 레지스터부의 신호 출력단과 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단 사이에 상기 쉬프트 레지스터부의 신호 출력단에서 출력된 하이 레벨 신호의 전하를 상기 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단으로 방전하기 위한 제1 방전 회로 모듈이 접속된다. 여기에서 $1 \leq i \leq$ (복수단의 쉬프트 레지스터부들의 단수-1)로 한다. 본 발명이 제공한 액정 디스플레이 게이트 구동 장치는 쉬프트 레지스터부에서 출력된 게이트 구동 신호의 지연을 줄일 수 있어 소비 전력을 효율적으로 저하시킨다.

대표도 - 도2



특허청구의 범위

청구항 1

각각의 단에도 신호 출력단이 포함되는 복수단의 쉬프트 레지스터부들(shift register units)과, 상기 복수단의 쉬프트 레지스터부들에 게이트 구동 신호를 생성시키도록 각각의 클럭 신호 라인이 상기 복수단의 쉬프트 레지스터부들에 접속되는 복수의 클럭 신호 라인들을 포함하는 액정 디스플레이 게이트 구동 장치로서,

i 단째의 쉬프트 레지스터부의 신호 출력단과 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단 사이에, 상기 i 단째의 쉬프트 레지스터부의 신호 출력단에서 출력된 하이(high) 레벨 신호의 전하를 상기 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단으로 방전하기 위한 제1 방전 회로 모듈이 접속되고, 여기에서 $1 \leq i \leq (\text{복수단의 쉬프트 레지스터부들의 단수}-1)$ 로 하는 것을 특징으로 하는 액정 디스플레이 게이트 구동 장치.

청구항 2

제1항에 있어서, 상기 제1 방전 회로 모듈은 제1 박막 트랜지스터와 제2 박막 트랜지스터를 포함하고,

상기 제1 박막 트랜지스터의 게이트와 드레인은 각각 상기 i 단째의 쉬프트 레지스터부의 신호 출력단에 접속되고,

상기 제2 박막 트랜지스터의 드레인은 상기 제1 박막 트랜지스터의 소스에 접속되고, 상기 제2 박막 트랜지스터의 소스는 상기 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단에 접속되고, 상기 제2 박막 트랜지스터의 게이트는 상기 복수의 클럭 신호 라인들 중 하나에 접속되는 것을 특징으로 하는 액정 디스플레이 게이트 구동 장치.

청구항 3

제2항에 있어서, 상기 복수의 클럭 신호 라인들은 제1 클럭 신호 라인과 제2 클럭 신호 라인을 포함하고, 상기 제1 클럭 신호 라인에 입력된 클럭 신호와 상기 제2 클럭 신호 라인에 입력된 클럭 신호는 서로 반전 신호이고,

상기 복수단의 쉬프트 레지스터부들 중 홀수단째 쉬프트 레지스터부에 대해서 상기 제2 박막 트랜지스터의 게이트는 상기 제2 클럭 신호 라인에 접속되고, 상기 복수단의 쉬프트 레지스터부들 중 짝수단째 쉬프트 레지스터부에 대해서 상기 제1 박막 트랜지스터의 게이트는 상기 제1 클럭 신호 라인에 접속되는 것을 특징으로 하는 액정 디스플레이 게이트 구동 장치.

청구항 4

제3항에 있어서, 제2 방전 회로 모듈을 더 포함하고,

상기 제1 클럭 신호 라인은 서로 병렬로 접속되는 제1 클럭 신호 프라이머리(primary) 라인과 제1 클럭 신호 세컨더리(secondary) 라인을 포함하고,

상기 제2 클럭 신호 라인은 서로 병렬로 접속되는 제2 클럭 신호 프라이머리 라인과 제2 클럭 신호 세컨더리 라인을 포함하고,

상기 제1 클럭 신호 라인과 상기 제2 클럭 신호 라인 사이에, 상기 제1 클럭 신호 프라이머리 라인에서의 하이 레벨 신호의 전하를 상기 제2 클럭 신호 프라이머리 라인으로 방전시키는, 또는 상기 제2 클럭 신호 프라이머리 라인에서의 하이 레벨 신호의 전하를 상기 제1 클럭 신호 프라이머리 라인으로 방전시키기 위한 상기 제2 방전 회로 모듈이 접속되는 것을 특징으로 하는 액정 디스플레이 게이트 구동 장치.

청구항 5

제4항에 있어서, 상기 제2 방전 회로 모듈은 제3 박막 트랜지스터와 제4 박막 트랜지스터를 포함하고,

상기 복수단의 쉬프트 레지스터부들 중 홀수단째 쉬프트 레지스터부에 대해서 상기 제3 박막 트랜지스터의 게이트와 드레인은 각각 상기 제1 클럭 신호 프라이머리 라인에 접속되고, 상기 제4 박막 트랜지스터의 드레인은 상기 제3 박막 트랜지스터의 소스에 접속되고, 상기 제4 박막 트랜지스터의 소스는 상기 제2 클럭 신호 프라이머리 라인에 접속되고, 상기 제4 박막 트랜지스터의 게이트는 상기 제2 클럭 신호 세컨더리 라인에 접속되고, 상기 제2 박막 트랜지스터의 게이트는 상기 제2 클럭 신호 세컨더리 라인에 접속되고,

상기 복수단의 쉬프트 레지스터부들 중 짝수단계 쉬프트 레지스터부에 대해서 상기 제3 박막 트랜지스터의 게이트와 드레인은 각각 상기 제2 클럭 신호 프라이어리 라인에 접속되고, 상기 제4 박막 트랜지스터의 드레인은 상기 제3 박막 트랜지스터의 소스에 접속되고, 상기 제4 박막 트랜지스터의 소스는 상기 제1 클럭 신호 프라이어리 라인에 접속되고, 상기 제4 박막 트랜지스터의 게이트는 상기 제1 클럭 신호 세컨더리 라인에 접속되고, 상기 제2 박막 트랜지스터의 게이트는 상기 제1 클럭 신호 세컨더리 라인에 접속되는 것을 특징으로 하는 액정 디스플레이 게이트 구동 장치.

청구항 6

복수단의 쉬프트 레지스터부들과, 상기 복수단의 쉬프트 레지스터부들에 게이트 구동 신호를 생성시키도록 각각의 클럭 신호 라인이 상기 복수단의 쉬프트 레지스터부들에 접속되는 복수의 클럭 신호 라인들을 포함하는 액정 디스플레이 게이트 구동 장치로서,

상기 복수의 클럭 신호 라인들의 각각은 서로 병렬로 접속되는 클럭 신호 프라이어리 라인과 클럭 신호 세컨더리 라인을 포함하고,

상기 복수의 클럭 신호 라인들 내의 2개의 클럭 신호 라인들 사이에, 상기 2개의 클럭 신호 라인들 중 하나의 클럭 신호 프라이어리 라인의 하이 레벨 신호의 전하를 상기 2개의 클럭 신호 라인들 중 다른 하나의 클럭 신호 프라이어리 라인으로 방전시키는 방전 회로 모듈이 접속되어 있는 것을 특징으로 하는 액정 디스플레이 게이트 구동 장치.

청구항 7

제6항에 있어서, 상기 방전 회로 모듈은 제1 박막 트랜지스터와 제2 박막 트랜지스터를 포함하고,

상기 제1 박막 트랜지스터의 게이트와 드레인은 각각 상기 2개의 클럭 신호 라인들 중 하나의 클럭 신호 프라이어리 라인에 접속되고, 상기 제2 박막 트랜지스터의 드레인은 상기 제1 박막 트랜지스터의 소스에 접속되고, 상기 제2 박막 트랜지스터의 소스는 상기 2개의 클럭 신호 라인들 중 다른 하나의 클럭 신호 프라이어리 라인에 접속되고, 상기 제2 박막 트랜지스터의 게이트는 상기 2개의 클럭 신호 라인들 중 다른 하나의 클럭 신호 세컨더리 라인에 접속되는 것을 특징으로 하는 액정 디스플레이 게이트 구동 장치.

청구항 8

제7항에 있어서, 상기 2개의 클럭 신호 라인들은 서로 병렬로 접속되는 제1 클럭 신호 프라이어리 라인과 제1 클럭 신호 세컨더리 라인을 포함한 제1 클럭 신호 라인과, 서로 병렬로 접속되는 제2 클럭 신호 프라이어리 라인과 제2 클럭 신호 세컨더리 라인을 포함한 제2 클럭 신호 라인이며,

상기 복수단의 쉬프트 레지스터부들 중 홀수단계 쉬프트 레지스터부에 대해서, 상기 제1 박막 트랜지스터의 게이트와 드레인은 각각 상기 제1 클럭 신호 프라이어리 라인에 접속되고, 상기 제2 박막 트랜지스터의 드레인은 상기 제1 박막 트랜지스터의 소스에 접속되고, 상기 제2 박막 트랜지스터의 소스는 상기 제2 클럭 신호 프라이어리 라인에 접속되고, 상기 제2 박막 트랜지스터의 게이트는 상기 제2 클럭 신호 세컨더리 라인에 접속되고,

상기 복수단의 쉬프트 레지스터부들 중 짝수단계 쉬프트 레지스터부에 대해서, 상기 제1 박막 트랜지스터의 게이트와 드레인은 상기 제2 클럭 신호 프라이어리 라인에 접속되고, 상기 제2 박막 트랜지스터의 드레인은 상기 제1 박막 트랜지스터의 소스에 접속되고, 상기 제2 박막 트랜지스터의 소스는 상기 제1 클럭 신호 프라이어리 라인에 접속되고, 상기 제2 박막 트랜지스터의 게이트는 상기 제1 클럭 신호 세컨더리 라인에 접속되는 것을 특징으로 하는 액정 디스플레이 게이트 구동 장치.

명세서

기술분야

[0001] 이 발명은 액정 표시 기술 분야에 관한 것으로서, 특히 액정 디스플레이 게이트 구동 장치에 관한 것이다.

배경기술

[0002] 액정 디스플레이 게이트 구동 장치는 게이트 라인에 구동 신호를 제공하는 것으로서, 복수단(multiple stages)의 쉬프트 레지스터부들(shift resistor units)을 구비한다. 도 1a는 종래 기술에 관한 액정 디스플레이 게이트

트 구동 장치의 구성을 도시한 모식도이고, 도 1b는 종래 기술에 관한 쉬프트 레지스터부의 시퀀스도이다. 그 중에는, 각 단의 쉬프트 레지스터부(Shift Register, SR로 약칭한다) 각각은 고전압 신호 입력단(VDDIN), 저전압 신호 입력단(VSSIN), 제1 클럭 신호 입력단(CLKIN), 제2 클럭 신호 입력단(CLKBIN), 게이트 구동 신호 출력단(OUT), 신호 입력단(INPUT) 및 리셋 신호 입력단(RESETIN)을 구비한다. 또 1단계 쉬프트 레지스터부(SR₁)와 마지막단계 쉬프트 레지스터부(SR_{n+1})를 제외한 각 단의 쉬프트 레지스터부 각각의 게이트 구동 신호 출력단은, 그 자신에 인접한 전단(前段)의 쉬프트 레지스터부의 리셋 신호 입력단 및 그 자신에 인접한 후단(後段)의 쉬프트 레지스터부의 신호 입력단에 접속되고, 1단계 쉬프트 레지스터부의 신호 입력단(INPUT)에는 프레임 스타트 신호(STV)가 입력되고, 마지막단계 쉬프트 레지스터부(SR_{n+1})의 신호 출력단(OUT_{n+1})은 그 자신에 인접한 전단의 쉬프트 레지스터부(SR_n)의 리셋 신호 입력단(RESETIN) 및 그 자신의 리셋 신호 입력단(RESETIN)에 접속된다. 각 단의 쉬프트 레지스터부 각각의 신호 출력단은 하나의 게이트 라인(GL)에 접속되어 게이트 구동 신호를 해당 게이트 라인에 제공하기 위한 것이다. 각 단의 쉬프트 레지스터부 각각의 고전압 신호 입력단(VDDIN)은 고전압 신호(VDD)가 입력된 고전압 신호 라인(A)에 접속되고, 저전압 신호의 입력단(VSSIN)은 저전압 신호(VSS)가 입력된 저전압 신호 라인(B)에 접속되고, 제1 클럭 신호 입력단(CLKIN)은 제1 클럭 신호(CLK)가 입력된 제1 클럭 신호 라인(C)에 접속되고, 제2 클럭 신호의 입력단(CLKBIN)은 제2 클럭 신호(CLKB)가 입력된 제2 클럭 신호 라인(D)에 접속된다.

[0003] 도 1b에서 각 단의 쉬프트 레지스터부 각각의 신호 출력단(OUT)은 1프레임의 기간 걸러 하나의 하이(high) 레벨을 출력하여 해당 행의 박막 트랜지스터(TFT)가 온이 되도록 제어하고, 이로 인해 액정 디스플레이의 순차 주사를 실현한다. 마지막단계 쉬프트 레지스터부(SR_{n+1})에서 출력된 하이 레벨이 동시에 그 자신과 전단의 쉬프트 레지스터부(SR_n)의 리셋 신호로서 사용된다. 종래 기술에서 게이트 구동 신호의 지연이 크다. 도 1c는 도 1b의 신호 출력단(OUT_n)에서 출력된 게이트 구동 신호와 제2 클럭 신호의 비교를 도시한 모식도이다. 도 1c로부터 알 수 있듯이, n단계 쉬프트 레지스터부(SR_n)의 신호 출력단(OUT_n)에서 출력된 게이트 구동 신호의 상승과 제2 클럭 신호(CLKB)의 하강 사이에 큰 지연이 존재한다. td는, 제2 클럭 신호(CLKB) 상승의 50%와 신호 출력단(OUT_n)에서 출력된 게이트 구동 신호 상승의 50% 간의 시간차이다. 또 종래 기술에서 각 신호 출력단은 전원에 의해 하이 레벨까지 충전한 직후에 로우(low) 레벨까지 방전되기 때문에 전하의 충방전량이 커서 각 신호 출력단에서 출력된 하이 레벨 신호가 충분히 이용되지 않기 때문에 게이트 구동 장치의 소비 전력이 크다는 문제가 존재한다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 종래 기술에서 존재하는 문제를 감안하여 이루어진 것으로서, 그 목적은 각 단의 쉬프트 레지스터부에서 출력된 게이트 구동 신호의 지연을 줄일 수 있고 나아가 소비 전력이 작은 액정 디스플레이 게이트 구동 장치를 제공하는 데 있다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위해 본 발명은 각각의 단에도 신호 출력단이 포함되는 복수단의 쉬프트 레지스터부들과, 상기 복수단의 쉬프트 레지스터부들에 게이트 구동 신호를 생성시키도록 각각의 클럭 신호 라인이 상기 복수단의 쉬프트 레지스터부들에 접속되는 복수의 클럭 신호 라인들을 포함하고, i단계의 쉬프트 레지스터부의 신호 출력단과 (i+1)단계의 쉬프트 레지스터부의 신호 출력단 사이에 상기 i단계의 쉬프트 레지스터부의 신호 출력단에서 출력된 하이 레벨 신호의 전하를 상기 (i+1)단계의 쉬프트 레지스터부의 신호 출력단으로 방전하기 위한 제1 방전 회로 모듈이 접속되고, 여기에서 1 ≤ i ≤ (복수단의 쉬프트 레지스터부들의 단수-1)로 하는 액정 디스플레이 게이트 구동 장치를 제공한다.

[0006] 본 발명은 복수단의 쉬프트 레지스터부들과, 상기 복수단의 쉬프트 레지스터부들에 게이트 구동 신호를 생성시키도록 각각의 클럭 신호 라인이 상기 복수단의 쉬프트 레지스터부들에 접속되는 복수의 클럭 신호 라인들을 포함하고, 상기 복수의 클럭 신호 라인들의 각각은 서로 병렬로 접속되는 클럭 신호 프라이머리(primary) 라인과 클럭 신호 세컨더리(secondary) 라인을 포함하고, 복수의 클럭 신호 라인들 내의 2개의 클럭 신호 라인 사이에 상기 2개의 클럭 신호 라인들 중 하나의 클럭 신호 프라이머리 라인의 하이 레벨 신호의 전하를 상기 2개의 클럭 신호 라인들 중 다른 하나의 클럭 신호 프라이머리 라인으로 방전시키는 방전 회로 모듈이 접속되어 있는

액정 디스플레이 게이트 구동 장치를 더 제공한다.

발명의 효과

[0007] 본 발명이 제공하는 액정 디스플레이 게이트 구동 장치는, i 단째의 쉬프트 레지스터부의 신호 출력단과 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단 사이에 제1 방전 회로 모듈이 접속됨으로써 i 단째의 쉬프트 레지스터부의 신호 출력단에서 출력된 하이 레벨 신호의 전하를 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단에 방전시키고, 이로 인해 $(i+1)$ 단째의 쉬프트 레지스터부에서 출력된 게이트 구동 신호의 지연을 줄일 수 있고 쉬프트 레지스터부에서 출력된 하이 레벨 신호를 효율적으로 이용하기 때문에 소비 전력을 줄일 수 있다. 2개의 클럭 신호 라인들 사이에 제2 방전 회로 모듈을 설치함으로써 하나의 클럭 신호 프라이머리 라인의 클럭 신호가 하강할 경우 하이 레벨 신호의 전하를 다른 하나의 클럭 신호 프라이머리 라인의 클럭 신호로 방전할 수 있고, 이로 인해 상기 다른 하나의 클럭 신호 프라이머리 라인의 클럭 신호의 레벨이 빠르게 상승하여 상승의 지연을 줄이고 쉬프트 레지스터부에서 출력된 게이트 구동 신호의 지연을 줄인다.

[0008] 이하, 도면과 실시예에 의해 본 발명의 기술 방안을 더욱 상세하게 설명하기로 한다.

도면의 간단한 설명

- [0009] 도 1a는, 종래 기술에 관한 액정 디스플레이 게이트 구동 장치의 구성을 도시한 모식도이다.
- 도 1b는, 종래 기술에 관한 쉬프트 레지스터부의 시퀀스도이다.
- 도 1c는, 도 1b에서의 신호 출력단(OUT_n)에서 출력된 게이트 구동 신호와 제2 클럭 신호의 비교를 도시한 모식도이다.
- 도 2는, 본 발명에 관한 액정 디스플레이 게이트 구동 장치의 제1 실시예의 구성을 도시한 모식도이다.
- 도 3은, 본 발명에 관한 액정 디스플레이 게이트 구동 장치의 제2 실시예의 구성을 도시한 모식도이다.
- 도 4는, 도 3에서의 i 단째 쉬프트 레지스터부(SR_i)와 $(i+1)$ 단째 쉬프트 레지스터부(SR_{i+1})의 시퀀스도이다.
- 도 5는, 본 발명에 관한 액정 디스플레이 게이트 구동 장치의 제3 실시예의 구성을 도시한 모식도이다.
- 도 6a는, 도 5에서의 i 단째 쉬프트 레지스터부(SR_i)와 $(i+1)$ 단째 쉬프트 레지스터부(SR_{i+1})의 시퀀스도이다.
- 도 6b는, 도 6a에서의 CLK, CLK', CLKB와 CLKB'의 비교를 도시한 확대 모식도이다.
- 도 7은, 본 발명에 관한 액정 디스플레이 게이트 구동 장치의 제4 실시예의 구성을 도시한 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 도 2는 본 발명에 관한 액정 디스플레이 게이트 구동 장치의 제1 실시예의 구성을 도시한 모식도이다. 해당 액정 디스플레이 게이트 구동 장치는 복수단의 쉬프트 레지스터부들을 구비한다. 각 단의 쉬프트 레지스터부 각각은 신호 입력단과 신호 출력단을 구비하고, i 단째의 쉬프트 레지스터부의 신호 출력단과 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단 사이에, i 단째의 쉬프트 레지스터부의 신호 출력단에서 출력된 하이 레벨 신호의 전하를 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단으로 방전시키기 위한 제1 방전 회로 모듈(31)이 접속되어 있다. 본 발명이 제공하는 액정 디스플레이 게이트 구동 장치는 i 단째의 쉬프트 레지스터부의 신호 출력단에서 출력된 하이 레벨 신호의 전하를 제1 방전 회로 모듈(31)에 의해 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단에 인가할 수 있도록 i 단째의 쉬프트 레지스터부의 신호 출력단과 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단 사이에 해당 제1 방전 회로 모듈(31)을 설치함으로써 각 단의 쉬프트 레지스터부에서 출력된 게이트 구동 신호의 지연을 줄일 수 있다.

[0011] 도 3은 본 발명에 관한 액정 디스플레이 게이트 구동 장치의 제2 실시예의 구성을 도시한 모식도이다. 도 3에서, 제1 방전 회로 모듈(31)은 2개의 박막 트랜지스터들을 포함한다. 또한, i (i 는 자연수이고, $0 < i < n+1$)단째 쉬프트 레지스터부에 대해서, 제1 박막 트랜지스터(T_{i1})의 드레인과 게이트가 각각 i 단째 쉬프트 레지스터부(SR_i)의 신호 출력단(OUT_i)에 접속되고, 제2 박막 트랜지스터(T_{i2})는 소스가 $(i+1)$ 단째의 쉬프트 레지스터부(SR_{i+1})의 신호 출력단(OUT_{i+1})에 접속되고 드레인이 제1 박막 트랜지스터(T_{i1})의 소스에 접속된다. i 가 홀수인 경우, 제2 박막 트랜지스터(T_{i2})의 게이트가 제2 클럭 신호 라인에 접속되고, 또한, i 가 짝수인 경우, 제2 박막

트랜지스터(T_{i2})의 게이트가 제1 클럭 신호 라인에 접속된다. $(n+1)$ 단계 쉬프트 레지스터부의(SR_{n+1})는 게이트 라인의 구동에 사용되지 않고 n 단계 쉬프트 레지스터부에 리셋 신호를 제공하기 때문에 그 중 제1 박막 트랜지스터와 제2 박막 트랜지스터를 추가하지 않아도 된다.

[0012] 도 4는 도 3에서의 i 단계 쉬프트 레지스터부(SR_i)와 $(i+1)$ 단계 쉬프트 레지스터부(SR_{i+1})의 시퀀스도이다. 다음으로 도 3과 도 4를 결합하여 본 발명의 제2 실시예의 동작 원리를 설명하기로 한다.

[0013] i 단계 쉬프트 레지스터부(SR_i)의 신호 출력단(OUT_i)에서 출력된 게이트 구동 신호의 레벨이 낮아지면, $(i+1)$ 단계 쉬프트 레지스터부(SR_{i+1})의 신호 출력단(OUT_{i+1})에서 출력된 게이트 구동 신호가 여전히 로우 레벨이고 제2 클럭 신호(CLKB)가 상승 상태에 있기 때문에 제2 박막 트랜지스터(T_{i2})가 온된다. 또한, i 단계 쉬프트 레지스터부(SR_i)의 신호 출력단(OUT_i)에서 출력된 게이트 구동 신호의 레벨은 하이 레벨이 되고 $(i+1)$ 단계 쉬프트 레지스터부의(SR_{i+1})의 신호 출력단(OUT_{i+1})에서 출력된 게이트 구동 신호의 레벨은 여전히 로우 레벨이므로 제1 박막 트랜지스터(T_{i1})가 온된다. 이와 같이 하여, i 단계 쉬프트 레지스터부(SR_i)의 신호 출력단(OUT_i)에서 출력된 하이 레벨 신호의 전하는 제1 박막 트랜지스터(T_{i1})와 제2 박막 트랜지스터(T_{i2})에 의해 $(i+1)$ 단계 쉬프트 레지스터부(SR_{i+1})의 신호 출력단(OUT_{i+1})에 방전됨으로써, $(i+1)$ 단계 쉬프트 레지스터부(SR_{i+1})에서 출력된 게이트 구동 신호의 지연을 줄일 수 있다. i 단계 쉬프트 레지스터부(SR_i)의 신호 출력단(OUT_i)에서 출력된 신호의 레벨이 $(i+1)$ 단계 쉬프트 레지스터부(SR_{i+1})의 신호 출력단(OUT_{i+1})에서 출력된 신호의 레벨보다도 작은 경우 제1 박막 트랜지스터(T_{i1})가 오프된다. 이 경우, i 단계 쉬프트 레지스터부(SR_i)의 신호 출력단(OUT_i)에서 출력된 신호는 이제 $(i+1)$ 단계 쉬프트 레지스터부(SR_{i+1})의 신호 출력단(OUT_{i+1})에서 출력된 신호에 영향을 주지 않게 된다.

[0014] 도 3에서, 인접한 2개단의 쉬프트 레지스터들 사이에 2개의 박막 트랜지스터들이 접속됨으로써, 각 단의 쉬프트 레지스터부의 신호 출력단에서 출력된 하이 레벨 신호가 게이트 라인을 구동하는 것에 추가하여, 신호의 전하도 인접한 다음 단의 쉬프트 레지스터부의 신호 출력단에 방전할 수 있게 됨으로써 인접한 다음 단의 쉬프트 레지스터부의 신호 출력단에서 출력된 신호의 지연을 줄일 수 있고 나아가 각 단의 쉬프트 레지스터부의 신호 출력단에서 출력된 하이 레벨 신호가 효율적으로 이용되어 쓸데없게 소비되지 않게 된다.

[0015] 도 3에 도시된 실시예에서 액정 디스플레이 게이트 구동 장치는 입력된 클럭 신호 각각이 서로 반전 신호인 2개의 클럭 신호 라인들을 포함한다. 해당 분야에서 액정 디스플레이 게이트 구동 장치는 2개 이상의 클럭 신호 라인들을 포함해도 좋다. 액정 디스플레이 게이트 구동 장치는 2개 이상의 클럭 신호 라인들을 포함한 경우에 제1 방전 회로 모듈에서의 제2 박막 트랜지스터의 게이트는 2개 이상의 클럭 신호 라인들 중 하나에 접속되며, 구체적으로 어떤 클럭 신호 라인에 접속되어야 하는지는 입력된 클럭 신호의 특성에 의해 확정할 수 있다. 구체적인 실현 방식은 상술한 각 실시예와 유사하며 당업자는 본 발명의 상술한 각 실시예의 설명에 기초하여 해당 하는 실현 방식을 얻을 수 있으며 여기에서는 중복된 설명을 생략한다.

[0016] 도 5는 본 발명에 관한 액정 디스플레이 게이트 구동 장치의 제3 실시예의 구성을 도시한 모식도이다. 도 5에 도시된 장치는 도 3에 도시된 장치에 비해, 도 5에서 제1 클럭 신호 라인이 서로 병렬로 접속되는 제1 클럭 신호 프라이머리 라인(primary line)(C1)과 제1 클럭 신호 세컨더리 라인(secondary line)(C1)을 포함한 점에서 다르다. 제2 클럭 신호 라인은 서로 병렬로 접속되는 제2 클럭 신호 프라이머리 라인(D1)과 제2 클럭 신호 세컨더리 라인(D2)을 포함한다. 제1 클럭 신호 프라이머리 라인(C1)과 제2 클럭 신호 프라이머리 라인(D1)은 각 단의 쉬프트 레지스터부에 클럭 신호를 제공하는 것이다. 도 5가 제공하는 장치는, 도 3에 도시된 장치를 토대로 제1 클럭 신호 프라이머리 라인(C1)과 제2 클럭 신호 프라이머리 라인(D1) 사이에 제3 박막 트랜지스터와 제4 박막 트랜지스터를 포함한 제2 방전 회로 모듈(32)이 접속되는 것이다. i 단계 쉬프트 레지스터부에 대해서 제3 박막 트랜지스터(T_{i3})의 소스가 제4 박막 트랜지스터(T_{i4})의 드레인에 접속된다. i 가 홀수인 경우, 제3 박막 트랜지스터(T_{i3})의 게이트와 소스가 제1 클럭 신호 프라이머리 라인(C1)에 접속되고, 제4 박막 트랜지스터(T_{i4})의 게이트와 소스가 각각 제2 클럭 신호 세컨더리 라인(D2)과 제2 클럭 신호 프라이머리 라인(D1)에 접속되고, 제2 박막 트랜지스터(T_{i2})의 게이트가 제2 클럭 신호 세컨더리 라인(D2)에 접속되고, 제2 박막 트랜지스터(T_{i2})의 소스, 드레인 및 제1 박막 트랜지스터(T_{i1})의 게이트, 소스 간의 각각의 접속 관계는 도 2와 같다. i 가 짝수인 경우, 제3 박막 트랜지스터(T_{i3})의 게이트와 드레인이 제2 클럭 신호 프라이머리 라인(D1)에 접속되고,

제4 박막 트랜지스터(T_{i4})의 게이트와 소스가 각각 제1 클럭 신호 세컨더리 라인(C2)과 제1 클럭 신호 프라이머리 라인(C1)에 접속되고, 제2 박막 트랜지스터(T_{i2})의 게이트가 제1 클럭 신호 세컨더리 라인(C2)에 접속되고, 제2 박막 트랜지스터(T_{i2})의 소스, 드레인 및 제1 박막 트랜지스터(T_{i1})의 게이트, 소스, 드레인 간의 각각의 접속 관계는 도 3과 같다.

[0017] 제3 실시예의 동작 원리에 대해서, 다음으로 i 단계 쉬프트 레지스터부와 제($i+1$)단계 쉬프트 레지스터부를 예로 들어 설명하기로 한다. 도 6a는 도 5에서의 i 단계 쉬프트 레지스터부(SR_i)와 ($i+1$)단계 쉬프트 레지스터부(SR_{i+1})의 시퀀스도이다. 제1 클럭 신호 프라이머리 라인(C1)과 제2 클럭 신호 프라이머리 라인(D1)은 쉬프트 레지스터부에 클럭 신호를 제공하는 것으로서, 상기 2개의 클럭 신호 프라이머리 라인들에는 일반적으로 사이즈가 큰 박막 트랜지스터가 접속되고, 상기 2개의 클럭 신호 프라이머리 라인들의 상승과 하강의 지연은, 2개의 클럭 신호 세컨더리 라인들의 클럭 신호의 상승과 하강의 지연보다도 크다. 제1 클럭 신호 프라이머리 라인(C1)에 입력된 것은 제1 클럭 신호(CLK)이고, 제1 클럭 신호 세컨더리 라인(C2)에 입력된 것은 제1 클럭 신호(CLK')이고, 제2 클럭 신호 프라이머리 라인(D1)에 입력된 것은 제2 클럭 신호(CLKB)이고, 제2 클럭 신호 세컨더리 라인(D2)에 입력된 것은 제2 클럭 신호(CLKB')이다. 도 6b는 도 6a에서의 CLK, CLK', CLKB와 CLKB'의 비교를 도시한 확대 모식도이다. 다음으로, 도 5, 도 6a와 도 6b를 결합하여 본 발명의 제3 실시예의 동작 원리를 상세하게 설명하기로 한다. 도 6b에서, 제1 단계에서 제1 클럭 신호 세컨더리 라인(C2)의 제1 클럭 신호(CLK')이 낮아졌을 때 제1 클럭 신호 프라이머리 라인(C1)의 제1 클럭 신호(CLK)는 여전히 하이 레벨이고, 따라서 도 5의 제3 박막 트랜지스터(T_{i3})가 온되었다. 또한, 제2 클럭 신호 세컨더리 라인(D2)의 제2 클럭 신호(CLKB')의 상승이 빠르기 때문에 제2 클럭 신호 세컨더리 라인(D2)의 제2 클럭 신호(CLKB')가 더욱 높은 레벨이 되고 제4 박막 트랜지스터(T_{i4})도 온되었다. 이때, 제1 클럭 신호 프라이머리 라인(C1)의 제1 클럭 신호(CLK)를 이용하여 제3 박막 트랜지스터(T_{i3})와 제4 박막 트랜지스터(T_{i4})에 의해 전하를 제2 클럭 신호 프라이머리 라인(D1)의 신호로 방전하고, 이로 인해 제2 클럭 신호 프라이머리 라인(D1)의 제2 클럭 신호(CLKB)의 레벨이 빠르게 상승하여 상승의 지연을 줄이고 나아가 쉬프트 레지스터부에서 출력된 게이트 구동 신호의 지연을 줄임과 동시에 하강의 지연도 줄일 수 있다. 제2 단계에서, 제2 클럭 신호 프라이머리 라인(D1)의 제2 클럭 신호(CLKB)의 레벨이 제1 클럭 신호 프라이머리 라인(C1)의 제1 클럭 신호(CLK)의 레벨보다 높아지면, 제3 박막 트랜지스터(T_{i3})가 역방향으로 오프되기 때문에 제1 클럭 신호 프라이머리 라인(C1)의 제1 클럭 신호(CLK)는 더 이상 제2 클럭 신호 프라이머리 라인(D1)으로 방전할 수 없음과 동시에 CLKB의 전하도 제1 클럭 신호 프라이머리 라인(C1)으로 방전할 수 없다. 이로 인해 전하가 제1 클럭 신호와 제2 클럭 신호 사이에서 공유되는 것을 달성할 수 있다.

[0018] 유사한 원리에 기초하여 제2 클럭 신호 프라이머리 라인의 제2 클럭 신호(CLKB)가 낮아졌을 때에도 제3 박막 트랜지스터와 제4 박막 트랜지스터에 의해 전하를 제1 클럭 신호 프라이머리 라인으로 방전함으로써 제1 클럭 신호 프라이머리 라인의 제1 클럭 신호(CLK)가 빠르게 상승하여 상승의 지연을 줄이고 그로 인해 쉬프트 레지스터부에서 출력된 게이트 구동 신호의 지연을 줄인다.

[0019] 제3 박막 트랜지스터와 제4 박막 트랜지스터를 추가함으로써 제1 클럭 신호(CLK)와 제2 클럭 신호(CLKB) 사이에서 전하를 공유할 수 있고 전원에서 공급되는 전하량도 줄일 수 있어 액정 디스플레이 게이트 구동 장치의 소비 전력을 줄인다.

[0020] 도 5에서, 각 단의 쉬프트 레지스터부가 추가한 제1 박막 트랜지스터와 제2 박막 트랜지스터에 의해 신호 출력 단에서 출력된 게이트 구동 신호의 전하를 인접한 후단의 쉬프트 레지스터부에 방전하는 원리는 도 3과 유사하며, 여기에서 중복되는 설명을 생략한다.

[0021] 도 7은 본 발명에 관한 액정 디스플레이 게이트 구동 장치의 제4 실시예의 구성을 도시한 모식도이다. 해당 액정 디스플레이 게이트 구동 장치는 도 5에 도시된 실시예와 비교하여, 도 7에서는 제1 방전 회로 모듈(31)을 포함하지 않고 제2 방전 회로 모듈(32)만을 포함하는 반면, 도 5에서는 제1 방전 회로 모듈(31)과 제2 방전 회로 모듈(32)을 함께 포함한 점에서 다르다. 도 7에서의 제2 방전 회로 모듈(32)의 동작 원리는 도 5와 유사하며 여기에서 중복되는 설명을 생략한다.

[0022] 도 5와 도 7에 도시된 실시예에서 액정 디스플레이 게이트 구동 장치는, 입력된 클럭 신호는 서로 반전 신호인 2개의 클럭 신호 라인들을 포함한다. 본 분야에서 액정 디스플레이 게이트 구동 장치는 2개 이상의 클럭 신호 라인들을 포함할 수도 있다. 액정 디스플레이 게이트 구동 장치는 2개 이상의 클럭 신호 라인들을 포함한 경우

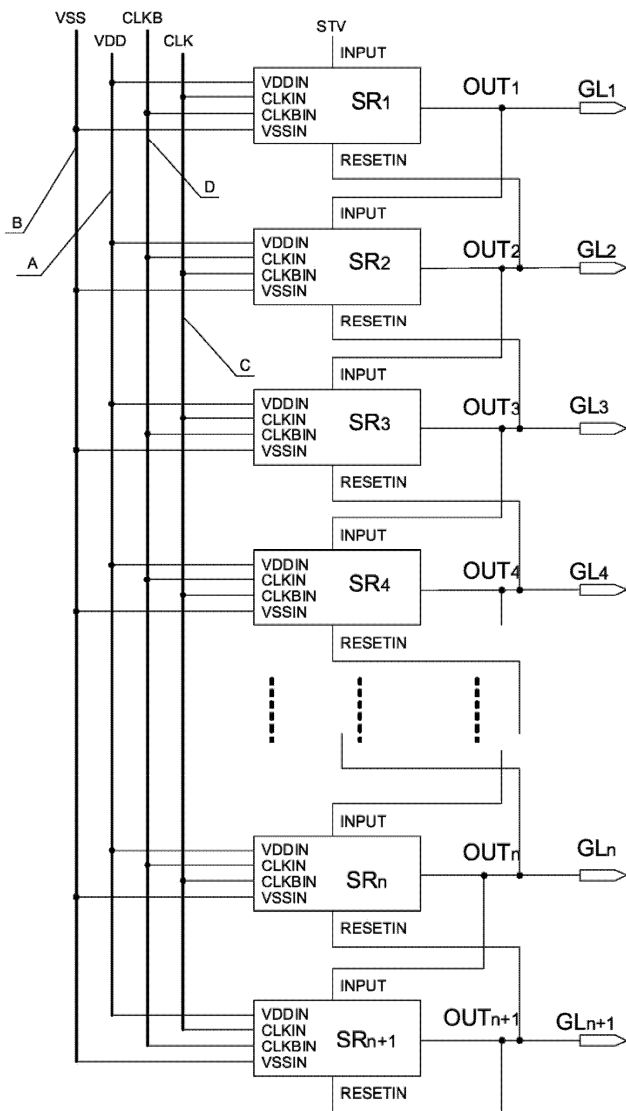
에 제2 방전 회로 모듈이 그 중 2개의 클럭 신호 라인들 사이에 접속될 수 있고, 이로 인해 상기 2개의 클럭 신호 라인들 중 하나의 클럭 신호 프라이머리 라인의 하이 레벨 신호의 전하를 다른 하나의 클럭 신호 프라이머리 라인으로 방전시킨다. 제2 방전 회로 모듈에서의 제3 박막 트랜지스터의 게이트와 드레인이 각각 2개의 클럭 신호 라인들 내의 하나의 클럭 신호 프라이머리 라인에 접속되고, 제4 박막 트랜지스터의 드레인이 제3 박막 트랜지스터의 소스에 접속되고, 제4 박막 트랜지스터의 소스가 상기 2개의 클럭 신호 라인들 내의 다른 하나의 클럭 신호 프라이머리 라인에 접속되고, 제4 박막 트랜지스터의 게이트가 상기 2개의 클럭 신호 라인들 내의 다른 하나의 클럭 신호 라인의 클럭 신호 세컨더리 라인에 접속된다. 구체적인 실현 방식은 상술한 각 실시예와 유사하며 여기에서는 중복되는 설명을 생략한다.

[0023] 본 발명이 제공하는 액정 디스플레이 게이트 구동 장치는, i 단째의 쉬프트 레지스터부의 신호 출력단과 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단 사이에 제1 방전 회로 모듈이 접속됨으로써 i 단째의 쉬프트 레지스터부의 신호 출력단에서 출력된 하이 레벨 신호의 전하를 $(i+1)$ 단째의 쉬프트 레지스터부의 신호 출력단에 방전시켜 $(i+1)$ 단째의 쉬프트 레지스터부에서 출력된 게이트 구동 신호의 지연을 줄일 수 있고 쉬프트 레지스터부에서 출력된 하이 레벨 신호를 효율적으로 이용하기 때문에 소비 전력을 줄일 수 있다. 2개의 클럭 신호 라인들 사이에 제2 방전 회로 모듈을 설치함으로써 하나의 클럭 신호 프라이머리 라인의 클럭 신호가 하강하면 하이 레벨 신호의 전하를 다른 하나의 클럭 신호 프라이머리 라인의 클럭 신호로 방전할 수 있고, 이로 인해 상기 다른 하나의 클럭 신호 프라이머리 라인의 클럭 신호의 레벨이 빠르게 상승하여 상승 엣지(edge)의 지연을 줄이고 따라서 쉬프트 레지스터부에서 출력된 게이트 구동 신호의 지연을 줄인다.

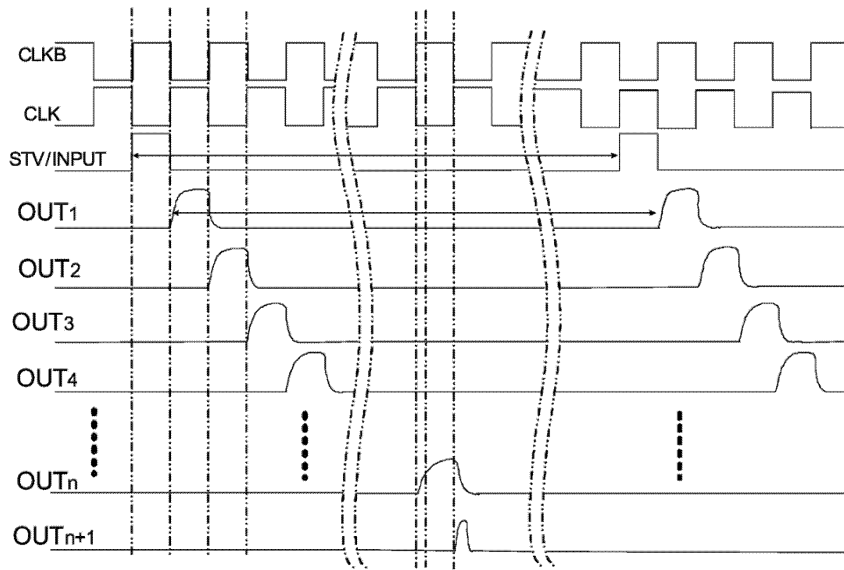
[0024] 마지막으로 설명해야 할 것은, 이상의 실시예는 본 발명의 기술적 방안을 설명하기 위한 것일 뿐이며 제한의 목적이 없다. 상기 실시예에 따라 본 발명을 상세하게 설명하였으나 상술한 각 실시예에 기재된 기술적 방안을 개정하거나 그 부분적인 기술적 특징을 동등하게 교체할 수 있으며 그 개정이나 교체는 해당 기술적 방안의 본질이 본 발명의 실시예의 기술적 방안의 취지와 범위를 벗어나지는 않는다는 것은 당업자라면 이해할 수 있을 것이다.

도면

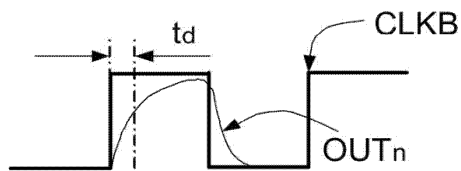
도면1a



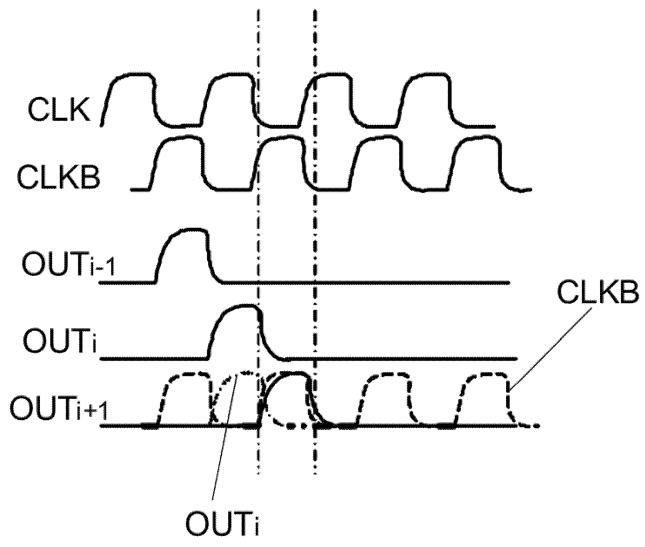
도면1b



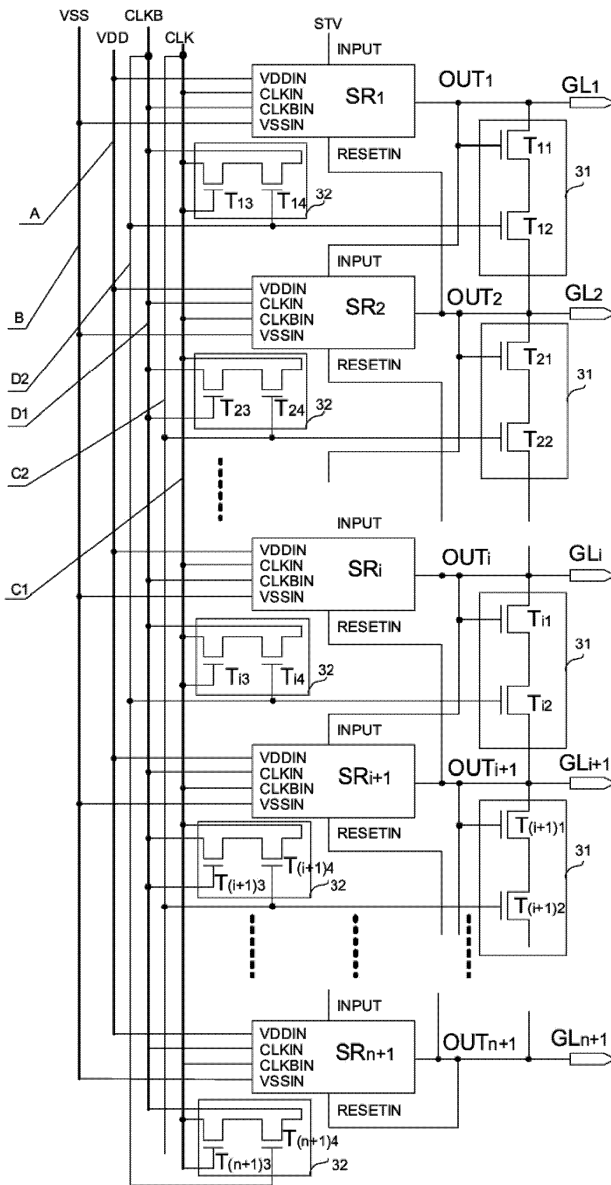
도면1c



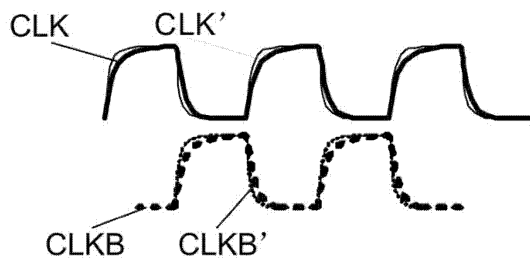
도면4



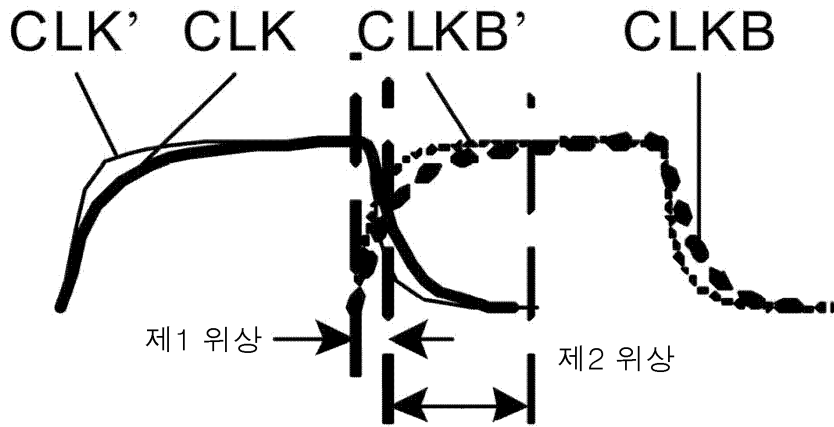
도면5



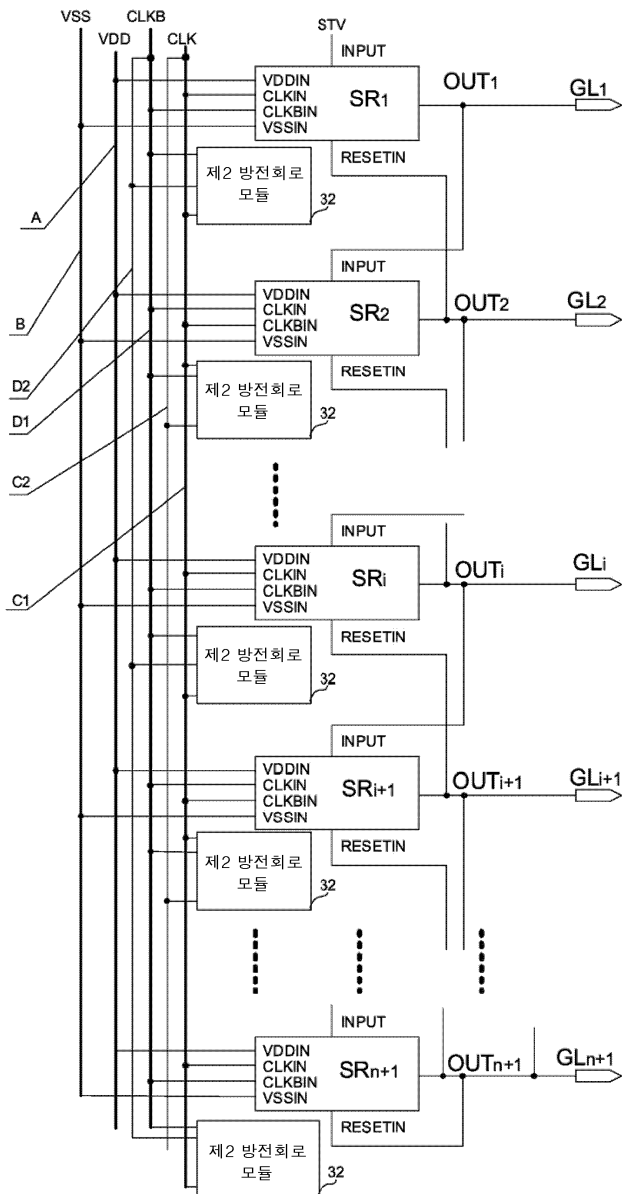
도면6a



도면6b



도면7



专利名称(译)	液晶显示栅极驱动器		
公开(公告)号	KR1020100108301A	公开(公告)日	2010-10-06
申请号	KR1020100027558	申请日	2010-03-26
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	SHANG GUANGLIANG		
发明人	SHANG, GUANGLIANG		
IPC分类号	G09G3/36		
CPC分类号	G11C19/28 G09G2310/0286 G09G3/3677		
优先权	200910081003.1 2009-03-27 CN		
其他公开文献	KR101143531B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器的栅极驱动装置。用于放电的第一放电电路模块是从i的移位晶体管部分的信号输出端口的移位晶体管部分的信号输出端口中的移位晶体管部分的信号输出端口输出的高电平信号的电荷。移位和 (i + 1) 移位它包括移位寄存器Typhaceae的多级包含相应的设备是每个移位中的信号输出端口，并且多个时钟信号线连接到移位晶体管的信号输出端口部分 (i + 1) 转变。对于多个时钟信号线，每个时钟信号线连接到多级的移位寄存器尾部，以便在多级的移位寄存器尾部产生栅极驱动信号。这里，通过 $1 \leq i \leq (\text{多级的移位寄存器尾部的奇数}-1)$ 来完成。本发明可以减少从移位晶体管部分提供的液晶显示器的栅极驱动装置输出的栅极驱动信号的延迟，并且有效地降低功耗。

