



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0102333
(43) 공개일자 2010년09월24일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0020658

(22) 출원일자 2009년03월11일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

민용기

대구 북구 동천동 891번지 동화골든빌 103동 1205호

이동학

경북 구미시 진평동 642-3번지 LG디스플레이1공장

송홍성

경북 구미시 구평동 474-7 부영 아파트 803동 706호

(74) 대리인

특허법인로알

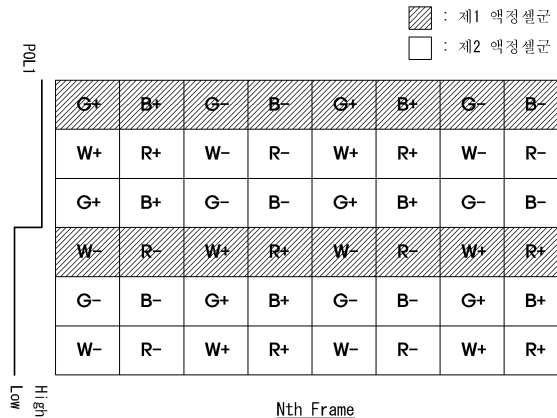
전체 청구항 수 : 총 10 항

(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 적색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀 및 백색 서브픽셀을 포함한 픽셀 구조를 갖는 쿼드 타입(Quad type) 액정표시장치에 관한 것으로, 다수의 데이터라인, 상기 데이터라인들과 교차되는 다수의 게이트라인, 및 다수의 액정셀들을 포함하며 적색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀 및 백색 서브픽셀이 하나의 픽셀을 구성하는 쿼드 타입 픽셀 구조를 갖는 액정표시패널; 각각 3 수평기간마다 논리가 반전되고 위상이 서로 다른 다수의 극성제어신호들을 순차적으로 출력하는 로직회로; 상기 로직회로로부터 입력되는 극성제어신호에 응답하여 데이터전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동회로; 및 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 구비한다.

대표도 - 도17a



특허청구의 범위

청구항 1

다수의 데이터라인, 상기 데이터라인들과 교차되는 다수의 게이트라인, 및 다수의 액정셀들을 포함하며 적색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀 및 백색 서브픽셀이 하나의 픽셀을 구성하는 쿼드 타입 픽셀 구조를 갖는 액정표시패널;

각각 3 수평기간마다 논리가 반전되고 위상이 서로 다른 다수의 극성제어신호들을 순차적으로 출력하는 로직회로;

상기 로직회로로부터 입력되는 극성제어신호에 응답하여 데이터전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동회로; 및

상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 액정셀들은 수직 3 도트 및 수평 2 도트 인버전 방식으로 반전되는 데이터전압들을 충전하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 로직회로는,

N (N 은 양의 정수) 번째 프레임기간 동안 상기 3 수평기간마다 논리가 반전되는 제1 극성제어신호를 상기 데이터 구동회로에 공급한 후,

$N+1$ 번째 프레임기간 동안 상기 3 수평기간마다 논리가 반전되고 상기 제1 극성제어신호 대비 1 수평기간만큼 위상이 지연된 제2 극성제어신호를 상기 데이터 구동회로에 공급한 후에,

$N+2$ 번째 프레임기간 동안 상기 3 수평기간마다 논리가 반전되고 상기 제2 극성제어신호 대비 2 수평기간만큼 위상이 지연된 제1 반전 극성제어신호를 상기 데이터 구동회로에 공급한 다음,

$N+3$ 번째 프레임기간 동안 상기 3 수평기간마다 논리가 반전되고 상기 제1 반전 극성제어신호 대비 상기 1 수평기간만큼 위상이 지연된 제2 반전 극성제어신호를 상기 데이터 구동회로에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 로직회로는,

상기 제1 극성제어신호를 반전시켜 상기 제1 반전 극성제어신호를 발생하는 제1 인버터;

상기 제2 극성제어신호를 반전시켜 상기 제2 반전 극성제어신호를 발생하는 제2 인버터;

상기 프레임기간을 카운트하여 선택신호를 발생하는 프레임 컨트롤러; 및

상기 선택신호에 응답하여 상기 제1 극성제어신호, 상기 제2 극성제어신호, 상기 제1 반전 극성제어신호 및 상기 제2 반전 극성제어신호의 순으로 상기 데이터 구동회로에 공급되는 극성제어신호를 선택하는 멀티플렉서를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 3 항에 있어서,

상기 액정표시패널은,

6j(j는 양의 정수)+1 번째 내지 6j+6 번째 표시라인을 포함하고,

상기 N 번째 프레임기간 동안, 상기 6j+1 및 6j+4 번째 표시라인들의 액정셀들은 N-1 번째 프레임기간에 충전하였던 데이터전압의 극성과 동일한 극성의 데이터전압을 충전하는 제1 액정셀군으로 구동하는 반면, 6j+2, 6j+3, 6j+5 및 6j+6 번째 표시라인들의 액정셀들은 상기 N-1 번째 프레임기간에 충전하였던 데이터전압의 극성과는 상반된 극성의 데이터전압을 충전하는 제2 액정셀군으로 구동하고,

상기 N+1 번째 프레임기간 동안, 상기 6j+2, 상기 6j+3, 상기 6j+5 및 상기 6j+6 번째 표시라인들의 액정셀들은 상기 N 번째 프레임기간에 충전하였던 데이터전압의 극성과 동일한 극성의 데이터전압을 충전하는 제1 액정셀군으로 구동하는 반면, 상기 6j+1 및 상기 6j+4 번째 표시라인들의 액정셀들은 상기 N 번째 프레임기간에 충전하였던 데이터전압의 극성과는 상반된 극성의 데이터전압을 충전하는 제2 액정셀군으로 구동하고,

상기 N+2 번째 프레임기간 동안, 상기 6j+1 및 상기 6j+4 번째 표시라인들의 액정셀들은 상기 N+1 번째 프레임기간에 충전하였던 데이터전압의 극성과 동일한 극성의 데이터전압을 충전하는 제1 액정셀군으로 구동하는 반면, 상기 6j+2, 상기 6i+3, 상기 6i+5 및 상기 6j+6 번째 표시라인들의 액정셀들은 상기 N+1 번째 프레임기간에 충전하였던 데이터전압의 극성과는 상반된 극성의 데이터전압을 충전하는 제2 액정셀군으로 구동하며,

상기 N+3 번째 프레임기간 동안, 상기 6j+2, 상기 6j+3, 상기 6j+5 및 상기 6j+6 번째 표시라인들의 액정셀들은 상기 N+1 번째 프레임기간에 충전하였던 데이터전압의 극성과 동일한 극성의 데이터전압을 충전하는 제1 액정셀군으로 구동하는 반면, 상기 6j+1 및 상기 6i+4 번째 표시라인들의 액정셀들은 상기 N+2 번째 프레임기간에 충전하였던 데이터전압의 극성과는 상반된 극성의 데이터전압을 충전하는 제2 액정셀군으로 구동하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 액정표시패널은 상기 액정셀들이 행방향으로 배열된 표시라인들과 상기 액정셀들이 열방향으로 배열된 다수의 컬럼들을 포함하며,

동일한 상기 표시라인과 동일한 컬럼에 존재하는 같은 색의 서브픽셀들에서 상기 액정셀들에는 상반된 극성의 데이터전압들을 충전하는 것을 특징으로 하는 액정표시장치.

청구항 7

다수의 데이터라인, 상기 데이터라인들과 교차되는 다수의 게이트라인, 및 다수의 액정셀들을 포함하며 적색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀 및 백색 서브픽셀이 하나의 픽셀을 구성하는 쿼드 타입 픽셀 구조를 갖는 액정표시패널을 가지는 액정표시장치의 구동방법에 있어서,

각각 3 수평기간마다 논리가 반전되고 위상이 서로 다른 다수의 극성제어신호들을 순차적으로 출력하는 단계;

상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 단계; 및

상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 8

제 7 항에 있어서,

상기 액정셀들은 수직 3 도트 및 수평 2 도트 인버전 방식으로 반전되는 데이터전압들을 충전하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

제 7 항에 있어서,

상기 극성제어신호들을 순차적으로 출력하는 단계는,

N(N은 양의 정수) 번째 프레임기간 동안 상기 3 수평기간마다 논리가 반전되는 제1 극성제어신호를 상기 데이터

라인들에 상기 데이터전압을 공급하는 데이터 구동회로에 공급하는 단계;

N+1 번째 프레임기간 동안 상기 3 수평기간마다 논리가 반전되고 상기 제1 극성제어신호 대비 1 수평기간만큼 위상이 지연된 제2 극성제어신호를 상기 데이터 구동회로에 공급하는 단계;

N+2 번째 프레임기간 동안 상기 3 수평기간마다 논리가 반전되고 상기 제2 극성제어신호 대비 2 수평기간만큼 위상이 지연된 제1 반전 극성제어신호를 상기 데이터 구동회로에 공급하는 단계; 및

N+3 번째 프레임기간 동안 상기 3 수평기간마다 논리가 반전되고 상기 제1 반전 극성제어신호 대비 상기 1 수평기간만큼 위상이 지연된 제2 반전 극성제어신호를 상기 데이터 구동회로에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제 7 항에 있어서,

상기 액정표시패널은 상기 액정셀들이 행방향으로 배열된 표시라인들과 상기 액정셀들이 열방향으로 배열된 다수의 컬럼들을 포함하며,

동일한 상기 표시라인과 동일한 상기 컬럼에 존재하는 같은 색의 서브픽셀들에서 상기 액정셀들에는 상반된 극성의 데이터전압들을 충전하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 적색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀 및 백색 서브픽셀을 포함한 픽셀 구조를 갖는 쿼드 타입(Quad type) 액정표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

[0003] 액정표시장치는 도 1과 같이 액정셀(C1c)마다 형성된 박막트랜지스터(Thin Film Transistor, TFT)를 이용하여 액정셀들에 공급되는 데이터전압을 스위칭하여 데이터를 능동적으로 제어하므로 동화상의 표시품질을 높일 수 있다. 도 1에 있어서, 도면부호 "Cst"는 액정셀(C1c)에 충전된 데이터전압을 유지하기 위한 스토리지 커패시터(Storage Capacitor, Cst), 'DL'은 데이터전압이 공급되는 데이터라인, 그리고 'GL'은 스캔전압이 공급되는 게이트라인을 각각 의미한다.

[0004] 이와 같은 액정표시장치는 직류 읍셋 성분을 감소시키고 액정의 열화를 줄이기 위하여, 이웃한 액정셀들 사이에서 극성이 반전되고 프레임기간 단위로 극성이 반전되는 인버전 방식(Inversion)으로 구동되고 있다. 그런데 데이터전압의 두 극성 중에서 어느 한 극성이 장시간 우세적(dominant)으로 공급되면 액정표시장치에서 잔상이 발생한다. 이하에서, 이러한 잔상을 액정셀에 동일 극성의 전압이 반복적으로 충전되므로 "직류화 잔상(DC Image sticking)"으로 정의하기로 한다. 이러한 예 중 하나는 액정표시장치에 인터레이스(Interlace) 방식의 데이터전압들이 공급되는 경우이다. 인터레이스 방식은 기수 프레임기간 동안 기수 수평라인의 액정셀들에 표시될 기수라인 데이터전압만을 포함하고, 우수 프레임기간 동안 우수 수평라인의 액정셀들에 표시될 데이터전압만을 포함한다.

[0005] 도 2는 제1 내지 제4 프레임기간 동안 동일한 액정셀(C1c)에 공급되는 인터레이스방식의 데이터전압 예를 보여주는 파형도이다.

[0006] 도 2를 참조하면, 액정셀(C1c)에는 기수 프레임기간 동안 정극성 전압이 공급되고 우수 프레임기간 동안 부극성

전압이 공급된다. 인터레이스 방식에서, 기수 수평라인에 배치된 액정셀(C1c)에는 기수 프레임기간 동안에만 높은 정극성 데이터전압이 공급되기 때문에, 제1 내지 제4 프레임기간 동안 박스 내의 과형과 같이 정극성 데이터전압이 부극성 데이터전압에 비하여 우세적으로 되어 직류화 잔상이 나타나게 된다. 도 3은 인터레이스 데이터로 인하여 나타나는 직류화 잔상의 실험 결과를 보여주는 이미지이다. 도 3의 좌측 이미지와 같은 오리지널 이미지(Original image)를 인터레이스방식으로 액정표시패널에 일정시간 동안 공급하면 액정셀에 충전되는 데이터전압이 도 2와 같이 변하고, 그 결과 일정 시간 후에 전 화면의 액정셀들(C1c)에 중간계조 예를 들면 127 계조의 데이터전압을 공급하면 우측 이미지와 같이 오리지널 이미지의 패턴이 희미하게 보이는 직류화 잔상이 나타난다.

[0007] 직류화 잔상의 다른 예로써, 동일한 화상을 일정한 속도로 이동 또는 스크롤(scroll)시키면 스크롤되는 그림의 크기와 스크롤 속도(이동속도)의 상관 관계에 따라 액정셀(C1c)에 동일 극성의 전압이 반복적으로 축적되어 직류화 잔상이 나타날 수 있다. 이러한 실예는 도 4와 같다. 도 4는 사진 패턴과 문자 패턴을 일정한 속도로 이동시킬 때 나타나는 직류화 잔상의 실험 결과를 보여주는 이미지이다.

발명의 내용

해결 하고자하는 과제

[0008] 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 직류화 잔상을 방지하여 표시품질을 높이도록 한 액정표시장치와 그 구동방법을 제공하는데 있다.

과제 해결수단

[0009] 상기 목적을 달성하기 위하여, 본 발명의 액정표시장치는 다수의 데이터라인, 상기 데이터라인들과 교차되는 다수의 게이트라인, 및 다수의 액정셀들을 포함하며 적색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀 및 백색 서브픽셀이 하나의 픽셀을 구성하는 쿼드 타입 픽셀 구조를 갖는 액정표시패널; 각각 3 수평기간마다 논리가 반전되고 위상이 서로 다른 다수의 극성제어신호들을 순차적으로 출력하는 로직회로; 상기 로직회로로부터 입력되는 극성제어신호에 응답하여 데이터전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동회로; 및 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 구비한다.

[0010] 상기 액정표시장치의 구동방법은 각각 3 수평기간마다 논리가 반전되고 위상이 서로 다른 다수의 극성제어신호들을 순차적으로 출력하는 단계; 상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 단계; 및 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 단계를 포함한다.

효 과

[0011] 본 발명의 액정표시장치와 그 구동방법은 쿼드 타입의 픽셀 구조를 갖는 액정표시장치에 공급되는 데이터전압들의 극성을 수직 3 도트 및 수평 2 도트 인버전 방식으로 제어하고 그 극성을 제어하기 위한 제어신호의 위상을 1 프레임기간 단위로 변경하여 직류화잔상은 물론 색왜곡과 플리커 현상 없이 비디오 데이터를 표시하여 표시품질을 높일 수 있다.

발명의 실시를 위한 구체적인 내용

[0012] 이하, 도 5 내지 도 17d를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0013] 도 5 내지 도 12는 본 발명의 실시예에 따른 액정표시장치를 나타낸다.

[0014] 도 5 및 도 6을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 비디오 소스(15), 데이터 변환회로(16), 타이밍 컨트롤러(11), 로직회로(12), 데이터 구동회로(13), 및 게이트 구동회로(14)를 구비한다.

[0015] 액정표시패널(10)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널(10)의 하부 유리기관에는 m(m은 양의 정수) 개의 데이터라인들(D1 내지 Dm)과 n(n은 양의 정수) 개의 게이트라인들(G1 내지 Gn)이 교차된

다. 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)의 교차 구조에 의해 액정표시패널(10)에는 매트릭스 형태로 배치된 $m \times n$ 개의 액정셀들(C1c)을 포함한다. 액정표시패널(10)의 하부 유리기관에는 데이터라인들(D1 내지 Dm), 게이트라인들(G1 내지 Gn), TFT, TFT에 접속된 액정셀(C1c)의 화소전극(1), 및 스토리지 커패시터(Cst) 등이 형성된다. 스토리지 커패시터(Cst)는 n 번째 게이트라인의 게이트펄스에 따라 선택된 n 번째 표시라인의 화소전극(1)과 유전층을 사이에 두고 일부가 중첩된 n-1 번째 게이트라인에 의해 형성되는 정전 용량을 이용한 스토리지 온 게이트(Storage on gate) 방식의 스토리지 커패시터 또는, n 번째 표시라인의 화소전극(1)과 유전층을 사이에 두고 중첩된 별도의 공통라인(도시하지 않음)에 의해 형성된 스토리지 온 커먼(Storage on common) 방식의 스토리지 커패시터로 구현될 수 있다.

[0016] 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.

[0017] 액정표시패널(10)의 화소 어레이는 도 6과 같이 매트릭스 형태로 배치된 쿼드 타입 픽셀들(Quad type Pixels, QPXL)을 포함한다. 도 6에서 'PE'는 액정셀(C1c)의 화소전극이다. 쿼드 타입 픽셀들(QPXL) 각각은 기수 번째 표시라인에 배치된 G 서브픽셀 및 B 서브픽셀, 우수 번째 표시라인에 배치된 W 서브픽셀 및 R 서브픽셀을 포함한다. 서브픽셀들 각각은 도 5에서 원 안의 등가회로와 같은 구성을 갖는다. G 서브픽셀에는 녹색 빛을 투과하는 녹색 컬러필터가 형성되고, B 서브픽셀에는 청색 빛을 투과하는 청색 컬러필터가 형성된다. 그리고 R 서브픽셀에는 적색 빛을 투과하는 적색 컬러필터가 형성된다. W 서브픽셀에는 컬러필터가 형성되지 않는다. W 서브픽셀에는 컬러필터 대신에 모든 파장의 빛을 투과시키는 유/무기 투명층이 형성될 수 있다.

[0018] G 서브픽셀은 기수 번째 데이터라인(D1, D3)으로부터의 녹색 데이터전압을 충전하는 액정셀을 포함하고, B 서브픽셀은 우수 번째 데이터라인(D2, D4)으로부터의 청색 데이터전압을 충전하는 액정셀을 포함한다. W 서브픽셀은 기수 번째 데이터라인(D1, D3)으로부터의 백색 데이터전압을 충전하는 액정셀을 포함하고, R 서브픽셀은 우수 번째 데이터라인(D2, D4)으로부터의 적색 데이터전압을 충전하는 액정셀을 포함한다. 따라서, 액정표시패널(10)의 화소 어레이에서 기수 표시라인들에는 기수 번째 데이터라인(D1, D3)으로부터의 녹색 데이터전압을 충전하는 G 서브픽셀과, 우수 번째 데이터라인(D2, D4)으로부터의 청색 데이터전압을 충전하는 B 서브픽셀이 교대로 배치된다. 그리고 액정표시패널(10)의 화소 어레이에서 우수 표시라인들에는 기수 번째 데이터라인(D1, D3)으로부터의 백색 데이터전압을 충전하는 W 서브픽셀과, 우수 번째 데이터라인(D2, D4)으로부터의 적색 데이터전압을 충전하는 R 서브픽셀이 교대로 배치된다.

[0019] 비디오 소스(15)는 방송신호 수신회로, 외부기기 인터페이스회로, 그래픽처리회로, 라인 메모리 등을 포함하여 방송신호나 외부기기로부터 입력되는 영상소스로부터 비디오 데이터를 추출하고 그 비디오 데이터를 디지털로 변환하여 타이밍 콘트롤러(11)에 공급한다. 비디오 소스(15)에서 수신되는 인터레이스 데이터는 라인 메모리에 저장된 후 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 데이터 변환부(16)에 공급된다. 인터레이스 이미지 신호는 기수 프레임기간에 기수라인에만 존재하고 우수 프레임기간에 우수라인에만 존재한다. 따라서, 비디오 소스(15)는 방송신호 수신회로를 통해 인터레이스 데이터를 수신하면 라인 메모리에 저장된 이전 데이터들의 평균값 또는 블랙 데이터값으로 데이터가 입력되지 않은 기수 프레임기간의 우수 라인 데이터, 그리고 우수 프레임의 기수 라인 데이터를 발생한다. 또한, 비디오 소스(15)에서 생성되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍 신호들은 LVDS 인터페이스, TMDS 인터페이스 등의 인터페이스를 통해 타이밍 콘트롤러(11)에 공급된다.

[0020] 데이터 변환회로(16)는 비디오 소스(15)로부터 입력되는 적색, 녹색 및 청색의 디지털 비디오 데이터를 포함한 3원색 데이터를 이용한 소정의 화이트 게인 산출 알고리즘으로 백색 데이터의 게인을 산출하여 백색 데이터를 생성한다. 그리고 데이터 변환회로(16)는 적색, 녹색, 청색 및 백색의 디지털 비디오 데이터(이하, RGBW 데이터라 함)를 타이밍 콘트롤러(11)에 공급한다. 화이트 게인 산출 알고리즘은 공지된 어떠한 것도 가능하다. 예컨대, 본원 출원인에 의해 기출원된 대한민국 특허 출원 제10-2005-0039728(2005. 05. 12), 대한민국 특허 출원 제10-2005-0052906(2005. 06. 20), 대한민국 특허 출원 제10-2005-0066429(2007. 07. 21), 대한민국 특허 출원 제10-2006-0011292(2006. 02. 06) 등에서 제안된 화이트 게인 산출 알고리즘들이 적용 가능하다.

- [0021] 타이밍 컨트롤러(11)는 디지털 비디오 데이터의 전송 주파수를 낮추기 위하여, 데이터 변환부(16)로부터 입력되는 RGBW 데이터(RGBW)를 기수 화소 데이터(RGBWodd)와 우수 화소 데이터(RGBWeven)로 분리한다. 그리고 타이밍 컨트롤러(11)는 데이터 구동회로(13)와 게이트 구동회로(14)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들과 동기되도록 6 개의 데이터버스를 통해 mini LVDS 인터페이스 방식으로 데이터들(RGBWodd, RGBWeven)을 데이터 구동회로(13)에 공급한다. 타이밍 컨트롤러(11)는 비디오 소스(15)로부터 입력되는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블(Data Enable), 클럭신호(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(13), 게이트 구동회로(14) 및 로직회로(12)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 컨트롤러(11)에 의해 생성되는 제어신호들은 게이트 구동회로(14)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호와, 데이터 구동회로(13)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호를 포함한다. 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 제어한다. 게이트 쉬프트 클럭신호(GSC)은 게이트 구동회로(14) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(14)의 출력 타이밍을 제어한다. 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse : SSP), 소스 샘플링 클럭(Source Sampling Clock : SSC), 소스 출력 인에이블신호(Source Output Enable : SOE), 제1 및 제2 극성제어신호(Polarity : POL1, POL2)를 포함한다. 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 화소를 제어한다. 소스 샘플링 클럭(SSC)은 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(13) 내에서 데이터의 래치동작을 제어한다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(13)의 출력 타이밍을 제어한다. 제1 및 제2 극성제어신호(POL1, POL2) 각각은 이웃하는 3 개의 표시라인의 액정셀들에 동일한 극성의 데이터전압이 순차적으로 공급되도록 하고 또한, 3 개의 표시라인 단위로 액정셀들에 충전되는 데이터전압의 극성이 반전되도록 액정셀들(C1c)에 공급될 데이터전압의 극성을 제어한다. 이를 위하여, 제1 및 제2 극성제어신호(POL1, POL2) 각각은 도 9와 같이 대략 3 수평기간 단위로 논리가 반전되고 대략 1 수평기간만큼의 위상차를 가진다.
- [0022] 로직회로(12)는 게이트 스타트 펄스(GSP)를 입력받아 현재 표시되는 영상의 프레임기간을 판단하여 도 9, 도 17a 내지 도 17d와 같이 논리반전주기가 동일하고 위상이 서로 다른 다수의 극성제어신호들(POL1, POL2, /POL1, /POL2)을 순차적으로 출력한다.
- [0023] 데이터 변환부(16)와 로직회로(12)는 타이밍 컨트롤러(11)에 내장될 수 있다.
- [0024] 데이터 구동회로(13)는 도 10 및 도 11과 같은 회로 구성을 가지며 종속적으로 접속된 다수의 데이터 드라이브 집적회로들(Integrated Circuit, IC)을 포함한다. 데이터 구동회로(13)는 타이밍 컨트롤러(11)의 제어 하에 RGBW 데이터(RGBWodd, RGBWeven)를 래치하고 그 RGBW 데이터(RGBWodd, RGBWeven)를 아날로그 정극성 감마보상 전압과 부극성 감마보상전압으로 변환하여 정극성 아날로그 데이터전압과 부극성 아날로그 데이터전압을 발생한다. 그리고 데이터 구동회로(13)는 로직회로(12)로부터의 극성제어신호(POL)에 응답하여 데이터전압의 극성을 변환하여 RGBW 정극성 데이터전압과 RGBW 부극성 데이터전압을 데이터라인들(D1 내지 Dm)에 공급한다.
- [0025] 게이트 구동회로(14)는 도 12와 같은 회로 구성을 가지며 종속적으로 접속된 다수의 게이트 드라이브 IC를 포함한다. 이 게이트 구동회로(14)는 타이밍 컨트롤러(11)의 제어 하에 대략 1 수평기간의 펄스폭을 가지는 게이트 펄스(또는 스캔펄스들)를 순차적으로 출력한다. 따라서, 액정표시패널(10)의 게이트라인들(G1~Gn)에는 게이트 구동회로(14)로부터 게이트펄스가 순차적으로 공급된다. 액정표시패널(10)의 화소 어레이에 형성된 TFT들 각각은 게이트라인(G1~Gn)으로부터의 게이트펄스에 응답하여 턴-온되어 데이터라인(D1~Dm)으로부터의 데이터전압을 화소전극(1)에 공급한다. 이를 위하여, TFT의 게이트전극은 게이트라인(G1~Gn)에 접속되고 TFT의 소스전극과 드레인전극은 각각 데이터라인(D1~Dm)과 화소전극(1)에 접속된다.
- [0026] 본 발명에서 적용 가능한 액정표시장치는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드라도 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치는 도면에서 생략된 백라이트 유닛이 필요하다.
- [0027] 도 7 및 도 8은 로직회로(12)를 상세히 나타내는 회로도들이다.
- [0028] 도 7 및 도 8을 참조하면, 로직회로(12)는 프레임 카운터(71), 및 POL 선택회로(73)를 구비한다.

- [0029] 프레임 카운터(71)는 1 프레임기간 동안 1회 발생되고 1 프레임기간의 시작과 동시에 발생하는 게이트 스타트 펄스(GSP)에 응답하여 액정표시패널(10)에 표시될 화상의 프레임 수를 지시하는 프레임 카운트 정보(Fcnt)를 출력한다.
- [0030] POL 선택회로(73)는 프레임 카운트 정보(Fcnt)에 따라 4 개의 프레임기간 단위로 순환되는 4 개의 극성제어신호들(POL1, POL2, /POL1, /POL2)를 순차적으로 출력한다. 극성제어신호들(POL1, POL2, /POL1, /POL2)은 N(N은 양의 정수) 번째 프레임기간 동안 데이터 구동회로(13)로부터 출력되는 데이터전압의 극성을 제어하는 제1 극성제어신호(POL1), N+1 번째 프레임기간 동안 데이터 구동회로(13)로부터 출력되는 데이터전압의 극성을 제어하는 제2 극성제어신호(POL2), N+2 번째 프레임기간 동안 데이터 구동회로(13)로부터 출력되는 데이터전압의 극성을 제어하는 제1 반전 극성제어신호(/POL1), 및 N+3 번째 프레임기간 동안 데이터 구동회로(13)로부터 출력되는 데이터전압의 극성을 제어하는 제2 반전 극성제어신호(/POL2)를 포함한다. 이러한 극성제어신호들은 도 6과 같은 쿼드 타입 픽셀 구조의 액정표시패널에서 직류화 잔상, 플리커 및 색왜곡이 발생하지 않도록 액정셀들에 공급되는 데이터전압의 극성을 제어하며 쿼드 타입 픽셀 구조의 액정표시패널에 대한 반복 실험 결과 선택된 최적의 위상으로 발생된다. 이렇게 실험을 바탕으로 최적화된 극성제어신호들을 구체적으로 설명하면, 도 9와 같이 제 1 극성제어신호(POL1)에 이어서 발생하는 제2 극성제어신호(POL2)는 제1 극성제어신호(POL1) 대비 대략 1 수평기간만큼 위상이 지연된 신호이며, 제2 극성제어신호(POL2)에 이어서 발생하는 제1 반전 극성제어신호(/POL1)는 제2 극성제어신호(POL2) 대비 대략 2 수평기간만큼 위상이 지연된 신호이다. 제1 반전 극성제어신호(/POL1)에 이어서 발생하는 제2 반전 극성제어신호(/POL2)는 제1 반전 극성제어신호(/POL1) 대비 대략 1 수평기간만큼 위상이 지연된 신호이다. 그리고 제2 반전 극성제어신호(/POL2)에 이어서 다시 발생하는 제1 극성제어신호(POL1)는 제2 반전 극성제어신호(/POL2) 대비 대략 2 수평기간만큼 위상이 지연된 신호이다.
- [0031] POL 선택회로(73)는 제1 및 제2 인버터(81, 82), 프레임 콘트롤러(83) 및 멀티플렉서(84) 등을 구비하여 도 9, 도 17a 내지 도 17d와 같은 극성제어신호들을 발생한다.
- [0032] 제1 인버터(81)는 제1 극성제어신호(POL1)를 반전시켜 제1 극성제어신호(POL1)의 역위상인 제1 반전 극성제어신호(/POL1)를 발생한다. 제2 인버터(82)는 제2 극성제어신호(POL2)를 반전시켜 제2 극성제어신호(POL12)의 역위상인 제2 반전 극성제어신호(/POL2)를 발생한다.
- [0033] 프레임 콘트롤러(83)는 프레임 카운터(71)로부터의 프레임 카운트 정보(Fcnt)를 입력받아 현재 표시되는 영상의 프레임기간을 판단한다. 그리고 프레임 콘트롤러(83)는 프레임기간의 판단결과에 따라 멀티플렉서(84)를 제어하기 위한 선택신호를 발생한다.
- [0034] 멀티플렉서(84)는 프레임 콘트롤러(83)의 제어 하에 도 17a 내지 도 17d와 같이 N 번째 프레임기간에 제1 극성제어신호(POL1)를 데이터 구동회로(13)에 공급한 후, N+1 번째 프레임기간에 제2 극성제어신호(POL2)를 데이터 구동회로(13)에 공급한다. 이어서, 멀티플렉서(84)는 N+2 번째 프레임기간에 제1 반전 극성제어신호(/POL1)를 데이터 구동회로(13)에 공급한 다음, N+3 번째 프레임기간에 제2 반전 극성제어신호(/POL2)를 데이터 구동회로(13)에 공급한다.
- [0035] 도 10 및 도 11은 데이터 구동회로 IC(13A)를 상세히 나타내는 회로도이다.
- [0036] 도 10 및 도 11을 참조하면, 데이터 드라이브 IC(13A) 각각은 k(k는 m 보다 작은 양의 정수) 개의 데이터라인들을 구동하며, 쉬프트 레지스터(101), 데이터 복원부(102), 제1 래치 어레이(103), 제2 래치 어레이(104), 디지털-아날로그 변환기(이하, "DAC"라 한다)(105), 차지쉐어회로(Charge Share Circuit)(106) 및 출력회로(107)를 포함한다.
- [0037] 데이터 복원부(102)는 타이밍 콘트롤러(11)로부터의 디지털 비디오 데이터(RGBWodd, RGBeven)를 mini LVDS 방식으로 데이터를 복원하여 제1 래치 어레이(103)에 공급한다.
- [0038] 쉬프트 레지스터(101)는 소스 샘플링 클럭(SSC)에 따라 샘플링신호를 쉬프트시킨다. 또한, 쉬프트 레지스터(101)는 제1 래치 어레이(103)의 래치수를 초과하는 데이터가 공급될 때 캐리신호(Carry signal, CAR)를 발생한다.
- [0039] 제1 래치 어레이(103)는 쉬프트 레지스터(101)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 복원부(102)로부터의 디지털 비디오 데이터(RGBWodd, RGBeven)를 샘플링하여 래치한 다음, 동시에 출력한다.
- [0040] 제2 래치 어레이(104)는 제1 래치 어레이(103)로부터 입력되는 데이터들을 래치한 다음, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 다른 데이터 드라이브 IC들(13A)의 제2 래치 어레이(104)와 동시에 래치된 데이터

들을 동시에 출력한다.

- [0041] DAC(105)는 도 11과 같이 정극성 감마보상전압(GH)이 공급되는 P-디코더(PDEC)(111), 부극성 감마보상전압(GL)이 공급되는 N-디코더(NDEC)(112), P-디코더(111)의 출력과 N-디코더(112)의 출력을 선택하는 멀티플렉서(1131, 1132, 1141, 1142)를 포함한다.
- [0042] P-디코더(111)는 제2 래치 어레이(104)로부터 입력되는 데이터들을 디코드하여 그 데이터의 계조값에 해당하는 정극성 감마보상전압(GH)을 출력하고, N-디코더(112)는 제2 래치 어레이(104)로부터 입력되는 데이터들을 디코드하여 그 데이터의 계조값에 해당하는 부극성 감마보상전압(GL)을 출력한다.
- [0043] 멀티플렉서(1131, 1132, 1141, 1142)는 $4i$ (i 는 양의 정수)+1 번째 데이터라인(D1, D5...Dm-3)에 공급될 데이터전압을 선택하는 제1 멀티플렉서(1131), $4i+2$ 번째 데이터라인(D2, D6...Dm-2)에 공급될 데이터전압을 선택하는 제2 멀티플렉서(1132), $4i+3$ 번째 데이터라인(D3, D7...Dm-1)에 공급될 데이터전압을 선택하는 제3 멀티플렉서(1141), 및 $4i+4$ 번째 데이터라인(D4, D8...Dm)에 공급될 데이터전압을 선택하는 제4 멀티플렉서(1142)를 구비한다. 제1 및 제2 멀티플렉서(1131, 1132)의 제어단자에는 로직회로(12)로부터 입력되는 극성제어신호(POL)가 그대로 입력되는 반면에, 제3 및 제4 멀티플렉서(1141, 1142)의 제어단자에는 로직회로(12)로부터 입력되는 극성제어신호(POL)가 반전되어 입력된다. 따라서, 제1 및 제2 멀티플렉서(1131, 1132)는 극성제어신호(POL)에 응답하여 P-디코더(111)와 N-디코더(112)로부터 출력되는 정극성 데이터전압과 부극성 데이터전압을 대략 3 수평기간 단위로 교대로 선택한다. 이에 비하여, 제3 및 제4 멀티플렉서(1141, 1142)는 반전된 극성제어신호(POL)에 응답하여 P-디코더(111)와 N-디코더(112)로부터 출력되는 정극성 데이터전압과 부극성 데이터전압을 대략 3 수평기간 단위로 교대로 선택한다. 그 결과, $4i+1$ 및 $4i+2$ 번째 데이터라인들에 공급되는 데이터전압의 극성은 $4i+3$ 및 $4i+4$ 번째 데이터라인들에 공급되는 데이터전압의 극성과 상반된다.
- [0044] 차지체어회로(106)는 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 이웃한 데이터전압들의 평균값을 차지체어전압으로 출력하거나, 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 데이터 출력채널들에 공통전압(Vcom)을 공급하여 데이터라인들(D1~Dm)에 공급될 정극성 데이터전압과 부극성 데이터전압 사이의 급격한 스윙폭 변화를 줄인다. 출력회로(107)는 버퍼를 이용하여 데이터라인(D1~Dm)에 공급되는 데이터전압의 신호감쇠를 최소화한다.
- [0045] 도 12는 게이트 드라이브 IC(14A)를 나타낸다.
- [0046] 도 12를 참조하면, 게이트 드라이브 IC(14A)는 쉬프트 레지스터(120), 레벨 쉬프터(122), 쉬프트 레지스터(120)와 레벨 쉬프터(122) 사이에 접속된 다수의 논리곱 게이트(이하, "AND 게이트"라 함)(121) 및 게이트 출력 인에이블신호(GOE)를 반전시키기 위한 인버터(123)를 구비한다.
- [0047] 쉬프트 레지스터(120)는 종속적으로 접속된 다수의 D-플립플롭을 이용하여 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시킨다. AND 게이트들(121) 각각은 쉬프트 레지스터(120)의 출력신호와 게이트 출력 인에이블신호(GOE)의 반전신호를 논리곱하여 출력을 발생한다. 인버터(123)는 게이트 출력 인에이블신호(GOE)를 반전시켜 AND 게이트들(121)에 공급한다. 따라서, 게이트 드라이브 IC(14A)은 게이트 출력 인에이블신호(GOE)의 로우논리구간일 때 게이트펄스의 하이논리전압을 출력한다.
- [0048] 레벨 쉬프터(122)는 액정표시패널(10)의 화소 어레이 내에 형성된 TFT의 동작 전압 범위만큼 AND 게이트(121)의 출력전압 스윙폭을 쉬프트시킨다. 레벨 쉬프터(122)의 출력신호(G1 내지 Gk)는 k (k 는 정수) 개의 게이트라인들(G1~Gn)에 순차적으로 공급된다. 한편, 레벨 쉬프터(122)는 쉬프트 레지스터(120)의 앞단에 배치되고, 쉬프트 레지스터(120)는 화소 어레이의 TFT와 함께 액정표시패널(10)의 유리기판에 직접 형성될 수 있다.
- [0049] 도 13 및 도 14는 본 발명의 실시예에 따른 액정표시장치에서 액정의 직류화잔상과 플리커를 억제하는 원리를 설명하기 위한 도면들이다.
- [0050] 도 13 및 도 14를 참조하면, 본 발명은 도 9와 같은 극성제어신호(POL)를 이용하여 이웃하는 액정셀들에 충전되는 데이터전압들의 극성 반전시점을 어긋나게 제어한다. 액정셀들(C1c)은 이전 프레임기간에 충전하였던 데이터전압의 극성과 동일한 극성의 데이터전압을 현재 프레임기간에 충전하는 제1 액정셀군과, 이전 프레임기간에 충전하였던 데이터전압의 극성과는 상반된 극성의 데이터전압을 현재 프레임기간에 충전하는 제2 액정셀군을 포함한다. 따라서, 2 프레임기간 내에서 제1 액정셀군의 액정셀들에 충전되는 데이터전압의 극성은 동일하게 제어되는 반면, 제2 액정셀군의 액정셀들에 충전되는 데이터전압의 극성은 한차례 반전된다. 제1 액정셀군의 액정셀과 제2 액정셀군의 액정셀의 위치는 도 17a 내지 도 17d와 같이 바뀐다.

- [0051] 인터레이스 방식의 비디오 신호가 액정표시패널에 공급될 때, 액정셀들에 충전되는 데이터전압의 극성은 도 14와 같다.
- [0052] 기수 프레임기간 동안 액정셀에 높은 데이터전압이 공급되는 인터레이스 데이터를 액정표시장치에 표시한다고 할 때, 도 14와 같이 제1 및 제2 액정셀군의 액정셀들에는 2 프레임기간 주기로 극성이 반전되는 데이터전압이 공급된다. 그러면, 박스 내의 파형과 같이 N 번째 및 N+1 번째 프레임기간 동안 액정셀에 공급되는 정극성 데이터전압들과, N+2 번째 및 N+3 번째 프레임기간 동안 동일한 액정셀에 공급되는 부극성 데이터전압들이 중화되어 그 액정셀에 편향된 극성의 전압이 축적되지 않는다. 따라서, 본 발명의 액정표시장치는 인터레이스 데이터가 공급될 때 액정의 직류화를 억제하여 직류화 잔상을 방지할 수 있다.
- [0053] 기호나 문자를 프레임당 8 픽셀(pixel)의 속도로 이동시키는 스크롤 데이터에서도 액정셀들의 전압이 2 프레임기간 단위로 반전된다. 따라서, 본 발명은 일정한 속도로 기호나 문자가 이동하는 스크롤 데이터에서 액정셀(C1c)에 충전되는 전압의 극성이 주기적으로 반전됨으로써 동일 극성의 전압이 누적되어 나타나는 직류화 잔상을 예방할 수 있다.
- [0054] 제1 액정셀군은 직류화잔상을 예방할 수 있지만 동일 극성의 데이터전압들이 두 프레임기간 주기로 액정셀(C1c)에 공급되므로 플리커가 나타날 수 있다. 제2 액정셀군의 액정셀들(C1c)에는 육안으로 플리커가 거의 느껴지지 않는 1 프레임기간 주기로 극성이 반전되는 데이터전압이 인가되어 제1 액정셀군으로 인한 플리커 현상을 최소화한다. 이는 인간의 육안은 변화에 민감하기 때문에 구동 주파수가 서로 다른 제1 액정셀군과 제2 액정셀군이 공존하는 액정표시장치를 보면 구동 주파수가 높은 제2 액정셀군의 구동 주파수로 제1 액정셀군의 구동 주파수를 인식하기 때문이다.
- [0055] 한편, 일반적인 3원색 픽셀 구조의 액정표시패널의 인버전 방식으로는 수평 및 수직 방향에서 플리커와 색왜곡이 가장 작기 때문에 수평 1 도트 및 수직 1 도트 인버전 방식이 바람직하다. 그러나, 본 발명의 액정표시장치와 같이 쿼드 타입의 액정표시장치에서는 극성제어신호의 위상을 도 9의 예와 같이 1 프레임기간 단위로 변경하더라도 수평 1 도트 인버전 또는 수직 1 도트 인버전 방식으로 데이터전압의 극성을 변환하면 데이터 전압의 극성 치우침으로 인하여 플리커와 색왜곡이 나타날 수 있다. 이를 도 15 및 도 16을 결부하여 설명하기로 한다.
- [0056] 액정셀은 TFT의 기생용량으로 인하여 발생하는 킥백전압(kick back voltage) 때문에 동일 계조의 정극성 데이터전압과 부극성 데이터전압을 충전할 때 데이터 전압의 충전양이 달라진다. 일반적으로 액정셀은 킥백전압으로 인하여 정극성 데이터전압을 충전할 때보다 부극성 데이터전압을 충전할 때 데이터전압의 충전양이 크다. 이러한 경향을 고려할 때 쿼드 타입의 픽셀 구조를 갖는 액정표시패널의 액정셀들에 도 15와 같은 수직 2 도트 및 수평 1 도트 인버전 방식으로 극성이 반전되는 데이터전압이 공급되면, 도 15에서 Line#1, Line#2, Line#5, Line#6 등의 표시라인은 청색과 적색이 상대적으로 강하게 보이는 마젠타(magenta) 색조로 영상이 재현되는 반면, Line#3, Line#4 등의 표시라인에서는 녹색과 백색이 상대적으로 강하게 보이는 녹색조(greenish)로 영상이 재현되어 색왜곡이 나타날 수 있다. 또한, 도 15에서 Line#3, Line#4 등의 표시라인은 녹색과 백색이 상대적으로 강하게 보이므로 Line#1, Line#2, Line#5, Line#6 등의 표시라인에 비하여 휘도가 상대적으로 높아지게 되어 2 개의 표시라인 단위로 플리커가 느껴질 수 있다. 이러한 현상은 동일한 표시라인에서 동일한 색의 서브픽셀들의 액정셀에 충전되는 전압의 극성이 어느 한 극성으로 동일하기 때문이다.
- [0057] 쿼드 타입의 픽셀 구조를 갖는 액정표시패널의 액정셀들에 도 16과 같은 수직 1 도트 및 수평 2 도트 인버전 방식으로 극성이 반전되는 데이터전압이 공급되면, 도 15에서 동일한 컬럼에서 동일한 색의 서브픽셀들의 액정셀에 충전되는 데이터전압들의 극성이 모두 동일하게 된다. 그 결과, 기수 컬럼들에서는 녹색조로 영상이 재현되는 반면, 우수 컬럼들에서는 마젠타 색조로 영상이 재현되어 색왜곡이 나타나고, 2 개의 컬럼 단위로 플리커가 느껴질 수 있다.
- [0058] 직류화잔상을 방지하면서 도 15 및 도 16과 같은 색왜곡과 플리커를 동시에 해결하기 위하여, 본 발명은 도 9와 같은 극성제어신호들(POL1, POL2, /POL1, /POL2)를 이용하여 쿼드 타입의 픽셀 구조를 갖은 액정표시장치에 공급되는 데이터전압들의 극성을 도 17a 내지 도 17d와 같이 제어한다.
- [0059] 도 17a을 참조하면, N 번째 프레임기간 동안 로직회로(12)는 제1 극성제어신호(POL1)를 데이터 구동회로(13)에 공급한다. 그 결과, 데이터 구동회로(13)는 N 번째 프레임기간 동안 도 17a와 같은 극성 패턴으로 쿼드 타입의 픽셀 구조를 갖는 액정표시장치의 데이터라인들(D1~Dm)에 공급되는 데이터전압들의 극성을 제어한다.
- [0060] 액정셀들에 공급되는 데이터전압들의 극성은 수직 3 도트 및 수평 2 도트 인버전 방식으로 반전된다. 이 액정

셀들에 공급되는 데이터전압들의 극성은 도 7d와 같은 극성 패턴으로부터 도 7a와 같은 극성 패턴으로 변한다. 따라서, 도 7a 및 도 7d의 비교를 통해서 알 수 있는 바와 같이, N 번째 프레임기간 동안 6j(j는 양의 정수)+1 및 6j+4 번째 표시라인들(Line#1, Line#4)의 액정셀들은 제1 액정셀군으로 구동하는 반면, 6j+2, 6j+3, 6j+5 및 6j+6 번째 표시라인들(Line#2, Line#3, Line#5, Line#6)의 액정셀들은 제2 액정셀군으로 구동한다. 동일 라인과 동일 컬럼에서 같은 색의 서브픽셀들의 액정셀들에는 도 17a와 같이 상반된 극성의 데이터전압들이 공급되어 극성의 치우침이 거의 없다. 따라서, 쿼드 타입의 픽셀 구조를 갖는 액정표시장치는 직류화잔상, 색왜곡 및 플리커 현상없이 비디오 데이터를 표시할 수 있다.

[0061] 도 17b를 참조하면, N+1 번째 프레임기간 동안 로직회로(12)는 제2 극성제어신호(POL2)를 데이터 구동회로(13)에 공급한다. 그 결과, 데이터 구동회로(13)는 N+1 번째 프레임기간 동안 도 17b와 같은 극성 패턴으로 쿼드 타입의 픽셀 구조를 갖는 액정표시장치의 데이터라인들(D1~Dm)에 공급되는 데이터전압들의 극성을 제어한다.

[0062] 액정셀들에 공급되는 데이터전압들의 극성은 수직 3 도트 및 수평 2 도트 인버전 방식으로 반전된다. 이 액정셀들에 공급되는 데이터전압들의 극성은 도 7a와 같은 극성 패턴으로부터 도 7b와 같은 극성 패턴으로 변한다. 따라서, 도 7a 및 도 7b의 비교를 통해서 알 수 있는 바와 같이, N+1 번째 프레임기간 동안 6j+2, 6j+3, 6j+5 및 6j+6 번째 표시라인들(Line#2, Line#3, Line#5, Line#6)의 액정셀들은 제1 액정셀군으로 구동하는 반면, 6j+1 및 6j+4 번째 표시라인들(Line#1, Line#4)의 액정셀들은 제2 액정셀군으로 구동한다. 동일 라인과 동일 컬럼에서 같은 색의 서브픽셀들의 액정셀들에는 도 17b와 같이 상반된 극성의 데이터전압들이 공급되어 극성의 치우침이 거의 없다. 따라서, 쿼드 타입의 픽셀 구조를 갖는 액정표시장치는 직류화잔상, 색왜곡 및 플리커 현상없이 비디오 데이터를 표시할 수 있다.

[0063] 도 17c를 참조하면, N+2 번째 프레임기간 동안 로직회로(12)는 제1 반전 극성제어신호(/POL1)를 데이터 구동회로(13)에 공급한다. 그 결과, 데이터 구동회로(13)는 N+2 번째 프레임기간 동안 도 17c와 같은 극성 패턴으로 쿼드 타입의 픽셀 구조를 갖는 액정표시장치의 데이터라인들(D1~Dm)에 공급되는 데이터전압들의 극성을 제어한다.

[0064] 액정셀들에 공급되는 데이터전압들의 극성은 수직 3 도트 및 수평 2 도트 인버전 방식으로 반전된다. 이 액정셀들에 공급되는 데이터전압들의 극성은 도 7b와 같은 극성 패턴으로부터 도 7c와 같은 극성 패턴으로 변한다. 따라서, 도 7b 및 도 7c의 비교를 통해서 알 수 있는 바와 같이, N+2 번째 프레임기간 동안 6j+1 및 6j+4 번째 표시라인들(Line#1, Line#4)의 액정셀들은 제1 액정셀군으로 구동하는 반면, 6j+2, 6i+3, 6i+5 및 6j+6 번째 표시라인들(Line#2, Line#3, Line#5, Line#6)의 액정셀들은 제2 액정셀군으로 구동한다. 동일 라인과 동일 컬럼에서 같은 색의 서브픽셀들의 액정셀들에는 도 17c와 같이 상반된 극성의 데이터전압들이 공급되어 극성의 치우침이 거의 없다. 따라서, 쿼드 타입의 픽셀 구조를 갖는 액정표시장치는 직류화잔상, 색왜곡 및 플리커 현상없이 비디오 데이터를 표시할 수 있다.

[0065] 도 17d를 참조하면, N+3 번째 프레임기간 동안 로직회로(12)는 제2 반전 극성제어신호(/POL2)를 데이터 구동회로(13)에 공급한다. 그 결과, 데이터 구동회로(13)는 N+3 번째 프레임기간 동안 도 17d와 같은 극성 패턴으로 쿼드 타입의 픽셀 구조를 갖는 액정표시장치의 데이터라인들(D1~Dm)에 공급되는 데이터전압들의 극성을 제어한다.

[0066] 액정셀들에 공급되는 데이터전압들의 극성은 수직 3 도트 및 수평 2 도트 인버전 방식으로 반전된다. 이 액정셀들에 공급되는 데이터전압들의 극성은 도 7c와 같은 극성 패턴으로부터 도 7d와 같은 극성 패턴으로 변한다. 따라서, 도 7c 및 도 7d의 비교를 통해서 알 수 있는 바와 같이, N+3 번째 프레임기간 동안 6j+2, 6j+3, 6j+5 및 6j+6 번째 표시라인들(Line#2, Line#3, Line#5, Line#6)의 액정셀들은 제1 액정셀군으로 구동하는 반면, 6j+1 및 6i+4 번째 표시라인들(Line#1, Line#4)의 액정셀들은 제2 액정셀군으로 구동한다. 동일 라인과 동일 컬럼에서 같은 색의 서브픽셀들의 액정셀들에는 도 17d와 같이 상반된 극성의 데이터전압들이 공급되어 극성의 치우침이 거의 없다. 따라서, 쿼드 타입의 픽셀 구조를 갖는 액정표시장치는 직류화잔상, 색왜곡 및 플리커 현상없이 비디오 데이터를 표시할 수 있다.

[0067] 상술한 바와 같이, 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 쿼드 타입의 픽셀 구조를 갖는 액정표시장치에 공급되는 데이터전압들의 극성을 수직 3 도트 및 수평 2 도트 인버전 방식으로 제어하고 그 극성을 제어하기 위한 제어신호의 위상을 1 프레임기간 단위로 변경하여 직류화잔상, 색왜곡 및 플리커 현상없이 비디오 데이터를 표시할 수 있다.

[0068] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정

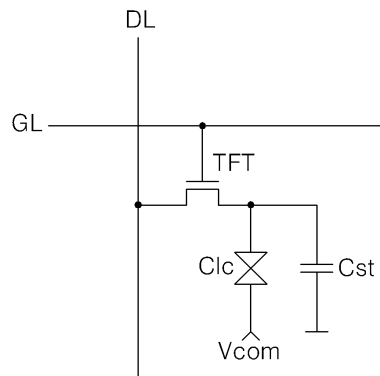
이 가능성을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

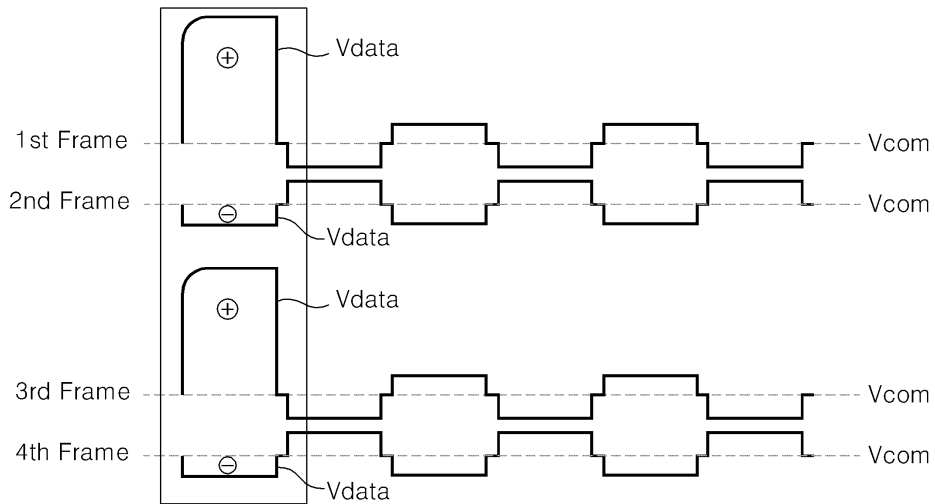
- [0069] 도 1은 액정표시장치의 액정셀을 보여 주는 등가 회로도이다.
 - [0070] 도 2는 인터레이스 데이터의 일예를 보여 주는 파형도이다.
 - [0071] 도 3은 인터레이스 데이터로 인한 직류화 잔상을 보여 주는 실험 결과 화면이다.
 - [0072] 도 4는 스크롤 데이터로 인한 직류화 잔상을 보여 주는 실험 결과 화면이다.
 - [0073] 도 5는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.
 - [0074] 도 6은 도 5에 도시된 액정표시패널의 화소 어레이에서 하부기판에 형성되는 쿼드 타입 픽셀들을 보여 주는 등가회로도이다.
 - [0075] 도 7은 도 5에 도시된 로직회로를 상세히 나타내는 블록도.
 - [0076] 도 8은 도 7에 도시된 POL 선택회로를 상세히 나타내는 블록도.
 - [0077] 도 9는 도 8에 도시된 극성제어신호들의 일예를 보여 주는 파형도이다.
 - [0078] 도 10은 도 5에 도시된 데이터 구동회로의 IC를 상세히 나타내는 블록도이다.
 - [0079] 도 11은 도 10에 도시된 디지털-아날로그 변환기를 상세히 나타내는 회로도이다.
 - [0080] 도 12는 도 5에 도시된 게이트 드라이브 IC를 상세히 나타내는 회로도.
 - [0081] 도 13은 본 발명의 실시예에 따른 액정표시장치의 구동방법을 적용할 때 스크롤 데이터에서 직류화잔상이 나타나지 않는 원리를 설명하기 위한 도면이다.
 - [0082] 도 14는 인터레이스 데이터에 대한 액정의 직류화 억제 효과를 보여 주는 파형도이다.
 - [0083] 도 15는 쿼드 타입의 픽셀 구조를 갖는 액정표시장치에 수직 2 도트 및 수평 1 도트 인버전 방식으로 극성이 반전되는 데이터전압이 공급되는 예를 보여 주는 도면이다.
 - [0084] 도 16은 쿼드 타입의 픽셀 구조를 갖는 액정표시장치에 수직 1 도트 및 수평 2 도트 인버전 방식으로 극성이 반전되는 데이터전압이 공급되는 예를 보여 주는 도면이다.
 - [0085] 도 17a 내지 도 17d는 N 번째 프레임기간 내이 N+3 번째 프레임기간 동안 도 5에 도시된 액정표시패널의 액정셀들에 충전되는 데이터전압의 극성 변화를 보여 주는 도면들이다.
- [0086] <도면의 주요 부분에 대한 부호의 설명>
- | | |
|----------------------|---------------|
| [0087] 10 : 액정표시패널 | 11 : 타이밍 컨트롤러 |
| [0088] 12 : 로직회로 | 13 : 데이터 구동회로 |
| [0089] 14 : 게이트 구동회로 | 15 : 비디오 소스 |
| [0090] 16 : 데이터 변환회로 | |

도면

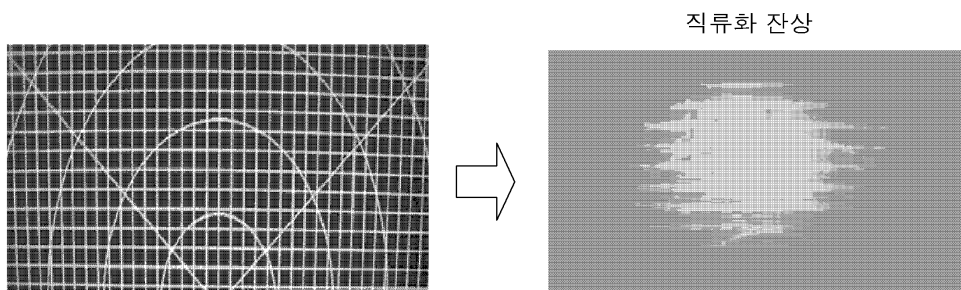
도면1



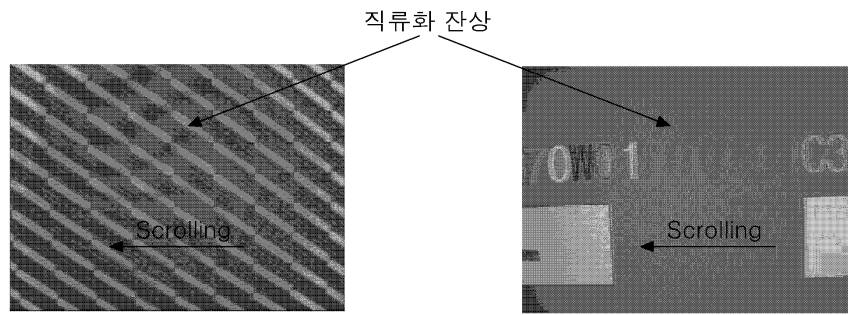
도면2



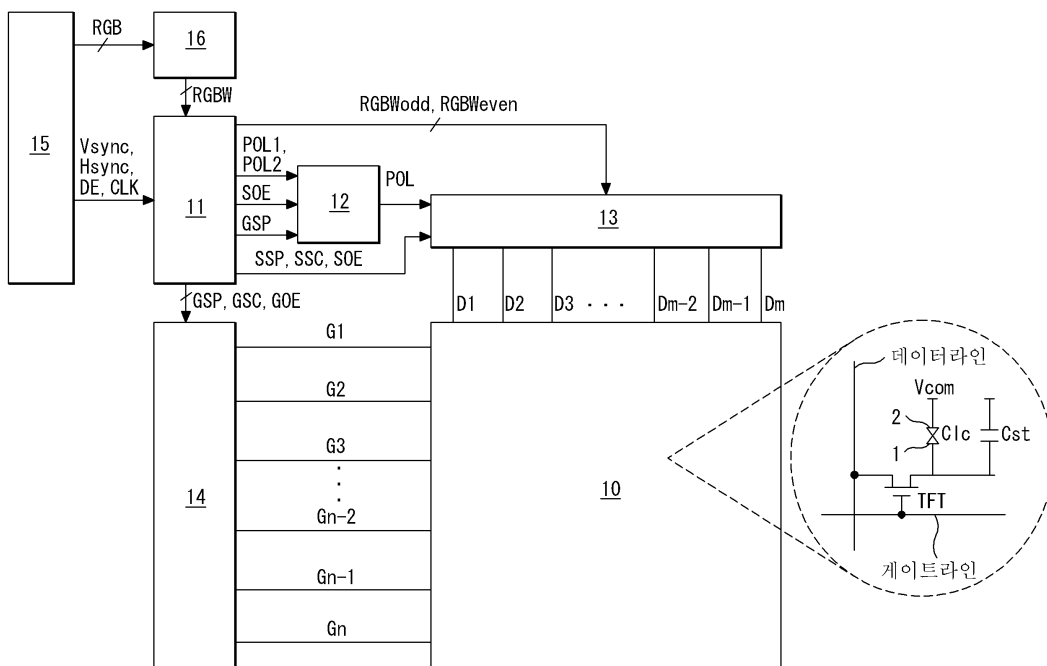
도면3



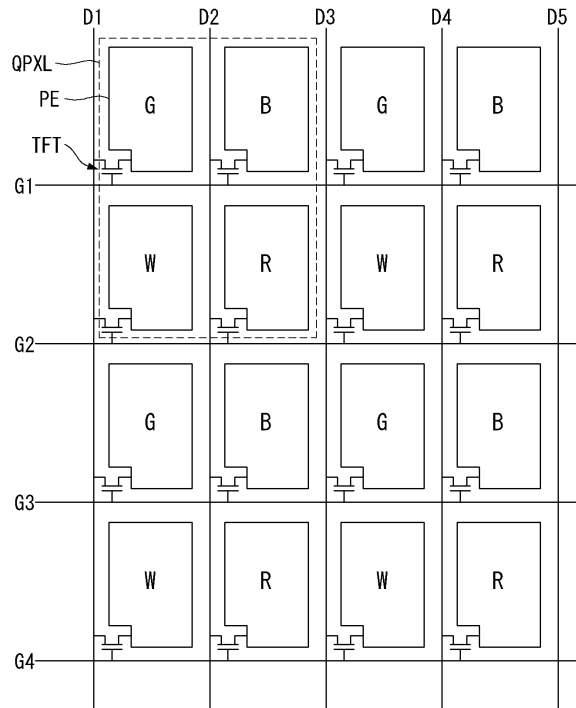
도면4



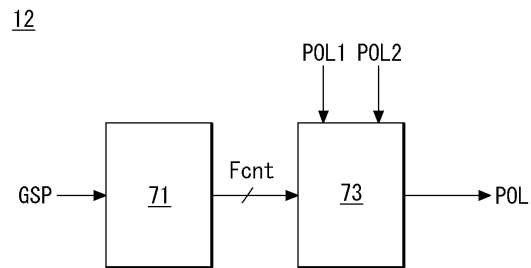
도면5



도면6

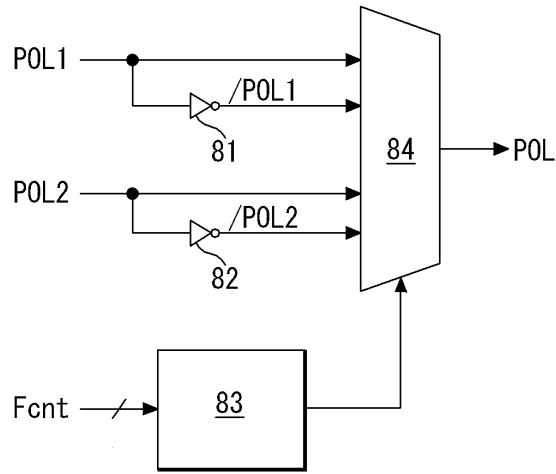


도면7

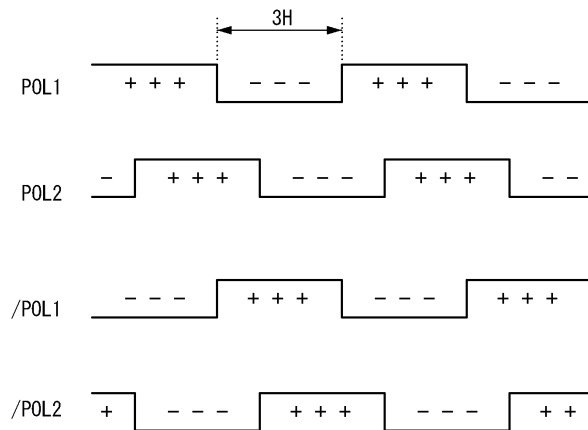


도면8

73

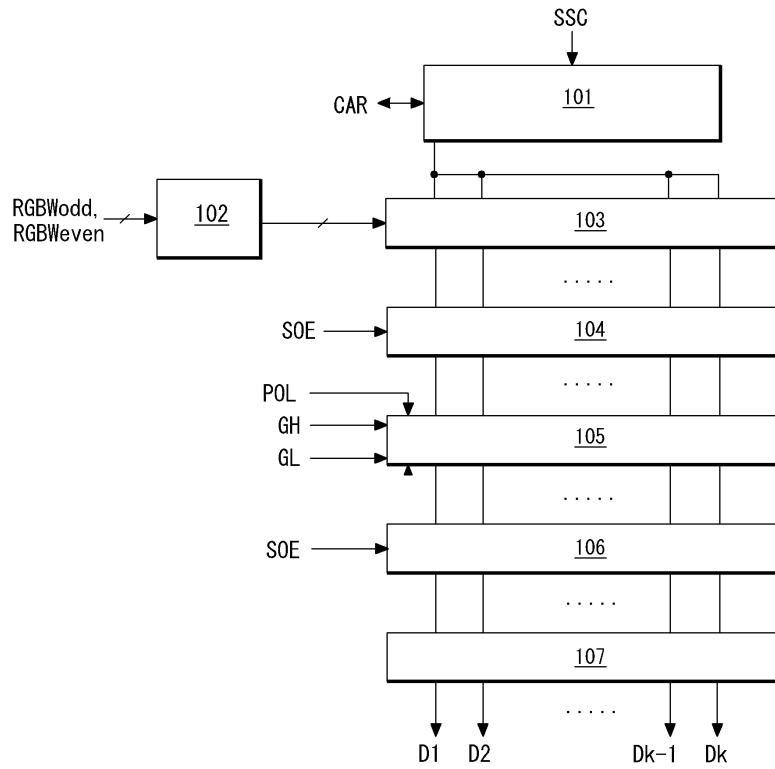


도면9

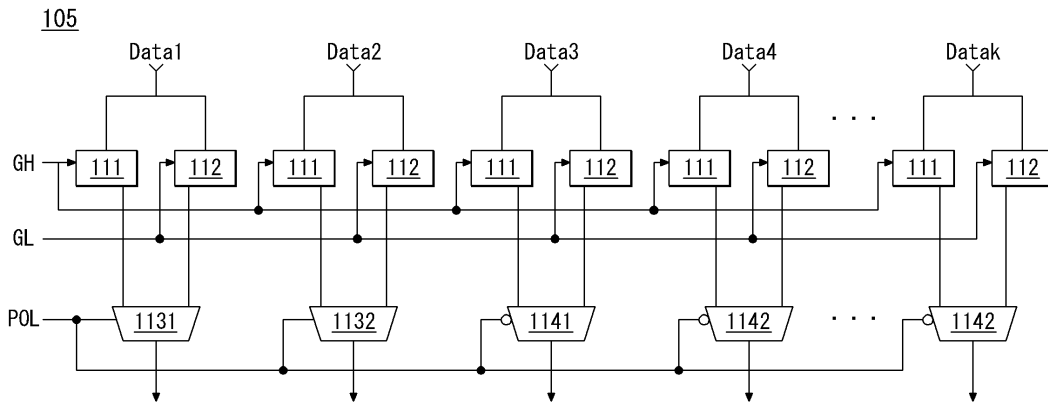


도면10

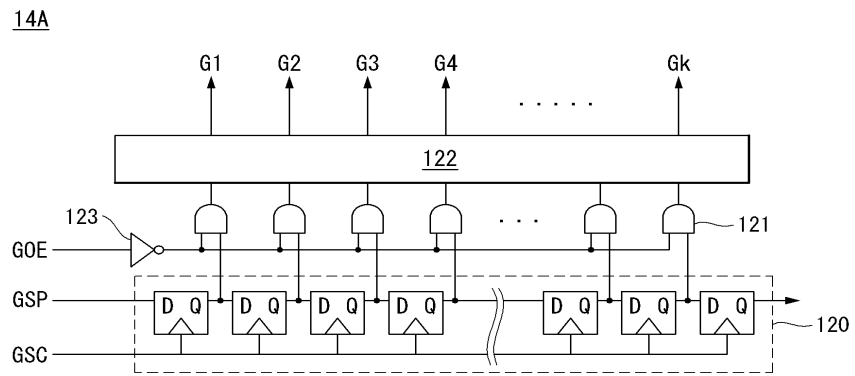
13A



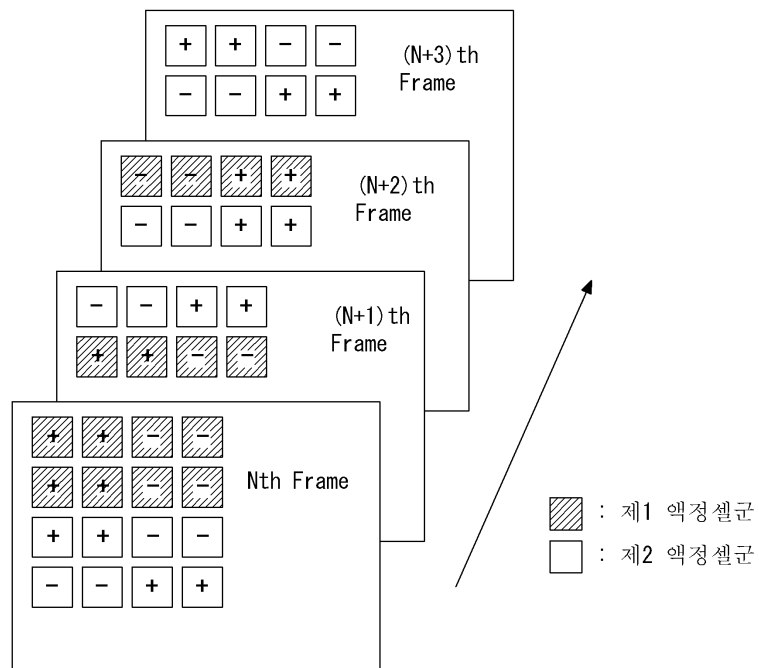
도면11



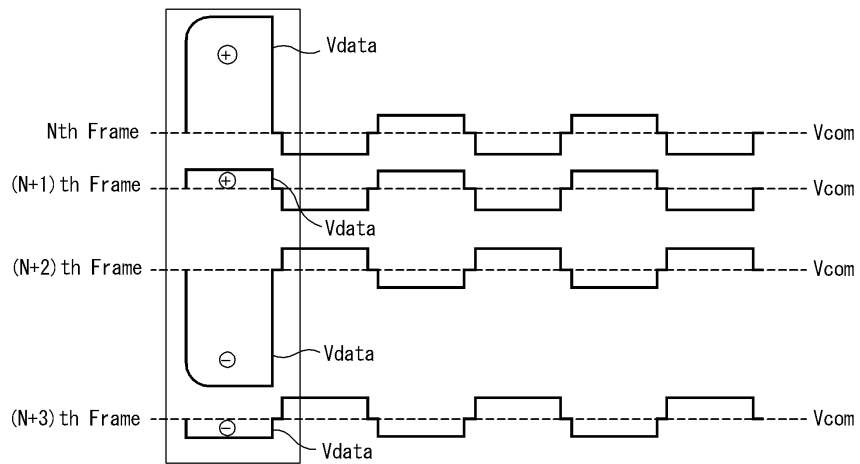
도면12



도면13



도면14



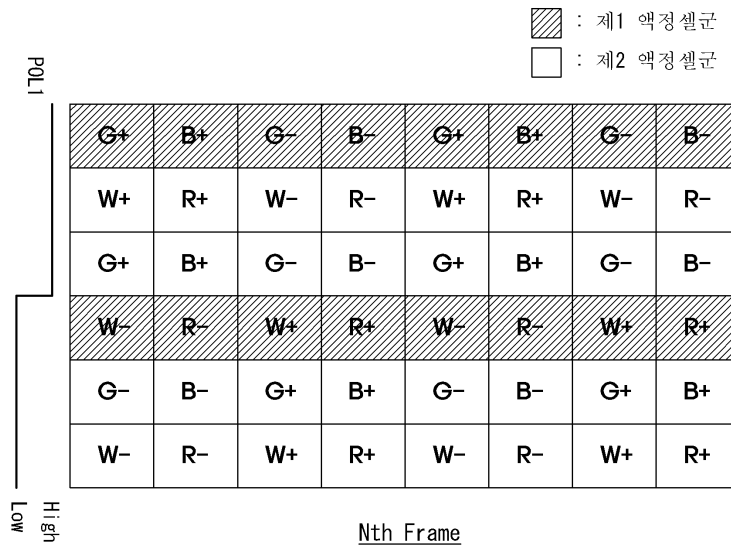
도면15

Line#1	G+	B-	G+	B-	G+	B-	G+	B-
Line#2	W+	R-	W+	R-	W+	R-	W+	R-
Line#3	G-	B+	G-	B+	G-	B+	G-	B+
Line#4	W-	R+	W-	R+	W-	R+	W-	R+
Line#5	G+	B-	G+	B-	G+	B-	G+	B-
Line#6	W+	R-	W+	R-	W+	R-	W+	R-

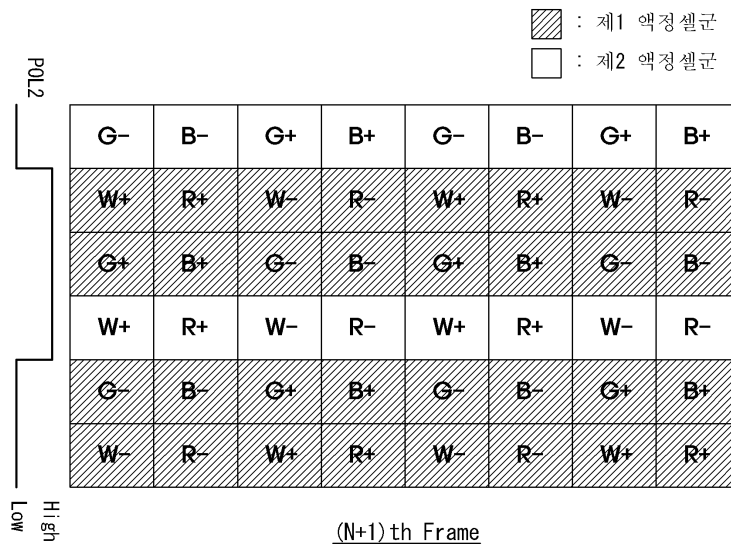
도면16

Line#1	G+	B+	G-	B-	G+	B+	G-	B-
Line#2	W-	R-	W+	R+	W-	R-	W+	R+
Line#3	G+	B+	G-	B-	G+	B+	G-	B-
Line#4	W-	R-	W+	R+	W-	R-	W+	R+
Line#5	G+	B+	G-	B-	G+	B+	G-	B-
Line#6	W-	R-	W+	R+	W-	R-	W+	R+

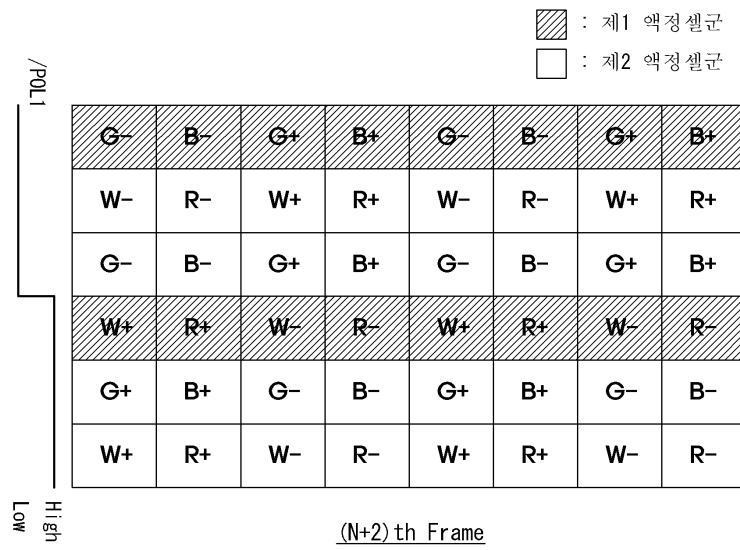
도면17a



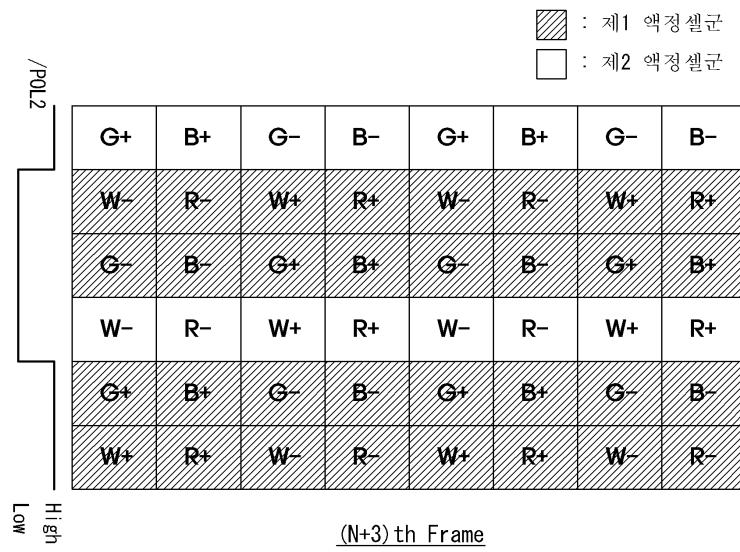
도면17b



도면17c



도면17d



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020100102333A	公开(公告)日	2010-09-24
申请号	KR1020090020658	申请日	2009-03-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MIN WOONG KI 민웅기 LEE DONG HAK 이동학 SONG HONG SUNG 송홍성		
发明人	민웅기 이동학 송홍성		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G2300/0452 G09G3/3688 G09G3/3614 G09G3/3607		
其他公开文献	KR101323090B1		
外部链接	Espacenet		

摘要(译)

本发明涉及四字型 (Quad型) 液晶显示器, 其具有包括红色子像素, 绿色子像素和蓝色子像素的像素结构, 以及包括红色子像素的绿色子像素, 绿色子像素像素, 蓝色子像素和白色子像素是具有包括多条数据线的的一个像素的四元型像素结构的LCD面板, 并且包括与数据线交叉的多条栅极线和多条液晶单元;逻辑电路, 其中逻辑在相应的3个水平周期被反相, 并且该相位连续地输出彼此不同的多个极性控制信号;极性提供的数据驱动电路, 其响应于从逻辑电路输入到数据线的极性控制信号, 它反转数据电压的极性, 以及栅极驱动电路, 其连续地将栅极脉冲提供给栅极线。

