



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0112087
(43) 공개일자 2009년10월28일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0037776

(22) 출원일자 2008년04월23일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

루지안강

경기 수원시 영통구 영통동 벽적골8단지아파트
833동 404호

김성운

경기 수원시 영통구 영통동 991-10 202호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 9 항

(54) 표시 장치

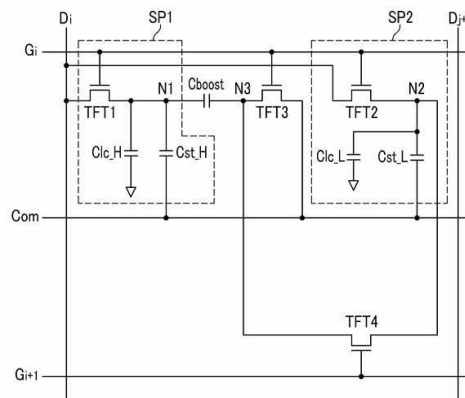
(57) 요약

본 발명은 기판에 형성된 박막 트랜지스터에 의해 구동되는 표시 장치에 대한 것으로 더욱 상세하게는 측면 시인성이 좋은 액정 표시 장치를 제공한다.

상기 표시 장치는 제1 부화소부, 제2 부화소부 및 전하 분배 축전기를 포함하는 복수의 화소를 포함한다. 상기 전하 분배 축전기는 제1 부화소부와 제2 부화소부와 연결되어, 상기 제1 부화소부에 충전된 전압과 상기 제2 부화소부에 충전된 전압을 서로 다르게 하여 측면 시인성을 개선하는 역할을 한다.

상기 전하 분배 축전기의 한 전극인 커플링 전극은 불투명한 금속으로 형성된 유지 라인 위에 형성되어 상기 화소의 개구율을 증가 시킨다.

대표도 - 도3



(72) 발명자

이승훈

경기 용인시 기흥구 공세동 청구아파트 102동 1104호

김희섭

경기도 화성시 태안읍 반월동 865-1번지 신영통 현대아파트 110동304호

고춘석

경기 화성시 반송동 솔빛마을경남아너스빌아파트 404동 1902호

정미혜

경기도 수원시 장안구 정자동 대림진흥아파트 824동 1402호

성시덕

서울특별시 강동구 명일동 엘지아파트 101동 1123호

정광철

경기도 성남시 수정구 태평1동 7115-4

특허청구의 범위

청구항 1

제1 게이트선 및 제2 게이트선,
 상기 제1 게이트선 및 상기 제2 게이트선과 교차하는 데이터선,
 제1 화소 전극,
 상기 제1 게이트선, 상기 데이터선 및 상기 제1 화소 전극과 연결된 제1 박막 트랜지스터,
 제2 화소 전극,
 상기 제1 게이트선, 상기 데이터선 및 제2 화소 전극과 연결된 제2 박막 트랜지스터,
 유지 전극,
 상기 제1 게이트선 및 상기 유지 전극과 연결된 제3 박막 트랜지스터,
 상기 제1 화소 전극과 전하 분배 축전기를 형성하고, 상기 유지 전극과 중첩된 전하 용량 결합 전극, 그리고
 상기 제2 게이트선, 상기 전하 용량 결합 전극 및 상기 제2 화소 전극과 연결된 제4 박막 트랜지스터
 를 포함하는 표시 장치.

청구항 2

제1항에서,
 상기 제3 박막 트랜지스터는 상기 전하 용량 결합 전극과 연결된 소스 전극, 상기 유지 전극과 연결된 드레인 전극을 포함하고,
 상기 제4 박막 트랜지스터는 상기 전하 용량 결합 전극과 연결된 소스 전극 및 상기 제2 화소 전극과 연결된 드레인 전극을 포함하는
 표시 장치.

청구항 3

제2항에서,
 상기 제3 박막 트랜지스터의 상기 드레인 전극은 상기 유지 전극과 연결 전극을 통해 서로 연결되는 표시 장치.

청구항 4

제3항에서,
 상기 제3 박막 트랜지스터의 상기 드레인 전극과 상기 유지 전극은 서로 다른 층에 서로 다른 금속으로 형성된
 표시 장치.

청구항 5

제3항에서,
 상기 연결 전극은 상기 화소 전극의 절개부와 중첩하는 표시 장치.

청구항 6

제1항에서,
 상기 유지 전극은 상기 제1 화소 전극과 중첩하여 제1 보조 용량 축전기를 형성하고, 상기 제2 화소 전극과 중첩하여 제2 보조 용량 축전기를 형성하는 표시 장치.

청구항 7

제5항에서,

상기 유지 전극과 상기 제1 보조 용량 축전기를 형성하고, 제1 접촉 구멍을 통해 상기 제1 화소 전극과 연결되는 제1 보조 전극, 및

상기 유지 전극과 상기 제2 보조 용량 축전기를 형성하고, 제2 접촉 구멍을 통해 상기 제2 화소 전극과 연결되는 제2 보조 전극을 포함하는 표시 장치.

청구항 8

제1항에서,

상기 유지 전극은,

상기 제2 화소 전극과 중첩하여 상기 제2 보조 용량 축전기를 형성하는 제1 부분, 그리고

상기 제1 화소 전극과 중첩하여 제1 보조 용량 축전기를 형성하고 상기 제1 영역보다 폭이 좁은 제2 부분을 포함하는

표시 장치.

청구항 9

제8항에서,

상기 유지 전극의 상기 제1 부분과 중첩하여 상기 제2 보조 용량 축전기를 형성하는 보조 전극을 더 포함하고,

상기 제3 보조 전극은 접촉 구멍을 통해 상기 제2 화소 전극과 연결되는

표시 장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 표시 장치에 관한 것으로, 더욱 자세하게는 박막 트랜지스터에 의해 구동되는 액정 표시 장치에 관한 것이다.

배경 기술

- <2> 일반적으로 영상 표시 장치는 외부에서 입력되는 영상 정보를 처리하여 눈으로 지각할 수 있는 화면을 표시하는 장치로서 액정 표시 장치(liquid crystal display, LCD), PDP(plasma display panel), 유기 발광 장치(organic light emitting diode, OLED) 등이 있다. 상기의 영상 표시 장치 중에서 액정 표시 장치는 고해상도 구현 및 화질이 우수하여 노트북, 컴퓨터 및 텔레비전에 널리 사용되고 있다.
- <3> 액정 표시 장치는 화소 전극, 공통 전극을 포함하는 두 장의 기관과 기관 사이에 개재된 액정층을 포함한다. 액정 표시 장치는 전계 형성 전극인 화소 전극 및 공통 전극에 소정의 전압을 인가하여 액정 분자의 배열을 변경하여 입사광의 편광 방향을 제어함으로써 원하는 영상을 표시한다.
- <4> 상기의 액정 표시 장치 중 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.
- <5> 수직 배향 모드 액정 표시 장치는 넓은 측면 시인성을 갖게 하기 위해 전계 생성 전극에 개구부 또는 돌기를 생성하여 액정 분자의 배향 방향을 제어한다. 그러나 전계 생성 전극에 형성된 개구부 또는 돌기는 화소의 개구율을 감소시키는 문제가 있다.
- <6> 또한 종래의 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있다. 예를 들어, 절개부가 구비된 PVA(patterned vertically aligned) 방식 액정 표시 장치의 경우에는 측면으로 갈수록 영상이 밝아져서, 심한 경우에는 높은 계조 사이의 휘도 차이가 없어져 그림이 뭉그러져 보이는 경우도 발

생한다.

발명의 내용

해결 하고자하는 과제

- <7> 따라서 본 발명이 해결하고자 하는 기술적 과제는 측면 시인성을 높이면서도 개구율을 확보에 유리한 표시 장치를 제공하는 것이다.
- <8> 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- <9> 상기 과제를 달성하기 위한 본 발명의 일 실시 예에 따른 액정 표시 장치는 제1 게이트선 및 제2 게이트선, 상기 제1 게이트선 및 상기 제2 게이트선과 교차하는 데이터선, 제1 화소 전극, 상기 제1 게이트선, 상기 데이터선 및 상기 제1 화소 전극과 연결된 제1 박막 트랜지스터, 제2 화소 전극, 상기 제1 게이트선, 상기 데이터선 및 제2 화소 전극과 연결된 제2 박막 트랜지스터, 유지 전극, 상기 제1 게이트선 및 상기 유지 전극과 연결된 제3 박막 트랜지스터, 상기 제1 화소 전극과 중첩하여 전하 분배 축전기를 형성하고, 상기 유지 전극 위에 형성된 전하 용량 결합 전극 및
- <10> 상기 제2 게이트선, 상기 전하 용량 결합 전극 및 상기 제2 화소 전극과 연결된 제4 박막 트랜지스터를 포함한다.
- <11> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

효 과

- <12> 상술한 바와 같이 본 발명에 따른 액정 표시 장치에 의하면, 하나의 화소 전극을 한 쌍의 부화소 전극으로 분할한 후 전하 분배(charge sharing)를 통하여 각 부화소 전극의 화소 전압에 차이를 발생시킴으로써 측면 시인성을 높일 수 있다. 또한 전하 분배를 일으키는 전하 분배 축전기의 일단에 스위칭 소자를 연결함으로써 한 쌍의 부화소 전극의 화소 전압의 차이가 커져서 측면 시인성이 더욱 향상될 수 있다.
- <13> 또한 전하 분배 축전기의 한 전극인 커플링 전극은 불투명한 금속으로 형성된 유지 라인 위에 형성되어 화소의 개구율을 증가 시킨다.

발명의 실시를 위한 구체적인 내용

- <14> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <15> 하나의 소자(elements)가 다른 소자와 "연결된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 연결된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- <16> 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- <17> 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명

세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

- <18> 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- <19> 이하, 표시 장치의 예로서, 액정 표시 장치를 설명하지만, 본 발명은 이에 한정되지 아니하고, 플라스마 표시 패널(plasma display panel: PDP), 유기 발광 다이오드(organic light emitting diodes: OLED)와 같은 모든 표시 장치에 적용될 수 있다.
- <20> 이하, 도 1 내지 도 6을 참조하여, 본 발명의 실시예에 따른 액정 표시 장치를 설명한다.
- <21> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 함께 도시한 액정 표시 장치의 두 부화소에 대한 등가 회로도이다.
- <22> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(400), 데이터 구동부(500), 계조 전압 생성부(800), 그리고 신호 제어부(600)를 포함한다.
- <23> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- <24> 신호선은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1 - G_n)과 데이터 전압을 전달하는 복수의 데이터선(D_1 - D_m), 유지 전극선(도시하지 않음)을 포함한다. 게이트선(G_1 - G_n)과 유지 전극선은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1 - D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- <25> 각 화소(PX)는 한 쌍의 부화소를 포함하며, 각 부화소는 액정 축전기(liquid crystal capacitor)(Clca, Clcb)를 포함한다. 두 부화소 중 적어도 하나는 게이트선(G_1 - G_n), 데이터선(D_1 - D_m) 및 액정 축전기(Clca, Clcb)와 연결된 스위칭 소자(도시하지 않음)를 포함한다.
- <26> 액정 축전기(Clca/Clcb)는 하부 표시판(100)의 부화소 전극(PEa/PEb)과 상부 표시판(200)의 공통 전극(CE)을 두 단자로 하며 부화소 전극(PEa/PEb)과 공통 전극(270) 사이의 액정층(3)은 유전체로서 기능한다. 한 쌍의 부화소 전극(PEa/PEb)은 서로 분리되어 있으며 하나의 화소 전극(PE)을 이룬다. 공통 전극(CE)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 액정층(3)은 음의 유전율을 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다. 도 2에서와는 달리 공통 전극(CE)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(PE, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- <27> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(CF)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(CF)는 하부 표시판(100)의 부화소 전극(PEa, PEb) 위 또는 아래에 형성할 수도 있다.
- <28> 액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.
- <29> 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 전체 계조 전압 또는 한정된 수효의 계조 전압(앞으로 "기준 계조 전압"이라 한다)을 생성한다. (기준) 계조 전압은 공통 전압(Vcom)에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함할 수 있다.
- <30> 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1 - G_n)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 생성한다.

프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1 - G_n)에 인가한다.

- <31> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1 - D_m)과 연결되어 있으며, 게조 전압 생성부(800)로부터의 게조 전압을 선택하고 이를 데이터 전압으로서 데이터선(D_1 - D_m)에 인가한다. 그러나 게조 전압 생성부(800)가 게조 전압을 모두 제공하는 것이 아니라 한정된 수효의 기준 게조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 게조 전압을 분압하여 원하는 데이터 전압을 생성한다.
- <32> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- <33> 이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 신호선(G_1 - G_n , D_1 - D_m) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- <34> 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이고, 도 4는 도 3과 같은 등가 회로를 가지는 액정 표시 장치의 박막 트랜지스터 표시판의 한 예를 나타낸 배치도이다.
- <35> 도 3 및 도 4에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 액정 표시 장치는 복수의 박막 트랜지스터(thin film transistor, TFT)에 주사 신호를 전달하는 복수의 게이트선(G_i , G_{i+1}), 게이트선(G_i , G_{i+1})과 교차하고 데이터 전압을 박막 트랜지스터에 전달하는 복수의 데이터선(D_j , D_{j+1}), 그리고 게이트선(G_i , G_{i+1}) 및 데이터선과 연결되어 있는 복수의 화소를 포함한다.
- <36> 각 화소는 제1 부화소(SP1) 및 제2 부화소(SP2)를 포함한다. 제1 부화소(SP1)는 제1 박막 트랜지스터(TFT1), 제1 액정 축전기(Clc_H), 및 제1 유지 축전기(Cst_H)를 포함한다. 또한 제2 부화소(SP2)는 제2 박막 트랜지스터(TFT2), 제2 액정 축전기(Clc_L) 및 제2 유지 축전기(Cst_L)를 포함한다.
- <37> 제1 박막 트랜지스터(TFT1)는 게이트선(G_i , 111)과 연결된 게이트 전극(113), 데이터선(D_j , 130)에 연결된 소스 전극(131), 접촉 구멍(173)을 통해 제1 화소 전극(161)과 연결된 드레인 전극(135) 및 제1 반도체층(141a)을 포함한다. 제1 화소 전극(161)은 상부 표시판(200)에 형성된 공통 전극(CE)(도 2 참고)과 함께 제1 액정 축전기(Clc_H)를 이루고, 게이트선(G_i , G_{i+1})과 평행하게 뻗은 유지 전극(Com, 120)과 함께 제1 유지 축전기(Cst_H)를 형성한다.
- <38> 제2 박막 트랜지스터(TFT2)는 게이트선(G_i , 111)과 연결된 게이트 전극(113), 소스 전극(131)과 연결된 소스 전극(132), 접촉 구멍(174)을 통해 제2 화소 전극(162)과 연결된 드레인 전극(136) 및 제2 반도체층(141b)을 포함한다. 제2 화소 전극(162)은 공통 전극(CE)과 함께 제2 액정 축전기(Clc_L)를 이루고 유지 전극(120)과 함께 제2 유지 축전기(Cst_L)를 형성한다.
- <39> 제1 유지 축전기(Cst_H)는 제1 보조 전극(152)과 유지 전극(120)의 사이에 형성되고, 제2 유지 축전기(Cst_L)는 제2 보조 전극(151)과 유지 전극(120)의 사이에 형성될 수 있다. 제1 보조 전극(152)은 접촉 구멍(172)을 통해 제1 화소 전극(161)과 연결되고, 제2 보조 전극(151)은 접촉 구멍(171)을 통해 제2 화소 전극(162)과 연결된다.
- <40> 각 화소는 제3 박막 트랜지스터(TFT3), 제4 박막 트랜지스터(TFT4) 및 전하 분배 축전기(Cboost)를 더 포함한다. 제3 박막 트랜지스터(TFT3)는 게이트선(G_i , 111)과 연결된 게이트 전극(113), 소스 전극(133), 드레인 전극(137) 및 제3 반도체층(142)을 포함한다. 소스 전극(133)은 제1 화소 전극(161)과 중첩하여 전하 분배 축전기(Cboost)를 형성하는 전하 용량 결합 전극(153)과 연결되고 드레인 전극(137)은 유지 전극(120)과 연결된다.
- <41> 제4 박막 트랜지스터(TFT4)는 인접한 다음 단의 게이트선(G_{i+1})과 연결된 게이트 전극(114), 소스 전극(134), 드레인 전극(138) 및 제4 반도체층(143)을 포함한다. 소스 전극(134)은 전하 용량 결합 전극(153)과 연결되고, 드레인 전극(138)은 접촉 구멍(177)을 통해 제2 화소 전극(162)과 연결된다.
- <42> 제1 내지 제4 반도체층(141a, 141b, 142, 143)은 비정질 규소, 다결정 규소 또는 단결정 규소 중 하나로 형성될

수 있다.

- <43> 제1 액정 축전기(C1c_H) 및 제2 액정 축전기(C1c_L)에 충전된 데이터 전압은 제1 화소 전극(161) 및 제2 화소 전극(162)과 공통 전극(CE) 사이의 액정 분자의 배향 방향을 제어한다. 또한 제1 유지 축전기(Cst_H) 및 제2 유지 축전기(Cst_L)는 한 프레임 동안 제1 액정 축전기(C1c_H) 및 제2 액정 축전기(C1c_L)에 충전된 전압을 유지해주는 역할을 한다. 유지 전극(120)에는 공통 전압(Vcom)과 같은 고정된 전압이 인가될 수 있다.
- <44> 전하 분배 축전기(Cboost)는 유지 전극(120) 위에 형성된 전하 용량 결합 전극(153), 제1 화소 전극(161) 및 패시베이션 층(도시하지 않음)에 의해 형성된다. 본 발명의 일 실시 예에 따른 액정 표시 장치는 전하 용량 결합 전극(153)을 게이트 전극 형성 금속처럼 불투명한 금속층으로 형성된 유지 전극(120) 위에 형성함으로써 개구율을 증가시킨다.
- <45> 전하 분배 축전기(Cboost) 및 제3 박막 트랜지스터(TFT3)는 제2 액정 축전기(C1c_L)에 충전된 전압은 감소시키고, 제1 액정 축전기(C1c_H)에 충전된 전압은 증가시켜 액정 표시 장치의 측면 시인성을 강화한다.
- <46> 제1 게이트선(111)에 게이트 온 전압이 인가되면, 제1 내지 제3 박막 트랜지스터(TFT1 ~ TFT3)가 동시에 턴 온 되어 제1 화소 전극(161) 및 제2 화소 전극(162)에 동일한 데이터 전압이 인가되고, 전하 용량 결합 전극(153)에는 공통 전압(Vcom)이 인가된다. 또한 전하 분배 축전기(Cboost)에는 제1 화소 전극(161)과 전하 용량 결합 전극(153)의 전압차에 해당하는 전압이 충전된다.
- <47> 그 후, 제1 게이트선(111)에 게이트 오프 전압이 인가되면 제1 부화소(SP1)와 제2 부화소(SP2)는 서로 전기적으로 분리된다.
- <48> 이와 동시에 제2 게이트선(112)에 게이트 온 전압이 인가되면, 제4 박막 트랜지스터(TFT4)가 턴 온 되어 제2 화소 전극(162)과 전하 용량 결합 전극(153)이 연결되고 이에 따라 제2 화소 전극(153)과 전하 용량 결합 전극(153)의 전압이 동일해진다. 이를 통해 동일한 전압이던 제1 화소 전극(161)과 제2 화소 전극(162)이 서로 다른 전압을 갖게 된다.
- <49> 이하 전하량 보존 법칙을 이용하여 제1 화소 전극과 제2 화소 전극(161,162)에서 발생하는 전압 변화에 대해 더욱 상세하게 설명한다.
- <50> 도 3을 참조하면 제1 노드(N1)는 제1 박막 트랜지스터(TFT1)의 출력 단자와 전하 분배 축전기(Cboost) 사이의 노드이고, 제2 노드(N2)는 제2 박막 트랜지스터(TFT2)의 출력 단자와 제4 박막 트랜지스터(TFT4) 사이의 노드이고, 제3 노드(N3)는 전하 분배 축전기(Cboost) 및 제4 박막 트랜지스터(TFT4)의 출력 단자이다.
- <51> 제1 게이트선(G_i)을 통해 게이트 온 전압이 인가되면, 제1 박막 트랜지스터(TFT1) 및 제2 박막 트랜지스터(TFT2)를 통해 제1 노드(N1) 및 제2 노드(N2)에 데이터 전압(Vd)이 인가된다. 그리고 제3 박막 트랜지스터(TFT3)를 통해 공통 전압(Vcom)이 제3 노드(N3)에 인가된다. 설명의 편의를 위해 공통 전압(Vcom)을 0V로 가정할 경우 제1 노드(N1) 및 제2 노드(N2)는 Vd가 인가되고, 제3 노드(N3)는 0V가 인가된다.
- <52> 전하량 보존 법칙에 의해 제1 액정 축전기(C1c_H)와 제1 유지 축전기(Cst_H)에 충전된 전하량(Qh), 제2 액정 축전기(C1c_L)와 제2 유지 축전기(Cst_L)에 충전된 전하량(Ql) 및 전하 분배 축전기(Cboost)에 충전된 전하량(Qb)는 아래의 [수학식 1]과 같은 수학적식으로 표현할 수 있다.

수학식 1

- <53> $Q_h = C_h \times V_d$
- <54> $Q_l = C_l \times V_d$
- <55> $Q_b = C_b \times V_d$
- <56> 여기에서 $C_h = C_{1c_H} + C_{st_H}$, $C_l = C_{1c_L} + C_{st_L}$, C_b 는 전하 분배 축전기의 정전 용량이다.
- <57> 이어서 제1 게이트선(G_i)에 게이트 오프 전압이 인가되고 제2 게이트선(G_{i+1})에 게이트 온 전압이 인가되면 제1 내지 제3 박막 트랜지스터(TFT1 ~ TFT3)는 턴 오프 상태가 되고, 제4 박막 트랜지스터(TFT4)는 턴 온 상태가 된다.
- <58> 제1 액정 축전기(C1c_H)와 제1 유지 축전기(Cst_H)의 전하량 Qh', 제2 액정 축전기(C1c_L)와 제2 유지 축전기(Cst_L)의 전하량 Ql' 및 전하 분배 축전기(Cboost)의 전하량 Qb' 전하량 보존 법칙에 의해 하기의 [수학식

2]과 같이 표현할 수 있다.

수학식 2

<59> $Q_h' = C_h \times V_1$

<60> $Q_l' = C_l \times V_2$

<61> $Q_b' = C_b \times (V_1 - V_2)$

<62> (V_1 은 제1 노드에 인가되는 전압, V_2 는 제2 노드에 인가되는 전압)

<63> 제1 노드(N_1)와 연결된 제1 액정 축전기(C_{lc_H}), 제1 유지 축전기(C_{st_H}) 및 전하 분배 축전기(C_{boost})에 충전된 총 전하량은 보존되므로 하기의 식이 얻어진다.

수학식 3

<64> $Q_h + Q_b = Q_h' + Q_b'$

<65> 또한 제3 노드(N_3)와 연결된 제2 액정 축전기(C_{st_L}), 제2 유지 축전기(C_{st_L}) 및 전하 분배 축전기(C_{boost})에 충전된 총 전하량 역시 보존되므로 하기의 식이 얻어진다.

수학식 4

<66> $Q_l - Q_b = Q_l' - Q_b'$

<67> 수학식 1 내지 수학식 4에 의해 제1 노드(N_1)와 제3 노드(N_3)의 전압(V_1, V_2)은 하기의 [수학식 5]와 같이 표시된다.

수학식 5

<68>
$$V_1 = \frac{C_b V_d + C_{lc_H} V_{com} + C_{st_H} V_{com}}{C_b + C_{lc_H} + C_{st_H}}$$

<69>
$$V_2 = \frac{C_b V_d + C_{lc_L} V_{com} + C_{st_L} V_{com}}{C_b + C_{lc_L} + C_{st_L}}$$

<70> 데이터 전압(V_d)이 공통 전압(V_{com})보다 큰 양극성 전압인 경우, 제1 부화소(SP_1)의 화소 전압(V_1)은 데이터 전압(V_d)보다 상승하고, 제2 부화소(SP_2)의 화소 전압(V_2)은 데이터 전압(V_d)보다 하강한다. 데이터 전압(V_d)이 공통 전압(V_{com})보다 작은 음극성 전압인 경우는 이와 반대가 된다. 따라서 제1 부화소(SP_1)의 화소 전압(V_1)의 절대값이 제2 부화소(SP_2)의 화소 전압(V_2)의 절대값보다 항상 크게 된다.

<71> 이와 같이 하나의 화소 내에 위치하는 제1 부화소(SP_1) 및 제2 부화소(SP_2)의 화소 전압(V_1, V_2)이 서로 다른 값을 가지게 되는 경우 측면 시인성이 향상될 수 있다. 즉 제1 부화소(SP_1) 및 제2 부화소(SP_2)에 하나의 영상 정보로부터 얻어진 서로 다른 감마 곡선을 가지는 한 쌍의 계조 전압 집합이 저장되고, 제1 부화소(SP_1) 및 제2 부화소(SP_2)로 이루어진 하나의 화소의 감마 곡선은 이들을 합성한 감마 곡선이 된다. 한 쌍의 계조 전압 집합을 결정할 때에는 정면에서의 합성 감마 곡선이 정면에서의 기준 감마 곡선에 가깝게 되도록 하고, 측면에서의 합성 감마 곡선이 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 함으로써, 측면 시인성을 향상시킬 수 있다.

<72> 도 5는 도 4에 도시된 제1 유지 축전기(C_{st_H}) 및 제2 유지 축전기(C_{st_L})를 V-V를 따라 자른 단면도이다.

<73> 유지 전극(120)은 게이트선(111, 112)과 동일한 금속으로 하부 기판 위에 형성된다. 제1 보조 전극(152)과 제2 보조 전극(151)은 데이터선(130)과 동일한 금속으로 형성되며, 게이트 절연막(GI)을 사이에 두고 유지 전극(120)과 절연되어 형성된다. 게이트 절연막(GI)은 질화 규소(SiN_x) 또는 산화 규소(SiO_x)로 형성된다.

<74> 전하 용량 결합 전극(153)도 게이트 절연막(GI) 위에 데이터선(130)과 동일한 금속으로 형성된다. 패시베이션 막은 제1 보조 전극(152), 제2 보조 전극(151) 및 전하 용량 결합 전극(153) 위에 형성되며 질화 규소(SiN_x) 또는 산화 규소(SiO_x)로 형성된다.

<75> 패시베이션 막에는 제1 접촉 구멍(172) 및 제2 접촉 구멍(171)이 형성되며, 이를 통해 제1 화소 전극(161) 및

제2 화소 전극(162)은 제1 보조 전극(152)과 제2 보조 전극(151)과 연결된다.

- <76> 제1 유지 축전기(Cst_H)는 제1 보조 전극(152), 유지 전극(120) 및 게이트 절연막(GI)으로 구성되며, 제2 유지 축전기(Cst_L)는 제2 보조 전극(151), 유지 전극(120) 및 게이트 절연막(GI)으로 구성된다.
- <77> 제1 유지 축전기 및 제2 유지 축전기(Cst_H, Cst_L)는 제1 보조 전극(151) 및 제2 보조 전극(152)를 생략하고 각각 제1 화소 전극(161) 및 제2 화소 전극(162)과 유지 전극(120)을 사이에 두고 형성될 수 있다.
- <78> 제1 화소 전극(161) 및 제2 화소 전극(162)은 패시베이션 막 위에 형성되고, 산화 인듐 주석(indium tin oxide, ITO) 또는 산화 아연 주석(indium zinc oxide, IZO)로 형성될 수 있다.
- <79> 전하 분배 축전기(Cboost)는 제1 화소 전극(161)과 유지 전극(120) 위에 형성된 전하 용량 결합 전극(153) 사이에 형성된다.
- <80> 도 6은 제3 박막 트랜지스터(TFT3)의 드레인 전극(137)과 유지 전극(120)의 연결 구조를 도시한다.
- <81> 데이터 금속으로 형성된 제3 박막 트랜지스터(TFT3)의 드레인 전극(137)과 게이트 금속으로 형성된 유지 전극(120)은 연결 전극(163)에 의해 서로 전기적으로 연결된다. 연결 전극(163)은 제3 접촉 구멍(175) 및 제4 접촉 구멍(176)을 포함하는 패시베이션 막 위에 형성된다. 제3 접촉 구멍 및 제4 접촉 구멍(175,176)을 통해 연결 전극(163)은 제3 박막 트랜지스터(TFT3)의 드레인 전극(137)과 유지 전극(120)에 연결된다. 연결 전극(163)은 제1 화소 전극(161) 및 제2 화소 전극(162)과 동일한 재료로 형성될 수 있다.
- <82> 이하에서는 도 7 내지 도 9를 참조하여 본 발명의 다른 실시 예에 따른 액정 표시 장치에 대해 상세하게 살펴본다.
- <83> 본 발명의 다른 실시 예에 따른 액정 표시 장치는 복수의 박막 트랜지스터에 주사 신호를 전달하는 복수의 게이트선(G_i, G_{i+1}), 게이트선과 교차하며 영상신호를 전달하는 복수의 데이터선(D_j, D_{j+1}) 및 인접하는 게이트선(G_i, G_{i+1})과 복수의 데이터선(D_j, D_{j+1})에 연결되어 있는 복수의 화소를 포함한다.
- <84> 각 화소는 제1 부화소(SP1) 및 제2 부화소(SP2)를 포함한다. 제1 부화소는 제1 박막 트랜지스터(TFT1) 및 제1 액정 축전기(Clc_H)를 포함하고, 제2 부화소는 제2 박막 트랜지스터(TFT2) 및 제2 액정 축전기(Clc_L) 및 유지 축전기(Cst_L)를 포함한다.
- <85> 본 발명의 일 실시예와 대비하여 본 발명의 다른 실시예에 따른 액정 표시 장치는 제1 부화소(SP1)와 제2 부화소(SP2) 사이의 전압차를 증가시켜 측면 시인성을 더욱 좋게 하기 위해서 제1 유지 축전기(Cst_H)가 생략된다.
- <86> 전하량 보존 법칙에 의해 계산되는 아래 [수학식 6]을 참조하면, 제1 부화소(SP1)의 충전하량(Ch)이 감소될 경우 제1 노드(N1)의 전압은 증가하고 제3 노드(N3)의 전압은 감소함을 알 수 있다. 즉, 제1 유지 축전기(Cst_H)가 생략됨으로 인해 제1 부화소(SP1)와 제2 부화소(SP2)의 전압차가 증가하게 되고 이로인해 측면 시인성이 향상된다.

수학식 6

$$V1 = Vd \left(1 + \frac{1/Ch}{1/Ch + 1/Cl + 1/Cb} \right)$$

$$V2 = Vd \left(1 - \frac{1/Ch}{1/Ch + 1/Cl + 1/Cb} \right)$$

- <87>
- <88>
- <89> 유지 전극(120)은 제2 화소 전극(162)의 하부에 위치한 제1 부분(121)과 제1 부분(121)보다 폭이 좁고 제1 화소 전극(161)의 하부에 위치한 제2 부분(122)을 포함한다. 유지 전극(120)의 제1 부분(121)은 제2 화소 전극(162)과 중첩하여 제2 유지 축전기(Cst_L)를 이룬다. 유지 전극(120)의 제2 부분(122) 역시 제1 화소 전극(161)과 함께 유지 축전기를 이루지만 제2 화소부의 유지 축전기(Cst_L)에 비해 그 크기가 작아 무시할 수 있다.(도면에는 과장되게 나타내었다.)
- <90> 제1 박막 트랜지스터(TFT1)는 게이트선(G_i)과 연결된 게이트 전극(113), 데이터선(D_j)과 연결된 소스 전극(131), 접촉 구멍(173)을 통해 제1 화소 전극(161)과 연결된 드레인 전극(135) 및 제1 반도체층(141a)을 포함한

다. 제1 화소 전극(161)은 상부 표시판(200)에 형성된 공통 전극(CE)와 함께 제1 액정 축전기(Clc_H)를 형성한다. 제2 박막 트랜지스터(TFT2)는 게이트선(G_i)과 연결된 게이트 전극(113), 소스 전극(131)과 연결된 소스 전극(131), 접촉 구멍(174)을 통해 제2 화소 전극(162)과 연결된 드레인 전극(136) 및 제2 반도체층(141b)을 포함한다. 제2 화소 전극(162)은 상부 기판(200)에 형성된 공통 전극(CE)과 함께 제2 액정 축전기(Clc_L)를 형성하고, 유지 전극(Com, 120)과 제2 유지 축전기(Cst_L)를 형성한다.

<91> 제2 유지 축전기(Cst_L)는 충전 용량을 증가시키기 위해, 보조 전극(154)과 유지 전극(Com, 120)의 사이에 형성될 수도 있다. 이때 보조 전극(154)는 접촉 구멍(178)을 통해 제2 화소 전극(162)과 연결되며, 유지 전극(120)의 제1 부분 위에 형성된다.

<92> 각 화소는 제3 박막 트랜지스터(TFT3), 제4 박막 트랜지스터(TFT4) 및 전하 분배 축전기(Cboost)를 더 포함한다.

<93> 제3 박막 트랜지스터(TFT3)는 게이트선(G_i, 111)과 연결된 게이트 전극(113), 소스 전극(133), 드레인 전극(137) 및 제3 반도체층(142)을 포함한다. 소스 전극(133)은 제1 화소 전극(161)과 중첩하여 전하 분배 축전기(Cboost)를 형성하는 연결 전극(163)과 연결된다.

<94> 제4 박막 트랜지스터(TFT4)는 게이트선(G_{i+1})과 연결된 게이트 전극(114), 소스 전극(134), 드레인 전극(138) 및 제4 반도체층(143)을 포함한다. 소스 전극(134)은 전하 용량 결합 전극(153)과 연결되고, 드레인 전극(138)은 접촉 구멍(177)을 통해 제2 화소 전극(162)과 연결된다.

<95> 제1 내지 제4 반도체층(141a, 141b, 142, 143)은 비정질 규소, 다결정 규소 또는 단결정 규소로 형성될 수 있다.

<96> 전하 분배 축전기(Cboost)는 전하 용량 결합 전극(153), 제1 화소 전극(161) 및 패시베이션 층으로 형성된다. 결합전극(153)을 게이트선과 불투명한 금속 위에 유지 전극(120) 위에 형성함으로써, 화소의 개구율을 넓힐 수 있다.

<97> 전하 분배 축전기(Cboost) 및 제3 박막 트랜지스터(TFT3)는 제2 액정 축전기(Clc_L)에 충전된 전압은 감소시키고, 제1 액정 축전기(Clc_H)에 충전된 전압은 증가시켜 액정 표시 장치의 측면 시인성을 강화 시킨다.

<98> 제1 게이트선(111)에 게이트 온 전압이 인가되면, 제1 내지 제3 박막 트랜지스터(TFT1 ~ TFT3)가 동시에 턴 온 되어 제1 및 제2 화소 전극(161, 162)에 서로 동일한 데이터 전압이 인가되고, 전하 용량 결합 전극(153)에는 공통 전압(Vcom)이 인가된다. 또한 전하 분배 축전기(Cboost)에는 제1 화소 전극(161)과 전하 용량 결합 전극(153) 사이의 전압 차에 해당하는 전압이 충전된다.

<99> 그 후, 제1 게이트선(111)에 게이트 오프 전압이 인가되면 제1 부화소(SP1)와 제2 부화소(SP2)는 서로 전기적으로 분리된다.

<100> 이와 동시에 제2 게이트선(112)에 게이트 온 전압이 인가되면, 제4 박막 트랜지스터(TFT4)가 턴 온 되어 제2 화소 전극(153)과 전하 용량 결합 전극(153)의 충전 전압이 동일해진다. 이를 통해 동일한 전압이던 제1 화소 전극과 제2 화소 전극(161, 162)이 서로 다른 전압을 갖게 된다.

<101> 전술한 바와 같이, 본 발명의 다른 실시예에 따른 액정 표시 장치는 제1 부화소(SP1)의 유지 축전기를 제거하거나 줄임으로써 제1 부화소(SP1)의 전압과 제2 부화소(SP2)의 전압 차를 더욱 증가시켜 측면 시인성을 더 향상한다.

<102> 필요에 따라 측면 시인성 향상을 위해 제2 부화소(SP2)의 유지 축전기를 제거하여 제1 부화소(SP1)의 전압과 제2 부화소(SP2)의 전압 차를 더욱 증가시킬 수 있다.

<103> 도 9는 도 8의 IX-IX 선을 따라 자른 제2 유지 축전기(Cst_L)와 전하 분배 축전기(Cboost)의 단면도이다.

<104> 유지 전극(120)은 게이트 금속으로 형성되며, 보조 전극(154)은 데이터 금속으로 형성된다. 유지 전극(120)과 보조 전극(154)은 게이트 절연막(GI)에 의해 서로 절연된다. 게이트 절연막(GI)은 질화 규소(SiNx) 또는 산화 규소(SiOx)로 형성된다.

<105> 전하 용량 결합 전극(153)은 게이트 절연막(GI) 위에 형성되며, 데이터 금속으로 형성된다.

<106> 제2 화소 전극(162)은 패시베이션 막에 형성된 접촉 구멍(178)을 통해 보조 전극(154)과 연결된다.

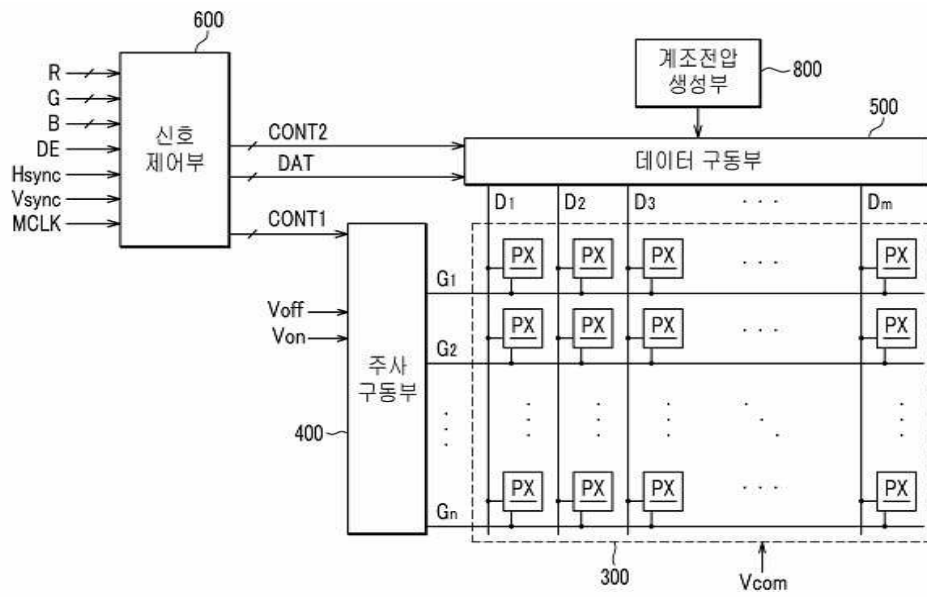
- <107> 제2 유지 축전기(Cst_L)는 보조 전극(154), 유지 전극(120) 및 게이트 절연막으로 구성된다.
- <108> 제1 화소 전극(161) 및 제2 화소 전극(162)은 패시베이션 막 위에 형성되며, 투명한 산화 인듐 주석(ITO) 또는 산화 인듐 아연(IZO)로 형성된다.
- <109> 전하 분배 축전기(Cboost)는 제1 화소 전극(161) 및 유지 전극(120) 위에 형성된 전하 용량 결합 전극(153)에 의해 형성된다.
- <110> 도 10은 제3 박막 트랜지스터(TFT3)의 드레인 전극(137)과 유지 전극(120)의 연결 구조로서 도 6과 거의 동일하다.
- <111> 본 발명의 일 실시 예에 따른 액정 표시 장치와 동일하게 본 실시 예에 의한 액정 표시 장치는 데이터 금속으로 형성된 제3 박막 트랜지스터(TFT3)의 드레인 전극은 연결 전극(163)을 통해 게이트 금속으로 형성된 유지 전극(120)과 연결된다. 연결 전극(163)은 제3 접촉 구멍(175) 및 제4 접촉 구멍(176)을 포함하는 패시베이션 막 위에 형성된다. 제3 박막 트랜지스터(TFT3)의 드레인 전극과 유지 전극(120)은 제3 접촉 구멍(175) 및 제4 접촉 구멍(176)을 통해 연결 전극(163)과 연결된다. 연결 전극(163)은 제1 화소 전극(161) 및 제2 화소 전극(162)과 동일한 투명한 금속으로 형성된다.
- <112> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

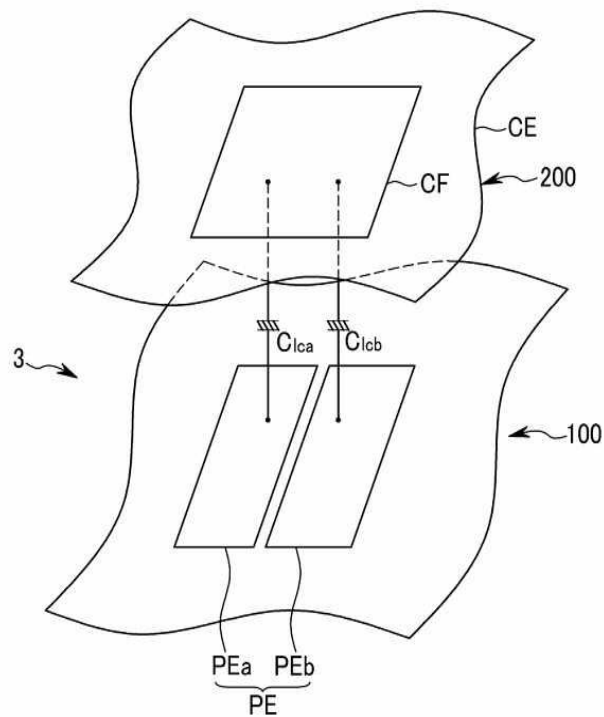
- <113> 도 1은 본 발명의 실시 예에 따른 액정 표시 장치를 설명하기 위한 블록도이다.
- <114> 도 2는 도 1에 도시된 본 발명의 실시 예에 따른 액정 표시 장치의 화소부를 간략하게 도시한 투시도이다.
- <115> 도 3은 본 발명의 일 실시 예에 따른 액정 표시 장치의 등가 회로도이다.
- <116> 도 4는 도 3과 같은 등가 회로를 가지는 액정 표시 장치의 박막 트랜지스터 표시판의 한 예를 나타낸 배치도이다.
- <117> 도 5는 도 4에 도시된 제1 유지 축전기(Cst_H) 및 제2 유지 축전기(Cst_L)를 V-V를 따라 단면도이다.
- <118> 도 6은 도 4에 도시된 VI-VI' 따라 자른 본 발명의 일 실시 예에 따른 액정 표시 장치의 단면도이다.
- <119> 도 7은 본 발명의 다른 실시 예에 따른 액정 표시 장치의 등가 회로도이다.
- <120> 도 8은 본 발명의 다른 실시 예에 따른 액정 표시 장치의 평면도이다.
- <121> 도 9는 도 8에 도시된 IX-IX' 따라 자른 본 발명의 다른 실시 예에 따른 액정 표시 장치의 단면도이다.
- <122> 도 10은 도 8에 도시된 X-X' 따라 자른 본 발명의 다른 실시 예에 따른 액정 표시 장치의 단면도이다.
- <123> (도면의 주요 부분에 대한 부호의 설명)
- | | |
|------------------------|------------------|
| <124> 3: 액정층 | 100: 하부 표시판 |
| <125> 111, 112: 게이트선 | 120: 유지 전극 |
| <126> 130: 데이터선 | 141a ~ 143: 반도체층 |
| <127> 151: 제2 보조 전극 | 152: 제1 보조 전극 |
| <128> 153: 전하 용량 결합 전극 | 161: 제1 화소 전극 |
| <129> 162: 제2 화소 전극 | 163: 결합 전극 |
| <130> 171~177: 접촉 구멍 | |

도면

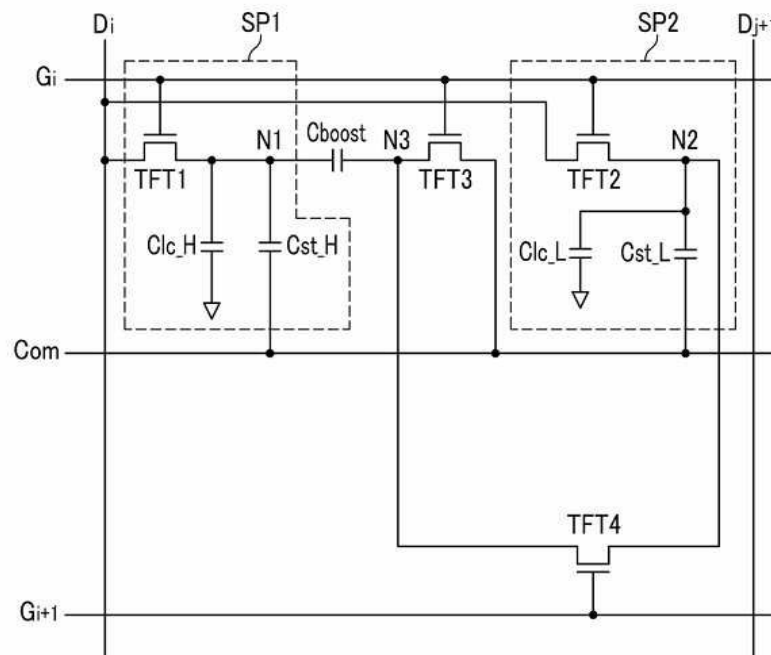
도면1



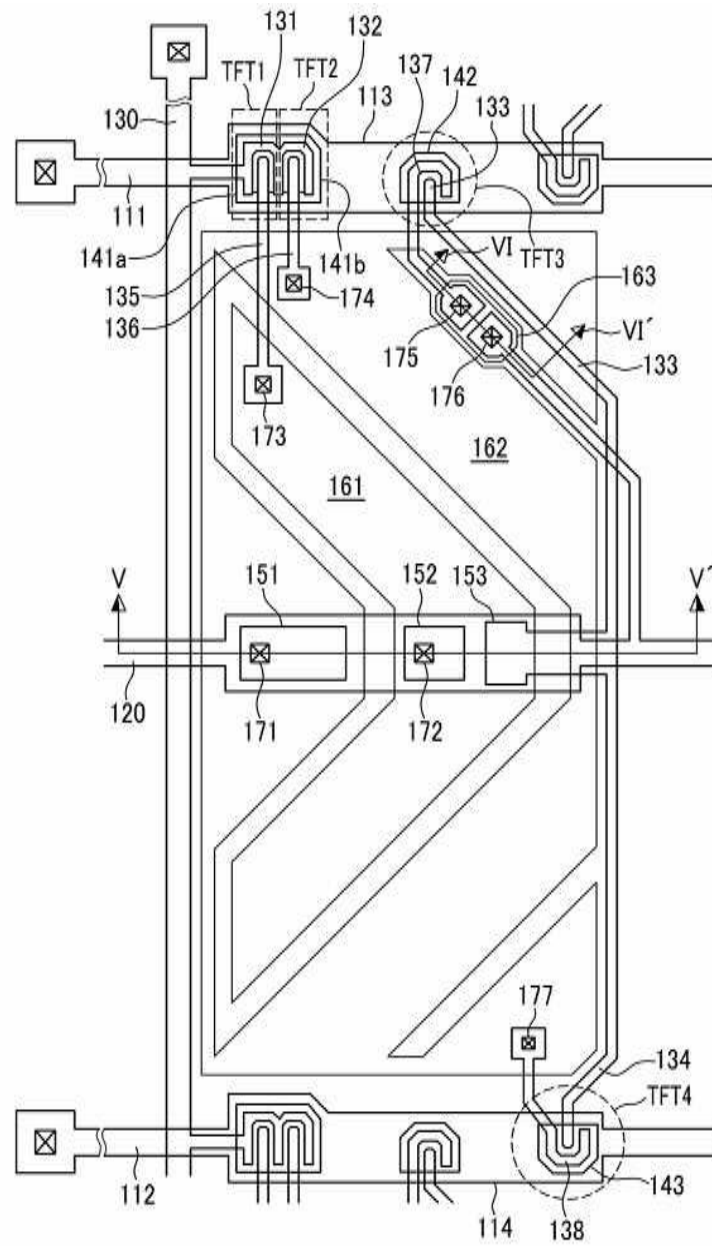
도면2



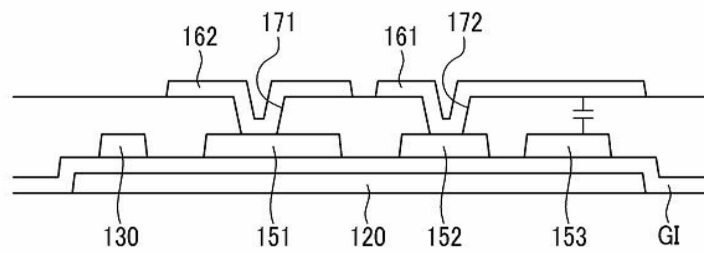
도면3



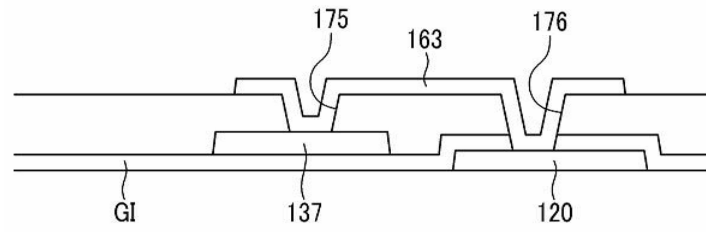
도면4



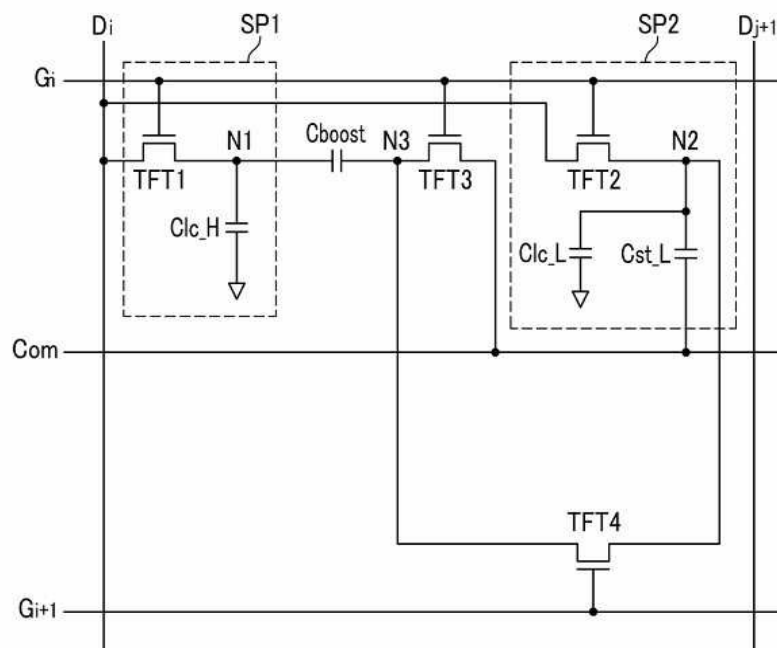
도면5



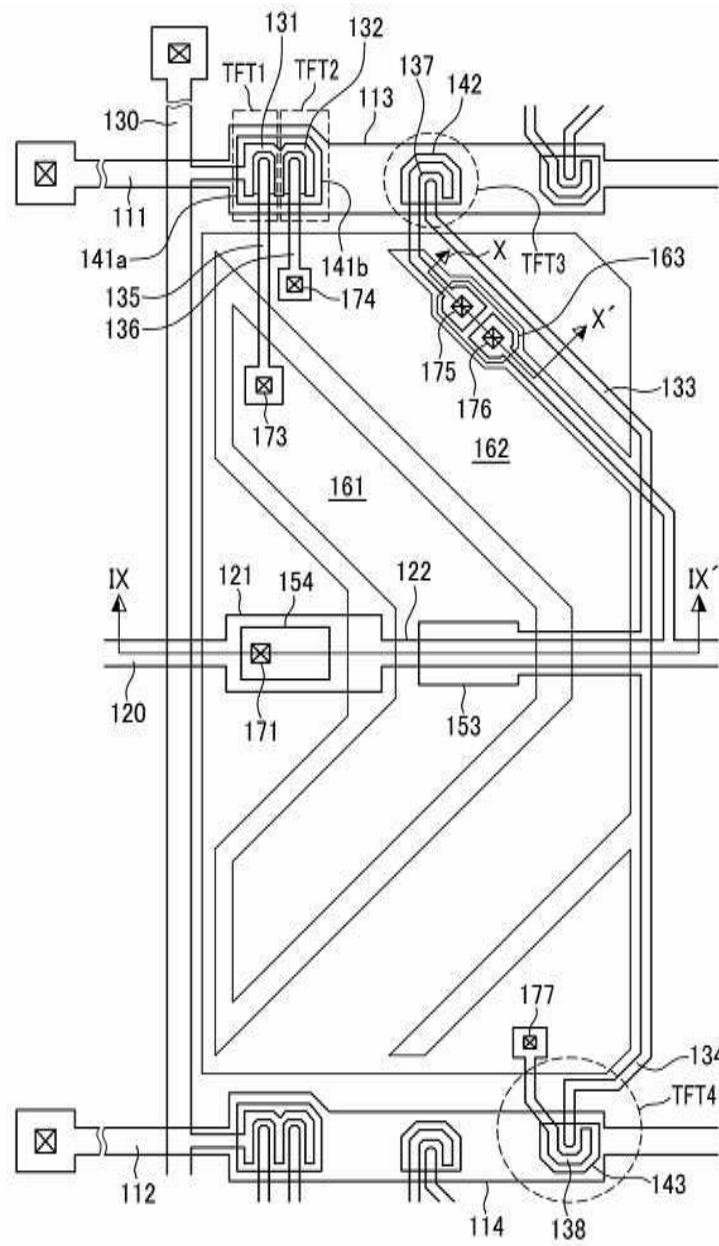
도면6



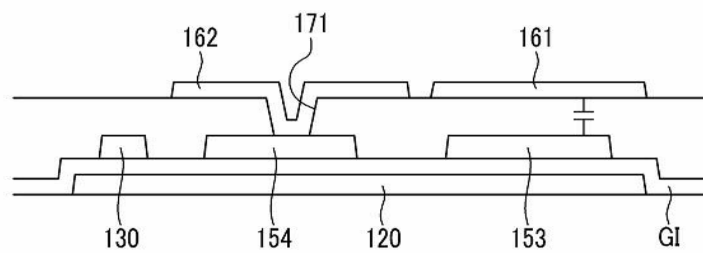
도면7



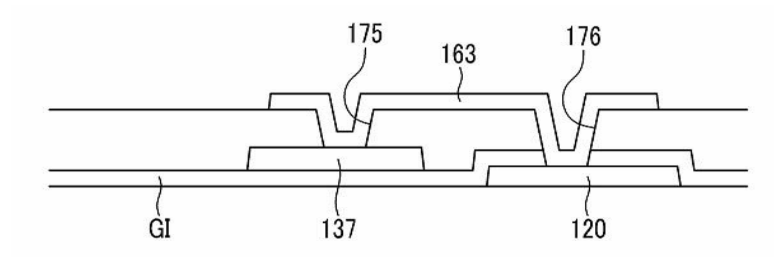
도면8



도면9



도면10



专利名称(译)	显示设备		
公开(公告)号	KR1020090112087A	公开(公告)日	2009-10-28
申请号	KR1020080037776	申请日	2008-04-23
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LU JIANGANG 루지안강 KIM SUNG WOON 김성운 LEE SEUNG HOON 이승훈 KIM HEE SEOP 김희섭 KO CHUN SEOK 고춘석 JUNG MEE HYE 정미혜 SUNG SI DUK 성시덕 JUNG KWANG CHUL 정광철		
发明人	루지안강 김성운 이승훈 김희섭 고춘석 정미혜 성시덕 정광철		
IPC分类号	G02F1/1343 G02F1/133		
CPC分类号	G02F1/134309 G02F1/136213 G02F1/13624 G02F2001/134345		
其他公开文献	KR101538320B1		
外部链接	Espacenet		

摘要(译)

显示装置技术领域本发明涉及一种由形成在基板上的薄膜晶体管驱动的显示装置，更具体地涉及一种具有良好侧视能力的液晶显示装置。该显示装置包括多个像素，包括第一子电容器，第二子电容器和电荷共享电容器。电荷共享电容器连接到第一和第二子电容器，以通过使第一子电容器中充电的电压和第二电容器中充电的电压彼此不同来改善横向可视性。作为电荷存储电容器的一个电极的耦合电极形成在由不透明金属形成的保持线上，以增加像素的孔径比。

