



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년12월31일

(11) 등록번호 10-1933706

(24) 등록일자 2018년12월21일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2012-0051490

(22) 출원일자 2012년05월15일

심사청구일자 2017년05월08일

(65) 공개번호 10-2013-0127742

(43) 공개일자 2013년11월25일

(56) 선행기술조사문헌

KR1020130121388 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

조영직

경기도 파주시 월롱면 엘씨지로 201 103동 1521호 (덕은리, 정다운마을)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 12 항

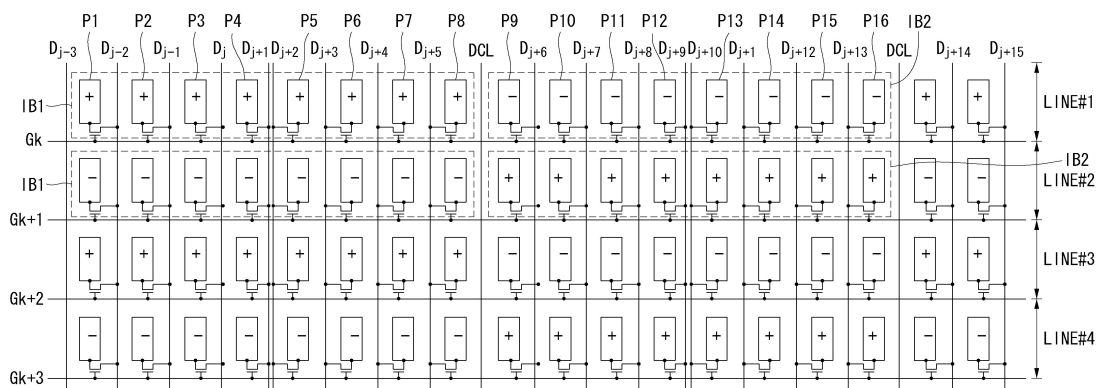
심사관 : 김민수

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 공통전압이 교류로 인가되는 액정표시장치에 관한 것이다. 본 발명의 실시 예에 따른 액정표시장치는 데이터 라인들과 게이트 라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 다수의 서브 픽셀들이 형성되는 하부 기판과, 블랙 매트릭스와 컬러 필터가 형성되는 상부 기판을 포함하는 표시패널을 구비하고, 상기 표시패널의 제k(k는 $1 \leq k \leq n$ 을 만족하는 자연수, n은 상기 표시패널의 수평 라인들의 개수) 수평 라인에 존재하는 서브 픽셀들은 적어도 하나 이상의 제1 인버전 블록과 제2 인버전 블록으로 분할되고, 상기 제1 인버전 블록의 서브 픽셀들에 공급되는 데이터 전압의 극성과 상기 제2 인버전 블록의 서브 픽셀들에 공급되는 데이터 전압의 극성은 상반되며, 상기 제1 인버전 블록과 상기 제2 인버전 블록의 사이에는 소정의 직류전압이 인가되는 직류전압 라인이 배치되는 직류전압 라인 영역이 형성된 것을 특징으로 한다.

대표도



명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 다수의 서브 픽셀들이 형성되는 하부 기관과, 블랙 매트릭스와 컬러 필터가 형성되는 상부 기관을 포함하는 액정표시패널을 구비하고,

상기 표시패널의 제 k (k 는 $1 \leq k \leq n$ 을 만족하는 자연수, n 은 상기 표시패널의 수평 라인들의 개수) 수평 라인에 존재하는 서브 픽셀들은 적어도 하나 이상의 제1 인버전 블록과 제2 인버전 블록으로 분할되고,

상기 제1 인버전 블록의 서브 픽셀들에 공급되는 데이터 전압의 극성과 상기 제2 인버전 블록의 서브 픽셀들에 공급되는 데이터 전압의 극성은 상반되며,

상기 제1 인버전 블록의 서브 픽셀들에 공급되는 공통전압의 레벨과 상기 제2 인버전 블록의 서브 픽셀들에 공급되는 공통전압의 레벨은 서로 다르고,

상기 제1 인버전 블록과 상기 제2 인버전 블록의 사이에는 상기 제1 인버전 블록의 서브 픽셀들에 공급되는 공통전압의 레벨과 상기 제2 인버전 블록의 서브 픽셀들에 공급되는 공통전압의 레벨의 중간 레벨에 해당하는 직류전압이 인가되는 직류전압 라인이 배치되는 직류전압 라인 영역이 형성된 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제1 인버전 블록과 상기 제2 인버전 블록 각각은 연속적으로 존재하는 p (p 는 $2 \leq p \leq m/2$ 을 만족하는 자연수, m 은 상기 표시패널의 1 수평 라인에 존재하는 서브 픽셀들의 개수) 개의 서브 픽셀들을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 직류전압 라인 영역은,

상기 하부 기관상에 형성되는 제1 보조공통전극, 상기 제1 보조공통전극을 덮는 적어도 하나 이상의 절연막 상에 상기 제1 보조공통전극과 중첩되게 형성되는 제1 공통전극, 상기 상부 기관상에 상기 제1 공통전극과 중첩되게 형성되는 제1 블랙 전극, 상기 제1 블랙 전극을 덮는 적어도 하나 이상의 절연막 상에 상기 제1 블랙 전극과 중첩되게 형성되는 제4 공통전극을 포함하는 제1 전극 그룹; 및

상기 하부 기관상에 상기 제1 보조공통전극과 떨어져 형성되는 제2 보조공통전극, 상기 제2 보조공통전극을 덮는 적어도 하나 이상의 절연막 상에 상기 제2 보조공통전극과 중첩되게 형성되는 제2 공통전극, 상기 상부 기관상에 상기 제2 공통전극과 중첩되게 형성되는 제2 블랙 전극, 상기 제2 블랙 전극을 덮는 적어도 하나 이상의 절연막 상에 상기 제2 블랙 전극과 중첩되게 형성되는 제5 공통전극을 포함하는 제2 전극 그룹을 포함하고,

상기 직류전압 라인은 상기 제1 보조공통전극과 상기 제2 보조공통전극을 덮는 적어도 하나 이상의 절연막 상에서 상기 제1 전극 그룹과 상기 제2 전극 그룹 사이의 경계 영역에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제1 블랙 전극과 상기 제2 블랙 전극 상에는 컬러필터 층이 형성되고, 상기 컬러필터 층상에는 평탄화 층이 형성되며, 상기 평탄화 층 상에 상기 제4 공통전극과 상기 제5 공통전극이 형성되고, 상기 제4 공통전극과

상기 제5 공통전극 상에 제2 보호막이 형성되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 4 항에 있어서,

상기 제1 보조공통전극과 상기 제2 보조공통전극 상에는 게이트 절연막이 형성되고, 상기 게이트 절연막 상에는 반도체 패턴이 형성되며, 상기 반도체 패턴 상에 상기 직류전압 라인이 형성되고, 상기 직류전압 라인 상에 제2 보호막이 형성되며, 상기 제2 보호막 상에 포토 아크릴이 형성되고, 상기 포토 아크릴 상에 상기 제1 공통전극과 상기 제2 공통전극이 형성되는 것을 특징으로 하는 액정표시장치.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 제1 인버전 블록과 상기 제2 인버전 블록 각각의 서브 픽셀들 중 서로 이웃하는 어느 두 개의 서브 픽셀들 사이에는 두 개의 데이터 라인들이 배치되는 제1 데이터 라인 영역이 형성되고, 나머지 서브 픽셀들 사이에는 한 개의 데이터 라인이 배치되는 제2 데이터 라인 영역이 형성되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 제1 데이터 라인 영역은,

상기 하부 기판상에 형성되는 제1 보조공통전극과 상기 제1 보조공통전극과 떨어져 형성되는 제2 보조공통전극;

상기 제1 보조공통전극과 상기 제2 보조공통전극을 덮는 적어도 하나 이상의 절연막;

상기 절연막 상에서 상기 제1 보조공통전극과 상기 제2 보조공통전극 사이에 형성되는 상기 두 개의 데이터 라인들;

상기 두 개의 데이터 라인들을 덮는 적어도 하나 이상의 절연막 상에서 상기 제1 보조공통전극, 상기 제2 보조공통전극, 및 상기 두 개의 데이터 라인들과 중첩되게 형성되는 제6 공통전극; 및

상기 상부 기판상에서 상기 제6 공통전극과 중첩되게 형성되는 블랙 매트릭스를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 8 항에 있어서,

상기 제2 데이터 라인 영역은,

상기 하부 기판상에 형성되는 제1 보조공통전극과 상기 제1 보조공통전극과 떨어져 형성되는 제2 보조공통전극;

상기 제1 보조공통전극과 상기 제2 보조공통전극을 덮는 적어도 하나 이상의 절연막;

상기 절연막 상에서 상기 제1 보조공통전극과 상기 제2 보조공통전극 사이에 형성되는 상기 한 개의 데이터 라인;

상기 한 개의 데이터 라인을 덮는 적어도 하나 이상의 절연막 상에서 상기 제1 보조공통전극, 상기 제2 보조공통전극, 및 상기 한 개의 데이터 라인과 중첩되게 형성되는 제6 공통전극; 및

상기 상부 기판상에서 상기 제6 공통전극과 중첩되게 형성되는 블랙 매트릭스를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 1 항에 있어서,

상기 데이터 라인들에 데이터 전압을 공급하는 소스 드라이브 IC들;

상기 게이트 라인들에 게이트 펄스를 순차적으로 공급하는 게이트 구동회로; 및

상기 공통전압을 공통전극들에 공급하는 공통전압 공급부를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 소스 드라이브 IC들 각각은,

제1 인버전 블록에 접속된 데이터 라인들에 제1 기간 동안 제1 극성의 데이터 전압을 공급하고, 상기 제1 기간 이후의 제2 기간 동안 제2 극성의 데이터 전압을 공급하며,

제2 인버전 블록에 접속된 데이터 라인들에 상기 제1 기간 동안 상기 제2 극성의 데이터 전압을 공급하고, 상기 제2 기간 동안 상기 제1 극성의 데이터 전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 13

제 12 항에 있어서,

상기 공통전압 공급부는,

상기 제1 인버전 블록에 접속된 공통라인들에 상기 제1 기간 동안 제1 레벨의 공통전압을 공급하고, 상기 제2 기간 동안 제2 레벨의 공통전압을 공급하며,

상기 제2 인버전 블록에 접속된 공통라인들에 상기 제1 기간 동안 상기 제2 레벨의 공통전압을 공급하고, 상기 제2 기간 동안 상기 제1 레벨의 공통전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 14

제 13 항에 있어서,

상기 제1 레벨의 공통전압과 상기 제2 레벨의 공통전압의 중간 레벨에 해당하는 전압을 상기 직류 전압 라인에 직류로 공급하는 직류전압 공급부를 더 포함하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 공통전압이 교류로 인가되는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터 라인들에 데이터 전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, 이하 'IC'라 칭함), 액정표시패널의 게이트 라인들(또는 스캔 라인들)에 게이트 펄스(또는 스캔 펄스)를 공급하기 위한 게이트 드라이브 IC, 게이트 드라이브 IC와 소스 드라이브 IC를 제어하는 제어회로, 및 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 도 1a는 공통전압을 직류로 공급하는 경우 데이터 전압과 공통전압을 보여주는 예시 도면이다. 도 1b는 공통전압을 교류로 공급하는 경우 데이터 전압과 공통전압을 보여주는 예시 도면이다. 소스 드라이브 IC는 액정의 직류화 잔상을 방지하기 위해 액정표시패널의 데이터 라인들에 데이터 전압(Vd)을 정극성 및 부극성으로 교대로 인가한다. 정극성의 데이터 전압은 공통전압(Vcom) 대비 높은 레벨의 전압을 의미하고, 부극성의 데이터 전압

은 공통전압(Vcom) 대비 낮은 레벨의 전압을 의미한다. 도 1a와 도 1b에는 데이터 전압이 피크 화이트 계조 (peak white gray scale) 전압으로 인가되는 것을 중심으로 설명하였다. 도 1a와 같이 공통전압(Vcom)을 직류로 공급하는 경우 정극성의 데이터 전압과 부극성의 데이터 전압 간의 레벨 차(LD1)가 도 1b와 같이 공통전압(Vcom)을 교류로 공급하는 경우 정극성의 데이터 전압과 부극성의 데이터 전압 간의 레벨 차(LD2)에 비해 크다. 액정표시장치의 소비전력은 정극성의 데이터 전압과 부극성의 데이터 전압 간의 레벨 차에 의존하므로, 공통전압(Vcom)을 직류로 공급하는 경우 소비전력이 커지는 문제가 있는 반면, 공통전압(Vcom)을 교류로 공급하는 경우 액정표시장치의 소비전력은 작아지는 장점이 있다.

[0005] 도 2는 도트 인버전 방식으로 구동되는 액정표시패널의 서브 픽셀들 일부를 보여주는 예시 도면이다. 액정표시장치는 플리커(flicker) 등의 문제를 해결하기 위해 이웃하는 서브 픽셀들이 서로 상반된 극성의 데이터 전압으로 충전되는 도트 인버전 방식으로 구동된다. 공통전압을 교류로 공급함과 동시에 도트 인버전 방식으로 구동되는 경우, 이웃하는 서브 픽셀들의 인접한 공통전극에는 서로 다른 레벨의 공통전압이 인가된다. 즉, 정극성의 데이터 전압이 공급되는 제1 서브 픽셀(P1)에는 정극성의 데이터 전압보다 낮은 레벨의 제1 레벨의 공통전압이 인가되고, 부극성의 데이터 전압이 공급되는 제2 서브 픽셀(P2)에는 부극성의 데이터전압보다 높은 레벨의 제2 레벨의 공통전압이 인가된다. 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)의 사이에 배치된 제j-2(j는 4 이상 자연수) 데이터 라인(Dj-2)는 정극성의 데이터 전압이 인가된다.

[0006] 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)에 블랙 계조(gray scale) 전압이 인가되는 경우를 살펴본다. 제1 서브 픽셀(P1)의 공통전극에 인가되는 제1 레벨의 공통전압과 제j-2 데이터 라인(Dj-2)에 공급되는 정극성의 데이터 전압은 동일한 레벨의 전압이다. 하지만, 제2 서브 픽셀(P2)의 공통전극에 인가되는 제2 레벨의 공통전압과 제j-2 데이터 라인(Dj-2)에 공급되는 정극성의 데이터 전압은 가장 크게 차이가 나는 레벨의 전압이다. 그러므로, 제2 서브 픽셀(P2)의 공통전극에 인가되는 제2 레벨의 공통전압은 제j-2 데이터 라인(Dj-2)에 공급되는 정극성의 데이터 전압에 의해 제2 서브 픽셀(P2)의 전계가 영향을 받게 된다. 이로 인해, 제2 서브 픽셀(P2)은 블랙 계조 전압이 인가되었음에도 불구하고, 블랙 계조를 표현하지 못하는 "블랙 빗샘"이 발생하게 되는 문제가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 블랙 빗샘을 개선할 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

[0008] 본 발명의 실시 예에 따른 액정표시장치는 데이터 라인들과 게이트 라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 다수의 서브 픽셀들이 형성되는 하부 기판과, 블랙 매트릭스와 컬러 필터가 형성되는 상부 기판을 포함하는 표시패널을 구비하고, 상기 표시패널의 제k(k는 $1 \leq k \leq n$ 을 만족하는 자연수, n은 상기 표시패널의 수평 라인들의 개수) 수평 라인에 존재하는 서브 픽셀들은 적어도 하나 이상의 제1 인버전 블록과 제2 인버전 블록으로 분할되고, 상기 제1 인버전 블록의 서브 픽셀들에 공급되는 데이터 전압의 극성과 상기 제2 인버전 블록의 서브 픽셀들에 공급되는 데이터 전압의 극성은 상반되며, 상기 제1 인버전 블록과 상기 제2 인버전 블록의 사이에는 소정의 직류전압이 인가되는 직류전압 라인이 배치되는 직류전압 라인 영역이 형성된 것을 특징으로 한다.

발명의 효과

[0009] 본 발명은 표시패널의 수평 라인들에 존재하는 서브 픽셀들 일부를 제1 인버전 블록과 제2 인버전 블록으로 분할하고, 제1 인버전 블록의 서브 픽셀들에 인가되는 데이터 전압의 극성과 제2 인버전 블록의 서브 픽셀들에 인가되는 데이터 전압의 극성을 다르게 한다. 또한, 본 발명은 제1 인버전 블록과 제2 인버전 블록 사이에 데이터 라인 대신에 직류전압 라인을 배치한다. 그 결과, 본 발명은 제1 인버전 블록의 서브 픽셀들과 제2 인버전 블록의 서브 픽셀들 각각의 전계가 인접한 데이터 라인 또는 직류전압 라인에 의해 영향을 받지 않는다. 이로 인해, 본 발명은 공통전압을 교류로 공급하면서도 블랙 빗샘을 개선할 수 있다.

도면의 간단한 설명

- [0010] 도 1a는 공통전압을 직류로 공급하는 경우 정극성 데이터 전압, 부극성 데이터 전압, 공통전압의 레벨을 보여주는 예시 도면.
- 도 1b는 공통전압을 교류로 공급하는 경우 정극성 데이터 전압, 부극성 데이터 전압, 공통전압의 레벨을 보여주는 예시 도면.
- 도 2는 도트 인버전 방식으로 구동되는 액정표시패널의 서브 픽셀들 일부를 보여주는 예시 도면.
- 도 3은 본 발명의 실시 예에 따른 액정표시패널의 픽셀 구조를 상세히 보여주는 도면.
- 도 4는 제8 서브 픽셀과 제9 서브 픽셀의 일부를 보여주는 평면도.
- 도 5는 도 4의 I-I'의 단면도.
- 도 6은 제4 서브 픽셀과 제5 서브 픽셀의 일부를 보여주는 평면도.
- 도 7은 도 6의 II-II'의 단면도.
- 도 8은 제1 서브 픽셀과 제2 서브 픽셀의 일부를 보여주는 평면도.
- 도 9는 도 8의 III-III'의 단면도.
- 도 10은 본 발명의 실시 예에 따른 액정표시장치를 개략적으로 보여주는 블록도.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0012] 도 3은 본 발명의 실시 예에 따른 액정표시패널의 픽셀 구조를 상세히 보여주는 도면이다. 본 발명의 실시 예에 따른 액정표시패널은 데이터 라인들($Dj-3, \dots, Dj+15$)(j 는 $4 \leq j \leq m$ 을 만족하는 자연수, m 은 상기 표시패널의 데이터 라인들의 개수 또는 1 수평 라인에 존재하는 서브 픽셀들의 개수)의 개수와 게이트 라인들($Gk, \dots, Gk+3$)(k 는 $1 \leq k \leq n$ 을 만족하는 자연수, n 은 상기 표시패널의 수평 라인들의 개수)의 교차 구조에 의해 매트릭스 형태로 배열되는 다수의 서브 픽셀들이 형성되는 하부 기판과, 블랙 매트릭스(black matrix)와 컬러필터들이 형성되는 상부 기판을 포함한다. 도 3에는 하부 기판에 형성된 서브 픽셀들 중 일부가 나타나 있다.
- [0013] 액정표시패널의 제 k 수평 라인에 존재하는 서브 픽셀들 각각은 적어도 하나 이상의 제1 인버전 블록(IB1)과 제2 인버전 블록(IB2)으로 분할된다. 제1 인버전 블록(IB1)과 제2 인버전 블록(IB2) 각각은 연속적으로 존재하는 p (p 는 $2 \leq p \leq m/2$ 을 만족하는 자연수) 개의 서브 픽셀들을 포함할 수 있다. 예를 들어, 도 3과 같이 제1 인버전 블록(IB1)은 제1 수평 라인(LINE#1)의 제1 내지 제8 서브 픽셀들(P1~P8)을 포함하고, 제2 인버전 블록은 제1 수평 라인(LINE#1)의 제9 내지 제16 서브 픽셀들(P9~P16)을 포함할 수 있다. 도 3에서는 제1 인버전 블록(IB1)과 제2 인버전 블록(IB2) 각각 8 개의 서브 픽셀들을 포함하는 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다.
- [0014] 제1 인버전 블록(IB1)과 제2 인버전 블록(IB2)의 사이에는 직류전압 라인(DCL)이 배치된다. 예를 들어, 제1 수평 라인(LINE#1)의 제1 인버전 블록(IB1)의 제8 서브 픽셀(P8)과 제2 인버전 블록(IB2)의 제9 서브 픽셀(P9)의 사이에는 직류전압 라인(DCL)이 배치된다. 직류전압 라인(DCL)에는 소정의 직류전압이 공급된다. 직류전압 라인(DCL)은 어떠한 서브 픽셀과도 접촉되지 않는다.
- [0015] 제1 인버전 블록(IB1)의 제1 내지 제8 서브 픽셀들(P1~P8) 각각은 어느 한 데이터 라인에 접속되어 데이터 전압을 공급받는다. 제2 인버전 블록(IB2)의 제9 내지 제16 서브 픽셀들(P9~P16) 각각은 어느 한 데이터 라인에 접속되어 데이터 전압을 공급받는다. 제1 인버전 블록(IB1)과 제2 인버전 블록(IB2) 각각의 서브 픽셀들 중 서로

이웃하는 어느 두 개의 서브 픽셀들 사이에는 두 개의 데이터 라인들이 배치되고, 나머지 서브 픽셀들 사이에는 한 개의 데이터 라인이 배치된다. 예를 들어, 도 3과 같이 제1 인버전 블록(IB1)의 제4 서브 픽셀(P4)과 제5 서브 픽셀(P5) 사이에는 제j+1 데이터 라인(Dj+1)과 제j+2 데이터 라인(Dj+2)이 배치되고, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2) 사이, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3) 사이, 제3 서브 픽셀(P3)과 제4 서브 픽셀(P4) 사이, 제5 서브 픽셀(P5)과 제6 서브 픽셀(P6) 사이, 제6 서브 픽셀(P6)과 제7 서브 픽셀(P7)의 사이, 및 제7 서브 픽셀(P7)과 제8 서브 픽셀(P8)의 사이에는 한 개의 데이터 라인이 배치된다. 또한, 제2 인버전 블록(IB2)의 제12 서브 픽셀(P12)과 제13 서브 픽셀(P13) 사이에는 제j+9 데이터 라인(Dj+9)과 제j+10 데이터 라인(Dj+10)이 배치되고, 제9 서브 픽셀(P9)과 제10 서브 픽셀(P10) 사이, 제10 서브 픽셀(P10)과 제11 서브 픽셀(P11) 사이, 제11 서브 픽셀(P11)과 제12 서브 픽셀(P12) 사이, 제13 서브 픽셀(P13)과 제14 서브 픽셀(P14) 사이, 제14 서브 픽셀(P14)과 제15 서브 픽셀(P15)의 사이, 및 제15 서브 픽셀(P15)과 제16 서브 픽셀(P16)의 사이에는 한 개의 데이터 라인이 배치된다.

[0016] 제1 인버전 블록(IB1)의 서브 픽셀들에 공급되는 데이터 전압의 극성과 제2 인버전 블록(IB2)의 서브 픽셀들에 공급되는 데이터 전압의 극성은 서로 상반된다. 즉, 제1 인버전 블록(IB1)의 서브 픽셀들에 정극성의 데이터 전압이 공급되는 경우, 제2 인버전 블록(IB2)의 제9 내지 제16 서브 픽셀들(P9~P16)에 부극성의 데이터 전압이 공급된다. 제1 인버전 블록(IB1)의 서브 픽셀들에 부극성의 데이터 전압이 공급되는 경우, 제2 인버전 블록(IB2)의 서브 픽셀들에 정극성의 데이터 전압이 공급된다. 예를 들어, 도 3과 같이 제1 수평 라인(LINE#1)에서 제1 인버전 블록(IB1)의 제1 내지 제8 서브 픽셀들(P1~P8)에 정극성의 데이터 전압이 공급되는 경우, 제2 인버전 블록(IB2)의 제9 내지 제16 서브 픽셀들(P9~P16)에 부극성의 데이터 전압이 공급된다. 또한, 도 3과 같이 제2 수평 라인(LINE#2)에서 제1 인버전 블록(IB1)에 부극성의 데이터 전압이 공급되는 경우, 제2 인버전 블록(IB2)에 정극성의 데이터 전압이 공급된다.

[0017] 또한, 제1 인버전 블록(IB1)의 서브 픽셀들에 공급되는 공통전압의 레벨과 제2 인버전 블록(IB2)의 서브 픽셀들에 공급되는 공통전압의 레벨은 서로 다르다. 예를 들어, 제1 인버전 블록(IB1)의 서브 픽셀들에 제1 레벨의 공통전압이 공급되는 경우, 제2 인버전 블록(IB2)의 서브 픽셀들에 제2 레벨의 공통전압이 공급된다. 제1 인버전 블록(IB1)의 서브 픽셀들에 제2 레벨의 공통전압이 공급되는 경우, 제2 인버전 블록(IB2)의 서브 픽셀들에 제1 레벨의 공통전압이 공급된다.

[0018] 또한, 제1 인버전 블록(IB1)의 서브 픽셀들에 정극성의 데이터 전압이 공급되는 경우 제1 레벨의 공통전압이 공급되고, 제2 인버전 블록(IB2)의 서브 픽셀들에 부극성의 데이터 전압이 공급되는 경우 제2 레벨의 공통전압이 공급되도록 구현될 수 있다. 이 경우, 제1 레벨의 공통전압은 제2 레벨의 공통전압보다 낮은 레벨의 전압이다. 또는, 제1 인버전 블록(IB1)의 서브 픽셀들에 부극성의 데이터 전압이 공급되는 경우 제1 레벨의 공통전압이 공급되고, 제2 인버전 블록(IB2)의 서브 픽셀들에 정극성의 데이터 전압이 공급되는 경우 제2 레벨의 공통전압이 공급되도록 구현될 수 있다. 이 경우, 제1 레벨의 공통전압은 제2 레벨의 공통전압보다 높은 레벨의 전압이다.

[0019] 도 4는 제8 서브 픽셀과 제9 서브 픽셀의 일부를 보여주는 평면도이다. 도 4를 참조하면, 제8 서브 픽셀(P8)과 제9 서브 픽셀(P9)은 화소 전극들과 공통전극들이 나란하게 배치되어 전계(electric field)를 형성하는 수평 전계 방식으로 구현된 것을 중심으로 설명하였다. 또한, 도 4에는 설명의 편의를 위해 액정표시패널의 하부 기판만이 도시되었다.

[0020] 액정표시패널에는 하부 기판상에 일 방향으로 배열된 게이트 라인(201), 게이트 라인(201)과 인접하여 나란하게 배열된 공통 라인(202), 및 게이트 라인(201)과 교차하여 서브 픽셀을 구획하는 데이터 라인(204)이 형성된다. 게이트 라인(201)과 데이터 라인(204)의 교차 영역에는 데이터 라인(204)으로부터 연장된 소스 전극(205)과 소스 전극(205)으로부터 이격된 드레인 전극(206)이 위치한다. 제1 화소 전극(207)은 드레인 전극(206)과 제1 콘택홀(CH1)을 통해 접속된다. 또한, 제1 화소 전극(207)으로부터 분기(分岐)된 제2 화소 전극(208)들이 형성된다. 제2 화소 전극(208)들은 소정의 간격으로 서로 떨어져 나란하게 형성된다. 제1 화소 전극(207)은 제1 공통전극(202)과 중첩되게 형성되고, 제1 화소 전극(207)과 제1 공통 전극(202)은 스토리지 캐패시터(storage capacitor)(Cst)를 형성한다.

[0021] 서브 픽셀들 각각의 양측 가장 자리에는 공통 라인(202)으로부터 분기(分岐)된 보조공통전극들(203A, 203B)이 형성된다. 보조공통전극들(203A, 203B)은 데이터 라인(204)과 인접하여 나란하게 위치한다. 제1 보조공통전극(203A)은 서브 픽셀들 각각의 일측 가장 자리에 형성되는 경우, 제2 보조공통전극(203B)은 서브 픽셀들 각각의 타측 가장 자리에 형성된다. 공통전극 그룹은 제1 내지 제3 공통전극들(209, 210, 211)을 포함한다. 제1 보조

공통전극(203A)과 제2 보조공통전극(203B) 중 어느 하나는 제1 공통전극(209)과 제2 공통전극(210) 중 어느 하나와 제2 콘택홀(CH2)을 통해 접속된다. 제1 공통전극(209)은 제1 보조공통전극(203A)와 중첩되게 형성되고, 제2 공통전극(210)은 제2 보조공통전극(203B)와 중첩되게 형성된다. 제3 공통전극(211)은 소정의 간격으로 서로 떨어져 나란하게 형성된다. 제3 공통전극(211)은 두 개의 제2 화소 전극(208)들 사이에 배치된다. 즉, 제3 공통전극(211)은 제2 화소 전극(208)과 서로 교번(交番)하여 배치된다.

[0022] 제8 서브 픽셀(P8)과 제9 서브 픽셀(P9)의 사이에는 직류전압 라인(DCL)이 배치된다. 더욱 상세하게, 직류전압 라인(DCL)은 제8 서브 픽셀(P8)의 제2 공통전극(210)과 제9 서브 픽셀(P9)의 제1 공통전극(209) 사이에 형성된다.

[0023] 한편, 보조공통전극들(203A, 203B), 데이터 라인(204), 제2 화소 전극(208)들, 제1 내지 제3 공통 전극들(209, 210, 211), 및 직류전압 라인(DCL) 각각은 서로 나란하게 배열되도록 형성되며, 소정의 각도로 꺾어서 형성될 수 있다. 이하에서, 도 5를 참조하여 I-I'의 단면에 대하여 상세히 설명한다.

[0024] 도 5는 도 4의 I-I'의 단면도이다. 도 5를 참조하면, 액정표시패널은 스위칭 소자인 박막 트랜지스터(Thin Film Transistor), 화소 전극들(207, 208), 및 공통전극들(203A, 203B, 209, 210, 211) 등이 형성된 하부 기관(200)과, 블랙 전극들(301, 302)과 컬러필터들(303, 304)이 형성된 상부 기관(300)과, 하부 기관(200)과 상부 기관(300) 사이에 개재된 액정층(250)을 포함한다.

[0025] 하부 기관(200) 상에는 게이트 라인(201), 공통 라인(202), 제1 보조공통전극(203A), 및 제2 보조공통전극(203B)이 형성된다. 게이트 라인(201), 공통 라인(202), 제1 보조공통전극(203A), 및 제2 보조공통전극(203B)은 동일 평면상에 동일한 금속 패턴으로 형성될 수 있다. 게이트 라인(201), 공통 라인(202), 제1 보조공통전극(203A), 및 제2 보조공통전극(203B) 상에는 게이트 절연막(212)이 형성된다. 박막트랜지스터 영역(TFT)와 직류전압 라인 영역(DCLA)에는 게이트 절연막(212) 상에 반도체 패턴(213)이 형성된다. 박막 트랜지스터 영역(TFT)의 반도체 패턴(213)에는 소스 전극(205) 및 드레인 전극(206)이 서로 이격되어 형성된다. 이로 인해, 게이트 라인(201), 소스 전극(132), 드레인 전극(133) 및 반도체 패턴(213)을 포함하는 박막트랜지스터를 구성한다. 또한, 직류전압 라인 영역(DCLA)의 반도체 패턴(213) 상에는 반도체 패턴(213)과 중첩되는 직류전압 라인(DCL)이 형성된다. 게이트 절연막(212), 소스 전극(132), 드레인 전극(133), 반도체 패턴(213), 및 직류전압 라인(DCL) 상에는 제1 보호막(214)이 형성되고, 제1 보호막(214) 상에는 포토 아크릴(215)이 형성된다. 제1 화소 전극(207)은 제1 보호막(214)과 포토 아크릴(215)을 관통하는 제1 콘택홀(CH1)을 통해 드레인 전극(206)과 접속된다. 포토 아크릴(215) 상에는 제2 화소 전극(208)과 제3 공통전극(211)이 서로 교번(交番)하여 배치되도록 형성된다. 포토 아크릴(215) 상에는 제1 공통전극(209)이 제1 보조공통전극(203A)와 중첩되도록 형성되고, 제2 공통전극(210)이 제2 보조공통전극(203B)과 중첩되도록 형성된다.

[0026] 하부 기관(200)과 마주보는 상부 기관(300)에는 제1 공통전극(209)과 중첩되도록 제1 블랙 전극(301)이 형성되고, 제2 공통전극(210)과 중첩되도록 제2 블랙 전극(302)이 형성된다. 제1 블랙 전극(301)과 제2 블랙 전극(302)은 전압이 인가되는 전극으로서의 역할뿐만 아니라, 블랙 매트릭스로서의 역할을 겸한다. 즉, 제1 블랙 전극(301)과 제2 블랙 전극(302)은 컬러필터들 간의 경계 영역에서 차광막 역할을 함으로써, 혼색을 방지할 수 있다. 제1 블랙 전극(301)과 제2 블랙 전극(302) 상에는 컬러필터들 중 어느 두 개가 형성된다. 컬러필터들은 적색(red), 녹색(green), 및 청색(blue) 컬러필터들로 구현되거나, 노란색(yellow), 자홍색(magenta), 및 청록색(cyan) 컬러필터들로 구현될 수 있다. 구체적으로, 제1 블랙 전극(301) 상에는 제1 색의 컬러필터(303)가 형성되고, 제2 블랙 전극(302) 상에는 제2 색의 컬러필터(304)가 형성된다. 제1 컬러필터(303)와 제2 컬러필터(304) 상에는 평탄화 층(305)이 형성된다. 평탄화 층(305) 상에는 제1 블랙 전극(301)과 중첩되도록 제4 공통전극(306)이 형성되고, 제2 블랙 전극(302)과 중첩되도록 제5 공통전극(307)이 형성된다. 제4 공통전극(306)과 제5 공통전극(307) 상에는 제2 보호막(308)이 형성된다.

[0027] 한편, 제1 보조공통전극(203A), 제1 공통전극(209), 제1 블랙 전극(301), 및 제4 공통전극(306)은 제1 전극 그룹(G1)에 포함되고, 제2 보조공통전극(203B), 제2 공통전극(210), 제2 블랙 전극(302), 및 제5 공통전극(307)은 제2 전극 그룹(G2)에 포함된다. 직류전압 라인(DCL)은 제1 전극 그룹(G1)과 제2 전극 그룹(G2) 사이의 경계 영역에 형성된다.

[0028] 또한, 제8 서브 픽셀(P8)은 제1 인버전 블록(IB1)에 포함되고 제9 서브 픽셀(P9)은 제2 인버전 블록(IB2)에 포함되므로, 제8 서브 픽셀(P8)에 인가되는 데이터 전압의 극성과 제9 서브 픽셀(P9)에 인가되는 데이터 전압의

극성은 상반된다. 따라서, 제9 서브 픽셀(P9)에 포함되는 제1 전극 그룹(G1)의 제1 보조공통전극(203A), 제1 공통전극(209), 제1 블랙 전극(301), 및 제4 공통전극(306)에는 제2 레벨의 공통전압이 공급되고, 제8 서브 픽셀(P8)에 포함되는 제2 전극 그룹(G2)의 제2 보조공통전극(203B), 제2 공통전극(210), 제2 블랙 전극(302), 및 제5 공통전극(307)에는 제1 레벨의 공통전압이 공급된다. 이때, 직류전압 라인(DCL)에는 제1 레벨의 공통전압과 제2 레벨의 공통전압의 중간 레벨에 해당하는 전압이 직류로 공급된다. 예를 들어, 제1 레벨의 공통전압이 4V, 제2 레벨의 공통전압이 8V인 경우, 직류전압 라인(DCL)에는 중간 레벨에 해당하는 6V 전압이 직류로 공급될 수 있다. 그 결과, 직류전압 라인(DCL)에 공급되는 전압에 의해 제1 전극 그룹(G1), 제2 전극 그룹(G2), 및 직류전압 라인(DCL) 간에 형성되는 전계는 제1 전극 그룹(G1)과 제2 전극 그룹(G2)에 의해 차단된다. 따라서, 제1 공통전극(209)과 제2 화소 전극(208) 간에 형성되는 전계와 제2 공통전극(210)과 제2 화소 전극(208) 간에 형성되는 전계는 제1 전극 그룹(G1), 제2 전극 그룹(G2), 및 직류전압 라인(DCL) 간에 형성되는 전계에 의해 영향을 받지 아니한다. 그러므로, 본 발명은 제8 서브 픽셀(P8)과 제9 서브 픽셀(P9) 각각의 제2 화소 전극(208)에 블랙 계조 전압이 인가되더라도, 블랙 빛샘이 발생하지 않는다.

[0029] 도 6은 제4 서브 픽셀과 제5 서브 픽셀의 일부를 보여주는 평면도이다. 도 6을 참조하면, 제4 서브 픽셀(P4)과 제5 서브 픽셀(P5)은 화소 전극들과 공통전극들이 나란하게 배치되어 전계를 형성하는 수평 전계 방식으로 구현된 것을 중심으로 설명하였다. 또한, 도 6에는 설명의 편의를 위해 액정표시패널의 하부 기판만이 도시되었다.

[0030] 도 6에 도시된 게이트 라인(201), 공통 라인(202), 보조공통전극들(203A, 203B), 소스 전극(205), 드레인 전극(206), 제1 화소 전극(207), 제2 화소 전극(208), 제3 공통전극(211), 제1 콘택홀(CH1), 및 제2 콘택홀(CH2)은 도 4에서 설명한 바와 같다. 다만, 제4 서브 픽셀(P4)과 제5 서브 픽셀(P5)의 사이에는 두 개의 데이터 라인(204)들이 배치된다. 더욱 상세하게, 두 개의 데이터 라인(204)들은 제4 서브 픽셀(P4)의 제2 보조공통전극(203B)과 제5 서브 픽셀(P5)의 제1 보조공통전극(203A) 사이에 형성된다. 공통전극 그룹은 제3 공통전극(211)과 제6 공통전극(216)을 포함한다. 제6 공통전극(216)은 제1 보조공통전극(203A), 제2 보조공통전극(203B), 및 데이터 라인(204)과 중첩되게 형성된다.

[0031] 한편, 보조공통전극들(203A, 203B), 데이터 라인(204), 제2 화소 전극(208)들, 제3 공통 전극(211), 및 제4 공통 전극(220) 각각은 서로 나란하게 배열되도록 형성되며, 소정의 각도로 꺾여서 형성될 수 있다. 이하에서, 도 7을 참조하여 II-II'의 단면에 대하여 상세히 설명한다.

[0032] 도 7은 도 6의 II-II'의 단면도이다. 도 7을 참조하면, 액정표시패널은 스위칭 소자인 박막 트랜지스터(Thin Film Transistor), 화소 전극들(207, 208), 및 공통전극들(203A, 203B, 211, 220) 등이 형성된 하부 기판(200)과, 블랙 매트릭스(309)와 컬러필터들(303, 304)이 형성된 상부 기판(300)과, 하부 기판(200)과 상부 기판(300) 사이에 개재된 액정층(250)을 포함한다.

[0033] 하부 기판(200) 상에는 게이트 라인(201), 공통 라인(202), 제1 보조공통전극(203A), 및 제2 보조공통전극(203B)이 형성된다. 게이트 라인(201), 공통 라인(202), 제1 보조공통전극(203A), 및 제2 보조공통전극(203B)은 동일 평면상에 동일한 금속 패턴으로 형성될 수 있다. 게이트 라인(201), 공통 라인(202), 제1 보조공통전극(203A), 및 제2 보조공통전극(203B) 상에는 게이트 절연막(212)이 형성된다. 박막트랜지스터 영역(TFT)와 제1 데이터 라인 영역(DL1)에는 게이트 절연막(212) 상에 반도체 패턴(213)이 형성된다. 박막 트랜지스터 영역(TFT)의 반도체 패턴(213)에는 소스 전극(205) 및 드레인 전극(206)이 서로 이격되어 형성된다. 이로 인해, 게이트 라인(201), 소스 전극(205), 드레인 전극(206) 및 반도체 패턴(213)을 포함하는 박막트랜지스터를 구성한다. 또한, 제1 데이터 라인 영역(DL1)의 반도체 패턴(213)들 상에는 반도체 패턴(213)들 각각에 중첩되는 데이터 라인(204)들이 각각 형성된다. 게이트 절연막(212), 소스 전극(205), 드레인 전극(206), 반도체 패턴(213), 및 데이터 라인(204) 상에는 제1 보호막(214)이 형성되고, 제1 보호막(214) 상에는 포토 아크릴(215)이 형성된다. 제1 화소 전극(207)은 제1 보호막(214)과 포토 아크릴(215)을 관통하는 제1 콘택홀(CH1)을 통해 드레인 전극(206)과 접속된다. 포토 아크릴(215) 상에는 제2 화소 전극(208)과 제3 공통전극(211)이 서로 교번(交番)하여 배치되도록 형성된다. 포토 아크릴(215) 상에는 제6 공통전극(216)이 제1 보조공통전극(203A), 제2 보조공통전극(203B), 및 데이터 라인(204)들과 중첩되도록 형성된다.

[0034] 하부 기판(200)과 마주보는 상부 기판(300)에는 제6 공통전극(216)과 중첩되도록 블랙 매트릭스(309)가 형성된다. 블랙 매트릭스(309)는 컬러필터들 간의 경계 영역에서 차광막 역할을 함으로써, 혼색을 방지할 수 있다.

블랙 매트릭스(309) 상에는 컬러필터들 중 어느 두 개가 형성된다. 컬러필터들은 적색(red), 녹색(green), 및 청색(blue) 컬러필터들로 구현되거나, 노란색(yellow), 자홍색(magenta), 및 청록색(cyan) 컬러필터들로 구현될 수 있다. 구체적으로, 블랙 매트릭스(309) 상에는 제1 색의 컬러필터(303)와 제2 색의 컬러필터(304)가 형성된다. 제1 컬러필터(303)와 제2 컬러필터(304) 상에는 평탄화 층(305)이 형성된다. 평탄화 층(305) 상에는 제2 보호막(308)이 형성된다.

[0035] 또한, 제4 서브 픽셀(P4)과 제5 서브 픽셀(P5)은 제1 인버전 블록(IB1)에 포함되므로, 제4 서브 픽셀(P4)에 인가되는 데이터 전압의 극성과 제5 서브 픽셀(P5)에 인가되는 데이터 전압의 극성은 동일하다. 따라서, 제4 서브 픽셀(P4)과 제5 서브 픽셀(P5)에는 동일한 레벨의 공통전압이 공급된다. 따라서, 본 발명은 제4 서브 픽셀(P4)과 제5 서브 픽셀(P5) 각각의 제2 화소 전극(208)에 블랙 계조 전압이 인가되더라도, 블랙 빔샘이 발생하지 않는다.

[0036] 한편, 제12 서브 픽셀(P12)과 제13 서브 픽셀(P13)은 그들 사이에 하나의 데이터 라인이 형성되므로, 도 6 및 도 7에서 설명한 바와 같은 구조로 형성된다.

[0037] 도 8은 제1 서브 픽셀과 제2 서브 픽셀의 일부를 보여주는 평면도이다. 도 8을 참조하면, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)은 화소 전극들과 공통전극들이 나란하게 배치되어 전계를 형성하는 수평 전계 방식으로 구현된 것을 중심으로 설명하였다. 또한, 도 8에는 설명의 편의를 위해 액정표시패널의 하부 기판만이 도시되었다.

[0038] 도 8에 도시된 게이트 라인(201), 공통 라인(202), 보조공통전극들(203A, 203B), 소스 전극(205), 드레인 전극(206), 제1 화소 전극(207), 제2 화소 전극(208), 제3 공통전극(211), 제1 콘택홀(CH1), 및 제2 콘택홀(CH2)은 도 4에서 설명한 바와 같다. 다만, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)의 사이에는 하나의 데이터 라인(204)이 배치된다. 더욱 상세하게, 하나의 데이터 라인(204)은 제1 서브 픽셀(P1)의 제2 보조공통전극(203B)과 제2 서브 픽셀(P2)의 제1 보조공통전극(203A) 사이에 형성된다. 공통전극 그룹은 제3 공통전극(211)과 제6 공통전극(216)을 포함한다. 제6 공통전극(216)은 제1 보조공통전극(203A), 제2 보조공통전극(203B), 및 데이터 라인(204)과 중첩되게 형성된다.

[0039] 한편, 보조공통전극들(203A, 203B), 데이터 라인(204), 제2 화소 전극(208)들, 제3 공통 전극(211), 및 제4 공통 전극(220) 각각은 서로 나란하게 배열되도록 형성되며, 소정의 각도로 꺾여서 형성될 수 있다. 이하에서, 도 9를 참조하여 III-III'의 단면에 대하여 상세히 설명한다.

[0040] 도 9는 도 8의 III-III'의 단면도이다. 도 9를 참조하면, 액정표시패널은 스위칭 소자인 박막 트랜지스터(Thin Film Transistor), 화소 전극들(207, 208), 및 공통전극들(203A, 203B, 211, 220) 등이 형성된 하부 기판(200)과, 블랙 매트릭스(309)와 컬러필터들(303, 304)이 형성된 상부 기판(300)과, 하부 기판(200)과 상부 기판(300) 사이에 개재된 액정층(250)을 포함한다.

[0041] 하부 기판(200) 상에는 게이트 라인(201), 공통 라인(202), 제1 보조공통전극(203A), 및 제2 보조공통전극(203B)이 형성된다. 게이트 라인(201), 공통 라인(202), 제1 보조공통전극(203A), 및 제2 보조공통전극(203B)은 동일 평면상에 동일한 금속 패턴으로 형성될 수 있다. 게이트 라인(201), 공통 라인(202), 제1 보조공통전극(203A), 및 제2 보조공통전극(203B) 상에는 게이트 절연막(212)이 형성된다. 박막트랜지스터 영역(TFT)와 제2 데이터 라인 영역(DL2)에는 게이트 절연막(212) 상에 반도체 패턴(213)이 형성된다. 박막 트랜지스터 영역(TFT)의 반도체 패턴(213)에는 소스 전극(205) 및 드레인 전극(206)이 서로 이격되어 형성된다. 이로 인해, 게이트 라인(201), 소스 전극(205), 드레인 전극(206) 및 반도체 패턴(213)을 포함하는 박막트랜지스터를 구성한다. 또한, 제2 데이터 라인 영역(DL2)의 반도체 패턴(213) 상에는 반도체 패턴(213)과 중첩되는 하나의 데이터 라인(204)이 각각 형성된다. 게이트 절연막(212), 소스 전극(205), 드레인 전극(206), 반도체 패턴(213), 및 데이터 라인(204) 상에는 제1 보호막(214)이 형성되고, 제1 보호막(214) 상에는 포토 아크릴(215)이 형성된다. 제1 화소 전극(207)은 제1 보호막(214)과 포토 아크릴(215)을 관통하는 제1 콘택홀(CH1)을 통해 드레인 전극(206)과 접속된다. 포토 아크릴(215) 상에는 제2 화소 전극(208)과 제3 공통전극(211)이 서로 교번(交番)하여 배치되도록 형성된다. 포토 아크릴(215) 상에는 제6 공통전극(216)이 제1 보조공통전극(203A), 제2 보조공통전극(203B), 및 데이터 라인(204)들과 중첩되도록 형성된다.

[0042] 하부 기판(200)과 마주보는 상부 기판(300)에는 제6 공통전극(216)과 중첩되도록 블랙 매트릭스(309)가 형성된다. 블랙 매트릭스(309)는 컬러필터들 간의 경계 영역에서 차광막 역할을 함으로써, 혼색을 방지할 수 있다.

블랙 매트릭스(309) 상에는 컬러필터들 중 어느 두 개가 형성된다. 컬러필터들은 적색(red), 녹색(green), 및 청색(blue) 컬러필터들로 구현되거나, 노란색(yellow), 자홍색(magenta), 및 청록색(cyan) 컬러필터들로 구현될 수 있다. 구체적으로, 블랙 매트릭스(309) 상에는 제1 색의 컬러필터(303)와 제2 색의 컬러필터(304)가 형성된다. 제1 컬러필터(303)와 제2 컬러필터(304) 상에는 평탄화 층(305)이 형성된다. 평탄화 층(305) 상에는 제2 보호막(308)이 형성된다.

[0043] 또한, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)은 제1 인버전 블록(IB1)에 포함되므로, 제1 서브 픽셀(P1)에 인가되는 데이터 전압의 극성과 제2 서브 픽셀(P2)에 인가되는 데이터 전압의 극성은 동일하다. 따라서, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)에는 동일한 레벨의 공통전압이 공급된다. 따라서, 본 발명은 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2) 각각의 제2 화소 전극(208)에 블랙 계조 전압이 인가되더라도, 블랙 빔샘이 발생하지 않는다.

[0044] 한편, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3), 제3 서브 픽셀(P3)과 제4 서브 픽셀(P4), 제5 서브 픽셀(P5)과 제6 서브 픽셀(P6), 제6 서브 픽셀(P6)과 제7 서브 픽셀(P7), 제7 서브 픽셀(P7)과 제8 서브 픽셀(P8), 제9 서브 픽셀(P9)과 제10 서브 픽셀(P10), 제10 서브 픽셀(P10)과 제11 서브 픽셀(P11), 제11 서브 픽셀(P11)과 제12 서브 픽셀(P12), 제13 서브 픽셀(P13)과 제14 서브 픽셀(P14), 제14 서브 픽셀(P14)과 제15 서브 픽셀(P15), 제15 서브 픽셀(P15)과 제16 서브 픽셀(P16)은 그들 사이에는 하나의 데이터 라인이 형성되므로, 도 8 및 도 9에서 설명한 바와 같은 구조로 형성된다.

[0045] 도 10은 본 발명의 실시 예에 따른 액정표시장치를 개략적으로 보여주는 블록도이다. 도 10을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 화소 어레이(PA)가 형성된 액정표시패널(10), 소스 드라이브 집적회로(Integrated Circuit, 이하 'IC'라 칭함)(12)들, 및 타이밍 콘트롤러(11)를 구비한다. 액정표시패널(10)의 아래에는 액정표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0046] 액정표시패널(10)은 액정층을 사이에 두고 대향하는 상부 기관과 하부 기관을 포함한다. 액정표시패널(10)에는 화소 어레이(PA)가 형성된다. 화소 어레이(PA)는 데이터 라인들과 게이트 라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 서브 픽셀들을 이용하여 비디오 데이터를 표시한다. 화소 어레이(10)의 하부 기관에는 데이터 라인들, 게이트 라인들, 박막 트랜지스터들, 박막 트랜지스터에 접속된 서브 픽셀의 화소 전극들, 및 스토리지 커패시터(Storage Capacitor) 등이 형성된다. 화소 어레이(PA)의 서브 픽셀들 각각은 박막 트랜지스터를 통해 데이터 전압이 충전되는 화소 전극들과 공통전압이 인가되는 공통전극들의 전압 차에 의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다. 화소 어레이(PA)의 구체적인 구조에 대하여는 도 3 내지 도 9를 결부하여 상세히 설명하였다.

[0047] 액정표시패널(10)의 상부 기관상에는 블랙 매트릭스와 컬러필터가 형성된다. 공통전극들은 수평 전계 방식과 같이 화소 전극들과 함께 하부 기관상에 형성되는 것을 중심으로 설명하였다. 이 경우, 액정표시패널(10)은 IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식으로 구현될 수 있다. 액정표시패널의 상부 기관과 하부 기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0048] 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

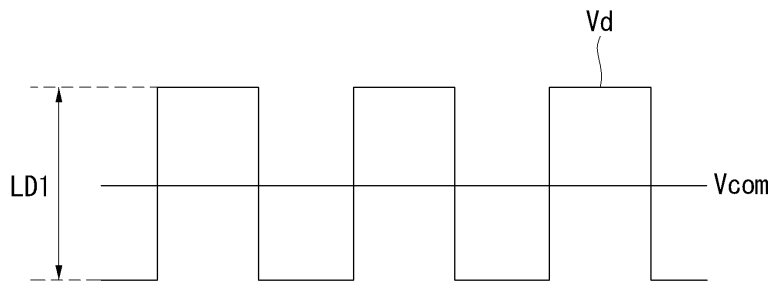
[0049] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되고, TAB(Tape Automated Bonding) 공정에 의해 액정표시패널(10)의 하부 기관에 접합되며, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정표시패널(10)의 하부 기관상에 접촉될 수도 있다.

[0050] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터와 소스 타이밍 제어신호를 입력받는다. 소스 드라이브 IC들(12)은 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성 및 부극성 데이터 전압들로 변환하여 화소 어레이(PA)의 데이터 라인들에 공급한다. 소스 드라이브 IC들(12) 각각은 소정의 주기로 정극성 및 부극성 데이터 전압들을 공급한다. 예를 들어, 도 3과 같이 소스 드라이브 IC(12)들 각각은 제1 인버전 블록의 서브 픽셀들과 접속된 데이터 라인들에 제1 기간 동안 제1 극성의 데이터 전압을 공급하고, 제2 기간 동안 제2 극성의 데이터 전압을 공급할 수 있다. 또한, 소스 드라이브 IC(12)들 각각은 제2 인버전 블록의 서브 픽셀들과 접속된 데이터 라인들에 제1 기간 동안 제2 극성의 데이터 전압을 공급하고, 제2

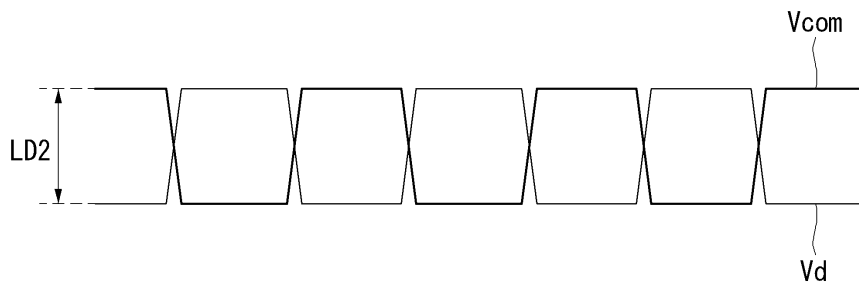
- | | |
|---------------|---------------|
| 215: 포토 아크릴 | 216: 제6 공통전극 |
| 300: 상부 기판 | 301: 제1 블랙 전극 |
| 302: 제2 블랙 전극 | 303: 제1 컬러필터 |
| 304: 제2 컬러필터 | 305: 평탄화 층 |
| 306: 제4 공통전극 | 307: 제5 공통전극 |
| 308: 제2 보호막 | 309: 블랙 매트릭스 |

도면

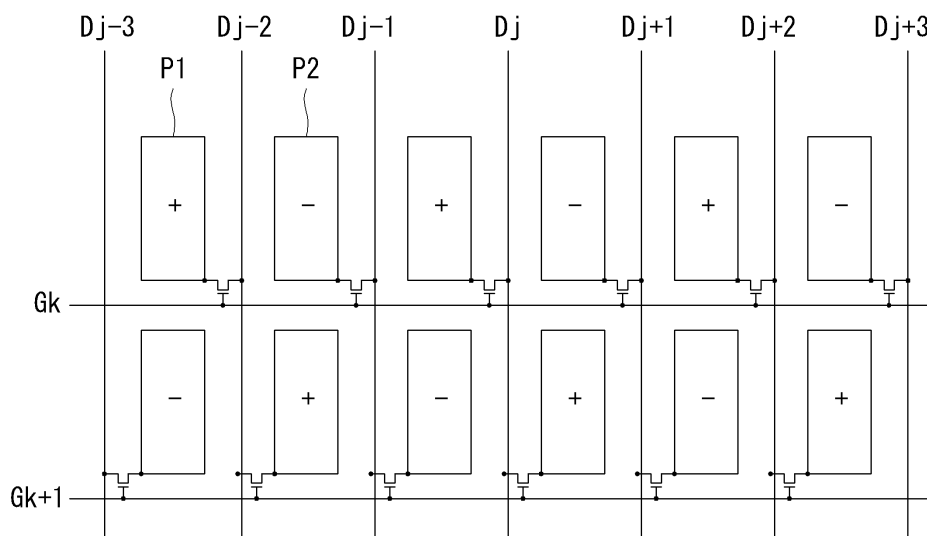
도면1a



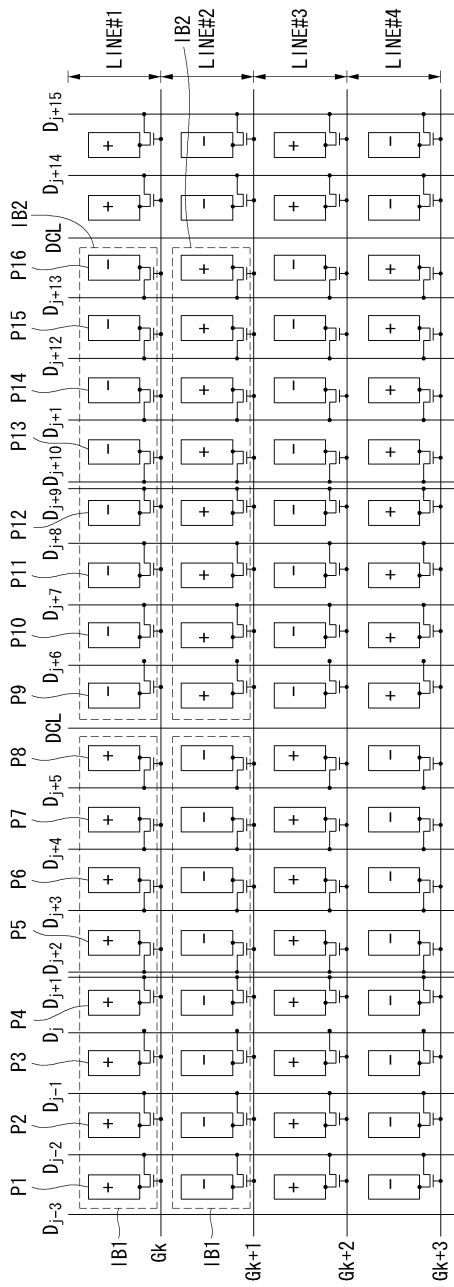
도면1b



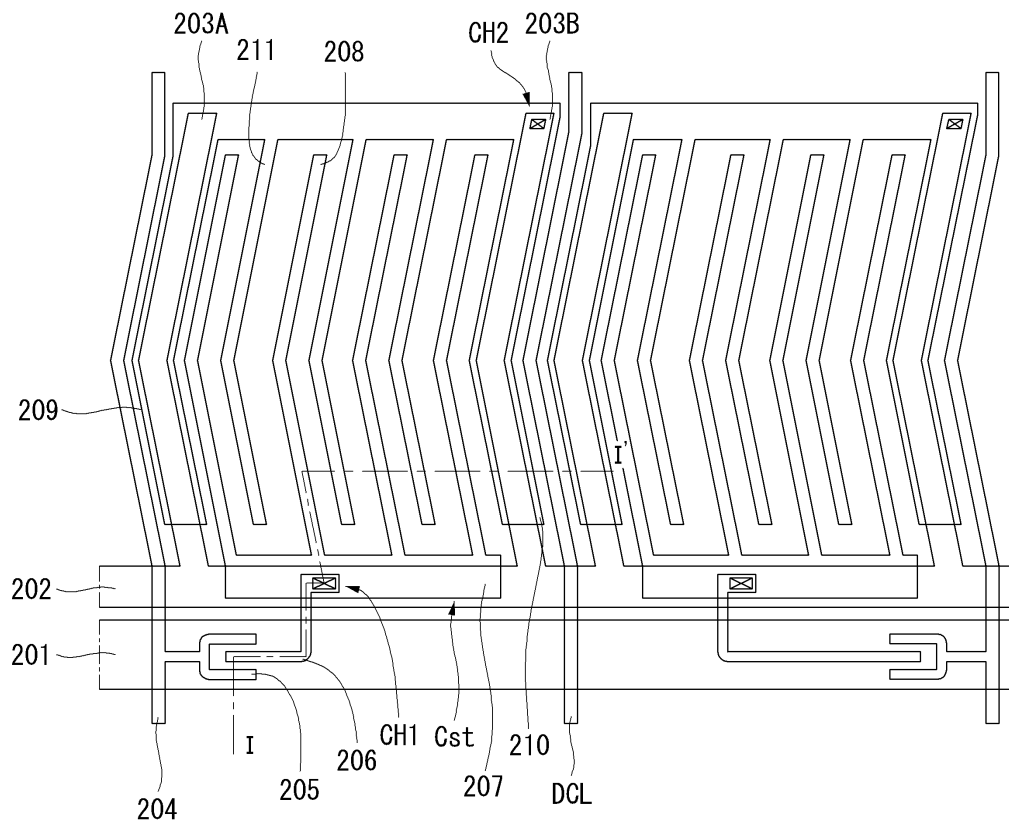
도면2



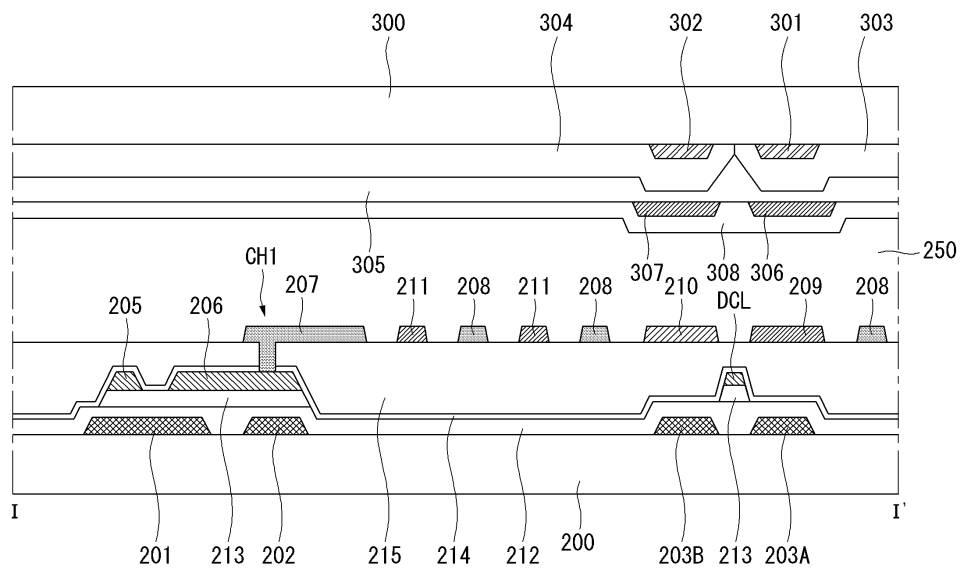
도면3



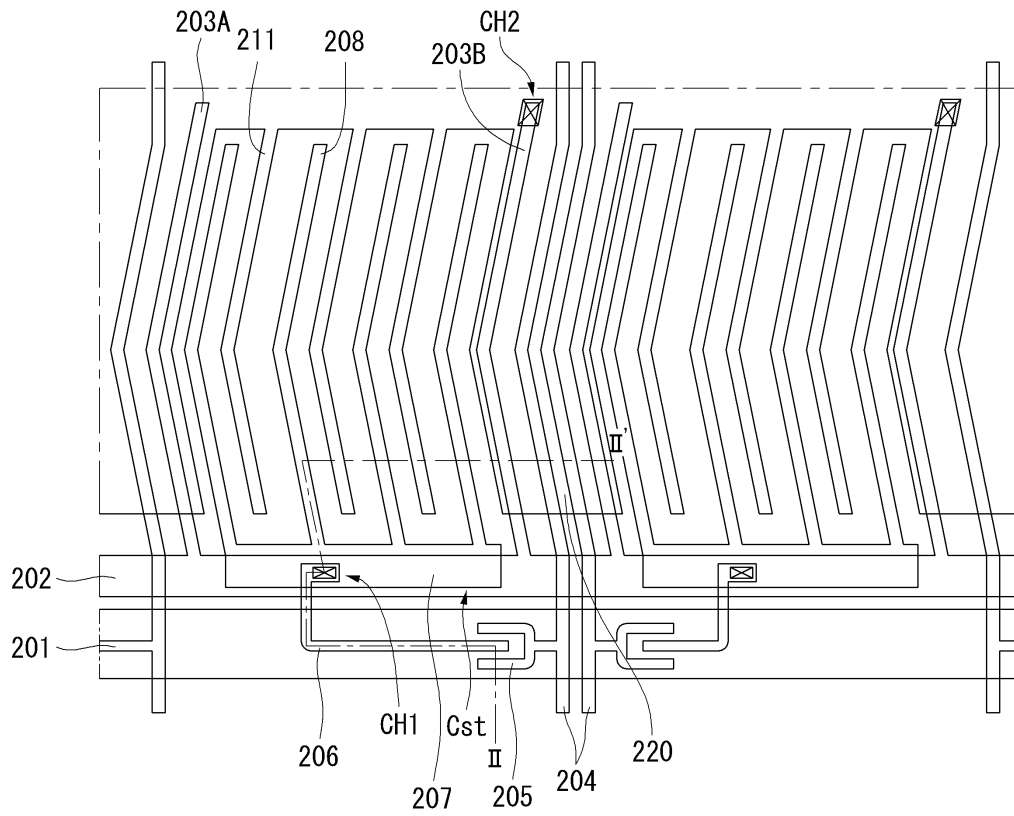
도면4



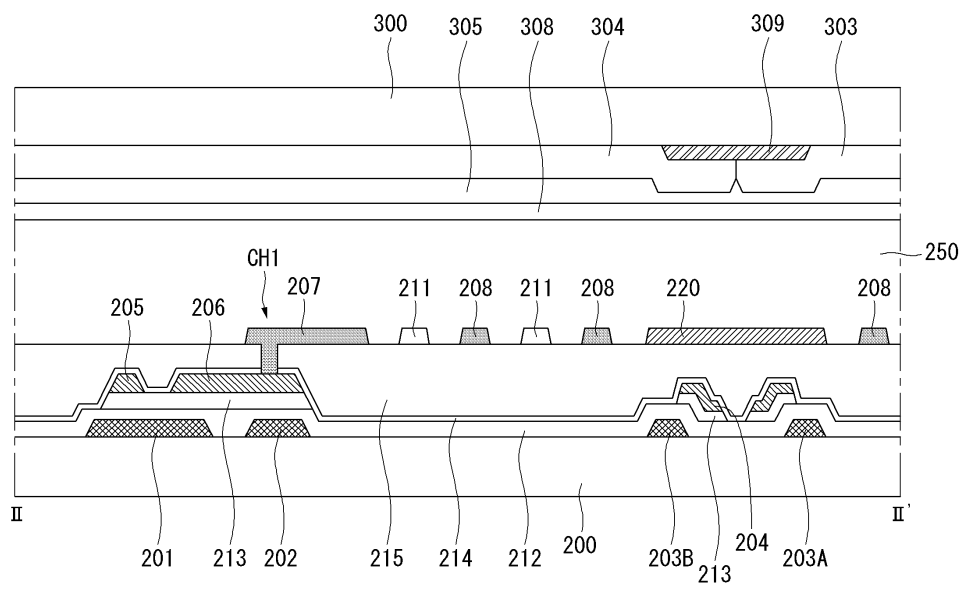
도면5



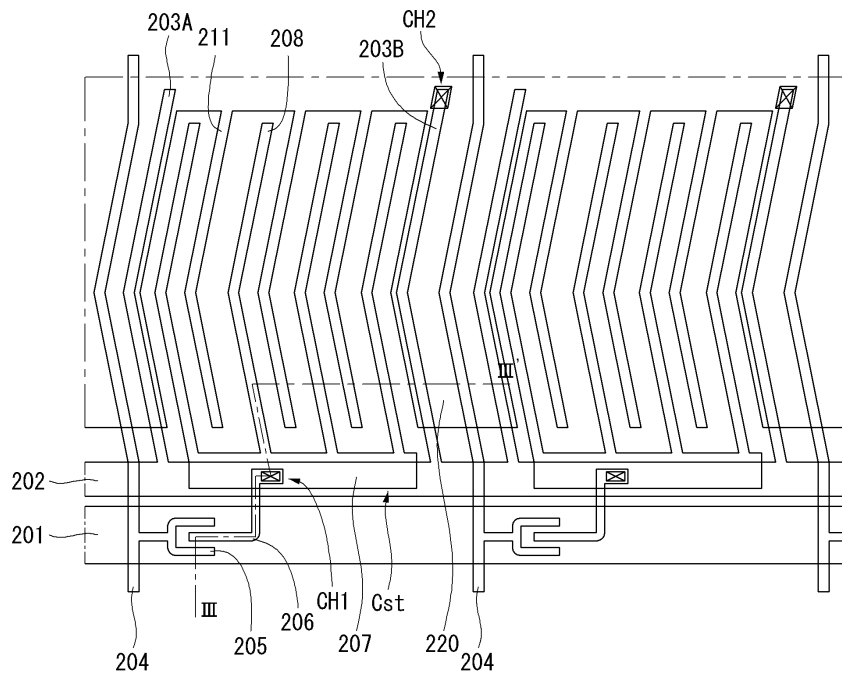
도면6



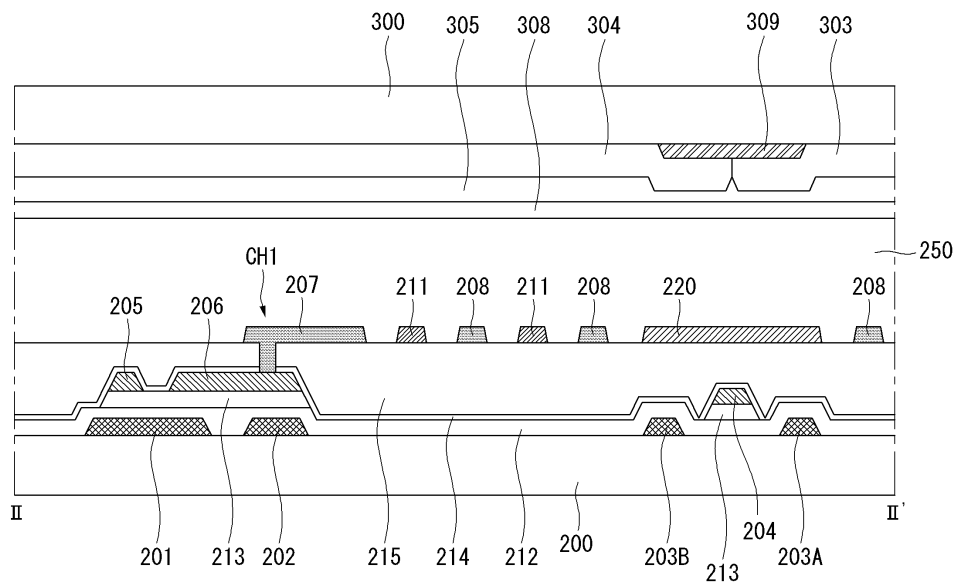
도면7



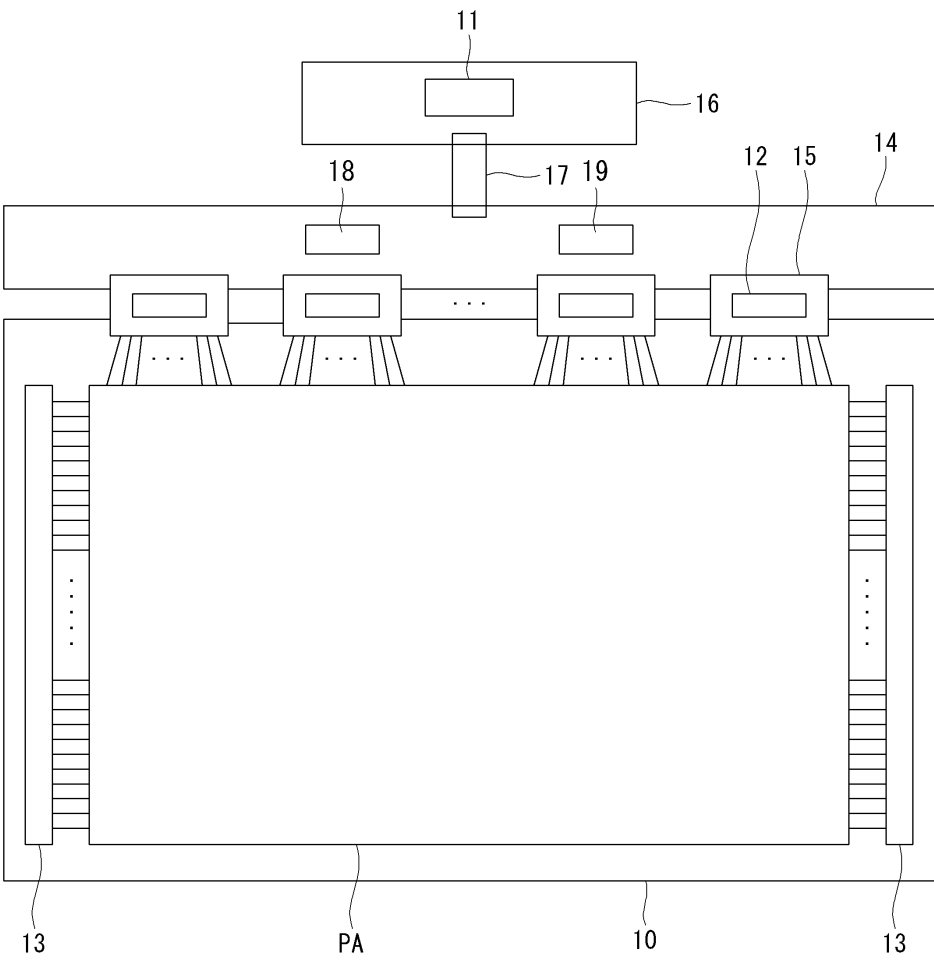
도면8



도면9



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR101933706B1	公开(公告)日	2018-12-31
申请号	KR1020120051490	申请日	2012-05-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO YOUNG JIK 조영직		
发明人	조영직		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3648 G09G3/3696 G09G3/3614 G09G2320/04		
其他公开文献	KR1020130127742A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置应用到公共电压是AC。根据本发明的实施方式的液晶显示装置，包括由形成在所述栅极线的数据线的交叉结构配置成矩阵形式在其上形成有多个所述下基板和所述黑矩阵和滤色器的子像素的上基板的显示面板的，所述显示面板中，子像素存在于第k个（k是满足 $1 \leq k \leq n$ 的自然数，n是所述显示面板的水平行数），一个水平行包括至少一个第一它们被分成的第二版本的块的一个版本块，供给到供给到第一反转块的子像素的第一数据电压的极性的子像素的数据电压的极性和所述第二版本的块相对和所述块的和所述第一版本，所述由具有直流电压的行区域的块之间提供第二版本，其中所述直流电压线布置成与的预定的直流电压被施加特点。

표도

