



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년11월08일  
(11) 등록번호 10-1900662  
(24) 등록일자 2018년09월14일

- (51) 국제특허분류(Int. Cl.)  
*G09G 3/36* (2006.01) *H01L 27/12* (2006.01)
- (52) CPC특허분류  
*G09G 3/3696* (2013.01)  
*G09G 3/3614* (2013.01)
- (21) 출원번호 10-2017-7020190(분할)
- (22) 출원일자(국제) 2010년11월16일  
심사청구일자 2017년07월19일
- (85) 번역문제출일자 2017년07월19일
- (65) 공개번호 10-2017-0087963
- (43) 공개일자 2017년07월31일
- (62) 원출원 특허 10-2012-7018761  
원출원일자(국제) 2010년11월16일  
심사청구일자 2015년11월16일
- (86) 국제출원번호 PCT/JP2010/070755
- (87) 국제공개번호 WO 2011/074379  
국제공개일자 2011년06월23일
- (30) 우선권주장  
JP-P-2009-288283 2009년12월18일 일본(JP)

(56) 선행기술조사문헌

JP2001312253 A

(뒷면에 계속)

전체 청구항 수 : 총 3 항

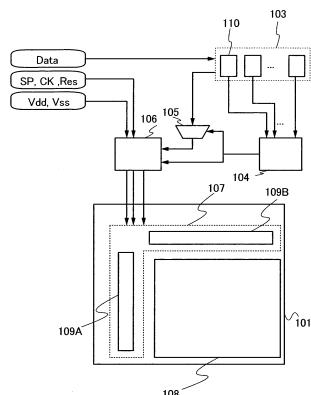
심사관 : 추장희

(54) 발명의 명칭 액정 표시 장치 및 그 구동 방법

**(57) 요약**

액정 소자에 인가된 전압의 극성이 연속하는 제 1 프레임 기간 및 제 2 프레임 기간에서 반전되는 화상을 표시하기 위한 액정 표시 장치 및 그 구동 방법이 개시된다. 상기 제 1 프레임 기간 및 상기 제 2 프레임 기간의 화상들이 상기 제 1 프레임 기간에서의 화상과 상기 제 2 프레임 기간에서의 화상의 비교의 결과로서 정지 화상인 것으로 판단되고, 상기 제 1 프레임 기간에서의 상기 액정 소자에 인가된 상기 전압의 절대값이 상기 제 2 프레임 기간에서의 상기 액정 소자에 인가된 상기 전압의 것과 상이한 경우에 상기 액정 소자에 인가된 상기 전압이 보상된다.

**대 표 도** - 도1



(52) CPC특허분류

*H01L 27/1225* (2013.01)  
*G09G 2320/0247* (2013.01)  
*G09G 2320/103* (2013.01)  
*G09G 2330/021* (2013.01)  
*G09G 2340/16* (2013.01)

(56) 선행기술조사문현

JP2005300948 A  
JP2008042067 A  
JP2009075300 A  
JP2009231613 A  
KR1020080066605 A\*  
KR1020080087744 A\*  
KR1020090085738 A\*

\*는 심사관에 의하여 인용된 문현

---

## 명세서

### 청구범위

#### 청구항 1

화소와, 주사선 구동 회로와, FPC와, 단자 전극을 갖고,

상기 화소는, 제 1 트랜지스터와, 화소 전극을 갖고,

상기 주사선 구동 회로는, 제 2 트랜지스터를 갖고,

상기 제 1 트랜지스터는, 제 1 도전층과, 상기 제 1 도전층 상에 배치되어, 제 1 절연층을 개재하여 상기 제 1 도전층과 중첩하는 영역을 갖는 제 1 산화물 반도체층과, 상기 제 1 산화물 반도체층 상의 제 2 도전층을 갖고,

상기 제 2 트랜지스터는, 제 3 도전층과, 상기 제 3 도전층 상에 배치되어, 상기 제 1 절연층을 개재하여 상기 제 3 도전층과 중첩하는 영역을 갖는 제 2 산화물 반도체층과, 상기 제 2 산화물 반도체층 상의 제 4 도전층을 갖고,

상기 제 1 도전층은, 상기 제 1 트랜지스터의 게이트 전극으로서 기능하고,

상기 제 1 산화물 반도체층은, 상기 제 1 트랜지스터의 채널 형성 영역을 갖고,

상기 제 2 도전층은, 상기 제 1 트랜지스터의 소스 전극 또는 드레인 전극으로서 기능하고,

상기 제 3 도전층은, 상기 제 2 트랜지스터의 게이트 전극으로서 기능하고,

상기 제 2 산화물 반도체층은, 상기 제 2 트랜지스터의 채널 형성 영역을 갖고,

상기 제 4 도전층은, 상기 제 2 트랜지스터의 소스 전극 또는 드레인 전극으로서 기능하고,

상기 화소 전극은, 상기 제 1 산화물 반도체층 상에 배치되어, 상기 제 2 도전층과 전기적으로 접속되고,

상기 단자 전극은, 제 1 단자 전극과, 상기 제 1 단자 전극 상의 제 2 단자 전극을 갖고,

상기 FPC는, 이방성 도전막을 통하여 상기 제 2 단자 전극과 전기적으로 접속되는 액정 표시 장치의 제작 방법이고,

상기 제 1 단자 전극과, 상기 제 2 도전층과, 상기 제 4 도전층은, 동일한 도전막을 사용하여 형성된 것이고,

상기 제 2 단자 전극과, 상기 화소 전극은, 동일한 도전막을 사용하여 형성된 것이고,

상기 제 1 산화물 반도체층과 상기 제 2 산화물 반도체층은, 탈수화 또는 탈수소화 공정 후, 상기 제 1 산화물 반도체층의 일부 및 상기 제 2 산화물 반도체층의 일부에 접하도록 설치된 산화물 절연층으로부터 산소를 공급하는 공정을 거쳐 형성된 것이고,

상기 탈수화 또는 탈수소화 공정은, 400°C 이상 750°C 이하의 가열 처리 온도에서 수행되는 것을 특징으로 하는, 액정 표시 장치의 제작 방법.

#### 청구항 2

삭제

#### 청구항 3

제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 용량 소자와, 제 1 전극과, 제 2 전극과, 액정을 갖고,

상기 액정은, 상기 제 1 전극의 전위와 상기 제 2 전극의 전위와의 전위차에 따라 형성되는 전계에 의해 배향 상태가 제어되고,

상기 제 1 트랜지스터의 채널은, 산화물 반도체층에 형성되고,

상기 제 1 트랜지스터는, 도통 상태가 됨으로써, 상기 제 1 전극에 제 1 전위를 전달하고,

상기 제 1 트랜지스터는, 비도통 상태가 됨으로써, 상기 제 1 전극을 전기적으로 부유 상태로 하고,

상기 제 1 전위는, 화상 신호에 대응하는 전위이고,

상기 제 2 트랜지스터의 채널은, 산화물 반도체층에 형성되고,

상기 제 2 트랜지스터는, 도통 상태가 됨으로써, 상기 제 2 전극에 제 2 전위를 전달하고,

상기 제 2 트랜지스터는, 비도통 상태가 됨으로써, 상기 제 2 전극을 전기적으로 부유 상태로 하고,

상기 용량 소자의 한 쌍의 전극 중 한쪽은, 상기 제 1 전극과 접속되고,

상기 제 3 트랜지스터의 채널은, 산화물 반도체층에 형성되고,

상기 제 3 트랜지스터는, 도통 상태가 됨으로써, 상기 용량 소자의 한 쌍의 전극 중 다른쪽에 제 3 전위를 전달하고,

상기 제 3 트랜지스터는, 비도통 상태가 됨으로써, 상기 용량 소자의 한 쌍의 전극 중 다른쪽을 전기적으로 부유 상태로 하고,

상기 제 1 트랜지스터는,  $1\mu\text{m}$ 의 채널 폭 당 오프 전류는  $1 \times 10^{-17}\text{A}/\mu\text{m}$  이하이고,

상기 제 2 트랜지스터는,  $1\mu\text{m}$ 의 채널 폭 당 오프 전류는  $1 \times 10^{-17}\text{A}/\mu\text{m}$  이하이고,

상기 제 3 트랜지스터는,  $1\mu\text{m}$ 의 채널 폭 당 오프 전류는  $1 \times 10^{-17}\text{A}/\mu\text{m}$  이하이고,

정지 화상 표시를 하는 기간에 있어서, 상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터를, 1분 이상 비도통 상태로 하는 기간을 갖는 것을 특징으로 하는, 액정 표시 장치.

#### 청구항 4

제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 전극과, 제 2 전극과, 액정을 갖고,

상기 액정은, 상기 제 1 전극의 전위와 상기 제 2 전극의 전위와의 전위차에 따라 형성되는 전계에 의해 배향 상태가 제어되고,

상기 제 1 트랜지스터의 채널은, 제 1 산화물 반도체층에 형성되고,

상기 제 1 트랜지스터는, 도통 상태가 됨으로써, 상기 제 1 전극에 제 1 전위를 전달하고,

상기 제 1 트랜지스터는, 비도통 상태가 됨으로써, 상기 제 1 전극을 전기적으로 부유 상태로 하고,

상기 제 1 전위는, 화상 신호에 대응하는 전위이고,

상기 제 2 트랜지스터의 채널은, 제 1 산화물 반도체층에 형성되고,

상기 제 2 트랜지스터는, 도통 상태가 됨으로써, 상기 제 2 전극에 제 2 전위를 전달하고,

상기 제 2 트랜지스터는, 비도통 상태가 됨으로써, 상기 제 2 전극을 전기적으로 부유 상태로 하고,

상기 제 1 산화물 반도체층은, 캐리어 농도가  $1 \times 10^{12}/\text{cm}^3$  미만이고,

상기 제 2 산화물 반도체층은 캐리어 농도가  $1 \times 10^{12}/\text{cm}^3$  미만이고,

상기 제 1 트랜지스터는,  $1\mu\text{m}$ 의 채널 폭 당 오프 전류는  $1 \times 10^{-17}\text{A}/\mu\text{m}$  이하이고,

상기 제 2 트랜지스터는,  $1\mu\text{m}$ 의 채널 폭 당 오프 전류는  $1 \times 10^{-17}\text{A}/\mu\text{m}$  이하이고,

정지 화상 표시를 하는 기간에 있어서, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터를, 1분 이상 비도통 상태로 하는 기간을 갖는 것을 특징으로 하는, 액정 표시 장치.

#### 발명의 설명

## 기술 분야

[0001] 본 발명은 액정 표시 장치 및 상기 액정 표시 장치를 구동하기 위한 방법에 관한 것이다.

## 배경 기술

[0002] 액정 표시 장치들은 TV 세트들과 같은 대형 표시 장치들로부터 모바일 폰들과 같은 소형 표시 장치들까지 광범위한 분야들에 적용되었고, 고부가 가치를 가진 것들이 개발되었다. 최근에는, 글로벌 환경에 대한 관심 증가 및 모바일 장치들의 편의의 개선의 관점에서, 저전력 소비의 액정 표시 장치들의 개발이 주목을 받고 있다.

[0003] 예를 들면, 특히 문헌 1은 액정 표시 장치의 상기 전력 소비를 감소시키기 위한 기술을 개시하고, 그에 따라, 모든 신호선들은 주사선 및 신호선이 선택되지 않는 동안의 단선 기간에서 각각의 신호선의 전압을 일정하게 유지하기 위하여 고임피던스를 가지도록 신호선 구동 회로에 전기적으로 접속해제된다.

[0004] 비-특히 문헌 1은 액정 표시 장치의 상기 전력 소비를 감소시키기 위한 구조를 개시하고, 그에 따라, 리프레시레이트는 동화상 표시의 경우 및 정지 화상 표시의 경우에 상이하게 만들어진다. 비-특히 문헌 1은 또한, 액정 소자에 인가된 전압의 변동으로 인한 플리커를 방지하기 위해 상기 액정 소자에 인가된 상기 전압의 상기 변동을 방지하기 위한 기술을 개시하고, 이것은 정지 화상이 표시되는 경우에 단선 기간과 주사 기간 사이의 신호의 스위칭에 의해 달성되고, 그에 따라, 동일 위상을 가진 AC 신호들은 상기 단선 기간에서도 또한 신호선 및 공통 전극에 인가된다.

[0005] [참고]

[0006] 특히 문헌 1: 일본 공개 특허 출원 제2001-312253호

[0007] 비특허 문헌 1: 카즈히코 츠다 등에 의한 IDW'02 295쪽 내지 298쪽

## 발명의 내용

### 해결하려는 과제

[0008] 그러나, 상기-참조된 구동 방법들에서, 상기 액정 표시 장치의 주사선 또는 신호선에 신호를 공급하는 구동 회로의 구성 및 그 동작이 복잡하여, 상기 액정 표시 장치의 전력 소비는 충분히 감소될 수 없다.

[0009] 또한, 주사선 및 신호선이 선택되지 않는 동안의 상기 단선 기간이 특히 문헌 1에 기술된 바와 같이 제공되는 경우, 화소들로의 기록 동작들 사이의 간격들이 길어지고, 그에 의해 액정 소자에 인가된 상기 전압은 일부 경우들에서 트랜지스터의 누설 전류 또는 기생 커패시턴스에 의해 크게 감소된다. 상기 액정 소자에 인가된 상기 전압이 큰 감소는 표시 품질을 저하시킨다; 예를 들면, 미리 결정된 그레이 스케일 레벨로의 표시가 수행될 수 없다.

[0010] 예를 들면, 액정 표시 장치들에서, 화상 번-인(image burn-in)의 발생을 억제하기 위하여, 액정 소자의 전극들의 쌍에 인가된 상기 전압들의 레벨들(극성들)이 프레임 기간마다 반전되는 구동 방법(상기 구동 방법은 또한 반전 구동이라고도 칭해짐)이 이용되었다.

[0011] 상기 반전 구동이 수행되는 경우, 상기 트랜지스터의 상기 누설 전류로 인한 상기 액정 소자에 인가되는 상기 전압의 감소는 동일 화상에 대한 화상 신호들이 2개의 순차 프레임 기간들에 입력될 때에도 각각의 2개의 순차 프레임 기간들에 표시되는 화상들의 그레이 스케일 레벨의 차이를 유발한다.

### 과제의 해결 수단

[0012] 상기한 것의 관점에서, 본 발명의 일 실시예의 목적은 액정 표시 장치의 구동 회로에서 복잡한 동작을 필요로 하지 않고 정지 화상이 표시되는 경우 저전력으로 소비하는 상기 액정 표시 장치를 제공하는 것이다. 또한, 본 발명의 일 실시예의 목적은 상기 표시 품질의 저하를 억제하는 것이다.

[0013] 본 발명의 일 실시예는, 채널 형성층으로서 기능하는 산화물 반도체층을 포함하는 트랜지스터가 화소에 제공되는 액정 표시 장치로서, 액정 소자에 인가된 전압이 정지 화상을 표시할 때 보상되어 후속 프레임 기간들 사이에서 정지 화상의 상기 그레이 스케일 레벨의 변동이 억제되는, 상기 액정 표시 장치이다.

[0014] 본 발명의 일 실시예는 화소, 및 화상 신호가 상기 화소에 공급되는지의 여부를 제어하기 위한 구동 회로를 포

함하는 액정 표시 장치의 구동 방법이다. 화소는 상기 화상 신호가 공급되는 제 1 단자 및 공통 전압이 입력되는 제 2 단자를 포함하는 액정 소자, 및 상기 화상 신호가 상기 액정 소자의 상기 제 1 단자에 공급되는지의 여부를 제어하기 위한 트랜지스터를 포함한다. 상기 트랜지스터는 채널 형성층으로서 기능하는 산화물 반도체층을 포함한다. 상기 액정 소자에 인가되는 전압의 극성은 순차 프레임 기간들인 제 1 프레임 기간과 제 2 프레임 기간 사이에서 반전되어, 화상 표시가 수행된다. 상기 구동 방법에 따라, 상기 제 1 프레임 기간 및 상기 제 2 프레임 기간에서의 상기 화상들에 의해 형성된 화상이 상기 제 1 프레임 기간에서의 상기 화상과 상기 제 2 프레임 기간에서의 상기 화상의 비교의 결과로서 정지 화상으로 판단되고 상기 제 1 프레임 기간에서 상기 액정 소자에 인가된 상기 전압의 절대값이 상기 제 2 프레임 기간에서의 상기 액정 소자에 인가된 상기 전압의 것과 상이한 경우에 상기 액정 소자에 인가된 상기 전압이 보상된다.

[0015] 본 발명의 일 실시예는 화소, 및 화상 신호가 상기 화소에 공급되는지의 여부를 제어하기 위한 구동 회로를 포함하는 액정 표시 장치의 구동 방법이다. 화소는 상기 화상 신호가 공급되는 제 1 단자 및 공통 전압이 입력되는 제 2 단자를 포함하는 액정 소자, 및 상기 화상 신호가 상기 액정 소자의 상기 제 1 단자에 공급되는지의 여부를 제어하기 위한 트랜지스터를 포함한다. 상기 트랜지스터는 채널 형성층으로서 기능하고  $1 \times 10^{14}/\text{cm}^3$  보다 적은 캐리어 농도를 가진 산화물 반도체층을 포함한다. 상기 액정 소자에 인가되는 전압의 극성은 순차 프레임 기간들인 제 1 프레임 기간과 제 2 프레임 기간 사이에서 반전되어, 화상 표시가 수행된다. 상기 구동 방법에 따라, 상기 제 1 프레임 기간 및 상기 제 2 프레임 기간에서의 상기 화상들에 의해 형성된 화상이 상기 제 1 프레임 기간에서의 상기 화상과 상기 제 2 프레임 기간에서의 상기 화상의 비교의 결과로서 정지 화상으로 판단되고 상기 제 1 프레임 기간에서 상기 액정 소자에 인가된 상기 전압의 절대값이 상기 제 2 프레임 기간에서의 상기 액정 소자에 인가된 상기 전압의 것과 상이한 경우에 상기 액정 소자에 인가된 상기 전압이 보상된다.

### 발명의 효과

[0016] 본 발명의 일 실시예에 따라, 정지 화상이 액정 표시 장치 상에 표시되는 경우의 전력 소비가 감소될 수 있다. 또한 본 발명의 일 실시예에 따라, 상기 표시 품질의 저하가 억제될 수 있다.

### 도면의 간단한 설명

[0017] 도 1은 실시예 1에서의 액정 표시 장치의 구조예를 도시한 도면.

도 2는 실시예 1에서의 액정 표시 장치의 화소 구조예를 도시한 도면.

도 3은 실시예 1에서의 액정 표시 장치의 동작예를 도시한 도면.

도 4는 실시예 1에서의 액정 표시 장치의 동작예를 도시한 도면.

도 5a 내지 도 5c는 실시예 2에서의 구동 회로의 구조예를 도시한 도면들.

도 6은 실시예 2에서의 구동 회로의 동작예를 도시한 도면.

도 7은 실시예 2에서의 구동 회로의 구조예를 도시한 도면.

도 8a 내지 도 8d는 실시예 3에서의 트랜지스터를 도시한 도면들.

도 9a 내지 도 9c는 실시예 4에서의 액정 표시 장치의 예들을 도시한 도면들.

도 10a 및 도 10b는 실시예 5에서의 액정 표시 장치의 구조예들을 도시한 도면들.

도 11은 실시예 6에서의 전자 서적의 구조예를 도시한 도면.

도 12a 내지 도 12f는 실시예 7에서의 전자 장치들의 구조예들을 도시한 도면들.

### 발명을 실시하기 위한 구체적인 내용

[0018] 본 발명의 실시예들 및 그 예들은 이후에 첨부 도면들을 참조하여 기술될 것이다. 본 발명은 많은 상이한 모드들로 실행될 수 있고, 본 발명의 모드들 및 상세들이 본 발명의 목적 및 범위를 벗어나지 않고 다양한 방식들로 수정될 수 있다는 것은 본 기술분야의 통상의 기술자들에 의해 쉽게 이해된다. 따라서, 본 발명은 본 명세서에 포함된 실시예들 및 예들의 기술된 내용에 제한되는 것으로 해석되지 않는다. 동일 부분들 또는 동일 기능을 가진 부분들은 하기에 기술된 본 발명의 구조에서 도면들 전반에 걸쳐 동일한 참조 번호들에 의해 표시됨을 유념

한다.

[0019] 각각의 구조의 크기, 층 두께 또는 면적은 일부 경우들에서 명료화를 위해 실시예들의 도면들에서 과장되었다; 따라서, 본 발명의 실시예들은 이러한 스케일들에 제한되지 않는다.

[0020] "제 N(N-th)"(N은 자연수)과 같은 숫자들은 이 명세서에서 구성요소들의 혼동을 회피하기 위해 이용되고 구성요소들의 수를 암시하지 않는다.

[0021] (실시예 1)

[0022] 실시예 1에서, 본 발명의 일 실시예에 따른 액정 표시 장치의 구동 방법 및 상기 액정 표시 장치가 기술될 것이다.

[0023] 먼저, 이 실시예에서의 상기 액정 표시 장치의 구조는 도 1을 참조하여 기술된다. 도 1은 이 실시예에서 상기 액정 표시 장치의 구조예를 도시한 블록도이다.

[0024] 도 1에 도시된 액정 표시 장치는 표시 패널(101), 기억 회로(103), 비교 회로(104), 선택 회로(105), 및 표시 제어 회로(106)를 포함한다.

[0025] 상기 표시 패널(101)은 구동 회로부(107) 및 화소부(108)를 포함한다.

[0026] 상기 구동 회로부(107)는 구동 회로(109A) 및 구동 회로(109B)를 포함한다. 상기 화소부(108)는 복수의 화소들을 포함한다. 상기 구동 회로들(109A 및 109B)은 상기 화소부(108)에서 상기 복수의 화소들을 구동하기 위한 구동 회로들이다. 상기 구동 회로(109A)는 화상 데이터가 기록되는 화소를 선택하기 위한 주사선을 제어하기 위한 주사선 구동 회로로서 기능한다. 상기 구동 회로(109B)는 화상 신호가 화소에 공급될지의 여부를 제어하고 화상 데이터를 포함하는 화상 신호가 공급되는 신호선을 제어하기 위한 신호선 구동 회로로서 기능하는 구동 회로이다. 이 실시예의 상기 액정 표시 장치에서, 상기 구동 회로들(109A 및 109B)은 트랜지스터들을 포함할 수 있다.

[0027] 상기 기억 회로(103)는, 화상 신호(또한 신호 데이터라고도 칭해짐)가 입력되고, 특정 기간 동안 상기 화상 신호의 데이터(또한 화상 데이터라고도 칭해짐)를 유지하는 회로이다. 상기 기억 회로(103)는 프레임 메모리(110)를 포함한다. 상기 프레임 메모리(110)는 복수의 프레임들의 화상 신호들의 데이터를 저장한다. 상기 기억 회로(103)에 포함된 상기 프레임 메모리들(110)의 수는 특별히 제한되지 않는다; 도 1에 도시된 바와 같이, 상기 기억 회로(103)는 복수의 상기 프레임 메모리들(110)을 포함할 수 있다. 이 실시예의 상기 액정 표시 장치에서, 상기 프레임 메모리(110)는 동적 랜덤 액세스 메모리(DRAM) 또는 정적 랜덤 액세스 메모리(SRAM)와 같은 메모리 소자를 포함할 수 있다.

[0028] 상기 비교 회로(104)는 상기 기억 회로(103)에 저장된 후속 프레임 기간들에서 화상 신호들의 데이터를 선택적으로 판독하고, 상기 화상 신호들의 상기 데이터를 비교하고, 그 차이를 검출하는 회로이다. 예를 들면, 제  $n$  내지 제  $n+m$  프레임 기간들의 상기 화상 신호들의 데이터가 저장되고( $n$ 은 1보다 큰 자연수임), 상기 비교 회로(104)는 제  $m$  프레임 기간의 화상 신호의 데이터를 제  $(m+1)$  프레임 기간의 화상 신호의 데이터와 비교한다( $m$ 은  $n$ 보다 작은 자연수임). 상기 비교 회로(104)에서, 상기 차가 검출되고, 그에 의해 상기 후속 프레임 기간들에서 상기 화상 신호들의 상기 데이터가 동화상을 표시하기 위한 화상 신호들의 데이터인지 또는 정지 화상을 표시하기 위한 화상 신호들의 데이터인지가 판단된다. 이 실시예의 상기 액정 표시 장치에서, 차이의 검출 기준은 상기 비교 회로(104)에 의해 검출된 상기 차이가 특정 값을 초과할 때 상기 차이가 인식될 수 있도록 설정될 수 있다.

[0029] 이 명세서에서, 용어 "동화상(moving image)"은 복수의 프레임들의 화상들로 임시로 나누어진 복수의 상기 화상들이 동작을 위해 스위칭될 때 후속 프레임 기간들에서 변하는 것으로 인식되는 화상을 의미한다. 용어 "정지 화상(still image)"은 복수의 프레임들의 화상들로 임시로 나누어진 복수의 상기 화상들이 동작을 위해 스위칭될 때 순차 프레임 기간들에서 변하지 않는 것으로 인식되는 화상을 의미한다.

[0030] 상기 선택 회로(105)는 상기 비교 회로(104)에서 비교된 화상 신호들의 데이터가 동화상을 표시하기 위한 화상 신호들의 데이터로서 판단될 때(즉, 상기 제  $m$  프레임 기간의 상기 화상 신호의 상기 데이터가 상기 제  $(m+1)$  프레임 기간의 상기 화상 신호의 상기 데이터와 상이한 것으로 판단될 때), 상기 프레임 메모리(메모리들)(110)로부터 상기 화상 신호들의 상기 데이터를 선택하고 화상 신호들로서 상기 화상 신호들의 상기 데이터를 상기 표시 제어 회로(106)에 출력하는 회로이다. 상기 선택 회로(105)는 트랜지스터들과 같은 복수의 스위치들을 포함하는 회로를 포함한다. 순차 프레임 기간들 사이에서 화상 신호들의 데이터의 차이가 상기 비교 회로(104)에서 검출되지 않는 경우(즉, 상기 제  $m$  프레임 기간의 상기 화상 신호의 상기 데이터는 상기 제  $(m+1)$  프레임 기

간의 상기 화상 신호의 상기 데이터와 동일하다고 판단되는 경우), 상기 프레임 기간들에서 표시되는 화상들은 정지 화상이다. 그 경우, 후자의 프레임 기간의 상기 화상 신호의 상기 데이터는 이 실시예에서 상기 표시 제어 회로(106)에 화상 신호로서 출력되지 않는다.

[0031] 상기 표시 제어 회로(106)는 화상 신호, 시작 신호(또한 시작 펄스 또는 신호 SP라고도 칭해짐), 클록 신호(또한 신호 CK라고도 칭해짐), 리셋 신호(또한, 신호 Res라고도 칭해짐), 고전원 전압(또한 전압 Vdd라고도 칭해짐) 및 저전원 전압(또한 전압 Vss라고도 칭해짐)이 공급되고, 상기 신호들 및 전압들 중 하나 이상이 상기 구동 회로부(107)에 공급되는지의 여부를 제어하는 회로이다. 예를 들면, 상기 비교 회로(104)의 상기 비교에 의해 후속 프레임 기간들에서의 화상들이 동화상으로서 판단되는 경우, 상기 선택 회로(105)에서 표시 제어부(106)로 화상 신호들이 공급되고, 상기 시작 신호 SP, 상기 클록 신호 CK, 상기 리셋 신호 Res, 상기 고전원 전압 Vdd, 및 상기 저전원 전압 Vss가 상기 구동 회로부(107)에 공급된다. 한편, 후속 프레임 기간들의 화상들에 의해 형성된 화상이 상기 비교 회로(104)의 비교에 의해 정지 화상으로서 판단되는 경우, 후자 프레임 기간의 화상 신호는 상기 선택 회로(105)로부터 공급되지 않고, 상기 시작 신호 SP, 상기 클록 신호 CK, 상기 리셋 신호 Res, 상기 고전원 전압 Vdd 및 상기 저전원 전압 Vss 중 하나 이상이 일부 경우들에서 상기 구동 회로부(107)에 공급되지 않는다.

[0032] 용어 "전압(voltage)"은 일반적으로, 2개의 지점들에서의 전위들 사이의 차(또한 전위차라고도 칭해짐)를 의미하는 것임을 유념한다. 그러나, 전압 및 전위 둘다의 값들은 일부 경우들에서 회로도 등에서 볼트(V)를 이용하여 표현되어, 이들을 구분하기가 어렵다. 따라서, 이 명세서에서, 일 지점에서의 전위와 기준 전위 사이의 전위 차는 때때로 다르게 특정되지 않는 한 전압으로서 이용된다.

[0033] 또한, 투과형 액정 표시 장치, 반투과형 액정 표시 장치, 또는 반사형 액정 표시 장치가 이 실시예의 상기 액정 표시 장치로서 이용될 수 있다.

[0034] 프로그래시브형 표시, 인터레이스형 표시 등이 이 실시예의 상기 액정 표시 장치의 표시 형태로서 이용될 수 있다. 또한, 컬러 표시할 때 화소에서 제어되는 컬러 요소들은 3개의 컬러들에 제한되지 않는다: R, G 및 B(R, G 및 B는 적색, 녹색 및 청색에 각각 대응함). 예를 들면, R, G, B 및 W(W는 백색에 대응함); R, G, B, 및 황색, 청록색, 자홍색 등 중 하나 이상; 등이 이용될 수 있다. 또한, 표시 영역의 크기는 컬러 요소의 도트에 의존하여 상이할 수 있다. 이 실시예의 상기 액정 표시 장치는 컬러 표시를 위한 표시 장치에 제한되지 않는다; 이 실시예는 또한 단색 표시를 위한 표시 장치에 적용될 수 있다.

[0035] 다음에, 도 1에서의 상기 화소의 회로 구성이 도 2를 참조하여 기술될 것이다. 도 2는 도 1의 상기 화소부(108)에 포함된 상기 화소의 구조예를 도시하는 등가 회로도이다.

[0036] 도 2에 도시된 화소는 트랜지스터(151), 액정 소자(152), 및 커패시터(153)를 포함한다.

[0037] 이 명세서에서, 상기 트랜지스터는 적어도 소스, 드레인, 및 게이트를 구비한다. 상기 트랜지스터로서, 예를 들면, 게이트-절연형 트랜지스터가 이용될 수 있다.

[0038] 상기 게이트는 게이트 전극 및 게이트 배선의 전부 또는 그 일부를 의미한다. 게이트 전극 및 게이트 배선 둘다의 기능을 가진 도전층은 상기 게이트 전극과 상기 게이트 배선의 구별 없이 일부 경우들에서 게이트로서 지칭된다.

[0039] 상기 소스는 소스 전극 및 소스 배선의 전부 또는 그 일부를 의미한다. 소스 전극 및 소스 배선 둘다의 기능을 가진 도전층은 상기 소스 전극과 상기 소스 배선을 구별하지 않고 일부 경우들에서 소스로서 지칭된다.

[0040] 상기 드레인은 드레인 전극 및 드레인 배선의 전부 또는 그 일부를 의미한다. 드레인 전극 및 드레인 배선 둘다의 기능을 가진 도전층은 상기 드레인 전극과 상기 드레인 배선을 구별하지 않고 일부 경우들에서 드레인으로서 지칭된다.

[0041] 또한, 이 명세서에서, 트랜지스터의 소스 및 드레인은 상기 트랜지스터의 상기 구조, 상기 동작 조건 등에 의존하여 서로 교환할 수 있다; 따라서, 상기 소스 및 상기 드레인을 고정하기가 어렵다. 따라서, 이 문서(명세서, 청구항들, 도면들 등)에서, 이들 중 하나는 상기 소스 및 상기 드레인 중 하나라고 칭해지고, 다른 하나는 상기 소스 및 상기 드레인의 다른 하나라고 칭해진다.

[0042] 상기 트랜지스터(151)의 소스 및 드레인 중 하나는 신호선(154)에 전기적으로 접속되고 상기 게이트는 주사선(155)에 전기적으로 접속된다.

- [0043] 상기 액정 소자(152)는 제 1 단자 및 제 2 단자를 가진다. 상기 제 1 단자는 상기 트랜지스터(151)의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고, 상기 제 2 단자는 배선(156)에 전기적으로 접속된다. 상기 액정 소자(152)는 상기 제 1 단자의 일부 또는 전체로서 역할을 하는 제 1 전극, 상기 제 2 단자의 일부 또는 전체로서 역할을 하는 제 2 전극, 및 그 투광성이 상기 제 1 전극과 상기 제 2 전극 사이의 전압의 인가에 의해 변하는 액정층을 포함할 수 있다.
- [0044] 상기 액정 소자(152)의 액정 재료의 특정 저항은  $1 \times 10^{12} \Omega \cdot \text{cm}$  이상, 바람직하게는  $1 \times 10^{13} \Omega \cdot \text{cm}$  이상, 더욱 바람직하게는  $1 \times 10^{14} \Omega \cdot \text{cm}$  이상이다. 이 명세서에서의 상기 특정 저항은 20°C에서 측정된 것으로 규정된다. 액정 표시 장치가 상기 액정 재료를 이용하여 형성되는 경우, 액정 소자의 역할을 하는 부분의 저항은 일부 경우들에서 배향막으로부터 액정층으로 혼합된 불순물, 씰제 등으로 인해,  $1 \times 10^{11} \Omega \cdot \text{cm}$  이상, 나아가서는  $1 \times 10^{12} \Omega \cdot \text{cm}$  이상일 수 있다.
- [0045] 상기 액정 재료의 상기 특정 저항이 클수록, 상기 액정층의 상기 누설 전류가 많이 억제될 수 있고, 상기 표시 기간에서 상기 액정 소자에 인가된 상기 전압의 시간에 걸친 저하가 많이 억제될 수 있다. 결과적으로, 상기 표시 기간이 연장될 수 있어서, 신호 기록의 주파수가 감소될 수 있고, 이것은 상기 액정 표시 장치의 전력 소비의 감소를 유발한다.
- [0046] 상기 커패시터(153)는 제 1 단자 및 제 2 단자를 구비한다. 상기 제 1 단자는 상기 트랜지스터(151)의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고, 상기 제 2 단자는 배선(157)에 전기적으로 접속된다. 상기 커패시터(153)는 저장 커패시터의 역할을 하고, 상기 제 1 단자의 일부 또는 전체의 역할을 하는 제 1 전극, 상기 제 2 단자의 일부 또는 전체의 역할을 하는 제 2 전극, 및 상기 제 1 전극과 상기 제 2 전극 사이의 전압의 인가에 의해 전하가 축적되는 유전체층을 포함할 수 있다. 상기 커패시터(153)의 커패시턴스는 상기 트랜지스터(151)의 상기 오프-상태 전류를 고려하여 설정될 수 있다. 이 실시예에서, 고순도 산화물 반도체층을 포함하는 트랜지스터는 상기 트랜지스터(151)로서 이용되고, 따라서, 각각의 화소의 액정 커패시턴스에 대해 1/3 이하, 바람직하게는 1/5 이하인 상기 커패시턴스를 가진 저장 커패시터가 제공되기에 충분하다. 상기 커패시터(153)는 반드시 제공될 필요는 없다. 상기 커패시터(153)의 생략은 상기 화소의 개구율을 개선할 수 있다.
- [0047] 상기 배선(156)은 특정 전압이 인가되는 전압선의 역할을 한다. 예를 들면, 공통 전압(또한 전압  $V_{\text{COM}}$ 이라고도 칭해짐)이 상기 배선(156)에 인가된다. 상기 공통 전압은 양 전압, 음 전압, 또는 접지 전위일 수 있다.
- [0048] 상기 배선(157)은 특정 전압이 인가되는 전압선의 역할을 한다. 예를 들면, 단위 전압이 상기 배선(157)에 인가된다. 상기 단위 전압은 공통 전압일 수 있다.
- [0049] 또한, 스위치가 상기 액정 소자(152)의 상기 제 2 단자와 상기 배선(156) 사이에 제공될 수 있고, 상기 스위치는 공통 전압이 기록 기간에서 상기 액정 소자(152)의 상기 제 2 단자에 인가되도록 턴 온될 수 있고, 상기 스위치는 상기 액정 소자(152)의 상기 제 2 단자가 표시 기간에서 플로팅 상태를 가지도록 턴 오프될 수 있다. 상기 트랜지스터(151)에 적용 가능한 트랜지스터를 상기 스위치로서 이용하는 것이 바람직하다. 따라서, 상기 액정 소자(152)에 인가된 상기 전압은 정지 화상을 표시할 때 변동되는 것이 방지될 수 있다.
- [0050] 스위치는 상기 커패시터(153)의 상기 제 2 단자와 상기 배선(157) 사이에 제공될 수 있고, 상기 스위치는 기록 기간에서 상기 커패시터(153)의 상기 제 2 단자에 단위 전압이 인가되도록 턴 온될 수 있고, 상기 스위치는 상기 커패시터(153)의 상기 제 2 단자가 표시 기간에서 플로팅 상태를 가지도록 턴 오프될 수 있다. 상기 트랜지스터(151)에 적용 가능한 트랜지스터를 상기 스위치로서 이용하는 것이 바람직하다. 따라서, 상기 커패시터(153)에 인가된 상기 전압은 정지 화상을 표시할 때 변동되는 것이 방지될 수 있다. 상기 기술은 도 2에 도시된 화소의 구성에 대해 이루어진다.
- [0051] 다음에, 상기 구동 회로(109A) 또는 상기 구동 회로(109B)에 포함된 트랜지스터 또는 상기 트랜지스터(151)에 적용 가능한 상기 트랜지스터가 하기에 기술된다.
- [0052] 상기 구동 회로(109A) 또는 상기 구동 회로(109B)에 포함된 상기 트랜지스터 또는 상기 트랜지스터(151)로서, 예를 들면, 채널 형성층으로 기능하는 산화물 반도체층을 포함하는 트랜지스터가 이용될 수 있다. 상기 트랜지스터의 채널 형성층으로 기능하는 상기 산화물 반도체층은 진성(i-형) 또는 실질적으로 진성인 산화물 반도체이고, 이것은 산화물 반도체로부터 n형 불순물인 수소를 제거하고, 상기 산화물 반도체의 주성분 이외의 불순물이 가능한 많이 함유되지 않도록 상기 산화물 반도체를 고순도화함으로써 획득된다. 달리 말하면, 상기 산화물 반

도체층은, 불순물의 첨가에 의하는 것이 아니라 수소나 수분과 같은 불순물을 가능한 많이 제거하기 위한 순도화를 통함에 의해 i-형(진성) 반도체가 되거나 그에 가깝게 되는 특징을 가진다.

[0053] 상기 산화물 반도체로서, 다음 중 어느 것이 이용될 수 있다: In-Sn-Ga-Zn-O와 같은 4원계 금속 산화물; In-Ga-Zn-O, In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O, 또는 Sn-Al-Zn-O와 같은 3원계 금속 산화물; In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O, In-Mg-O, 또는 In-Sn-O와 같은 2원계 금속 산화물; In-O; Sn-O; 및 Zn-O. 또한,  $\text{SiO}_2$ 가 상기 산화물 반도체에 포함될 수 있다.

[0054] 산화물 반도체로서,  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ )에 의해 표현된 재료가 이용될 수 있다. 여기서, M은 Ga, Al, Mn 및 Co로부터 선택된 하나 이상의 금속 원소들을 표현한다. 예를 들면, M은 Ga, Ga 및 Al, Ga 및 Mn, Ga 및 Co 등일 수 있다.  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ )에 의해 표현된 상기 산화물 반도체들 중에서, M으로서 Ga를 포함하는 산화물 반도체는 In-Ga-Zn-O 산화물 반도체라고 칭해진다.

[0055] 또한, 상기 산화물 반도체층으로서 이용되는 상기 산화물 반도체의 밴드 갭은 2eV 이상이고, 바람직하게는 2.5eV 이상이고, 더욱 바람직하게는 3eV 이상이다. 따라서, 열 여기에 의해 생성된 캐리어들의 수는 무시할 수 있는 수로 감소될 수 있다. 또한, 도너가 되는 수소와 같은 불순물의 양은 상기 캐리어 농도가  $1 \times 10^{14}/\text{cm}^3$  미만, 바람직하게는  $1 \times 10^{12}/\text{cm}^3$  이하가 되도록 특정량 이하로 감소된다. 즉, 상기 산화물 반도체층의 상기 캐리어 농도는 가능한 영에 가깝게 감소된다.

[0056] 상기 순도화는 다음의 개념들 중 적어도 하나 하에서 실행된다: 산화물 반도체층으로부터의 수소의 가능한 많은 제거; 및 산화물 반도체층에 산소의 공급에 의해 상기 산화물 반도체층에서의 산소 결핍에 의해 유발되는 결함들의 감소.

[0057] 상기 산화물 반도체층을 포함하는 상술된 트랜지스터에서,  $1\mu\text{m}$ 의 채널 폭 당 오프-상태 전류는  $10\text{aA}/\mu\text{m}$  ( $1 \times 10^{-17}\text{A}/\mu\text{m}$ ) 이하, 더욱  $10\text{aA}/\mu\text{m}$  ( $1 \times 10^{-18}\text{A}/\mu\text{m}$ ) 이하, 한층 더  $10\text{aA}/\mu\text{m}$  ( $1 \times 10^{-20}\text{A}/\mu\text{m}$ ) 이하로 감소될 수 있다.

[0058] 액정 표시 장치가 상술된 바와 같이 극히 작은 상기 트랜지스터 오프-상태 전류를 이용하여 형성되는 경우, 상기 트랜지스터로 인한 상기 누설 전류가 극히 작기 때문에 화상 데이터의 기록마다 화상의 표시 부분이 길어질 수 있다. 따라서, 화상 데이터의 기록 간격은 10초 이상, 바람직하게 30초 이상, 더욱 바람직하게 1분 이상 연장될 수 있다. 또한, 프레임 주파수가 낮아질 수 있다. 예를 들면, 화상 데이터의 상기 기록들간의 간격은 10초 이상, 바람직하게 30초 이상, 더욱 바람직하게 1분 이상 연장될 수 있다. 그 외에도, 정지 화상을 표시할 때의 전력 소비가 감소될 수 있다. 화상 데이터의 기록들 사이의 간격이 연장될 때, 전력 소비가 감소될 수 있다.

[0059] 또한, 상기 산화물 반도체층을 포함하는 상술된 트랜지스터에서, 온도에 의존하는 전기 특성들의 변동이 작다; 예를 들면,  $-30^\circ\text{C}$  내지  $120^\circ\text{C}$ 의 범위의 온도에 대한 상기 트랜지스터의 온 상태 전류 또는 오프-상태 전류의 온도 의존성은 영으로 간주될 수 있다.

[0060] 다음에, 도 2에 도시된 상기 화소를 포함하는 도 1에 도시된 상기 액정 표시 장치의 구동 방법이 하기에 기술된다.

[0061] 도 1에 도시된 상기 액정 표시 장치의 상기 구동 방법에서, 화상 신호의 데이터가 상기 기억 회로(103)에 입력된다.

[0062] 상기 기억 회로(103)는 순차 프레임 기간들의 화상 신호들의 데이터를 유지하고, 상기 화상 신호들의 상기 데이터를 화상 신호들로서 상기 비교 회로(104)에 출력한다.

[0063] 상기 비교 회로(104)는 상기 순차 프레임 기간들(예를 들면, 제 1 프레임 기간 및 제 2 프레임 기간)의 화상 신호들의 입력 데이터를 서로 비교하고 그 차이를 검출하고, 그에 의해 상기 화상 신호들의 상기 비교된 데이터에 기초하여 화상이 동화상인지 정지 화상인지를 판단한다. 차이가 검출될 때, 상기 화상은 동화상인 것으로 판단된다; 차이가 검출되지 않을 때, 상기 화상은 정지 화상인 것으로 판단된다.

[0064] 상기 화상 신호들의 데이터의 상기 비교에 기초하여 화상들이 동화상인 것으로 판단되는 경우, 상기 선택 회로(105)는 상기 표시 제어 회로(106)에 화상 신호들로서 상기 기억 회로(103)에 유지되는 상기 화상 신호들의 상기 데이터를 출력한다. 또한, 그 경우, 상기 표시 제어 회로(106)는 상기 입력 화상 신호들의 데이터를 화상 신호들로서 상기 구동 회로부(107)에 공급한다.

- [0065] 한편, 상기 화상 신호들의 데이터의 상기 비교에 기초하여 화상들이 정지 화상인 것으로 판단되는 경우, 상기 표시 제어 회로(106)로의 후기 프레임 기간(예를 들면, 상기 제 2 프레임 기간) 동안의 상기 화상 신호의 공급이 중단된다. 또한, 그 경우, 상기 구동 회로부(107)로의 후기 프레임 기간(예를 들면, 상기 제 2 프레임 기간) 동안의 상기 화상 신호의 공급이 중단된다. 또한, 상기 화상 신호 외에도, 상기 클록 신호 CK, 상기 시작 신호 SP, 상기 리셋 신호 Res, 상기 고전원 전압 Vdd, 및 상기 저전원 전압 Vss 중 하나 이상의 상기 구동 회로부(107)로의 공급이 중단될 수 있다. 상술된 신호(들) 및/또는 전압(들)의 상기 공급의 중단에 의해, 상기 구동 회로부는 상기 정지 화상이 표시되는 기간 동안 동작하는 것이 중단될 수 있다.
- [0066] 또한, 상기 제 1 프레임 기간에서 상기 화상 신호의 데이터가 이전 프레임 기간에서의 화상 신호의 데이터와 동일한 경우, 즉 2개의 순차 프레임 기간들에서 표시된 화상들이 정지 화상인 경우, 상기 구동 회로부(107)로의 상기 화상 신호의 공급이 중단될 수 있고, 상기 구동 회로부(107)로부터의 상기 화상 신호의 상기 화소부(108)로의 공급이 상기 제 1 프레임 기간에서 중단될 수 있다. 또한, 그 경우, 상기 클록 신호 CK, 상기 시작 신호 SP, 상기 리셋 신호 Res, 상기 고전원 전압 Vdd, 및 상기 저전원 전압 Vss 중 하나 이상의 상기 구동 회로부(107)로의 공급이 중단될 수 있고, 그에 의해 전력 소비가 감소될 수 있다.
- [0067] 상술된 바와 같이, 이 실시예에서의 상기 액정 표시 장치의 상기 구동 방법의 일례에 따라, 복수의 화상 신호들의 데이터는 서로 비교되어, 표시될 화상들이 동화상 또는 정지 화상인지가 판단되고, 클록 신호 또는 시작 신호와 같은 제어 신호의 상기 구동 회로부로의 공급은 선택적으로 재시작되거나 중단된다. 신호 또는 전압의 상기 구동 회로부로의 상기 공급을 선택적으로 수행함으로써, 상기 구동 회로부가 동작하는 것이 중단되는 동안의 기간이 제공될 수 있고, 이것은 상기 액정 표시 장치의 전력 소비의 감소를 유발한다.
- [0068] 또한, 이 실시예의 상기 액정 표시 장치에서, 상술된 바와 같이 상기 트랜지스터가 오프-상태 전류가 비정질 실리콘 TFT의 것보다 작은 산화물 반도체를 이용하기 때문에, 일 화상-데이터 기록에 의한 화상의 표시 기간이 길어질 수 있다.
- [0069] 또한, 화소의 기록 동작 및 표시 동작의 예가 도 3을 참조하여 하기에 기술된다. 도 3은 이 실시예의 상기 화소의 기록 동작 및 표시 동작의 예를 기술하기 위한 타이밍도이다.
- [0070] 상기 화소에 대해, 기록 기간(211) 및 표시 기간(또한 유지 기간이라고도 칭해짐)(212)이 제 1 프레임 기간(201) 및 제 2 프레임 기간(202)의 각각에 제공된다.
- [0071] 상기 기록 기간(211)에서, 도 3에 도시된 바와 같이, 주사선을 통해 입력되는 주사 신호가 활성이다(상기 주사 신호(또한  $V_g$ 라고도 칭해짐)는 도 3에서 하이 레벨에 있다). 그 후에, 상기 화소에서의 상기 트랜지스터(151)가 턴 온되고, 화상 신호의 전압이 상기 트랜지스터(151)를 통해 상기 액정 소자(152)의 상기 제 1 단자 및 상기 커패시터(153)의 상기 제 1 단자에 공급되고, 화상 데이터가 기록된다. 상기 표시 기간(212)에서, 상기 화소는 상기 기록된 화상 데이터에 대응하는 표시 상태를 유지한다.
- [0072] 또한, 이 실시예의 상기 액정 표시 장치에서, 상기 표시 패널(101)에 대한 화상 번-인을 억제하기 위해, 상기 구동 회로부(107)로의 화상 신호의 상기 공급이 재시작되고, 정지 화상이 연속하는 프레임 기간들에서 표시되고 그 수가 미리 결정된 수를 초과하는 경우에 상기 액정 소자(152)에 인가된 상기 전압의 극성이 반전되는 구동 방법이 이용된다(상기 구동 방법은 또한 프레임 반전 구동이라고도 칭해진다). 즉, 동일 화상인 것으로 간주될 수 있는 정지 화상이 복수의 프레임 기간들을 이용하여 표시되는 경우, 상기 액정 소자(152)에 인가된 상기 전압의 상기 극성 반전은 상기 연속하는 프레임 기간들의 상기 수가 표준 값을 초과할 때에만 행해진다. 예를 들면, 정지 화상이 제 1 내지 제  $(n+1)$  프레임 기간들( $n$ 은 1보다 큰 자연수임)을 이용하여 표시될 때, 상기 제 1 프레임 기간의 상기 화상 신호의 상기 데이터가 상기 구동 회로부(107)를 통해 상기 액정 소자(152)에 공급된 후, 상기 데이터의 상기 공급은 상기 연속하는 제 2 내지 제  $n$  프레임 기간들에서 중단된다. 그 후에, 상기 전압의 상기 반전은 상기 제  $n$  과 제  $(n+1)$  프레임 기간들 사이에서 실행된다. 상기 전압의 상기 극성 반전은 공통 전압을 표준으로 이용하여 행해질 수 있음을 주의한다. 이 실시예의 상기 액정 표시 장치의 상기 구동 방법은 이 예에 제한되지 않는다; 주사선 반전 구동, 신호선 반전 구동, 도트 반전 구동, 또는 공통-전압 반전 구동과 같은 다른 구동 방법이 이용될 수 있다.
- [0073] 상기 화상 신호의 상기 공급은 하나의 정지 화상이 표시되는 동안의 프레임 기간들의 수가 미리 결정된 수를 초과하는 타이밍에서 재시작된다. 프레임 기간들의 상기 수는 예를 들면 제공되는 회로를 계수함으로써 계수될 수 있다. 그 경우, 상기 구동 회로부(107)로의 상기 화상 신호의 공급은 상기 계수 회로의 계수값이 미리 결정된 값을 초과할 때 재시작되고, 상기 액정 소자(152)에 인가된 상기 전압의 상기 극성이 반전된다. 도 3에 도시된

타이밍 차트에서, 상기 계수값은 상기 제 2 프레임 기간(202)에서 상기 미리 결정된 값을 초과하고, 상기 구동 회로부(107)로의 상기 화상 신호의 상기 공급이 재시작되고, 상기 액정 소자(152)에 인가된 상기 전압의 상기 극성이 반전된다. 그 외에도, 상기 클록 신호 CK, 상기 시작 신호 SP, 상기 리셋 신호 Res, 상기 고전원 전압 Vdd, 및 상기 저전원 전압 Vss 중 하나 이상의 상기 구동 회로부(107)로의 공급이 상기 구동 회로부(107)에 대한 상기 화상 신호의 공급이 중단되는 시간과 동일한 시간에 중단되는 경우, 상기 클록 신호 CK, 상기 시작 신호 SP, 상기 리셋 신호 Res, 상기 고전원 전압 Vdd, 및 상기 저전원 전압 Vss 중 하나 이상의 상기 구동 회로부(107)로의 상기 공급이 재시작될 수 있다.

[0074] 연속하는 2개의 프레임 기간들(예를 들면, 제 1 프레임 기간 및 제 2 프레임 기간)에서 각각의 화상 신호들의 데이터가 입력된 상기 화상 신호들을 이용하여 서로 비교되고, 상기 제 2 프레임 기간에서의 화상이 상기 제 1 프레임 기간에서의 화상과 동일한 것으로 판단되는 경우, 상기 연속하는 프레임 기간들에서 상기 액정 소자(152)에 인가된 상기 전압들의 절대값들이 서로 동일한 것이 바람직하다.

[0075] 그러나, 도 3에 도시된 바와 같이, 일부 경우들에서, 상기 액정 소자(152)에 인가된 전압(상기 전압은 또한 전압  $V_{LC}$ 라고도 칭해짐)이 상기 제 1 프레임 기간(201)에서  $(V_{11}-V_{COM})$ 에서  $(V_{12}-V_{COM})$ 으로 변하고, 상기 액정 소자(152)에 인가된 전압이 상기 제 2 프레임 기간(202)에서  $(V_{13}-V_{COM})$ 에서  $(V_{14}-V_{COM})$ 으로 변하고, 이것은 상기 제 1 프레임 기간(201)에서의 화상 신호의 상기 전압(데이터)과 공통 전압 사이의 차의 절대값(상기 절대값은 상기 제 1 프레임 기간(201)에서 상기 액정 소자(152)에 인가된 전압의 절대값임)과 상기 제 2 프레임 기간(202)에서의 화상 신호의 상기 전압(데이터)과 공통 전압 사이의 차의 절대값(상기 절대값은 상기 제 2 프레임 기간(202)에서 상기 액정 소자(152)에 인가된 전압의 절대값임) 사이의 차를 유발할 수 있다. 이러한 전압 변동은 피드-쓰루(feed-through) 등에 의해 유발되고, 상기 표시 품질의 저하(예를 들면, 플리커의 생성)를 유발한다. 일화상-데이터 기록에 의한 표시 기간이 길수록, 상기 전압 변동이 많이 영향받을 수 있다.

[0076] 상기의 관점에서, 이 실시예의 상기 액정 표시 장치의 상기 구동 방법의 예에서 보상이 수행된다. 상기 제 1 프레임 기간(201)에서 상기 액정 소자(152)에 인가된 상기 전압의 상기 절대값이 상기 제 2 프레임 기간(202)에서의 상기 액정 소자(152)에 인가된 상기 전압의 것과 상이한 경우, 상기 액정 소자(152)에 인가된 상기 전압은 상기 제 1 프레임 기간(201) 또는 상기 제 2 프레임 기간(202)에서 보상된다. 그 경우, 상기 보상은 상기 제 1 프레임 기간(201)에서 상기 액정 소자(152)에 인가된 상기 전압에서 상기 화소의 그레이 스케일 레벨이 상기 제 2 프레임 기간(202)에서의 상기 액정 소자(152)에 인가된 상기 전압에서의 상기 화소의 것과 동일하도록 수행되는 것이 바람직하다. 예를 들면, 상기 전압  $V_{COM}$ 이 보상될 수 있어서, 상기 액정 소자(152)에 인가된 상기 전압이 보상될 수 있고, 그에 의해, 상기 그레이 스케일 레벨이 보상될 수 있다. 상기 커패시터(153)에 인가된 전압이 보상될 수 있다. 예를 들면, 상기 커패시터(153)의 상기 제 2 단자에 인가된 상기 단위 전압이 보상되고, 그에 의해 상기 커패시터(153)에 인가된 상기 전압을 보상한다.

[0077] 상기 액정 소자(152)에 인가된 상기 전압에서 상기 화소의 상기 그레이 스케일 레벨은 예를 들면 상기 수평 축 상에 표현된 상기 액정 소자에 인가된 상기 전압(또한 전압  $V_{LC}$ 라고도 칭해짐)으로 그래프의 수직 축 상에 표현될 수 있다. 예를 들면, TN 액정이 액정 재료로서 이용되는 경우, 양의 전압  $V_{LC}$ 에서의 상기 그레이 스케일 레벨과 음의 전압  $V_{LC}$ 에서의 상기 그레이 스케일 레벨은 도 4에서 직선(231) 및 직선(232)에 의해 각각 표현될 수 있다. 상기 그레이 스케일 레벨이 증가함에 따라, 상기 화상은 백색 표시에 더 가까워진다; 상기 그레이 스케일 레벨이 감소함에 따라, 상기 화상은 흑색 표시에 더 가까워진다.

[0078] 예를 들면, 상기 제 1 프레임 기간(201)에서 상기 액정 소자(152)에 인가된 상기 전압의 상기 절대값이 상기 제 2 프레임 기간(202)에서의 상기 액정 소자(152)에 인가된 상기 전압의 것보다 작은 경우, 상기 전압  $V_{COM}$ 은 감소되도록 시프트되어, 상기 액정 소자(152)에 인가된 상기 전압이 낮아질 수 있고, 그에 의해, 상기 제 1 프레임 기간(201)에서 상기 액정 소자(152)에 인가된 상기 전압에서 상기 화소의 상기 그레이 스케일 레벨 및 상기 제 2 프레임 기간(202)에서의 상기 액정 소자(152)에 인가된 상기 전압에서의 상기 화소의 것이 동일하거나 가능한 서로 가까울 수 있다. 정지 화상이 제 1 내지 제  $(n+1)$  프레임 기간들( $n$ 은 1보다 큰 자연수)을 이용하여 표시될 때, 예를 들면, 상기 제  $n$  과 상기 제  $(n+1)$  프레임 기간들 사이에서 상기 전압의 상기 반전이 실행되고, 상기 제  $n$  프레임 기간에서 상기 액정 소자(152)에 인가된 상기 전압이 상기 제  $(n+1)$  프레임 기간에서의 것과 동일하도록 상기 보상이 수행된다.

[0079] 상기 보상은, 상기 연속하는 프레임 기간들의 상기 화상들에 의해 형성된 화상이 상기 비교 회로(104)에 의해

정지 화상인 것으로 판단된 후에 상기 화상 신호가 상기 구동 회로부에 공급하기 전에 수행될 수 있다. 그 경우, 보상 회로가 제공되고, 상기 제 1 프레임 기간(201)에서 상기 액정 소자(152)에 인가된 상기 전압의 상기 절대값이 상기 비교 회로(104)에서 상기 제 2 프레임 기간(202)에서의 상기 액정 소자(152)에 인가된 상기 전압의 것과 비교되고, 비교 데이터가 상기 비교 회로에 출력되고, 상기 액정 소자(152)에 인가된 상기 전압이 상기 보상 데이터에 따라 상기 보상 회로에 의해 보상된다.

[0080] 상기 제 1 프레임 기간(201) 및 상기 제 2 프레임 기간(202)에서 상기 표시 패널 상에 표시되는 각각의 화상들을 비교하면서 상기 액정 소자(152)에 인가된 상기 전압이 보상될 수 있다. 상기 프레임 주파수는 보상할 때의 보통의 것의 약 1/10으로 낮추어지고 표시할 때의 보통의 것으로 리턴될 수 있다. 상기 프레임 주파수가 낮추어지면 더욱 정확한 보상이 가능하다.

[0081] 상술된 바와 같이, 이 실시예의 상기 액정 표시 장치의 상기 구동 방법의 일례에 따라, 상기 제 1 프레임 기간 및 상기 제 2 프레임 기간에서의 각각의 화상들이 서로 비교되어, 상기 제 1 및 제 2 프레임 기간들의 상기 화상들에 의해 형성된 상기 화상이 상기 제 1 프레임 기간의 상기 화상에 대대 정지 화상인 것으로 판단되고, 상기 제 1 프레임 기간에서의 상기 액정 소자에 인가된 상기 전압의 상기 절대값이 상기 제 2 프레임 기간에서의 상기 액정 소자에 인가된 상기 전압의 것과 상이하게 되는 경우, 상기 액정 소자에 인가된 상기 전압은 상기 제 1 프레임 기간 또는 상기 제 2 프레임 기간에서 보상된다. 따라서, 복수의 연속하는 프레임 기간들에서 극성이 반전되는 전압을 상기 액정 소자에 인가함으로써 정지 화상이 장시간 동안 표시되는 경우에도, 전압 변동으로 인한 상기 표시 품질의 저하가 억제될 수 있다. 예를 들면, 플리커의 생성이 억제될 수 있다. 따라서, 채널 형성층으로서 기능하는 산화물 반도체층을 포함하는 트랜지스터가 이 실시예의 상기 액정 표시 장치로서 이용되고 정지 화상이 일 화상-데이터 기록에 의해 장기간 동안 표시되는 경우, 이 실시예의 상기 액정 표시 장치의 상기 구동 방법에 의해 상기 표시 품질이 저하되는 것이 방지될 수 있고 전력 소비가 감소될 수 있다.

[0082] (실시예 2)

[0083] 실시예 2에서, 실시예 1에 기술된 상기 액정 표시 장치의 주사선 구동 회로 및 신호선 구동 회로의 각각에 포함되는 시프트 레지스터의 구조가 기술될 것이다.

[0084] 이 실시예에서 시프트 레지스터의 구조예가 도 5a 내지 도 5c를 참조하여 기술될 것이다. 도 5a 내지 도 5c는 이 실시예에서 상기 시프트 레지스터의 상기 구조예를 도시하는 도면들이다.

[0085] 도 5a에 도시된 시프트 레지스터는 제 1 내지 제 N 펄스 출력 회로들(10\_1 내지 10\_N)(N은 3 이상의 자연수임)을 포함한다.

[0086] 상기 제 1 내지 제 N 펄스 출력 회로들(10\_1 내지 10\_N)의 각각은 제 1 내지 제 4 배선들(11 내지 14) 중 3개의 배선들에 전기적으로 접속된다. 도 5a에 도시된 상기 시프트 레지스터에서, 제 1 클록 신호 CK1이 상기 제 1 배선(11)을 통해 공급되고, 제 2 클록 신호 CK2가 상기 제 2 배선(12)을 통해 공급되고, 제 3 클록 신호 CK3이 제 3 배선(13)을 통해 공급되고, 제 4 클록 신호 CK4가 상기 제 4 배선(14)을 통해 공급된다.

[0087] 시작 신호 SP1이 제 5 배선(15)을 통해 상기 제 1 펄스 출력 회로들(10\_1)에 입력된다.

[0088] 이전단에서 상기 펄스 출력 회로(10\_(n-1))(n은 2 이상 N 이하의 자연수임)로부터의 신호(상기 신호는 전단 신호 OUT(n-1)라고 칭해짐)는 제 2 또는 후속단에서 상기 제 n 펄스 출력 회로(10\_n)에 입력된다. 또한, 제 3 단에서 제 3 펄스 출력 회로(10\_3)로부터의 신호가 제 1 단에서 상기 제 1 펄스 출력 회로(10\_1)에 입력된다; 유사하게, 제 (1+2) 단에서 제 (1+2) 펄스 출력 회로(10\_(1+2))(1은 2 이상 N-2 이하의 자연수임)로부터의 신호(상기 신호는 후단 신호 OUT(1+2)라고 칭해짐)가 제 1 단에서 제 1 펄스 출력 회로(10\_1)에 입력된다. 또한, 각각의 단에서의 각각의 펄스 출력 회로는 제 1 출력 신호 및 제 2 출력 신호를 출력한다. 도 5a에 도시된 바와 같이, 상기 후단 신호들 OUT(1+2)은 제 (N-1) 단 및 제 N 단에서 상기 펄스 출력 회로들에 입력되지 않는다; 따라서, 예를 들면, 시작 신호 SP2는 제 6 배선(17)을 통해 제 (N-1) 단에서의 상기 펄스 출력 회로에 입력될 수 있고, 시작 신호 SP3은 제 8 배선(18)을 통해 제 N 단에서의 상기 펄스 출력 회로에 입력될 수 있다. 대안적으로, 내부적으로 생성된 신호들은 상기 제 (N-1) 단 및 상기 제 N 단에서의 상기 펄스 출력 회로들에 입력될 수 있다. 예를 들면, 상기 화소부에 출력되는 펄스에 기여하지 않는 제 (N+1) 단에서의 펄스 출력 회로(10\_(N+1)) 및 제 (N+2) 단에서의 펄스 출력 회로(10\_(N+2))(상기 회로들은 또한 더미 단들에서 펄스 출력 회로들이라고 칭해질 수 있음)가 제공될 수 있고, 시작 신호 SP2가 상기 제 (N+1) 단에서의 상기 펄스 출력 회로(10\_(N+1))에 입력될 수 있고, 시작 신호 SP3이 상기 제 (N+2) 단에서의 상기 펄스 출력 회로(10\_(N+2))에 입력될 수 있다.

[0089] 상기 제 1 클록 신호(CK1) 내지 상기 제 4 클록 신호(CK4)의 각각은 그 레벨이 하이 레벨과 로우 레벨 사이에서

반복적으로 스위칭되는 디지털 신호이다. 상기 제 1 내지 상기 제 4 클록 신호들(CK1) 내지 (CK4)는 1/4 기간만큼 순차적으로 지연된다. 이 실시예에서, 상기 펄스 출력 회로의 구동 등은 상기 제 1 내지 제 4 클록 신호들(CK1) 내지 (CK4)로 제어된다.

[0090] 상기 제 1 내지 제 N 펄스 출력 회로들(10\_1 내지 10\_N)의 각각은 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26) 및 제 2 출력 단자(27)를 구비한다(도 5b 참조).

[0091] 상기 제 1 입력 단자(21), 상기 제 2 입력 단자(22), 및 상기 제 3 입력 단자(23)는 상기 제 1 내지 제 4 배선들(11 내지 14) 중 3개의 배선들에 전기적으로 접속된다. 예를 들면, 도 5a 및 도 5b의 상기 제 1 펄스 출력 회로(10\_1)에서, 상기 제 1 입력 단자(21)는 상기 제 1 배선(11)에 전기적으로 접속되고, 상기 제 2 입력 단자(22)는 상기 제 2 배선(12)에 전기적으로 접속되고, 상기 제 3 입력 단자(23)는 상기 제 3 배선(13)에 전기적으로 접속된다. 상기 제 2 펄스 출력 회로(10\_2)에서, 상기 제 1 입력 단자(21)는 상기 제 2 배선(12)에 전기적으로 접속되고, 상기 제 2 입력 단자(22)는 상기 제 3 배선(13)에 전기적으로 접속되고, 상기 제 3 입력 단자(23)는 상기 제 4 배선(14)에 전기적으로 접속된다.

[0092] 도 5a 및 도 5b의 상기 제 1 펄스 출력 회로(10\_1)에서, 상기 시작 신호가 상기 제 4 입력 단자(24)를 통해 입력되고, 후단 신호(상기 제 3 펄스 출력 회로(10\_3)의 상기 제 2 출력 신호)가 상기 제 5 입력 단자(25)를 통해 입력되고, 상기 제 1 출력 신호가 상기 제 1 출력 단자(26)를 통해 출력되고, 상기 제 2 출력 신호가 상기 제 2 출력 단자(27)를 통해 출력된다.

[0093] 다음에, 상기 펄스 출력 회로의 특정 회로 구성의 예는 도 5c를 참조하여 하기에 기술된다.

[0094] 도 5c에 도시된 펄스 출력 회로는 제 1 내지 제 7 트랜지스터들(31 내지 41)을 포함한다.

[0095] 상기 제 1 트랜지스터(31)의 소스 및 드레인 중 하나는 전원선(51)에 전기적으로 접속되고, 그 게이트는 상기 제 4 입력 단자(24)에 전기적으로 접속된다.

[0096] 상기 제 2 트랜지스터(32)의 소스 및 드레인 중 하나는 전원선(52)에 전기적으로 접속된다.

[0097] 상기 제 3 트랜지스터(33)의 소스 및 드레인 중 하나는 상기 제 1 입력 단자(21)에 전기적으로 접속되고, 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 1 출력 단자(26)에 전기적으로 접속된다.

[0098] 상기 제 4 트랜지스터(34)의 소스 및 드레인 중 하나는 상기 전원선(52)에 전기적으로 접속되고, 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 1 출력 단자(26)에 전기적으로 접속되고, 그 게이트는 상기 제 2 트랜지스터(32)의 게이트에 전기적으로 접속된다.

[0099] 상기 제 5 트랜지스터(35)의 소스 및 드레인 중 하나는 상기 전원선(52)에 전기적으로 접속되고, 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 2 트랜지스터(32)의 상기 게이트에 전기적으로 접속되고, 그 게이트는 상기 제 4 입력 단자(24)에 전기적으로 접속된다.

[0100] 상기 제 6 트랜지스터(36)의 소스 및 드레인 중 하나는 상기 전원선(51)에 전기적으로 접속되고, 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 2 트랜지스터(32)의 상기 게이트에 전기적으로 접속되고, 그 게이트는 상기 제 5 입력 단자(25)에 전기적으로 접속된다.

[0101] 상기 제 7 트랜지스터(37)의 소스 및 드레인 중 하나는 상기 전원선(51)에 전기적으로 접속되고, 그 게이트는 상기 제 3 입력 단자(23)에 전기적으로 접속된다.

[0102] 상기 제 8 트랜지스터(38)의 소스 및 드레인 중 하나는 상기 제 2 트랜지스터(32)의 상기 게이트에 전기적으로 접속되고, 그의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 7 트랜지스터(37)의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고, 그의 게이트는 상기 제 2 입력 단자(22)에 전기적으로 접속된다.

[0103] 상기 제 9 트랜지스터(39)의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터(31)의 상기 소스 및 상기 드레인 중 다른 하나 및 상기 제 2 트랜지스터(32)의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고, 그의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 3 트랜지스터(33)의 상기 게이트에 전기적으로 접속되고, 그의 게이트는 상기 전원선(51)에 전기적으로 접속된다.

[0104] 상기 제 10 트랜지스터(40)의 소스 및 드레인 중 하나는 상기 제 1 입력 단자(21)에 전기적으로 접속되고, 그의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 2 출력 단자(27)에 전기적으로 접속되고, 그의 게이트는 상

기 제 9 트랜지스터(39)의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속된다.

[0105] 상기 제 11 트랜지스터(41)의 소스 및 드레인 중 하나는 상기 전원선(52)에 전기적으로 접속되고, 그의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 2 출력 단자(27)에 전기적으로 접속되고, 그의 게이트는 상기 제 2 트랜지스터(32)의 상기 게이트에 전기적으로 접속된다.

[0106] 도 15c에서, 상기 제 3 트랜지스터(33)의 상기 게이트, 상기 제 10 트랜지스터(40)의 상기 게이트, 및 상기 제 9 트랜지스터(39)의 상기 소스 및 상기 드레인 중 다른 하나가 서로 접속되는 부분은 노드 NA라고 칭해진다. 또한, 상기 제 2 트랜지스터(32)의 상기 게이트, 상기 제 4 트랜지스터(34)의 상기 게이트, 상기 제 5 트랜지스터(35)의 상기 소스 및 상기 드레인 중 다른 하나, 상기 제 6 트랜지스터(36)의 상기 소스 및 상기 드레인 중 다른 하나, 상기 제 8 트랜지스터(38)의 상기 소스 및 상기 드레인 중 다른 하나, 및 상기 제 11 트랜지스터(41)의 상기 게이트가 서로 접속되는 부분은 노드 NB라고 칭해진다.

[0107] 예를 들면, 상기 제 1 펄스 출력 회로(10\_1)에서, 상기 제 1 클록 신호 CK1이 상기 제 1 입력 단자(21)를 통해 입력되고, 상기 제 2 출력 단자 CK2가 상기 제 2 입력 단자(22)를 통해 입력되고, 상기 제 3 클록 신호 CK3이 상기 제 3 입력 단자(23)를 통해 입력되고, 상기 시작 신호 SP1이 상기 제 4 입력 단자(24)에 입력되고, 상기 제 3 펄스 출력 회로(10\_3)의 상기 제 1 출력 단자(26)를 통해 출력된 신호가 상기 제 5 입력 단자(25)를 통해 입력된다. 또한, 상기 제 1 펄스 출력 회로(10\_1)는 상기 제 1 출력 단자(26)를 통해 펄스 신호를 출력하고, 상기 제 2 출력 단자(27)를 통해 신호 OUT(1)을 출력한다.

[0108] 도 5a 내지 도 5c에 도시된 상기 시프트 레지스터에서의 상기 신호들의 타이밍 차트가 도 6에 도시된다. 상기 시프트 레지스터가 주사선 구동 회로에 포함되는 경우, 도 6의 부분(61)은 수직 귀선 기간에 대응하고, 부분(62)은 게이트 선택 기간에 대응한다.

[0109] 본 발명의 일 실시예인 상기 액정 표시 장치의 상기 구동 방법이 적용될 수 있는 상기 액정 표시 장치는 정지 화상 및 동화상을 표시할 수 있고, 상기 구동 회로부를 끊임없이 동작시킬 필요 없이 리프레시 동작에 의해 정지 화상을 표시할 수 있다. 상기 정지 화상이 표시된 후에 동화상이 표시되는 경우에 각각의 배선에 대한 신호 또는 전압 공급 동작과, 도 5a 내지 도 5c에서 예로서 도시된 상기 시프트 레지스터를 이용하여 상기 주사선 구동 회로 또는 상기 신호선 구동 회로에서 상기 액정 소자에 인가되는 전압의 재기록 동작(리프레시 동작)시에 상기 구동 회로부의 각각의 배선에 대한 신호 또는 전압 공급의 중지 동작이 도 7을 참조하여 하기에 기술된다. 도 7은, 상기 시프트 레지스터에, 상기 고전원 전압(VDD)을 공급하기 위한 배선, 상기 저전원 전압(Vss)을 공급하기 위한 배선, 상기 시작 신호(SP1)를 공급하기 위한 배선, 및 상기 제 1 내지 제 4 클록 신호들(CK1) 내지 (CK4)를 공급하기 위한 배선들의 제 1 프레임 기간(T1) 전 및 후의 전압들의 변화들을 도시한다.

[0110] 도 7에 도시된 바와 같이, 이 실시예의 상기 시프트 레지스터의 동작에 따라, 상기 고전원 전압과, 상기 제 1 내지 제 4 클록 신호들 및 상기 시작 신호와 같은 제어 신호들이 공급되는 기간과 상기 제어 신호들이 공급되지 않는 기간이 존재한다. 도 7에서의 상기 제 1 프레임 기간 T1은 상기 제어 신호들이 공급되는 기간, 달리 말하면, 동화상이 표시되는 기간 또는 리프레시 동작이 수행되는 기간에 대응한다. 도 7에서의 제 2 프레임 기간 T2는 상기 제어 신호들이 공급되지 않는 기간, 달리 말하면 정지 화상이 표시되는 기간에 대응한다.

[0111] 도 7에서, 상기 고전원 전압이 공급되는 기간이 상기 제 1 프레임 기간뿐만 아니라, 상기 제 1 프레임에/으로부터 이동하는 상기 제 2 프레임 기간의 일부에도 있다. 또한 도 7에서, 상기 제 1 내지 제 4 클록 신호들 중 하나 이상이 공급되는 기간은 상기 고전원 전압의 공급이 시작된 후 및 상기 공급이 중단되기 전에 있다.

[0112] 또한, 도 7에 도시된 바와 같이, 상기 제 1 내지 제 4 클록 신호들 CK1 내지 CK4에 대한 배선들은 이들이 상기 제 1 프레임 기간 전에 1회 하이가 되도록 설정될 수 있고, 그 후에, 일정한 주파수에서 그들 각각의 클록 신호들 CK1 내지 CK4를 발진하기 시작하고, 이들은 상기 제 1 프레임 기간 후에 1회 로우가 되고, 그 후에 상기 클록 신호들을 발진하는 것을 중단한다.

[0113] 상술된 바와 같이, 이 실시예의 상기 시프트 레지스터에서, 상기 고전원 전압과 상기 제 1 내지 제 4 클록 신호들 및 상기 시작 신호들과 같은 상기 제어 신호들의 상기 시프트 레지스터로의 상기 공급이 상기 제 2 프레임 기간의 시작 또는 종료시에 중단된다. 또한, 상기 고전원 공급 전압과 상기 제 1 내지 제 4 클록 신호들 및 상기 시작 신호들과 같은 상기 제어 신호들의 상기 공급이 중단되는 기간에서, 상기 시프트 레지스터로부터의 상기 펄스 신호의 출력도 또한 중단된다. 따라서, 상기 시프트 레지스터의 전력 소비 및 상기 시프트 레지스터에 의해 구동되는 상기 화소부의 전력 소비가 감소될 수 있다.

[0114] 상기 시프트 레지스터로의 상기 고전원 전압의 상기 공급이 중단되는 상기 기간에서, 상기 고전원 전압을 공급

하기 위한 상기 배선의 상기 전압은 도 7에 도시된 바와 같이 상기 저전원 전압(Vss)과 동일한 값을 가질 수 있다. 상기 고전원 전압을 공급하기 위한 상기 배선은 플로팅 상태에 있을 수 있고, 그에 의해 상기 고전원 전압의 상기 공급을 중단한다.

[0115] 상기 고전원 전압을 공급하기 위한 상기 배선의 상기 전압이 증가될 때, 즉, 상기 전압이 상기 제 1 프레임 기간 전에 상기 저전원 전압에서 상기 고전원 전압으로 증가될 때, 상기 배선의 상기 전압이 점차적으로 변하도록 제어하는 것이 바람직하다. 이것은, 상기 고전원 전압을 공급하기 위한 상기 배선의 상기 전압이 증가되는 경우에, 상기 배선의 상기 전압의 급격한 변화가 잡음이 될 수 있기 때문이며, 이것은 상기 시프트 레지스터로부터 출력된 펄스 신호의 파형을 변동시킬 수 있고, 상기 파형의 이러한 변동으로 인해 상기 액정 소자에 인가되는 상기 전압을 변화시킬 수 있고, 이것은 정지 화상의 변화를 유발한다. 상기의 관점에서, 도 7은 상기 고전원 전압을 공급하기 위한 상기 배선의 상기 전압의 증가가 상기 전압의 하강보다는 더 점차적인 예를 도시한다. 특히, 이 실시예의 상기 시프트 레지스터에서, 상기 고전원 전압의 상기 공급은 정지 화상이 상기 화소부에 표시되는 기간에서 적합하게 중단되거나 재시작된다. 달리 말하면, 상기 화소부에 잡음으로서 도입되는 상기 고전원 전압을 공급하기 위한 상기 전압의 변동이 상기 표시 품질의 저하를 유발하기 때문에, 상기 고전원 전압을 공급하기 위한 상기 전압의 상기 변동(특히, 상기 전압의 증가)이 상기 화소부에 잡음으로서 도입되지 않도록 제어를 수행하는 것이 중요하다.

[0116] 이 실시예는 다른 실시예들 중 어느 것과 적합하게 조합될 수 있거나 대체될 수 있다.

[0117] (실시예 3)

[0118] 실시예 3에서, 실시예 1에 기술된 상기 액정 표시 장치에 포함되는 트랜지스터에 적용 가능한 상기 트랜지스터의 예가 기술될 것이다.

[0119] 이 실시예에서의 트랜지스터는 도 8a 내지 도 8d를 참조하여 하기에 기술된다. 도 8a 내지 도 8d는 실시예 1에 기술된 상기 트랜지스터를 도시하기 위한 도면들이다.

[0120] 기판(400) 위에 트랜지스터(410)를 제조하기 위한 공정이 도 8a 내지 도 8d를 참조하여 하기에 기술된다.

[0121] 먼저, 도전막이 절연 표면을 가진 상기 기판(400) 위에 형성되고, 레지스트 마스크가 제 1 포토리소그래피 공정에 의해 상기 도전막 위에 형성되고, 그 후에 상기 도전막이 상기 레지스트 마스크를 이용하여 에칭되어, 게이트 전극층(411)이 형성된다. 그 후, 상기 레지스트 마스크가 제거된다. 상기 레지스트 마스크는 잉크젯법에 의해 형성될 수 있다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크를 이용하지 않아서, 제조 비용이 감소될 수 있다.

[0122] 절연 표면을 가진 상기 기판(400)으로서 이용될 수 있는 기판에 관한 특정 제약은 없지만, 상기 기판은 적어도 나중에 수행될 열 처리에 대한 내열성을 충분히 가지는 것이 필수적이다. 예를 들면, 상기 기판(400)으로서, 바륨 보로실리케이트 유리, 알루미노보로실리케이트 유리 등의 유리 기판이 이용될 수 있다. 유리 기판으로서, 상기 나중에 수행될 열 처리의 온도가 높은 경우, 그 스트레인 포인트가 730°C 이상인 유리 기판이 이용되는 것이 바람직하다.

[0123] 이 실시예에서의 상기 트랜지스터에서, 하지막으로서 기능하는 절연막이 상기 기판(400)과 상기 게이트 전극층(411) 사이에 제공될 수 있다. 상기 하지막은 상기 기판(400)으로부터 불순물 원소의 확산을 방지하는 기능을 가지고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막 및 산화질화 실리콘막 중 하나 이상을 이용하여 단일막 또는 복수의 막들로 형성될 수 있다.

[0124] 상기 게이트 전극(411)은 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등과 같은 금속들과 이러한 금속을 주성분으로 이용하는 합금 재료로부터 선택된 하나 이상을 이용하여 단일층 또는 복수의 적층들로 형성될 수 있다.

[0125] 예를 들면, 상기 게이트 전극(411)은 몰리브덴층이 알루미늄층 상에 적층된 적층, 몰리브덴층이 구리층 상에 적층된 적층, 질화 티타늄층 또는 질화 탄탈층이 구리층 상에 적층된 적층, 또는 질화 티타늄층 및 몰리브덴층이 적층된 적층으로 형성될 수 있다. 대안적으로, 상기 게이트 전극(411)은 텉스텐층 또는 질화 텉스텐층, 알루미늄과 실리콘의 합금층 또는 알루미늄과 티타늄층의 합금층, 및 질화 티타늄층 또는 티타늄층이 적층된 적층으로 형성될 수 있다.

[0126] 다음에, 게이트 절연층(402)이 상기 게이트 전극층(411) 위에 형성된다.

- [0127] 상기 게이트 절연층(402)은 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 및 산화 알루미늄층이 플라즈마 CVD법, 스퍼터링법 등에 의해 단일층 구조 또는 적층 구조를 가지도록 형성될 수 있다. 예를 들면, 산화질화 실리콘층은 시래인( $\text{SiH}_4$ ), 산소, 및 질소를 함유한 성막 가스를 이용하여 스퍼터링법에 의해 형성될 수 있다. 산화 하프늄( $\text{HfO}_x$ ) 또는 산화 티타늄( $\text{TaO}_x$ )과 같은 고- $k$  재료를 포함하는 층이 상기 게이트 절연층(402)으로서 이용될 수 있다. 상기 게이트 절연층(402)의 두께는 이 실시예에서 100nm 이상 500nm 이하이다; 적층 구조의 경우, 예를 들면, 상기 게이트 절연층(402)은 50nm 이상 200nm 이하의 두께를 가진 제 1 게이트 절연층과 5nm 이상 300nm 이하의 두께를 가진 제 2 게이트 절연층을 적층하여 형성된다.
- [0128] 이 실시예에서, 100nm의 두께를 가진 산화질화 실리콘층이 상기 게이트 절연층(402)으로서 플라즈마 CVD법에 의해 형성된다.
- [0129] 상기 게이트 절연층(402)으로서, 산화질화 실리콘막이 고밀도 플라즈마 장치를 이용하여 형성될 수 있음을 주의한다. 여기서, 상기 고밀도 플라즈마 장치는  $1 \times 10^{11}/\text{cm}^3$  이상의 플라즈마 밀도를 실현할 수 있는 장치를 나타낸다. 예를 들면, 절연막이 형성되도록 3kW 이상 6kW 이하의 마이크로파 전력을 인가하여 플라즈마가 생성된다.
- [0130] 예를 들면, 시래인( $\text{SiH}_4$ ), 아산화질소( $\text{N}_2\text{O}$ ), 및 희가스가 원료 가스로서 챔버에 도입되고, 고밀도 플라즈마의 적용에 의해 따르는 10Pa 이상 30Pa 이하의 압력이 적용되어, 절연막이 유리 기판과 같은 절연 표면을 가진 상기 기판 위에 형성된다. 그 후, 시래인( $\text{SiH}_4$ )의 공급이 중단될 수 있고, 아산화질소( $\text{N}_2\text{O}$ ) 및 희가스가 그 표면 상에 플라즈마 처리를 수행하기 위해 대기에 상기 절연막을 노출시키지 않고 도입될 수 있다. 상기 공정을 통해 형성된 상기 절연막은 상기 두께가 100nm 정도로 작은 경우에도 신뢰도를 보장할 수 있다.
- [0131] 상기 게이트 절연층(402)의 형성시, 상기 챔버에 도입되는 아산화질소( $\text{N}_2\text{O}$ )에 대한 시래인( $\text{SiH}_4$ )의 유량비는 1 : 10 내지 1 : 200의 범위에 있다. 상기 챔버에 도입되는 상기 희가스로서, 헬륨, 아르곤, 크립톤, 크세논 등이 이용될 수 있다; 이중, 저렴한 아르곤이 이용되는 것이 바람직하다.
- [0132] 상기 고밀도 플라즈마 장치를 이용하여 형성되는 상기 절연막이 균일한 두께를 가질 수 있기 때문에, 상기 절연막은 고단계 괴복성을 가진다. 또한, 상기 고밀도 플라즈마 장치를 이용하여 형성되는 상기 절연막에 대해, 박막의 두께가 정확하게 제어될 수 있다.
- [0133] 상기 공정을 통해 형성되는 상기 절연막은 통상적인 평행평판형 플라즈마 CVD 장치를 이용하여 형성되는 절연막과 크게 상이하다. 상기 공정을 통해 형성되는 상기 절연막의 에칭률은 동일한 에천트를 이용하여 상기 통상적인 평행 평판 플라즈마 CVD 장치를 이용하여 형성되는 상기 절연막의 것보다 10% 이상 또는 20% 이상만큼 낮아지고, 이것은 상기 고밀도 플라즈마 장치를 이용하여 형성되는 상기 절연막이 조밀한 막임을 의미한다.
- [0134] 나중 단계에서 진성(i-형) 또는 실질적으로 진성이 되는 산화물 반도체(고순도화된 산화물 반도체)층은 계면 상태 또는 계면 전하에 매우 민감하다; 따라서, 상기 산화물 반도체층과 상기 게이트 절연층 사이의 계면이 중요하다. 그러한 이유로, 상기 고순도화된 산화물 반도체와 접촉하게 되는 상기 게이트 절연층이 고품질을 가져야 한다. 예를 들면, 절연막이 마이크로파(2.45GHz)로 고밀도 플라즈마 CVD 장치를 이용하여 형성되어, 조밀하고 높은 절연 내력 전압(dielectric strength voltage)을 가진 고품질 절연막이 형성될 수 있다. 상기 고순도화된 산화물 반도체층은 상기 고품질 게이트 절연층과 접촉하고, 그에 의해 상기 계면 상태들이 감소될 수 있고 계면 속성들이 양호해질 수 있다. 상술된 바와 같이, 높은 막 품질을 가진 게이트 절연층을 형성하는 것 외에도, 상기 산화물 반도체층과 상기 게이트 절연층 사이의 낮은 계면 상태 밀도를 가진 양호한 계면을 형성하는 것이 중요하다.
- [0135] 다음에, 산화물 반도체막(430)이 상기 게이트 절연층(402) 위에 2nm 이상 200nm 이하의 두께를 가지도록 형성된다. 상기 산화물 반도체막(430)이 스퍼터링법에 의해 형성되기 전에, 상기 게이트 절연층(402)의 표면 상에 부착되는 가루 물질들(또한 입자들 또는 먼지라고도 칭해짐)이, 아르곤 가스가 도입되고 플라즈마가 생성되는 역스퍼터링에 의해 제거되는 것이 바람직하다. 상기 역 스퍼터링은 타겟측에 대한 전압의 인가 없이, RF 전원이 아르곤 분위기에서 기판측에 대한 전압의 인가에 이용되어, 플라즈마가 상기 기판의 표면을 변형하도록 형성되는 방법을 나타낸다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 이용될 수 있다.
- [0136] 상기 산화물 반도체막(430)으로서, 다음의 산화물 반도체막들 중 어느 것이 이용될 수 있다: In-Ga-Zn-O-계 산화물 반도체막; In-Sn-O-계 산화물 반도체막; In-Sn-Zn-O-계 산화물 반도체막; In-Al-Zn-O-계 산화물 반도체막; Sn-Ga-Zn-O-계 산화물 반도체막; Al-Ga-Zn-O-계 산화물 반도체막; Sn-Al-Zn-O-계 산화물 반도체막; In-Zn-O-계

산화물 반도체막; Sn-Zn-O-계 산화물 반도체막; Al-Zn-O-계 산화물 반도체막; In-O-계 산화물 반도체막; Sn-O-계 산화물 반도체막; 및 Zn-O-계 산화물 반도체막. 예를 들면, In-Ga-Zn-O-계 산화물 반도체막을 이용하는 경우, 그 두께가 5nm 이상 200nm 이하인 것이 바람직하다. 이 실시예에서, 20nm 두께의 In-Ga-Zn-O-계 산화물 반도체막이 In-Ga-Zn-O-계 금속 산화물 타겟을 상기 산화물 반도체막(430)으로 이용하여 스퍼터링법에 의해 형성된다. 이 단계의 단면도는 도 8a이다. 상기 산화물 반도체막(430)은 희가스(통상적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로 아르곤)와 산소를 포함하는 분위기에서 스퍼터링법에 의해 형성될 수 있다. 스퍼터링법을 이용하는 경우, 나중 단계에서 탈수화 또는 탈수소화를 위한 열 처리시 결정화를 억제하기 위해 상기 산화물 반도체막에 결정화가 험유되는 것을 억제하는  $\text{SiO}_x$ ( $x > 0$ )를 만들기 위해 2wt% 내지 10wt%의  $\text{SiO}_2$ 를 함유하는 타겟을 이용하는 것이 바람직하다.

[0137] 이 실시예에서, 상기 산화물 반도체막(430)은 다음과 같이 형성된다: In, Ga 및 Zn을 함유한 금속 산화물 타겟 ( $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [몰 비], In : Ga : Zn = 1 : 1 : 0.5 [원자비])이 이용된다; 상기 기판과 상기 타겟 사이의 거리가 100mm이다; 압력이 0.2Pa이다; 직류(DC) 전력이 0.5kW이다; 그리고 분위기가 아르곤 및 산소의 혼합된 분위기이다(아르곤 : 산소 = 30sccm : 20sccm이고, 산소 유량은 40%이다). 성막시 생성되는 가루 물질들이 감소될 수 있고, 상기 막두께가 균일해질 수 있기 때문에, 펄스형 직류(DC) 전원이 이용되는 것이 바람직하다. In, Ga 및 Zn을 함유한 상기 금속 산화물 타겟으로서, In : Ga : Zn = 1 : 1 : 1[원자비]의 조성비를 가진 타겟 또는 In : Ga : Zn = 1 : 1 : 2[원자비]의 조성비를 가진 타겟이 대안적으로 이용될 수 있다.

[0138] 상기 스퍼터링법의 예들은 스퍼터링 전원으로서 고주파수 전원을 이용하는 RF 스퍼터링법, 스퍼터링 전원으로서 DC 전원을 이용하는 DC 스퍼터링법, 및 펄스형 방식으로 바이어스가 인가되는 펄스형 DC 스퍼터링법을 포함한다. 상기 RF 스퍼터링법은 절연막을 형성하는 경우에 주로 이용되고, 상기 DC 스퍼터링법은 금속막을 형성하는 경우에 주로 이용된다.

[0139] 또한, 상이한 재료들의 복수의 타겟들이 설정될 수 있는 멀티-소스 스퍼터링 장치를 이용하는 스퍼터링법이 존재한다. 상기 멀티-소스 스퍼터링 장치로, 상이한 재료들의 막들이 동일 챔버에서 적층되도록 침착될 수 있고, 복수 종류의 재료들이 동일 챔버에서 동시에 전기 방전에 의해 성막될 수 있다.

[0140] 그 외에도, 상기 챔버 내부에 자석 시스템이 구비된 스퍼터링 장치를 이용하는 마그네트론 스퍼터링법, 및 클로우 방전을 이용하지 않고 마이크로파들을 이용하여 생성된 플라즈마를 이용하는 ECR 스퍼터링법이 존재한다.

[0141] 또한, 상기 스퍼터링법의 다른 예들로서, 타겟 물질 및 스퍼터링 가스 성분이 화합물 박막을 침착하기 위한 막 형성 동안 서로 화학적으로 반응하는 반응성 스퍼터링법과, 성막 동안 전압이 또한 기판에 인가되는 바이어스 스퍼터링법이 존재한다.

[0142] 다음에, 레지스트 마스크가 상기 산화물 반도체막(430) 위에 제 2 포토리소그래피 공정에 의해 형성되고, 그 후에 상기 산화물 반도체막(430)은 상기 레지스트 마스크를 이용하여 에칭되어, 상기 산화물 반도체막(430)은 섬형 산화물 반도체층으로 가공된다. 그 후, 상기 레지스트 마스크가 제거된다.

[0143] 다음에, 상기 산화물 반도체층의 탈수화 또는 탈수소화가 수행된다. 상기 탈수화 또는 탈수소화는 제 1 열 처리 및 제 2 열 처리를 행하여 실행된다. 상기 제 1 열 처리의 온도는 400°C 이상 750°C 이하이고, 바람직하게는 400°C 이상 상기 기판의 스트레인 포인트 미만이다. 이 실시예에서, 상기 기판은 열 처리 장치들 중 하나인 전기로에 도입되고, 상기 산화물 반도체층에 대해 질소 분위기에서 450°C로 1 시간 동안 열 처리가 수행된다. 그 후에, 상기 산화물 반도체층은 상기 산화물 반도체층으로 수분 및 수소의 혼입을 방지하기 위해 대기에 노출되지 않고 냉각되고, 그에 의해 산화물 반도체층(431)이 획득된다(도 8b).

[0144] 상기 열 처리 장치는 전기로에 제한되지 않고, 저항 발열체와 같은 발열체로부터 열전도 또는 열복사에 의해 대상을 가열하기 위한 장치가 구비될 수 있다. 예를 들면, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치와 같은 RTA(rapid thermal anneal) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광의 복사(전자파)에 의해 대상을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용하여 열 처리하는 장치이다. 상기 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 열 처리에 의해 대상과 반응하지 않는 불활성 가스가 이용된다.

[0145] 예를 들면, 상기 제 1 열 처리로서, GRTA가 다음과 같이 수행될 수 있다: 상기 기판이 650°C 내지 700°C의 고온으로 가열된 불활성 가스로 충전된 챔버에 이동되고, 수 분 동안 가열되고, 상기 불활성 가스로부터 축출된다.

GRTA로, 단시간 동안 고온 열 처리가 달성될 수 있다.

[0146] 상기 제 1 열 처리에서, 수분, 수소 등이 질소 또는 헬륨, 네온 또는 아르곤과 같은 희가스에 함유되지 않는 것이 바람직하다. 대안적으로, 상기 열 처리 장치에 도입되는 질소 또는 헬륨, 네온 또는 아르곤과 같은 희가스의 순도는 6N(99.9999%) 이상이고, 더욱 바람직하게는 7N(99.99999%) 이상이다(즉, 불순물들의 농도는 1ppm 이하, 더욱 바람직하게는 0.1ppm 이하이다).

[0147] 상기 제 1 열 처리는 상기 섬형 산화물 반도체층으로 가공되기 전의 상기 산화물 반도체막(430)에 대해 수행될 수 있다. 그 경우, 상기 제 1 열 처리 후, 상기 기판은 상기 열 처리 장치로부터 추출되고, 그 후에 상기 제 2 포토리소그래피 공정이 수행된다.

[0148] 상기 산화물 반도체층의 탈수화 또는 탈수소화를 위한 상기 제 1 열 처리는 다음의 타이밍들 중 어느 것에서 수행될 수 있다: 상기 산화물 반도체층이 수행된 후; 및 상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층이 형성된 후.

[0149] 개구부가 상기 게이트 절연층(402)에 형성되는 경우, 상기 개구부는 상기 산화물 반도체막(430)의 탈수화 또는 탈수소화 전 또는 후에 상기 게이트 절연층(402)에서 형성될 수 있다.

[0150] 이 실시예에서 상기 산화물 반도체막(430)의 에칭은 습식 에칭에 제한되지 않는다; 건식 에칭이 이용될 수 있다.

[0151] 상기 건식 에칭을 위한 에칭 가스로서, 염소를 함유한 가스(염소(Cl<sub>2</sub>), 삼염화 봉소(BCl<sub>3</sub>), 사염화 실리콘(SiCl<sub>4</sub>), 또는 사염화 탄소(CCl<sub>4</sub>)와 같은 염소계 가스)가 이용되는 것이 바람직하다.

[0152] 대안적으로, 플루오르를 함유한 가스(4불화 탄소(CF<sub>4</sub>), 육불화황(SF<sub>6</sub>), 삼불화 질소(NF<sub>3</sub>), 또는 트리플루오로메탄(CHF<sub>3</sub>)과 같은 플루오르-계 가스); 브롬화 수소(HBr); 산소(O<sub>2</sub>); 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가되는 이들 가스들 중 어느 하나; 등이 상기 건식 에칭을 위한 상기 에칭 가스로서 이용될 수 있다.

[0153] 상기 건식 에칭 방법으로서, 평행평판형 RIE(reactive ion etching) 방법 또는 ICP(inductively coupled plasma) 에칭 방법이 이용될 수 있다. 적합한 형상들로 에칭하기 위해, 에칭 조건들(전극 코일에 인가된 전력, 기판측 상의 전극에 인가된 전력, 상기 기판측 상의 전극의 온도 등)이 적합하게 조정된다.

[0154] 상기 습식 에칭에 이용된 에칠티로서, 인산, 아세트산, 및 질산의 혼합 용액 등이 이용될 수 있다. ITO07N(KANTO CHEMICAL CO., INC.에 의해 생산됨)도 마찬가지로 이용될 수 있다.

[0155] 상기 습식 에칭 후의 상기 에칠티는 세정에 의해 에칭된 재료들과 함께 제거된다. 상기 에칠티 및 에칭된 재료를 포함한 폐액이 정제될 수 있고, 상기 에칭된 재료에 함유된 임의의 재료가 재사용될 수 있다. 예를 들면, 상기 산화물 반도체층에 포함된 인듐이 상기 에칭후 폐액에서 수집되어 재사용됨에 따라, 자원들이 효율적으로 이용될 수 있고 비용이 감소될 수 있다.

[0156] 또한, 상기 습식 에칭에서, 적합한 형상으로 에칭하기 위해, 에칭 조건들(에칠티, 에칭 시간 및 온도와 같이)은 상기 재료에 의존하여 적합하게 조정된다.

[0157] 다음에, 금속 도전막이 상기 게이트 절연층(402) 및 상기 산화물 반도체층(431) 위에 형성된다. 예를 들면, 금속 도전막은 스퍼터링법 또는 진공 증착법에 의해 형성될 수 있다. 상기 금속 도전막의 재료로서, 알루미늄(Al), 크롬(Cr), 구리(Cu), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 및 텉스텐(W)으로부터 선택된 원소, 상기 원소들 중 어느 것을 성분으로 함유한 합금, 상기 원소들을 조합한 합금 등을 이용하는 것이 가능하다. 대안적으로, 망간(Mn), 마그네슘(Mg), 지르코늄(Zr), 베릴륨(Be), 및 이트륨(Y)로부터 선택된 하나 이상의 재료들이 이용될 수 있다. 또한 상기 금속 도전막은 단일층 구조 또는 2개 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 상기 금속 도전막의 예들로서, 다음이 주어질 수 있다: 실리콘을 함유한 알루미늄막의 단일층; 구리막 또는 구리를 주성분으로 함유한 막의 단일층; 티타늄막이 알루미늄막 상에 적층된 적층 구조; 구리막이 질화 탄탈막 상에 적층된 적층 구조; 알루미늄막이 티타늄막 상에 적층되고, 티타늄막이 알루미늄막 상에 적층된 적층 구조; 등. 대안적으로, 티타늄(Ti), 탄탈(Ta), 텉스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나 또는 복수의 원소들 및 알루미늄(Al)을 함유한 막, 합금막, 또는 질화막이 이용될 수 있다.

[0158] 상기 금속 도전막의 형성 후 상기 제 1 열 처리가 수행되는 경우에, 상기 금속 도전막이 상기 제 1 열 처리를

견디기에 충분한 내열성을 가지는 것이 바람직하다.

[0159] 다음에, 레지스트 마스크가 제 3 포토리소그래피 공정에 의해 상기 금속 도전막 위에 형성되고, 그 후에, 상기 금속 도전막은 상기 레지스트 마스크를 이용하여 에칭되어, 소스 전극층(415a) 및 드레인 전극층(415b)이 형성된다. 그 후에, 상기 레지스트 마스크가 제거된다(도 8c 참조).

[0160] 재료들 및 에칭 조건들이 적합하게 조정되어, 상기 산화물 반도체층(431)은 상기 금속 도전막의 상기 에칭에 의해 제거되지 않는다.

[0161] 이 실시예에서, 티타늄막이 상기 금속 도전막으로서 이용되고, In-Ga-Zn-O-계 산화물 반도체층이 상기 산화물 반도체층(431)으로서 이용되고, 암모니아 과산화수소 용액(암모니아, 물, 및 과산화 수소 용액의 혼합)이 상기 티타늄막의 에션트로서 이용된다.

[0162] 상기 제 3 포토리소그래피 공정은 또한 상기 산화물 반도체층(431)의 일부를 에칭할 수 있어서, 홈부(오목부)가 상기 산화물 반도체층에 형성된다. 이 단계에서 이용된 상기 레지스트 마스크는 잉크젯법에 의해 형성될 수 있다. 잉크젯법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않는다; 따라서, 제조 비용이 감소될 수 있다.

[0163] 포토마스크들의 수 및 상기 포토리소그래피 공정에서의 단계들의 수를 감소시키기 위해, 상기 에칭은 복수의 세기들을 가지기 위해 광이 투과되는 포토마스크인 멀티-톤 마스크를 이용하여 형성된 레지스트 마스크를 이용하여 수행될 수 있다. 멀티-톤 마스크를 이용하여 형성된 상기 레지스트 마스크가 복수의 두께들을 가지고, 또한 애싱(ashing)에 의해 형상이 변경될 수 있기 때문에, 상기 레지스트 마스크는 상이한 패턴들을 형성하기 위해 복수의 에칭 단계들에서 이용될 수 있다. 따라서, 적어도 2 종류의 상이한 패턴들에 대응하는 레지스트 마스크가 하나의 멀티-톤 마스크에 의해 형성될 수 있다. 따라서, 포토마스크들의 수가 감소될 수 있고, 이것은 제조 공정의 간략화를 유발한다.

[0164] 다음에, 아산화질소(N<sub>2</sub>O), 질소(N<sub>2</sub>) 또는 아르곤(Ar)의 가스를 이용한 플라즈마 처리가 수행된다. 이 플라즈마 처리에 의해, 상기 산화물 반도체층의 노출된 표면에 부착된 흡수된 수분 등이 제거된다. 플라즈마 처리는 마찬가지로 산소와 아르곤의 혼합 가스를 이용하여 수행될 수 있다.

[0165] 보호 절연막의 역할을 하고 상기 산화물 반도체층의 일부와 접촉하는 산화물 절연층(416)이 다음에 상기 플라즈마 처리 후에 대기애 노출되지 않고 형성된다.

[0166] 상기 산화물 절연층(416)은 스퍼터링법과 같이 상기 산화물 절연층(416)에 수분 또는 수소와 같은 불순물들이 혼입되지 않는 방법에 의해 적합하게 적어도 1nm의 두께로 형성될 수 있다. 상기 산화물 절연층(416)에 함유된 수소가 상기 산화물 반도체층에 혼입되고, 이것은 기생 채널을 형성하기 위해 상기 산화물 반도체층(431)의 백채널의 저항을 낮게 만든다(상기 백채널이 n형 도전성을 가지게 만든다). 따라서, 가능한 수소를 적게 함유하는 상기 산화물 절연층(416)을 형성하기 위해 수소가 이용되지 않는 형성 방법이 채용되는 것이 중요하다.

[0167] 이 실시예에서, 200nm 두께의 산화 실리콘막이 스퍼터링법에 의해 상기 산화물 절연층(416)으로서 형성된다. 상기 막 형성의 상기 기판 온도는 실내 온도 이상 300°C 이하일 수 있고, 이 실시예에서는 100°C이다. 스퍼터링법에 의한 산화 실리콘막의 상기 형성은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로, 아르곤)과 산소의 분위기에서 수행될 수 있다. 실리콘 산화물 타겟 또는 실리콘 타겟이 타겟으로서 이용될 수 있다. 예를 들면, 상기 산화 실리콘막이 산소와 질소를 함유한 분위기에서 스퍼터링법에 의해 실리콘 타겟을 이용하여 형성될 수 있다.

[0168] 다음에, 제 2 열 처리(바람직하게 200°C 이상 400°C 이하의 온도, 예를 들면, 250°C 이상 350°C 이하의 온도)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 예를 들면, 제 2 열 처리는 250°C로 1시간 동안 질소 분위기에서 수행된다. 상기 제 2 열 처리를 통해, 상기 산화물 반도체층의 일부(채널 형성 영역)가 상기 산화물 절연층(416)과 접촉되는 동안 가열된다. 따라서, 산소가 상기 산화물 반도체층(431)의 상기 일부(상기 채널 형성 영역)에 제공된다.

[0169] 상술된 바와 같이, 상기 산화물 반도체층에는 탈수화 또는 탈수소화를 위한 상기 제 2 열 처리가 수행되고, 그에 의해 상기 산화물 반도체층의 상기 일부(채널 형성 영역)가 선택적으로 산소-파인 상태가 된다. 결과적으로, 상기 게이트 전극층(411)과 중첩하는 채널 형성 영역(413)은 i-형이 되고, 전기 저항이 상기 채널 형성 영역(413)의 것보다 낮고 상기 소스 전극층(415a)과 중첩하는 저저항 영역(414a) 및 전기 저항이 상기 채널 형성 영역(413)의 것보다 낮고 상기 드레인 전극층(415b)과 중첩하는 저저항 영역(414b)이 자체-정렬 방식으로 형성된다.

다. 상술된 공정을 통해, 트랜지스터(410)가 형성된다.

[0170] 예를 들면, 12시간 동안  $2 \times 10^6 \text{V/cm}$ 으로 85°C에서의 게이트 바이어스-온도 변형 시험(BT 시험)으로, 산화물 반도체층에 함유된 불순물은 다음의 현상을 유발한다: 상기 불순물과 상기 산화물 반도체층의 주성분 사이의 결합(bond)이 고전계(B: 바이어스)와 고온(T: 온도)에 의해 쪼개어지고, 생성된 미결합(dangling bond)이 임계 전압(Vth)의 드리프트를 유발한다. 한편, 상기 산화물 반도체층에서의 불순물들, 특히 수소 또는 수분이 가능한 많이 제거되고 조밀하고 높은 절연 내력 전압을 가진 고품질 게이트 절연층이 상기 게이트 절연층과 상기 산화물 반도체층 사이에 높은 계면 속성을 제공하기 위해 상술된 고밀도 플라즈마 CVD를 이용하여 형성되는 경우, 상기 BT 시험하에서도 안정한 트랜지스터가 제공될 수 있다.

[0171] 상기 제 2 열 처리 후, 대기에서 100°C 이상 200°C 이하의 온도로 1시간 이상 30시간 이하 동안 열 처리가 더 수행될 수 있다. 이 실시예에서, 상기 열처리는 150°C로 10시간 동안 수행된다. 이 열 처리는 고정된 온도로 수행될 수 있다. 대안적으로, 상기 가열 온도에서 다음의 변화들이 복수 번 반복될 수 있다: 상기 가열 온도는 실내 온도에서 100°C 이상 200°C 이하로 증가되고, 다시 실내 온도로 감소된다. 이 열 처리는 감압하에서 수행될 수 있다. 상기 감압 하에서, 상기 열 처리 시간이 단축될 수 있다.

[0172] 상기 드레인 전극층(415b)과 중첩하도록 상기 산화물 반도체층에서의 상기 저저항 영역(414b)의 상기 형성은 상기 트랜지스터의 신뢰도를 개선할 수 있다. 특히, 상기 저저항 영역(414b)의 상기 형성에 의해, 상기 트랜지스터의 도전성이 상기 저저항 드레인 영역(414b)을 통해 상기 드레인 전극층(415b)에서 상기 채널 형성 영역(413)으로 점차적으로 변할 수 있는 구조가 획득될 수 있다.

[0173] 상기 산화물 반도체층의 두께가 15nm 이하인 경우, 상기 산화물 반도체층에서의 상기 저저항 영역은 두께 방향으로 전체적으로 형성된다; 상기 산화물 반도체층의 두께가 30nm 이상 50nm 이하인 경우, 상기 소스 또는 드레인 전극층과 그리고 그 주변과 접촉하는 상기 산화물 반도체층의 일부는 저항이 낮아지는 상기 저저항 영역이 되도록 만들어지고, 상기 게이트 절연층에 가까운 상기 산화물 반도체층의 일부는 i-형이 되도록 만들어질 수 있다.

[0174] 보호 절연층이 상기 산화물 절연층(416) 위에 형성될 수 있다. 예를 들면, 질화 실리콘막이 RF 스퍼터링법에 의해 형성된다. 높은 질량 생산성을 달성하는 상기 RF 스퍼터링법은 상기 보호 절연층의 형성 방법으로서 바람직하다. 상기 보호 절연층은 습기, 수소 이온 또는  $\text{OH}^-$  이온과 같은 불순물들이 함유되지 않거나 가능한 적게 함유되는 층이다. 이들의 혼입을 방지하는 무기 절연막이 상기 보호 절연층으로서 형성될 수 있다. 무기 절연막으로서, 질화 실리콘막, 질화 알루미늄막, 질화산화 실리콘막, 산화질화 알루미늄막 등이 이용될 수 있다. 이 실시예에서, 질화 실리콘막이 보호 절연층(403)으로서 형성된다(도 8d 참조).

[0175] 이러한 방식으로, 상기 실시예의 상기 액정 표시 장치에 포함되는 상기 트랜지스터가 제조될 수 있다. 본 발명의 일 실시예는 상기 트랜지스터에 제한되지 않는다; 복수의 채널 형성 영역들을 가진 멀티-게이트 트랜지스터가 상기 실시예의 상기 액정 표시 장치에 포함되는 상기 트랜지스터로서 적합하게 이용될 수 있다. 탑-게이트형 트랜지스터가 마찬가지로, 상기 실시예의 상기 액정 표시 장치에 포함되는 상기 트랜지스터로서 이용될 수 있다. 채널-에칭형 트랜지스터, 채널-스톱형 트랜지스터, 보텀-컨택트형 트랜지스터 등도 또한 상기 실시예의 상기 액정 표시 장치에 포함되는 상기 트랜지스터로서 이용될 수 있다.

[0176] 이 실시예는 다른 실시예들 중 어느 것과 적합하게 조합될 수 있거나 대체될 수 있다.

[0177] (실시예 4)

[0178] 실시예 4에서, 상기 실시예에 기술된 상기 액정 표시 장치의 예의 외면 및 단면이 도 9a 내지 도 9c를 이용하여 기술될 것이다. 도 9a 내지 도 9c는 이 실시예의 상기 액정 표시 장치의 예들을 도시한다; 도 9a 및 도 9c는 평면도들이고, 도 9b는 도 9a 또는 도 9c에서 라인 M-N에 따른 단면도이다.

[0179] 도 9a 내지 도 9c에 도시된 상기 액정 표시 장치에서, 씰제(4005)가 제 1 기판(4001) 위에 제공되는 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 제공된다. 또한, 제 2 기판(4006)이 상기 화소부(4002)와 상기 주사선 구동 회로(4004) 위에 제공된다. 따라서, 액정층(4008) 외에도 상기 화소부(4002)와 상기 주사선 구동 회로(4004)는 상기 제 1 기판(4001)과 상기 제 2 기판(4006) 사이에서 씰제(4005)로 밀봉된다. 또한, 도 9a 내지 도 9c에 도시된 상기 액정 표시 장치에서, 단결정 반도체막 또는 다결정 반도체막을 이용하여 다른 기판 위에 형성되는 신호선 구동 회로(4003)는 상기 제 1 기판(4001) 위에서 상기 씰제(4005)에 의해 둘러싸인 영역과 상이한 영역에 장착된다.

- [0180] 별도로 형성되는 구동 회로의 상기 접속 방법에 관한 특정 제약이 없다; COG법, 와이어 본딩법, TAB법 등이 이 용될 수 있다. 도 9a는 상기 신호선 구동 회로(4003)가 COG법에 의해 장착되는 예를 도시하고, 도 9c는 상기 신호선 구동 회로(4003)가 TAB법에 의해 장착되는 예를 도시한다.
- [0181] 상기 제 1 기판(4001) 위에 제공되는 상기 화소부(4002) 및 상기 주사선 구동 회로(4004)의 각각은 복수의 트랜지스터들을 포함한다. 도 9b에서, 상기 화소부(4002)에 포함된 트랜지스터(4010) 및 상기 주사선 구동 회로(4004)에 포함된 트랜지스터(4011)가 예로서 도시된다. 절연층들(4041, 4042, 4021)이 상기 트랜지스터들(4010, 4011) 위에 제공된다.
- [0182] 상기 트랜지스터들(4010, 4011) 중 어느 것으로서, 채널 형성층으로 기능하는 산화물 반도체층을 포함하는 트랜지스터가 상기 실시예의 상기 액정 표시 장치와 같이 이용될 수 있다; 예를 들면, 실시예 3에 기술된 상기 트랜지스터가 이용될 수 있다.
- [0183] 상기 트랜지스터(4010)는 게이트 전극층(4051), 상기 게이트 전극층(4051) 위에 제공된 게이트 절연층(4020), 상기 게이트 절연층(4020)을 사이에 제공하여 상기 게이트 전극층(4051) 위에 제공된 산화물 반도체층(4052), 및 상기 산화물 반도체층(4052) 위에 제공된 소스 전극층(4053) 및 드레인 전극층(4054)을 포함한다.
- [0184] 상기 트랜지스터(4011)는 게이트 전극층(4061), 상기 게이트 전극층(4061) 위에 제공된 상기 게이트 절연층(4020), 상기 게이트 절연층(4020)을 사이에 제공하여 상기 게이트 전극층(4061) 위에 제공된 산화물 반도체층(4062), 및 상기 산화물 반도체층(4062) 위에 제공된 소스 전극층(4063) 및 드레인 전극층(4064)을 포함한다.
- [0185] 상기 트랜지스터(4011)에서 상기 산화물 반도체층(4062)의 채널 형성 영역과 중첩하도록 도전층(4040)이 상기 절연층(4021) 위에 제공된다. 상기 산화물 반도체층(4062)의 상기 채널 형성 영역과 중첩하도록 상기 도전층(4040)의 상기 제공은 상기 트랜지스터(4011)의 임계 전압의 시프트량을 외부 응력에 의해 감소시킬 수 있다. 상기 도전층(4040)은 상기 트랜지스터(4011)의 상기 게이트 전극층(4061)의 전압과 동일한 전압을 가지거나 또는 상이한 전압을 가질 수 있고, 제 2 게이트 전극층으로서 기능할 수 있다. 상기 도전층(4040)의 상기 전압은 GND 또는 0V일 수 있거나, 또는 상기 도전층(4040)은 플로팅 상태에 있을 수 있다. 상기 도전층(4040)은 반드시 제공될 필요는 없다.
- [0186] 화소 전극층(4030)은 상기 트랜지스터(4010)의 상기 소스 전극층(4053) 또는 상기 드레인 전극층(4054)에 상기 절연층들(4041, 4042 및 4021)의 개구부를 통해 전기적으로 접속되도록 제공된다. 대향 전극층(4031)이 상기 제 2 기판(4006)에 제공된다. 상기 화소 전극층(4030), 상기 대향 전극층(4031), 및 상기 액정층(4008)이 서로 중첩하는 부분은 액정 소자(4013)에 대응한다. 상기 화소 전극층(4030) 및 상기 대향 전극층(4031)에는, 배향막들로서 각각 역할을 하는 절연층(4032) 및 절연층(4033)이 제공되고, 상기 액정층(4008)이 상기 절연층들(4032, 4033)을 사이에 제공하여 상기 화소 전극층(4030)과 상기 대향 전극층(4031) 사이에 끼워진다.
- [0187] 투광성 기판이 상기 제 1 기판(4001) 및 상기 제 2 기판(4006) 중 어느 하나로서 이용될 수 있다; 유리, 세라믹 또는 플라스틱들이 이용될 수 있다. 상기 플라스틱들로서, FRP(fiberglass-reinforced plastic)판, 폴리(비닐 폴루오라이드)(PVF)막, 폴리에스테르막, 또는 아크릴계 수지막이 이용될 수 있다.
- [0188] 상기 절연층들(4032, 4033) 사이에 스페이서(4035)가 제공된다. 상기 스페이서(4035)는 절연막의 선택적인 예칭에 의해 획득되는 주상 격벽이고, 상기 화소 전극층(4030)과 상기 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 제공된다. 구형 스페이서도 상기 스페이서(4035)로서 이용될 수 있다.
- [0189] 상기 대향 전극층(4031)은 상기 트랜지스터(4010)와 동일한 기판 위에 제공되는 공통 전압선에 전기적으로 접속된다. 상기 공통 전압선과의 접속부(또한 공통 접속부라고도 칭해짐)를 이용하여, 상기 대향 전극층(4031)은 기판들의 쌍 사이에 배열된 도전 입자들을 통해 상기 공통 전압선에 전기적으로 접속될 수 있다.
- [0190] 상기 셀제(4005)는 도전 입자들을 포함한다.
- [0191] 이 실시예의 상기 액정 표시 장치에서, 배향막이 요구되지 않는 블루 상(blue phase)을 나타내는 액정이 상기 액정층(4008)의 액정 재료로서 사용될 수 있다. 상기 블루 상은 콜레스테릭 액정의 온도가 증가하는 동안 콜레스테릭 상이 등방성 상으로 변하기 직전에 나타나는 상기 액정 상들 중 하나이다. 상기 블루 상이 좁은 범위의 온도들 내에서만 나타나기 때문에, 5wt% 이상의 키랄제를 함유한 액정 조성물이 상기 온도 범위를 넓히기 위해 상기 액정층(4008)에 이용된다. 키랄제 및 블루 상을 보여주는 액정을 포함하는 상기 액정 조성물은 1msec 이하의 짧은 응답 시간을 가지고 배향 공정을 불필요하게 하는 광학적 등방성을 가지고, 시야각 의존도가 작다. 또한, 배향막이 제공될 필요가 없고 러빙 처리도 또한 불필요하기 때문에, 상기 러빙 처리에 의해 유발되는 정전

방전 손상이 방지될 수 있고, 상기 제작 공정에서 상기 액정 표시 장치의 결함들 및 손상이 감소될 수 있다. 따라서, 상기 액정 표시 장치의 생산성이 증가될 수 있다. 산화물 반도체층을 포함하는 트랜지스터는 특히, 상기 트랜지스터의 전기 특성들이 정전기에 의해 상당히 변동할 수 있고 설계 범위를 벗어날 수 있는 가능성을 가진다. 따라서, 산화물 반도체층을 포함하는 트랜지스터를 포함하는 상기 액정 표시 장치에 대한 블루 상을 나타내는 액정 재료를 이용하는 것이 더욱 효과적이다.

[0192] 이 실시예의 상기 액정 표시 장치에서, 편광판이 상기 기판의 외측 상(뷰어측 상)에 제공될 수 있고, 착색층 및 표시 소자에 이용되는 전극층이 상기 기판의 내측 상에 순차적으로 제공될 수 있다; 대안적으로, 상기 편광판은 상기 기판의 상기 내면 상에 제공될 수 있다. 상기 편광판 및 착색층의 적층 구조는 상기 편광판 및 상기 착색층의 재료들 및 제조 공정의 조건들에 따라 적합하게 설정될 수 있다. 또한, 블랙 매트릭스의 역할을 하는 차광층이 상기 표시부 이외의 부분에 제공될 수 있다.

[0193] 상기 절연층(4041)은 상기 산화물 반도체층들(4052, 4062)의 일부들과 접촉한다. 산화 실리콘층이 예를 들면 상기 절연층(4041)으로서 이용될 수 있다.

[0194] 상기 절연층(4042)은 상기 절연층(4041) 상에 이와 접촉하여 제공된다. 질화 실리콘층은 예를 들면 상기 절연층(4042)으로서 이용될 수 있다.

[0195] 상기 절연층(4021)은 상기 절연층(4042) 위에 제공된다. 상기 절연층(4021)은 상기 트랜지스터의 표면의 거칠기 감소시키기 위한 평탄화 절연층으로 기능한다. 폴리아미드, 아크릴 수지, 벤조사이클로부텐계 수지, 폴리아미드 또는 에폭시 수지와 같이 내열성을 가진 유기 재료가 상기 절연층(4021)에 이용될 수 있다. 이러한 유기 재료들 외에도, 또한, 저유전율 상수 재료(저-k 재료), 실록산-계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용하는 것도 가능하다. 상기 절연층(4021)은 이들 재료들로 이루어진 복수의 절연막들을 적층하여 형성될 수 있다.

[0196] 상기 절연층(4021)의 상기 형성 방법에 관한 특정 제약은 없다. 상기 재료들에 의존하여, 다음의 방법이 이용될 수 있다: 스퍼터링법, SOG법, 스판 코팅법, 디핑법, 스프레이 코팅법, 또는 액적 토출법(예를 들면, 잉크-젯법, 스크린 인쇄법, 또는 오프셋 인쇄법).

[0197] 상기 화소 전극층(4030) 및 상기 대향 전극층(4031)이, 인듐 주석 산화물(ITO), 산화 아연(ZnO)이 인듐 산화물에 혼합된 인듐 아연 산화물(IZO), 산화 실리콘(SiO<sub>2</sub>)이 인듐 산화물에 혼합된 도전 재료, 산화 인듐, 산화 주석, 산화 텉스텐을 함유한 인듐 산화물, 산화 텉스텐을 함유한 인듐 아연 산화물, 산화 티타늄을 함유한 인듐 산화물, 산화 티타늄을 함유한 인듐 주석 산화물 등과 같은 투광성 도전 재료를 이용하여 형성될 수 있다. 투광성이 각각의 액정 표시 장치에서 요구되지 않는 경우, 텉스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 플래티늄(Pt), 알루미늄(Al), 구리(Cu) 및 은(Ag)과 같은 금속들; 이들 금속들의 합금; 및 이들 금속들의 질화물들로부터 선택된 하나 이상의 재료들이 이용될 수 있다.

[0198] 도전성 고분자(또한 도전성 폴리머라고도 칭해짐)를 함유한 도전성 조성물이 상기 화소 전극층(4030) 및 상기 대향 전극층(4031)에 이용될 수 있다. 상기 도전성 조성물을 이용하여 형성된 상기 전극층은 10000 Ω/square 이하의 시트 저항 및 550nm의 파장에서 70% 이상의 투과율을 가지는 것이 바람직하다. 또한, 상기 도전성 조성물에 함유된 상기 도전성 고분자의 저항은 0.1Ω · cm 이하인 것이 바람직하다.

[0199] 상기 도전성 고분자로서, 소위 π-전자 공역계 도전성 중합체가 이용될 수 있다. 그 예들은 폴리아닐린 또는 그 유도체, 폴리피를 또는 그 유도체, 폴리티오펜 또는 그 유도체, 및 이들 재료들의 모노머들의 2개 이상의 종류의 공중합체이다.

[0200] 또한, 다양한 신호들 및 전압들이 FPC(4018)로부터, 별도로 형성된 상기 신호선 구동 회로(4003), 상기 주사선 구동 회로(4004), 또는 화소부(4002)로 공급된다. 상기 FPC(4018)는 접속 단자 전극(4015) 및 이방성 도전막(4019)을 통해 단자 전극(4016)에 전기적으로 접속된다.

[0201] 상기 접속 단자 전극(4015)은 상기 액정 소자(4013)의 상기 화소 전극층(4030)과 동일한 도전막을 이용하여 형성되고, 상기 단자 전극(4016)이 상기 트랜지스터(4010)의 상기 소스 전극층(4053) 또는 상기 드레인 전극층(4054)과 동일한 도전막을 이용하여 형성된다.

[0202] 도 9a 내지 도 9c가 상기 신호선 구동 회로(4003)가 별도로 형성되어 상기 제 1 기판(4001) 상에 장착되는 예를 도시하지만, 본 발명의 일 실시예는 이 구조에 제한되지 않는다. 상기 주사선 구동 회로가 별도로 형성된 후 장

착될 수 있거나, 또는 상기 신호선 구동 회로의 일부 또는 상기 주사선 구동 회로의 일부만이 별도로 형성된 후에 장착될 수 있다.

[0203] 또한, 블랙 매트릭스(광-차폐층); 편광 부재, 지연 부재, 또는 반사 방지 부재와 같은 광학 부재(광학 기판) 등이 도 9a 내지 도 9c 중 어느 것에 도시된 상기 액정 표시 장치에 적합하게 제공될 수 있다. 예를 들면, 편광 기판 및 지연 기판을 상기 광학 부재로 이용하여 원형 편광이 획득될 수 있다. 또한, 백라이트, 사이드 라이트 등이 광원으로서 이용될 수 있다.

[0204] 액티브 매트릭스형 액정 표시 장치에서, 표시 패턴들이 매트릭스로 배열된 화소 전극층들을 구동함으로써 스크린 상에 형성된다. 특히, 선택된 화소 전극층과 상기 화소 전극층에 대응하는 대향 전극층 사이에 전압이 인가되고, 따라서, 상기 화소 전극층과 상기 대향 전극층 사이에 배치된 액정층이 광학적으로 변조된다. 이 광학 변조는 뷰어에 의해 표시 패턴으로서 인식된다.

[0205] 또한 대안적으로, 액정 표시 장치의 동화상 특성들을 개선하기 위해, 복수의 LED(light-emitting diode) 광원들 또는 복수의 EL 광원들이 백라이트로서 표면 광원을 형성하기 위해 이용되고, 상기 표면 광원의 각각의 광원이 일 프레임 기간에서 펄스형 방식으로 독립적으로 구동되는 구동 기술이 이용될 수 있다. 상기 표면 광원으로서, 3개 이상의 종류의 LED들이 이용될 수 있고, 백색광을 방출하는 LED가 이용될 수 있다. 복수의 LED들이 독립적으로 제어될 수 있기 때문에, LED들의 발광 타이밍은 액정층이 광학적으로 변조되는 타이밍과 동기될 수 있다. 이 구동 기술에 따라, LED들의 일부가 턴 오프될 수 있어서, 특히, 일 스크린에서 흑색 화상 영역의 비율이 높은 화상을 표시하는 경우에, 전력 소비가 감소될 수 있다.

[0206] 이러한 구동 기술을 조합함으로써, 상기 실시예에 기술된 상기 액정 표시 장치의 상기 표시 특성들이 개선될 수 있다.

[0207] 상기 트랜지스터가 정전기 등으로 인해 쉽게 파손되기 때문에, 보호 회로가 상기 화소부 및 상기 구동 회로부와 동일한 기판 위에 제공되는 것이 바람직하다. 상기 보호 회로는 산화물 반도체층을 포함하는 비선형 소자를 이용하여 형성되는 것이 바람직하다. 예를 들면, 보호 회로들은 상기 화소부와 주사선 입력 단자 사이 및 상기 화소부와 신호선 입력 단자 사이에 제공된다. 이 실시예에서, 복수의 보호 회로들이 제공되어, 상기 화소 등에서의 상기 트랜지스터가, 정전기 등으로 인한 서지 전압이 주사선, 신호선, 커패시터 버스선에 인가될 때 파손되지 않는다. 따라서, 상기 보호 회로는 서지 전압이 상기 보호 회로에 인가될 때 공통 배선에 전하가 방출되도록 형성된다. 또한, 상기 보호 회로는 상기 주사선에 병렬로 배열되는 비선형 소자를 포함한다. 상기 비선형 소자는 다이오드와 같은 2단자 소자 또는 트랜지스터와 같은 3단자 소자를 포함한다. 예를 들면, 상기 비선형 소자는 상기 화소부에서 상기 트랜지스터와 동일한 공정을 통해 형성될 수 있다. 예를 들면, 상기 비선형 소자의 드레인에 게이트를 접속함으로써 다이오드의 특성들과 유사한 특성들이 획득될 수 있다.

[0208] 본 발명의 상기 액정 표시 장치의 표시 모드로서, 다음이 이용될 수 있다: 트위스트 네마틱(TN) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등.

[0209] 이 실시예의 상기 액정 표시 장치의 상기 액정에 관한 특정 제약은 없다; TN 액정, OCB 액정, STN 액정, VA 액정, ECB 액정, GH 액정, 고분자 분산형 액정, 디스크오틱 액정(discotic liquid crystal) 등이 이용될 수 있다. 이들 중에서, 이 실시예의 상기 액정 표시 장치는 노멀리 블랙 액정 패널, 예를 들면 수직 정렬(AV) 모드를 이용하는 투과형 액정 표시 장치가 바람직하다. 일부 예들은 수직 정렬 모드로서 주어진다; 예를 들면, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASV 모드 등이 이용될 수 있다.

[0210] 이러한 방식으로, 이 실시예의 상기 액정 표시 장치의 상기 화소부에서 채널 형성층으로서 기능하는 산화물 반도체층을 포함하는 트랜지스터를 이용함으로써, 상기 표시 장치는 장시간 동안 정지 화상을 표시할 수 있다. 또한, 상기 구동 회로부는 정지 화상이 표시되는 기간 동안 동작을 중단할 수 있고, 그에 의해 전력 소비가 감소될 수 있다.

[0211] 이 실시예는 다른 실시예들 중 어느 것과 적합하게 조합될 수 있거나 대체될 수 있다.

[0212] (실시예 5)

[0213] 실시예 5에서, 터치 패널 기능이 추가된 액정 표시 장치가 상기 실시예에 기술된 상기 액정 표시 장치의 예로서

기술될 것이다.

[0214] 도 10a 및 도 10b는 이 실시예의 상기 액정 표시 장치의 구조예들을 도시한다.

[0215] 도 10a에 도시된 액정 표시 장치는 액정 표시 유닛(6601), 및 상기 액정 표시 유닛(6601)과 중첩하도록 제공된 터치 패널 유닛(6602)을 포함한다. 상기 액정 표시 유닛(6601) 및 상기 터치 패널 유닛(6602)은 하우징(케이스)(6603)과 서로 부착된다.

[0216] 상기 실시예에 기술된 상기 액정 표시 장치는 상기 액정 표시 유닛(6601)으로서 적용될 수 있다.

[0217] 상기 터치 패널 유닛(6602)으로서, 저항성 터치 패널, 표면 용량성 터치 패널, 프로젝션형 용량성 터치 패널 등이 적합하게 이용될 수 있다.

[0218] 도 10a에 도시된 바와 같이, 이 실시예의 상기 액정 표시 장치의 일례는 별로도 제조되는 액정 표시 유닛과 터치 패널 유닛이 서로 중첩하는 구조를 가진다. 이러한 구조로, 터치 패널 기능이 추가된 상기 액정 표시 장치의 제조 비용이 감소될 수 있다.

[0219] 도 10b에 도시된 액정 표시 장치(6604)는 표시부에 복수의 화소들(6605)을 포함하고, 각각의 화소(6605)은 포토센서(6606) 및 액정 소자(6607)를 포함한다. 도 10b에 도시된 상기 도시된 액정 표시 장치(6604)는 다음과 같이 데이터를 판독한다: 판독될 오브젝트 데이터(예를 들면, 손가락 또는 펜)가 상기 화소(6605)에서의 포토센서(6606)를 터치하거나 가까워지도록 이동되고, 상기 오브젝트로부터 반사된 광에 따라 상기 포토센서(6606)로 광전류가 생성된다. 도 10b에 도시된 액정 표시 장치(6604)는 도 10a에 도시된 상기 액정 표시 장치와 달리, 상기 터치 패널 유닛(6602)의 중첩을 관련시키지 않아서, 상기 액정 표시 장치의 두께가 감소될 수 있다. 또한, 상기 화소부(6605) 외에도, 주사선 구동 회로(6608), 신호선 구동 회로(6609), 및 포토센서 구동 회로(6610)가 상기 화소부(6605)와 동일한 기판 위에 형성될 수 있고, 그에 의해 상기 액정 표시 장치가 소형화될 수 있다. 포토센서(6606)는 비정질 실리콘 등을 이용하여 형성될 수 있고 산화물 반도체를 포함하는 트랜지스터와 중첩될 수 있다.

[0220] 이 실시예의 터치 패널 기능이 추가된 상기 액정 표시 장치에서 채널 형성층으로서 기능하는 산화물 반도체층을 포함하는 트랜지스터를 이용함으로써, 상기 표시 장치는 장시간 동안 정지 화상을 표시할 수 있다. 또한, 상기 구동 회로부는 정지 화상이 표시되는 기간 동안 동작을 중단할 수 있고, 그에 의해 전력 소비가 감소될 수 있다.

[0221] 이 실시예는 다른 실시예들 중 어느 것과 적합하게 조합될 수 있거나 대체될 수 있다.

[0222] (실시예 6)

[0223] 실시예 6에서, 전자 서적이 상기 실시예에 기술된 상기 액정 표시 장치의 예로서 기술될 것이다.

[0224] 이 실시예의 전자 서적은 도 11을 이용하여 하기에 기술된다. 도 11은 이 실시예의 상기 전자 서적의 예를 도시한다.

[0225] 도 11에 도시된 상기 전자 서적은 2개의 하우징, 하우징(2701) 및 하우징(2703)을 포함한다. 상기 하우징들(2701, 2703)은 축부(2711)에 의해 접속되고 상기 축부(2711)로 개폐될 수 있다. 이러한 구조로, 상기 전자 서적은 종이 서적처럼 동작할 수 있다.

[0226] 표시부(2705) 및 표시부(2707)는 상기 하우징(2701) 및 상기 하우징(2703)에 각각 일체화된다. 상기 표시부(2705) 및 상기 표시부(2707)는 상이한 화상들을 표시할 수 있다. 일 화상은 상기 표시부들 둘다에 걸쳐 표시될 수 있다. 상이한 화상들을 표시하는 경우, 예를 들면, 우측 상의 표시부(도 11에서 상기 표시부(2705)) 상에는 텍스트가 표시될 수 있고, 좌측 상의 표시부(도 211에서 표시부(2707)) 상에는 그래픽들이 표시될 수 있다.

[0227] 도 11에 도시된 상기 전자 서적의 예에는 상기 하우징(2701)에 대한 조작부 등이 구비된다. 예를 들면, 상기 하우징(2701)에는 전력 스위치(2721), 조작 키(2723), 스피커(2725) 등이 구비된다. 상기 조작 키(2723)로, 페이지들이 넘겨질 수 있다. 또한, 키보드, 포인팅 디바이스 등도 또한 상기 하우징의 상기 표시부와 동일한 면 상에 제공될 수 있다. 또한, 외부 접속 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블과 같은 다양한 케이블들에 접속될 수 있는 단자 등), 기록 매체 삽입부 등이 상기 하우징의 후면 또는 측면 상에 제공될 수 있다. 또한, 전자 사전의 기능이 도 11에 도시된 상기 전자 서적에 제공될 수 있다.

[0228] 이 실시예의 상기 전자 서적은 무선으로 데이터를 송수신할 수 있다. 무선 통신을 통해, 도서 데이터 등이 구매

될 수 있고, 전자 서적 서버로부터 다운로드될 수 있다.

[0229] 이 실시예의 상기 전자 서적은 태양 전지 셀을 포함하는 전원 회로, 상기 태양 전지 셀로부터 출력된 전압을 충전하기 위한 전력 저장 장치, 및 상기 전력 저장 장치에 충전된 전압을 회로들을 위한 각각의 전압들로 변환하기 위한 DC 변환기를 구비할 수 있다. 따라서, 외부 전원이 필요하지 않고, 따라서, 상기 전자 서적은 전원이 없는 장소에서도 장시간 이용될 수 있어서, 편의성이 개선될 수 있다. 전력 저장 장치로서, 예를 들면, 리튬 이온 보조 배터리, 리튬 이온 커패시터, 전기 이중층 커패시터, 레독스 커패시터 등 중 하나 이상이 이용될 수 있다. 예를 들면, 리튬 이온 보조 배터리 및 리튬 이온 커패시터가 함께 이용되고, 그에 의해 고속으로 충전 또는 방전할 수 있고 장시간 동안 전력을 공급할 수 있는 전력 저장 장치가 형성될 수 있다. 상기 리튬 이온 보조 배터리에 대한 상기 전력 저장 장치의 제약은 없다. 상기 전력 저장 장치에 대해, 다른 알칼리 금속 이온, 알칼리 토류 금속 이온 등이 모바일 이온으로서 이용되는 보조 배터리가 이용될 수 있다. 상기 리튬 이온 커패시터에 대한 제약도 또한 없다. 상기 전력 저장 장치에 대해, 다른 알칼리 금속 이온, 알칼리 토류 금속 이온 등이 가동 이온으로서 이용되는 커패시터가 이용될 수 있다.

[0230] 이 실시예의 상기 전자 서적에서 채널 형성층으로서 기능하는 산화물 반도체층을 포함하는 트랜지스터를 이용함으로써, 상기 표시 장치는 장시간 동안 정지 화상을 표시할 수 있고, 이것은 전자 서적 상에 장시간 동안 정지 화상을 표시하는데 특히 효과적이다. 또한, 상기 구동 회로부는 정지 화상이 표시되는 기간 동안 동작을 중단할 수 있고, 그에 의해 전력 소비가 감소될 수 있다.

[0231] 이 실시예는 다른 실시예들 중 어느 것과 적합하게 조합될 수 있거나 대체될 수 있다.

[0232] (실시예 7)

[0233] 실시예 7에서, 상기 실시예에 기술된 상기 액정 표시 장치를 표시부에 구비하는 전자 장치가 기술될 것이다.

[0234] 상기 실시예에 기술된 상기 액정 표시 장치를 다양한 전자 장치들의 표시부들에 적용함으로써, 표시 기능 외에도 다양한 기능들이 상기 전자 장치들에 제공될 수 있다. 상기 실시예에 기술된 상기 액정 표시 장치가 적용되는 상기 전자 장치의 특정 예들이 도 12a 내지 도 12f를 이용하여 하기에 기술된다. 도 12a 내지 도 12f는 이 실시예의 전자 장치의 구조예를 각각 도시한다.

[0235] 도 12a는 휴대 정보 단말을 도시한다. 도 12a에 도시된 상기 휴대 정보 단말은 적어도 표시부(1001)를 구비한다. 도 12a에 도시된 상기 휴대 정보 단말은 터치 패널 등과 조합될 수 있고 다양한 사용자의 소지품들에 대한 대안으로서 이용될 수 있다. 예를 들면, 상기 표시부(1001)에는 조작부(1002)가 구비되어, 상기 휴대 정보 단말은 모바일 폰으로서 이용될 수 있다. 상기 조작부(1002)는 상기 표시부(1001)에 반드시 제공될 필요는 없다; 조작 버튼들/조작 기저부들은 상기 개인 휴대 정보 단말의 어디든지 제공될 수 있다. 또한, 상기 개인 휴대 정보 단말은 문서 입력-출력 기능을 이용함으로써 노트패드로서 이용될 수 있거나 휴대용 스캐너로서 이용될 수 있다. 또한, 상기 실시예에 기술된 상기 액정 표시 장치는 일-화상-데이터 기록에 의한 표시 기간이 길기 때문에 기록 동작들 사이에 긴 간격들을 실현할 수 있다. 따라서, 도 12a에 도시된 상기 개인 휴대 정보 단말에 대해 상기 실시예에 기술된 상기 액정 표시 장치를 이용함으로써, 예를 들면 화상들이 상기 표시부 상에 장시간 동안 보여질 수 있을 때에도 눈의 피로가 억제될 수 있다.

[0236] 도 12b는 예를 들면 자동 네비게이션 시스템을 포함하는 정보 안내 단말을 도시한다. 상기 도 12b에 도시된 상기 정보 안내 단말은 적어도 표시부(1101)를 구비하고, 또한 조작 버튼들(1102), 외부 입력 단자(1103) 등을 구비할 수 있다. 차량내 온도들이 외부 공기 온도에 따라 크게 변하고, 때때로 50°C를 초과한다. 상기 온도에 의한 특성 변화가 작은 상기 실시예에 기술된 상기 액정 표시 장치는, 차량의 내부와 같이 상기 온도가 크게 변하는 환경들 하에서 특히 효과적이다.

[0237] 도 12c는 랩탑 개인용 컴퓨터를 도시한다. 도 12c에 도시된 상기 랩탑 개인용 컴퓨터는 하우징(1201), 표시부(1202), 스피커(1203), LED 램프(1204), 포인팅 디바이스(1205), 접속 단자(1206), 및 키보드(1207)를 구비한다. 상기 실시예에 기술된 상기 액정 표시 장치는 일 화상-데이터 기록에 의한 표시부가 길기 때문에 기록 동작들 사이에 긴 간격들을 실현할 수 있다. 따라서, 도 12c에 도시된 상기 랩탑 개인용 컴퓨터에 대해 상기 실시예에 기술된 상기 액정 표시 장치를 이용함으로써, 예를 들면 화상들이 상기 표시부 상에 장시간 동안 보여질 수 있을 때에도 눈의 피로가 억제될 수 있다.

[0238] 도 12d는 휴대용 게임기를 도시한다. 도 12d에 도시된 상기 휴대용 게임기는 제 1 표시부(1301), 제 2 표시부(1302), 스피커(1303), 접속 단자(1304), LED 램프(1305), 마이크로폰(1306), 기록 매체 판독부(1307), 조작 버튼들(1308), 및 센서(1309)를 구비한다. 또한, 상기 실시예에 기술된 상기 액정 표시 장치는 일 화상-데이터

기록에 의한 표시부가 길기 때문에 기록 동작들 사이에 긴 간격들을 실현할 수 있다. 따라서, 도 12d에 도시된 상기 휴대용 게임기에 대해 상기 실시예에 기술된 상기 액정 표시 장치를 이용함으로써, 예를 들면 화상들이 상기 표시부 상에 장시간 동안 보여질 수 있을 때에도 눈의 피로가 억제될 수 있다. 또한, 상기 제 1 표시부(1301)와 상기 제 2 표시부(1302) 상에 상이한 화상들이 표시될 수 있다; 예를 들면, 이들 중 하나에 동화상이 표시되고, 다른 하나 상에 정지 화상이 표시된다. 따라서, 정지 화상이 표시되는 상기 표시부에 대한 상기 구동 회로부로의 신호 또는 전압 공급이 중단될 수 있고, 그에 의해 전력 소비가 감소될 수 있다.

[0239] 도 12e는 고정된 정보 통신 단말을 도시한다. 도 12e에 도시된 상기 고정된 정보 통신 단말은 적어도 표시부(1401)를 구비한다. 상기 표시부(1401)는 평면부(1402) 상에 제공될 수 있다. 또한, 조작 버튼들 등이 상기 평면부(1402)에 제공될 수 있다. 도 12e에 도시된 상기 고정된 정보 통신 단말은 현금 자동 인출기, 또는 티켓(쿠폰을 포함)과 같은 정보 상품들을 주문하기 위한 정보 통신 단말(또한 멀티미디어 스테이션이라고도 칭해짐)로서 이용될 수 있다. 상기 실시예에 기술된 상기 액정 표시 장치는 일 화상-데이터 기록에 의한 표시부가 길기 때문에 기록 동작들 사이에 긴 간격들을 실현할 수 있다. 따라서, 도 12e에 도시된 상기 고정된 정보 통신 단말에 대해 상기 실시예에 기술된 상기 액정 표시 장치를 이용함으로써, 예를 들면 화상들이 상기 표시부 상에 장시간 동안 보여질 수 있을 때에도 눈의 피로가 억제될 수 있다.

[0240] 도 12f는 디스플레이를 도시한다. 도 12f에 도시된 상기 디스플레이는 하우징(1501), 표시부(1502), 스피커(1503), LED 램프(1504), 조작 버튼들(1505), 접속 단자(1506), 센서(1507), 마이크로폰(1508), 및 지지대(1509)를 구비한다. 상기 실시예에 기술된 상기 액정 표시 장치는 일 화상-데이터 기록에 의한 표시부가 길기 때문에 기록 동작들 사이에 긴 간격들을 실현할 수 있다. 따라서, 도 12f에 도시된 상기 디스플레이에 대해 상기 실시예에 기술된 상기 액정 표시 장치를 이용함으로써, 예를 들면 화상들이 상기 표시부 상에 장시간 동안 보여질 수 있을 때에도 눈의 피로가 억제될 수 있다.

[0241] 상기 실시예에 기술된 상기 액정 표시 장치를 전자 장치들의 표시부들에 적용함으로써, 다기능 전자 장치들이 제공될 수 있다.

[0242] 이 실시예는 다른 실시예들 중 어느 것과 적합하게 조합될 수 있다.

[0243] 이 출원은 2009년 12월 18일 일본 특허청에 출원된 일본 특허 출원 일련 번호 제2009-288283호에 기초하며, 그 전체 내용들은 본 명세서에 참조로서 포함된다.

### 부호의 설명

[0244] 10 : 펄스 출력 회로 11, 12, 13, 14, 15, 17, 18 : 배선

21, 22, 23, 24, 25 : 입력 단자 26, 27 : 출력 단자

31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41 : 트랜지스터

51, 52 : 전원선 61, 62 : 기간

101 : 표시 패널 103 : 기억 회로

104 : 비교 회로 105 : 선택 회로

106 : 표시 제어 회로 107 : 구동 회로부

108 : 화소부 109A, 109B : 구동 회로

110 : 프레임 메모리 151 : 트랜지스터

152 : 액정 소자 153 : 커뮤니케이션 회로

154 : 신호선 155 : 주사선

156, 157 : 배선 201, 202 : 프레임 기간

211 : 기록 기간 212 : 표시 기간

231, 232 : 실선 400 : 기판

402 : 케이트 절연층 403 : 보호 절연층

410 : 트랜지스터	411 : 게이트 전극층
413 : 채널 형성 영역	414a : 저저항 영역
414b : 저저항 영역	415a : 소스 전극층
415b : 드레인 전극층	416 : 산화물 절연층
430 : 산화물 반도체막	431 : 산화물 반도체층
1001 : 표시부	1002 : 조작부
1101 : 표시부	1102 : 조작 버튼
1103 : 외부 입력 단자	1201 : 하우징
1202 : 표시부	1203 : 스피커
1204 : LED 램프	1205 : 포인팅 디바이스
1206 : 접속 단자	1207 : 키보드
1301, 1302 : 표시부	1303 : 스피커
1304 : 접속 단자	1305 : LED 램프
1306 : 마이크로폰	1307 : 기록 매체 판독부
1308 : 조작 버튼	1309 : 센서
1401 : 표시부	1402 : 평면부
1501 : 하우징	1502 : 표시부
1503 : 스피커	1504 : LED LAMP
1505 : 조작 버튼	1506 : 접속 단자
1507 : 센서	1508 : 마이크로폰
1509 : 지지대	2701, 2703 : 하우징
2705, 2707 : 표시부	2711 : 축부
2721 : 전력 스위치	2723 : 조작키
2725 : 스피커	4001 : 기판
4002 : 화소부	4003 : 신호선 구동 회로
4004 : 주사선 구동 회로	4005 : 씰체
4006 : 기판	4008 : 액정층
4010, 4011 : 트랜지스터	4013 : 액정 소자
4015 : 접속 단자 전극	4016 : 단자 전극
4018 : FPC	4019 : 이방성 도전막
4020 : 게이트 절연층	4021 : 절연층
4030 : 화소 전극층	4031 : 대향 전극층
4032, 4033 : 절연층	4035 : 스페이서
4040 : 도전층	4041, 4042 : 절연층
4051 : 게이트 전극층	4052 : 산화물 반도체층
4053 : 소스 전극층	4054 : 드레인 전극층

4061 : 게이트 전극층

4062 : 산화물 반도체층

4063 : 소스 전극층

4064 : 드레인 전극층

6505 : 화소

6601 : 액정 표시 유닛

6602 : 터치 패널 유닛

6603 : 하우징

6604 : 액정 표시 장치

6605 : 화소

6606 : 포토센서

6607 : 액정 소자

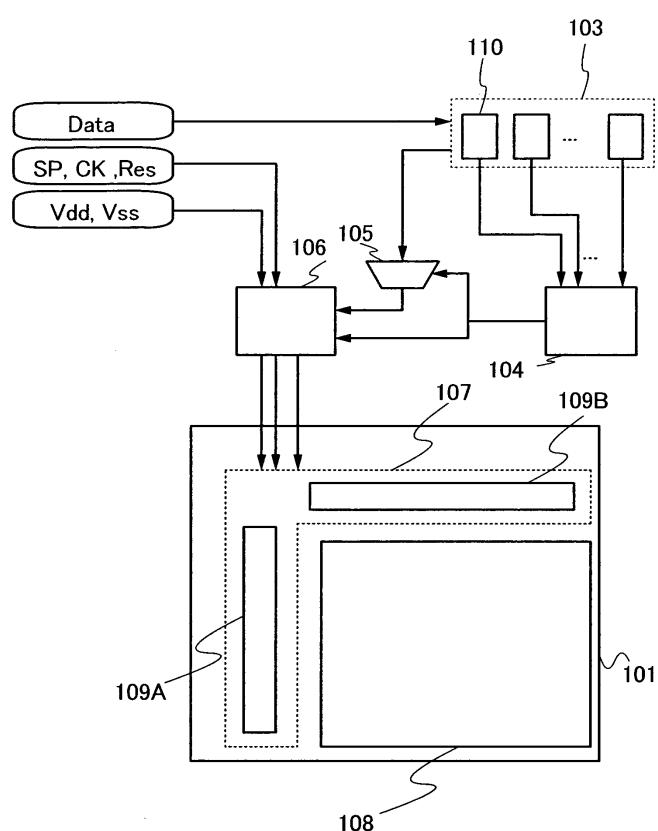
6608 : 주사선 구동 회로

6609 : 신호선 구동 회로

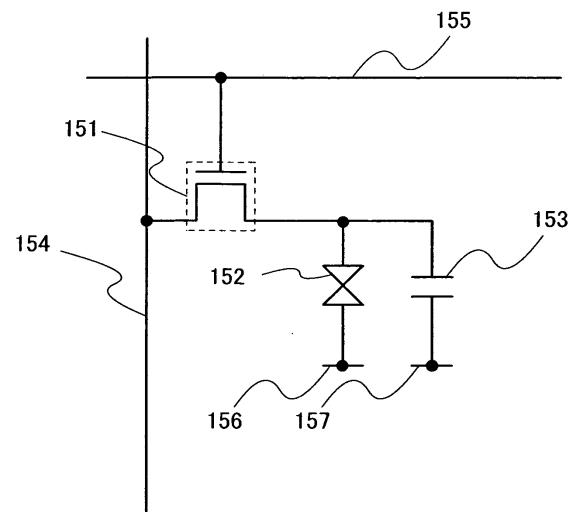
6610 : 포토센서 구동 회로

## 도면

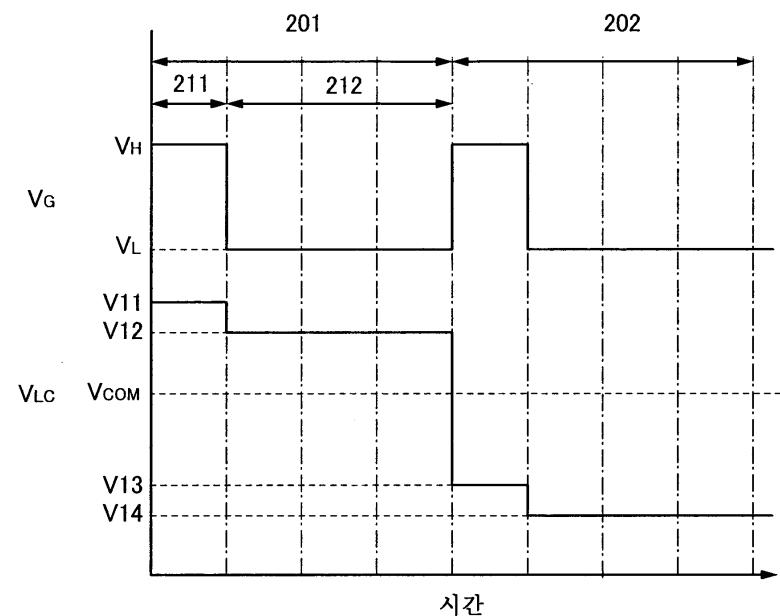
### 도면1



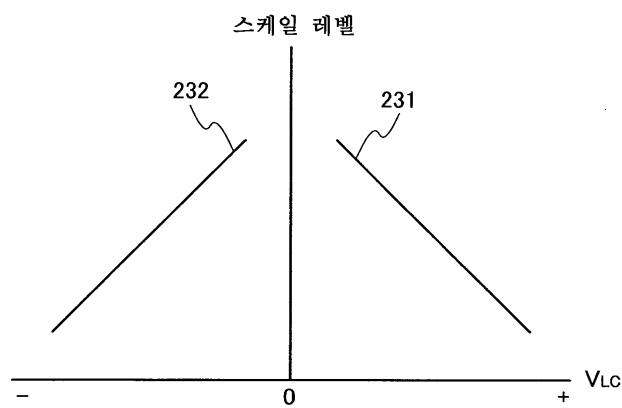
도면2



도면3

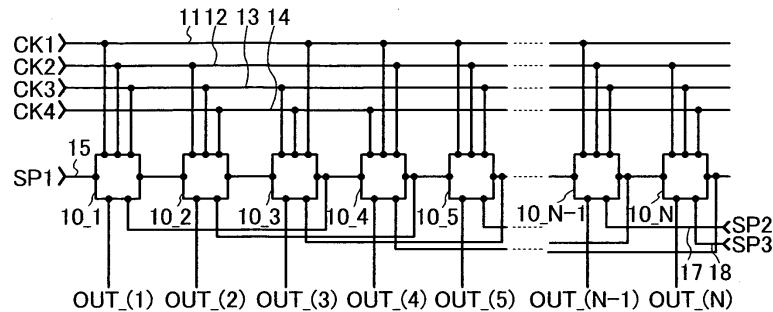


도면4

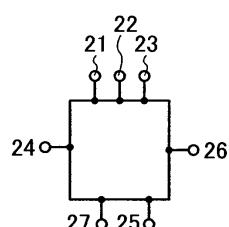


## 도면5

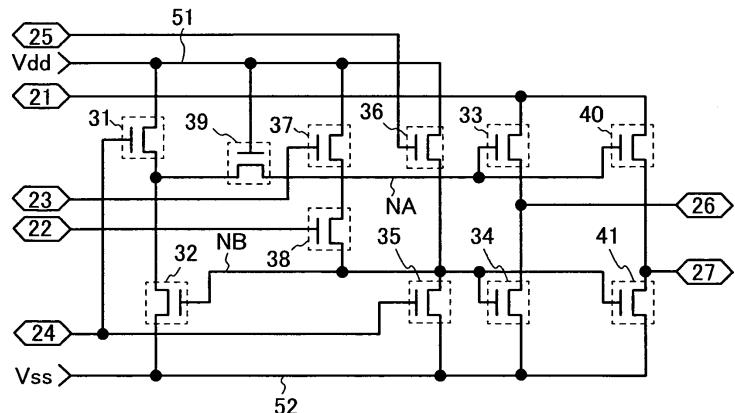
(a)



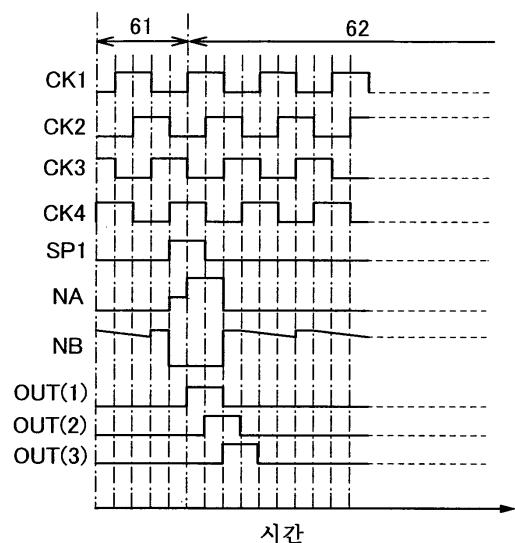
(b)



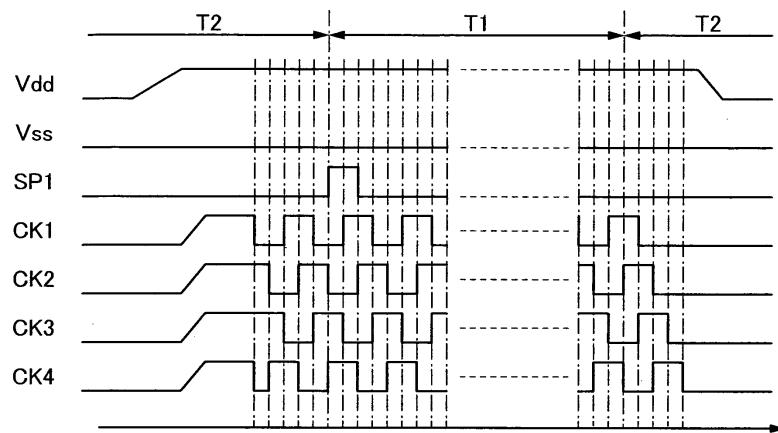
(c)



## 도면6

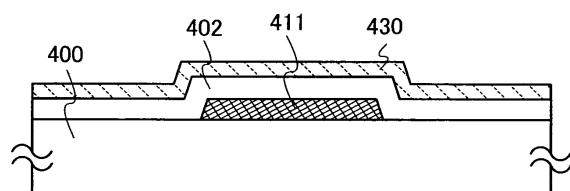


## 도면7

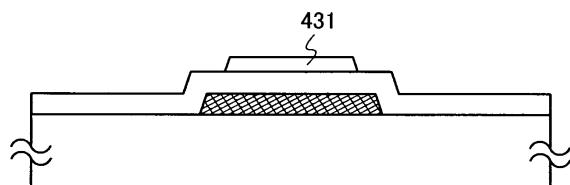


## 도면8

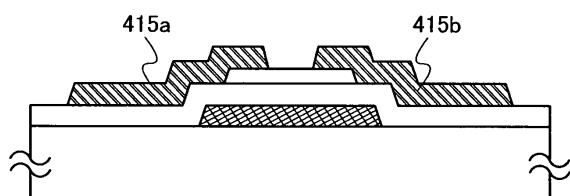
(a)



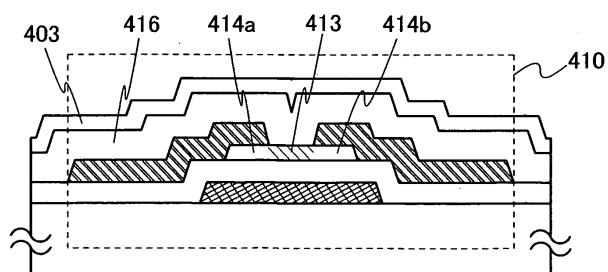
(b)



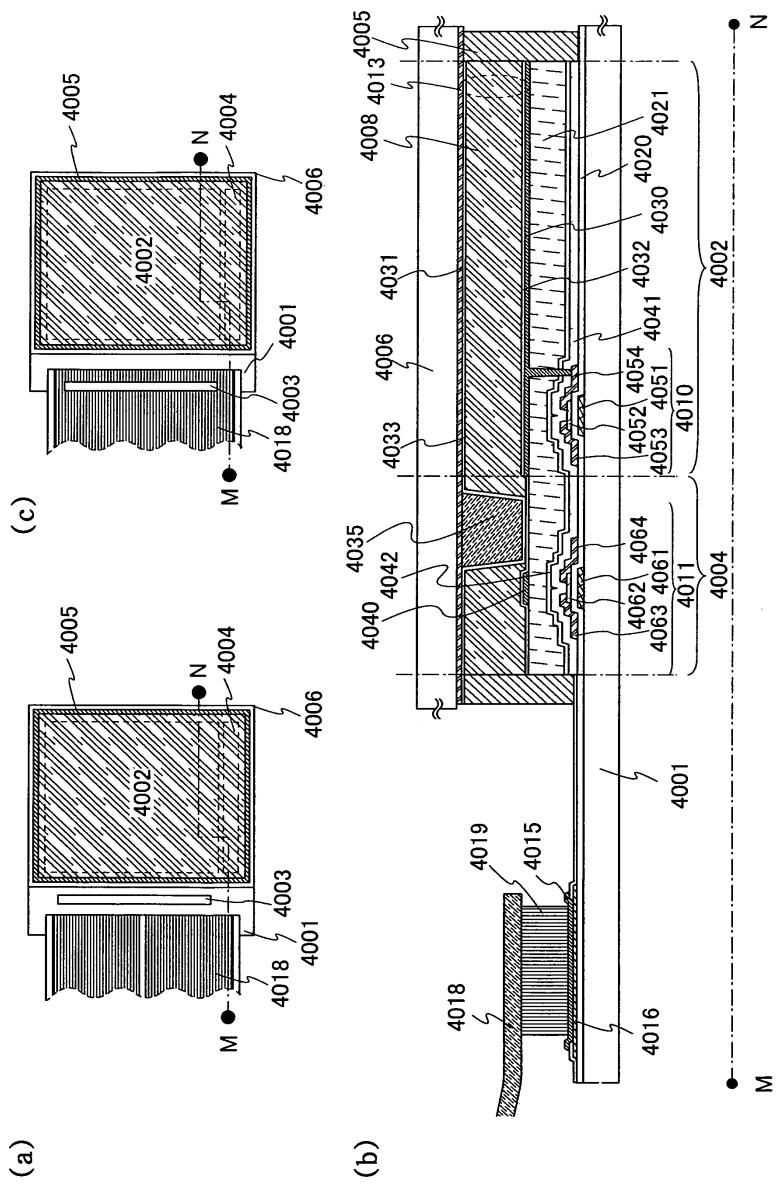
(c)



(d)

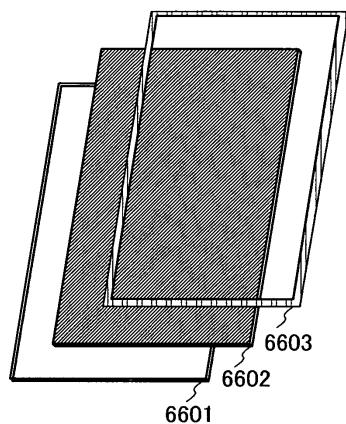


## 도면9

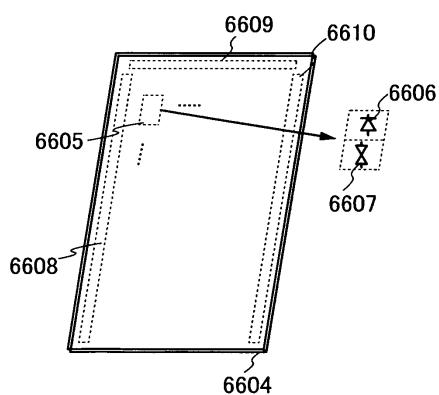


도면10

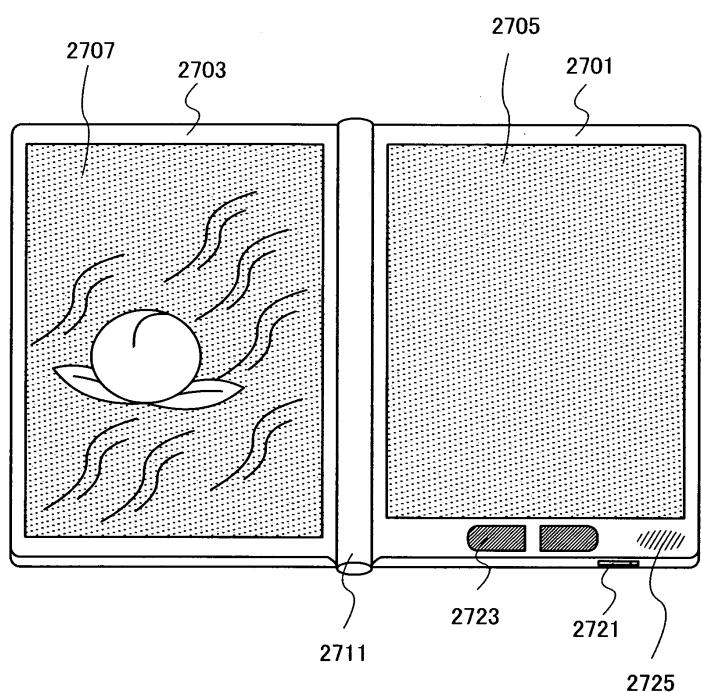
(a)



(b)

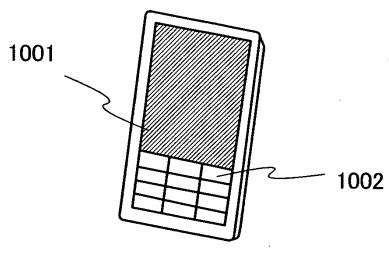


도면11

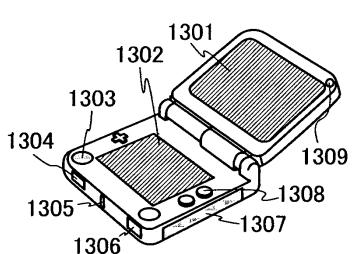


## 도면12

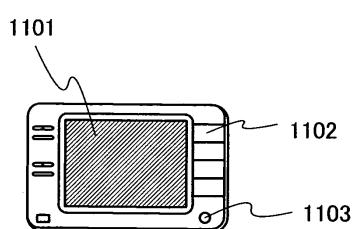
(a)



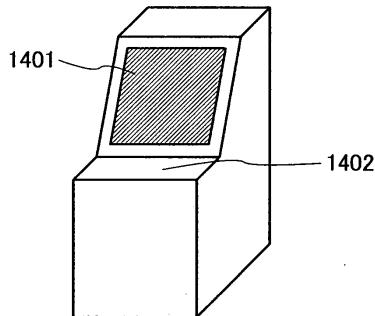
(d)



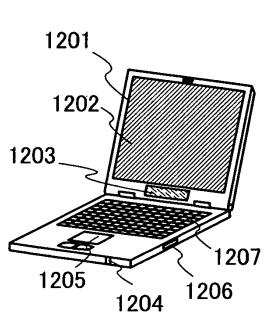
(b)



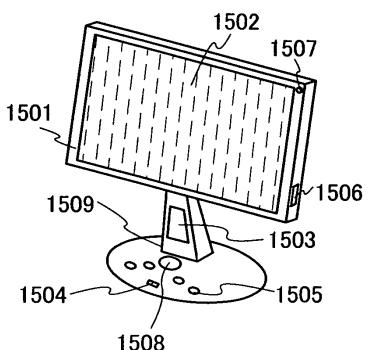
(e)



(c)



(f)



## 【심사관 직권보정사항】

## 【직권보정 1】

## 【보정항목】 청구범위

## 【보정세부항목】 [청구항 4] 11째줄

## 【변경전】

"산화물 반도체층에"

## 【변경후】

"제 2 산화물 반도체층에"

## 【직권보정 2】

## 【보정항목】 청구범위

## 【보정세부항목】 [청구항 4] 5째줄

## 【변경전】

"산화물 반도체층에"

【변경후】

"제 1 산화물 반도체층에"

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR101900662B1</a>	公开(公告)日	2018-11-08
申请号	KR1020177020190	申请日	2010-11-16
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	ARASAWA RYO 아라사와료 TOYOTAKA KOUHEI 도요타카고헤이		
发明人	아라사와료 도요타카고헤이		
IPC分类号	G09G3/36 H01L27/12		
CPC分类号	G09G3/3696 G09G3/3614 G09G2320/0247 G09G2320/103 G09G2330/021 G09G2340/16 H01L27/1225		
代理人(译)	张本勋		
优先权	2009288283 2009-12-18 JP		
其他公开文献	KR1020170087963A		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

公开了第一帧持续时间，其中液晶装置中施加的电压的极性持续，并且液晶显示器及其驱动方法用于指示从第二帧持续时间反转的图像。确定第二帧持续时间和第一帧持续时间的图像是静止图像的结果，作为在一帧持续时间和第二帧持续时间的图像处的图像的比较的结果，并且在不同的情况下在第二帧持续时间施加到液晶装置的电压的绝对值被施加到液晶装置的电压，其中施加到液晶装置的电压被补偿。

