



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년06월12일

(11) 등록번호 10-1866186

(24) 등록일자 2018년06월04일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/1335 (2006.01)

G02F 1/1337 (2006.01) G02F 1/1339 (2006.01)

(21) 출원번호 10-2011-0040935

(22) 출원일자 2011년04월29일

심사청구일자 2016년04월14일

(65) 공개번호 10-2012-0122651

(43) 공개일자 2012년11월07일

(56) 선행기술조사문헌

KR1020010106862 A*

(뒷면에 계속)

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

우중훈

경기도 고양시 일산서구 일중로 30, 동문아파트
506동 1001호 (일산동, 산들마을)

최수석

경기도 고양시 일산서구 주엽로 122 1606동 401호
(주엽동, 문촌마을16단지아파트)

(뒷면에 계속)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 11 항

심사관 : 이수환

(54) 발명의 명칭 액정표시장치

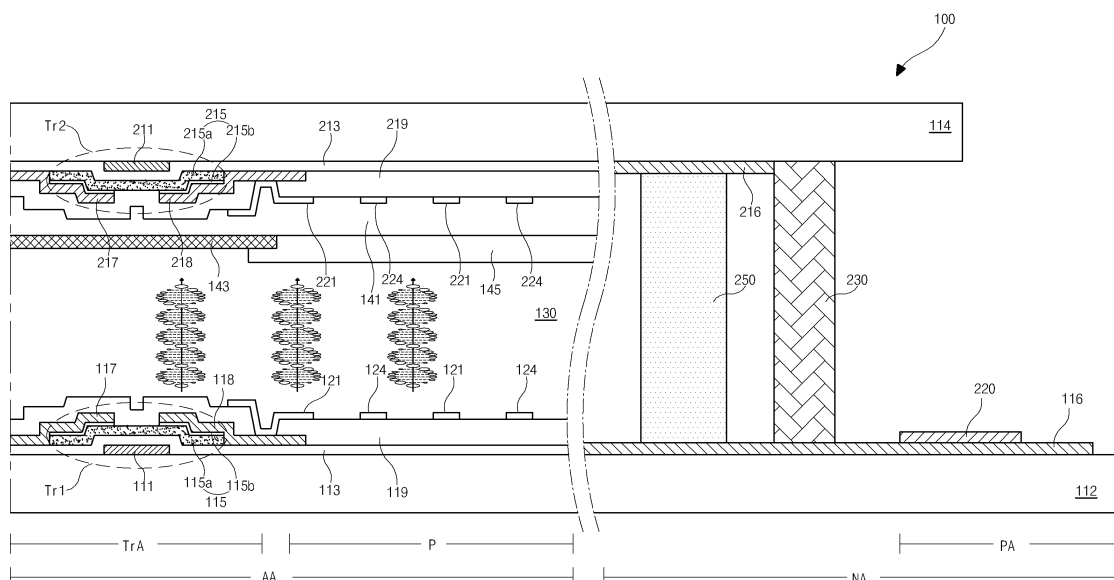
(57) 요약

본 발명은 액정표시장치에 관한 것으로, 특히 낮은 전압에 의해 구동될 수 있는 USH(uniformly standing helix) 모드 액정표시장치에 관한 것이다.

본 발명의 특징은 제 1 기판에 제 1 화소전극과 제 2 공통전극을 형성하고 제 2 기판에 제 2 화소전극과 제 2 공통전극을 형성함으로써, 전계의 수평성분을 극대화할 수 있어, USH 모드 액정의 구동전압을 낮출 수 있다.

또한, 본 발명의 USH 모드 액정표시장치는 패드부를 제 1 기판 상에만 형성해도, 도전성 패턴드 스페이서를 통해 제 2 기판으로 신호전압이 인가하도록 할 수 있어, 제 2 기판 상에 별도의 패드부를 구비하지 않아도 됨으로써, 공정비용 및 공정의 효율성을 향상시킬 수 있다.

대표도 - 도4



(72) 발명자

김동국

경기도 고양시 일산서구 현충로 13, 1302동 1304호
(탄현동, 탄현마을)

임재형

서울특별시 마포구 만리재로 60, 삼성래미안아파트
303동 702호 (신공덕동)

강영민

부산광역시 기장군 기장읍 차성로417번길 21 2동
1003호 (교리, 기장문화그린아파트)

(56) 선행기술조사문헌

KR1020040091184 A*

KR1020060037514 A*

JP2005227760 A*

KR1019990052401 A*

JP2009109657 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

제 1 기관과;

상기 제 1 기관 상에 위치하며, 서로 교차하는 제 1 게이트배선 및 제 1 데이터배선과 연결되는 제 1 스위칭 소자와;

상기 제 1 기관 상에 위치하며 상기 제 1 스위칭 소자에 연결된 제 1 화소전극과;

상기 제 1 기관 상에 위치하며 상기 제 1 화소전극과 교대로 배열되는 제 1 공통전극과;

상기 제 1 기관과 마주하는 제 2 기관과;

상기 제 2 기관 상에 위치하며, 서로 교차하는 제 2 게이트배선 및 제 2 데이터배선과 연결되는 제 2 스위칭 소자와;

상기 제 2 기관 상에 위치하며 상기 제 2 스위칭 소자에 연결된 제 2 화소전극과;

상기 제 2 기관 상에 위치하며 상기 제 2 화소전극과 교대로 배열되는 제 2 공통전극과;

상기 제 1 및 제 2 기관 사이에 위치하는 액정층과;

상기 제 1 및 제 2 기관의 가장자리를 두르는 비표시영역에 위치하며, 상기 제 1 스위칭 소자와 상기 제 2 스위칭 소자를 전기적으로 연결하는 제 1 및 제 2 도전성 패턴드 스페이서

를 포함하며, 상기 제 1 및 제 2 도전성 패턴드 스페이서는 각각 상기 제 1 게이트배선 및 상기 제 2 게이트배선과 상기 제 1 데이터배선 및 제 2 데이터배선을 전기적으로 연결하며,

상기 제 1 및 제 2 도전성 패턴드 스페이서는 상기 제 1 기관 및 상기 제 2 기관의 가장자리를 따라 두르는 쉘 패턴 내측으로 위치하며,

상기 제 1 게이트배선에 이웃하여 제 3 게이트배선이 더욱 위치하며, 상기 제 2 게이트배선에 이웃하여 제 4 게이트배선이 더욱 위치하며,

상기 제 1 데이터배선에 이웃하여 제 3 데이터배선이 더욱 위치하며, 상기 제 2 데이터배선에 이웃하여 제 4 데이터배선이 더욱 위치하며,

상기 제 1 및 제 2 게이트배선을 연결하는 상기 제 1 도전성 패턴드 스페이서는 상기 제 3 및 제 4 게이트배선을 연결하는 제 3 도전성 패턴드 스페이서와 지그재그 형상으로 배열되며,

상기 제 1 및 제 2 데이터배선을 연결하는 상기 제 2 도전성 패턴드 스페이서는 상기 제 3 및 제 4 데이터배선을 연결하는 제 4 도전성 패턴드 스페이서와 지그재그 형상으로 배열되는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제 2 화소전극은 상기 제 1 화소전극과 대응하여 위치하고, 상기 제 2 공통전극은 상기 제 1 공통전극과 대응하여 위치하는 액정표시장치.

청구항 3

제 1 항에 있어서,

외부로부터 상기 제 1 스위칭 소자로 인가되는 신호전압이 상기 제 1 내지 제 4 도전성 패턴드 스페이서를 통해

상기 제 2 스위칭 소자로 인가되는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제 1 화소전극과 상기 제 2 화소전극에는 동일한 제 1 전압이 인가되고, 상기 제 1 공통전극과 상기 제 2 공통전극에는 동일한 제 2 전압이 인가되는 액정표시장치.

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 제 1 데이터 배선 및 상기 제 1 스위칭 소자를 덮는 제 1 보호층과, 상기 제 2 데이터 배선 및 상기 제 2 스위칭 소자를 덮는 제 2 보호층을 포함하고,

상기 제 1 화소전극과 상기 제 1 공통전극은 상기 제 1 보호층 상에 위치하고, 상기 제 2 화소전극과 상기 제 2 공통전극은 상기 제 2 보호층 상에 위치하는 액정표시장치.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 제 2 공통전극은 상기 제 1 공통전극과 전기적으로 연결되는 액정표시장치.

청구항 9

제 1 항에 있어서,

상기 제 1 내지 제 4 도전성 패턴드 스페이서는 도전볼을 포함하거나, 도전성금속막이 코팅되는 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 제 1 내지 제 4 도전성 패턴드 스페이서는 상기 제 1 내지 제 4 도전성 패턴드 스페이서를 관통하는 다수의 홀을 포함하며, 상기 다수의 홀은 도전성물질이 충전되는 액정표시장치.

청구항 11

제 1 항에 있어서,

상기 제 1 및 제 2 스위칭 소자에 대응되며 상기 제 1 및 제 2 기관 중 어느 하나에 위치하는 블랙매트릭스와;

상기 블랙매트릭스 상에 위치하는 컬러필터층을 포함하는 액정표시장치.

청구항 12

제 1 항에 있어서,

상기 제 2 화소전극은 상기 제 1 화소전극과 같거나 이보다 큰 폭을 갖고, 상기 제 2 공통전극은 상기 제 1 공통전극과 같거나 이보다 큰 폭을 갖는 액정표시장치.

청구항 13

제 1 항에 있어서,

상기 액정층은 USH모드 액정이거나 블루상(blue phase) 모드 액정인 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 낮은 전압에 의해 구동될 수 있는 USH(uniformly standing helix) 모드 액정표시장치에 관한 것이다.

배경 기술

[0002] 최근 정보화 시대에 발맞추어 디스플레이(display) 분야 또한 급속도로 발전해 왔고, 이에 부응해서 박형화, 경량화, 저소비전력화 장점을 지닌 평판표시장치(flat panel display device : FPD)로서 액정표시장치(liquid crystal display device : LCD), 플라즈마표시장치(plasma display panel device : PDP), 전기발광표시장치(electroluminescence display device : ELD), 전계방출표시장치(field emission display device : FED) 등이 소개되어 기존의 브라운관(cathode ray tube : CRT)을 빠르게 대체하며 각광받고 있다.

[0003] 이중에서도 액정표시장치는 동화상 표시에 우수하고 높은 콘트라스트비(contrast ratio)로 인해 노트북, 모니터, TV 등의 분야에서 가장 활발하게 사용되고 있다.

[0004] 이러한 액정표시장치에 이용되는 액정으로는 네마틱(nematic)액정, 스멕틱(smectic)액정 및 콜레스테릭(cholesteric) 액정 등이 있으며, 주로 네마틱 액정이 이용된다.

[0005] 한편, 이러한 액정표시장치는 응답속도가 낮아 잔상에 의한 화질의 저하 등이 수반된다.

[0006] 따라서, 최근에는 고속 응답속도를 갖는 액정표시장치에 대한연구가 활발히 진행되고 있고, 이에, USH(uniformly standing helix) 모드 액정을 포함하는 액정표시장치가 제안되고 있는데, USH 모드 액정은 바이메소겐(bimesogen) 액정이 극성(polarity)을 갖는 구조로 배열되기 때문에 응답속도가 매우 빠른 특징을 갖는다.

[0007] 따라서, 액정표시장치의 응답속도를 향상시킬 수 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 종래 액정표시장치의 장점을 모두 갖고 단점이 보완된 액정표시장치의 제공을 목적으로 한다.

[0009] 즉, 응답속도와 시야각에서 우수한 특성을 가지며 동시에 명암비가 우수한 액정표시장치의 제공을 목적으로 한다. 또한, 낮은 전압에 의해 구동될 수 있는 액정표시장치를 제공하고자 하며, 공정의 비용 및 공정의 효율성이

향상된 액정표시장치를 제공하고자 한다.

과제의 해결 수단

- [0010] 전술한 바와 같은 목적을 달성하기 위해, 본 발명은 제 1 기판과; 상기 제 1 기판 상에 위치하는 제 1 스위칭 소자와; 상기 제 1 기판 상에 위치하며 상기 제 1 스위칭 소자에 연결된 제 1 화소전극과; 상기 제 1 기판 상에 위치하며 상기 제 1 화소전극과 교대로 배열되는 제 1 공통전극과; 상기 제 1 기판과 마주하는 제 2 기판과; 상기 제 2 기판 상에 위치하는 제 2 스위칭 소자와; 상기 제 2 기판 상에 위치하며 상기 제 2 스위칭 소자에 연결된 제 2 화소전극과; 상기 제 2 기판 상에 위치하며 상기 제 2 화소전극과 교대로 배열되는 제 2 공통전극과; 상기 제 1 및 제 2 기판 사이에 위치하는 액정층과; 상기 제 1 및 제 2 기판의 가장자리를 두르는 비표시영역에 위치하며, 상기 제 1 스위칭 소자와 상기 제 2 스위칭 소자를 전기적으로 연결하는 도전성 패턴드 스페이서를 포함하는 액정표시장치를 제공한다.
- [0011] 이때, 상기 제 2 화소전극은 상기 제 1 화소전극과 대응하여 위치하고, 상기 제 2 공통전극은 상기 제 1 공통전극과 대응하여 위치하며, 외부로부터 상기 제 1 스위칭 소자로 인가되는 신호전압이 상기 도전성 패턴드 스페이서를 통해 상기 제 2 스위칭 소자로 인가된다.
- [0012] 그리고, 상기 제 1 화소전극과 상기 제 2 화소전극에는 동일한 제 1 전압이 인가되고, 상기 제 1 공통전극과 상기 제 2 공통전극에는 동일한 제 2 전압이 인가되며, 상기 제 1 기판 상에 위치하는 제 1 게이트 배선과; 상기 제 1 기판 상에 위치하며 상기 제 1 게이트 배선과 교차하는 제 1 데이터 배선과; 상기 제 2 기판 상에 위치하는 제 2 게이트 배선과; 상기 제 2 기판 상에 위치하며 상기 제 2 게이트 배선과 교차하는 제 2 데이터 배선을 포함하고, 상기 제 1 스위칭 소자는 상기 제 1 게이트 배선 및 상기 제 1 데이터 배선에 연결되고, 상기 제 2 스위칭 소자는 상기 제 2 게이트 배선 및 상기 제 2 데이터 배선에 연결된다.
- [0013] 이때, 상기 제 1 데이터 배선 및 상기 제 1 스위칭 소자를 덮는 제 1 보호층과, 상기 제 2 데이터 배선 및 상기 제 2 스위칭 소자를 덮는 제 2 보호층을 포함하고, 상기 제 1 화소전극과 상기 제 1 공통전극은 상기 제 1 보호층 상에 위치하고, 상기 제 2 화소전극과 상기 제 2 공통전극은 상기 제 2 보호층 상에 위치하며, 상기 도전성 패턴드 스페이서는 상기 제 1 및 제 2 데이터배선과 상기 제 1 및 제 2 게이트배선 상에 위치하여, 상기 제 1 및 제 2 데이터배선과 상기 제 1 및 제 2 게이트배선은 각각 전기적으로 연결된다.
- [0014] 또한, 상기 제 2 공통전극은 상기 제 1 공통전극과 전기적으로 연결되며, 상기 도전성 패턴드 스페이서는 도전볼을 포함하거나, 도전성금속막이 코팅된다.
- [0015] 그리고, 상기 도전성 패턴드 스페이서는 상기 도전성 패턴드 스페이서를 관통하는 다수의 홀을 포함하며, 상기 다수의 홀은 도전성물질이 충전되며, 상기 제 1 및 제 2 스위칭 소자에 대응되며 상기 제 1 및 제 2 기판 중 어느 하나에 위치하는 블랙매트릭스와; 상기 블랙매트릭스 상에 위치하는 컬러필터층을 포함한다.
- [0016] 또한, 상기 제 2 화소전극은 상기 제 1 화소전극과 같거나 이보다 큰 폭을 갖고, 상기 제 2 공통전극은 상기 제 1 공통전극과 같거나 이보다 큰 폭을 가지며, 상기 액정층은 USH모드 액정이거나 블루상(blue phase) 모드 액정으로 이루어진다.

발명의 효과

- [0017] 위에 상술한 바와 같이, 본 발명에 따라 제 1 기판에 제 1 화소전극과 제 2 공통전극을 형성하고 제 2 기판에 제 2 화소전극과 제 2 공통전극을 형성함으로써, 전계의 수평성분을 극대화할 수 있어, USH 모드 액정의 구동전압을 낮출 수 있는 효과가 있다.
- [0018] 또한, 본 발명의 USH 모드 액정표시장치는 패드부를 제 1 기판 상에만 형성해도, 도전성 패턴드 스페이서를 통해 제 2 기판으로 신호전압이 인가하도록 할 수 있어, 제 2 기판 상에 별도의 패드부를 구비하지 않아도 됨으로써, 공정비용 및 공정의 효율성을 향상시킬 수 있는 효과가 있다.
- [0019] 또한, USH 모드 액정을 이용함으로써, 응답속도, 시야각, 명암비가 우수한 액정표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명에 따른 USH모드 액정표시장치에서 USH모드 액정의 구동 원리를 개략적으로 도시한 도면.
- 도 2a는 액정 배열 구조의 정면도이며, 도 2b는 액정의 등가 구조를 보여주는 단면도.
- 도 3은 일반적인 IPS 방식의 액정표시장치에서 USH 모드 액정이 구동되는 원리를 설명하기 위한 개략적인 단면도.
- 도 4는 본 발명의 실시예에 따른 USH 모드 액정층을 포함하는 액정표시장치의 다수의 화소영역을 개략적으로 도시한 단면도.
- 도 5a ~ 5d는 본 발명의 실시예에 따른 패턴드 스페이서의 다양한 모습을 개략적으로 도시한 도면.
- 도 6은 기판 상에 형성된 패턴드 스페이서를 개략적으로 도시한 평면도.
- 도 7은 본 발명의 실시예에 따른 USH 모드 액정표시장치의 구동전압과 투과율 관계를 설명하기 위한 그래프.
- 도 8a ~ 8c는 본 발명의 실시예에 따른 USH 모드 액정표시장치의 응답속도를 설명하기 위한 그래프.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.
- [0022] 본 발명의 액정표시장치는 변전효과(flexoelectric effect)를 이용하는 USH(uniformly standing helix) 모드인 것이 특징이다. USH모드 액정표시장치의 구동 원리를 도면을 참조하여 개략적으로 설명한다.
- [0023] 도 1은 본 발명에 따른 USH모드 액정표시장치에서 USH모드 액정의 구동 원리를 개략적으로 도시한 도면이다.
- [0024] 도시된 바와 같이, 전압 무인가(OFF) 상태에서 USH모드 액정은 짧은 피치(pitch)의 키랄 네마틱(chiral nematic) 액정분자가 수십번 꼬여있는 나선형 구조를 가지며, 나선형 구조의 축, 즉 나선축은 광축(optical axis)에 평행하다.
- [0025] 한편, 전압 인가(ON) 상태에서 USH모드 액정의 광축이 틀어지게 되며 복굴절이 발현된다.
- [0026] 도 2a는 액정 배열 구조의 정면도이며, 도 2b는 액정의 등가 구조를 보여주는 단면도이며, 도 3은 일반적인 IPS 방식의 액정표시장치에서 USH 모드 액정이 구동되는 원리를 설명하기 위한 개략적인 단면도이다.
- [0027] 도시된 바와 같이, USH모드 액정표시장치는 마주하는 제 1 및 제 2 기판(112, 114)과, 상기 제 1 및 제 2 기판(112, 114) 사이에 위치하는 USH모드 액정(130)과, 제 1 및 제 2 기판(112, 114) 각각의 외측에 위치하는 제 1 및 제 2 편광판(미도시)으로 이루어진다.
- [0028] USH모드 액정(130)은 바이메소젠(bimesogen) 액정이 극성(polarity)을 갖는 구조로 배열되기 때문에 응답속도가 매우 빠른 특징을 갖는다.
- [0029] 전술한 바와 같이, USH모드 액정(130)은 짧은 피치(pitch)의 키랄 네마틱(chiral nematic) 액정분자가 수십번 꼬여있는 나선형 구조를 가지며, 나선형 구조의 축, 즉 나선축은 빛의 진행 방향(z방향)에 평행하다.
- [0030] 또한 액정(130)은 z방향의 굴절율이 z방향에 각각 수직인 x, y방향의 굴절율보다 작고, x, y방향의 굴절율은 서로 동일하다. ($n_z < n_x = n_y$)
- [0031] 즉, 정면 시야각에서 광학적 등방성(optical isotropic property)을 갖게 되고, 전압 무인가시에 정면 시야각에서 복굴절이 발현되지 않으며 뛰어난 블랙(black) 특성을 얻을 수 있는 장점을 갖는다.
- [0032] 따라서, 명암비가 높은 장점을 갖는다.
- [0033] 이러한 USH모드 액정(130)은 전압 무인가시 광학적으로 등방이고, 전압 인가에 의해 전압 인가 방향으로 복굴절성을 발생시킴으로써, 이 성질로부터 USH모드 액정(130)의 투과율을 제어하기 위해서는 제 1 및 제 2 편광판(미도시)을 서로의 편광축이 수직하게 배치하고, 기판(112, 114)의 면내 방향(가로방향)으로 전계를 인가하는 것이 필요하다.

- [0034] 따라서, USH모드 액정표시장치는 기본적으로 횡전계 방식(in-plane switching mode)의 전극 구조가 적합하다.
- [0035] 여기서, USH모드 액정표시장치의 USH 모드 액정(130)이 구동되는 원리를 설명하기 위한 개략적인 단면도인 도 3을 참조하면, 마주하는 제 1 및 제 2 기판(112, 114)과, 제 1 및 제 2 기판(112, 114) 사이에 USH 모드 액정층(130)이 개재되어 있으며, 제 1 기판(112) 상에는 서로 교대로 배열되는 화소전극(121)과 공통전극(124)이 배열되어 있다.
- [0036] 이와 같은 USH모드 액정표시장치는 전극(121, 124) 구조가 횡전계 방식으로, 넓은 시야각을 얻을 수 있다.
- [0037] 한편, 본 발명의 USH모드 액정표시장치는 USH 모드 액정층(130)에 수십 볼트/ μm 나 그 이상의 강한 전계를 인가하는 것이 필요하다.
- [0038] 즉, USH 모드 액정층(130)은 화소전극(121)과 공통전극(124) 사이에서 발생하는 전계에 의해 구동되는데, 이러한 전계는 기판(112, 114)에 수평한 성분뿐 아니라 이에 수직한 성분을 포함하게 된다.
- [0039] 따라서, USH 모드 액정층(130)을 구동하는데 필요한 수평 전계를 얻기 위해서는, 화소전극(121)과 공통전극(124) 사이에 보다 큰 전계를 형성하여야 한다.
- [0040] 즉, 높은 구동 전압이 요구되는 문제가 있다.
- [0041] 따라서, 본 발명은 높은 구동전압의 상승을 해결하기 위하여, 수평전계를 극대화한 액정표시장치를 제공하는데, 이에 대해 아래 도 4를 참조하여 좀더 자세히 살펴보도록 하겠다.
- [0042] 도 4는 본 발명의 실시예에 따른 USH 모드 액정층을 포함하는 액정표시장치의 다수의 화소영역을 개략적으로 도시한 단면도이다.
- [0043] 도시한 바와 같이, 본 발명의 USH모드 액정표시장치(100)는 하부기판인 제 1 기판(112)과 상부기판인 제 2 기판(114)이 서로 이격되어 대향하고 있으며, 제 1 및 제 2 기판(112, 114)은 USH 모드 액정층(130)을 사이에 두고 대면 합착되어 구성된다.
- [0044] 이때, 본 발명의 USH모드 액정표시장치(100)는 높은 구동전압이 상승되는 것을 방지하기 위하여, 하부기판인 제 1 기판(112) 상에는 제 1 박막트랜지스터(Tr_1)가 형성되며, 상부기판인 제 2 기판(112) 상에는 제 2 박막트랜지스터(Tr_2)가 형성되는 것을 특징으로 한다.
- [0045] 즉, 제 1 기판(112) 상에는 소정간격 이격되어 평행하게 구성된 다수의 제 1 게이트배선(116)과 제 1 게이트배선(116)에 근접하여 제 1 게이트배선(116)과 평행하게 구성된 제 1 공통배선(미도시)과, 제 1 게이트배선(116)과 제 1 공통배선(미도시)과 교차하며 특히 제 1 게이트배선(116)과는 교차하여 화소영역(P)을 정의하는 제 1 데이터배선(미도시)이 구성되어 있다.
- [0046] 이때, 각 화소영역(P)의 제 1 게이트배선(116)과 제 1 데이터배선(미도시)의 교차지점인 스위칭영역(Tr_A)에는 제 1 박막트랜지스터(Tr_1)가 형성되며, 실질적으로 화상이 구현되는 표시영역(AA)에는 제1 화소전극(121)과 제 1 공통전극(124)이 형성되어 있다.
- [0047] 그리고, 제 1 기판(112)과 마주보는 제 2 기판(114)의 내면으로는 소정간격 이격되어 평행하게 구성된 다수의 제 2 게이트배선(216)과 제 2 게이트배선(216)에 근접하여 제 2 게이트배선(216)과 평행하게 구성된 제 2 공통배선(미도시)과, 제 2 게이트배선(216)과 제 2 공통배선(미도시)과 교차하며 특히 제 2 게이트배선(216)과는 교차하여 화소영역(P)을 정의하는 제 2 데이터배선(미도시)이 구성되어 있다.
- [0048] 그리고, 각 화소영역(P)의 제 2 게이트배선(216)과 제 2 데이터배선(미도시)의 교차지점인 스위칭영역(Tr_A)에는 제 2 박막트랜지스터(Tr_2)가 형성되며, 실질적으로 화상이 구현되는 표시영역(AA)에는 제2 화소전극(221)과 제 2 공통전극(224)이 형성되어 있다.
- [0049] 이때, 제 2 박막트랜지스터(Tr_2)는 제 1 박막트랜지스터(Tr_1)에 대응하여 위치한다.
- [0050] 여기서, 제 1 및 제 2 박막트랜지스터(Tr_1 , Tr_2)는 각각 제 1 및 제 2 게이트전극(111, 211), 제 1 및 제 2 게이트절연막(113, 213), 제 1 및 제 2 반도체층(115, 215), 제 1 및 제 2 소스 및 드레인전극(117, 217, 118, 218)으로 이루어지며, 제 1 및 제 2 공통전극(124, 224)은 제 1 및 제 2 공통배선(미도시)과 연결되어 있다.
- [0051] 이때, 제 1 및 제 2 반도체층(115, 215)은 각각 순수 비정질 실리콘의 제 1 및 제 2 액티브층(115a, 215a)과 불순물을 포함하는 비정질 실리콘의 제 1 및 제 2 오믹콘택층(115b, 215b)으로 구성된다.

- [0052] 그리고, 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)를 포함하는 각 제 1 및 제 2 기관(112, 114)의 전면에는 제 1 및 제 2 보호층(119, 219)이 형성되어 있으며, 제 1 및 제 2 화소전극(121, 221)은 각각 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)의 제 1 및 제 2 드레인전극(118, 218)과 전기적으로 연결된다.
- [0053] 그리고, 표시영역(AA)의 제 1 및 제 2 화소전극(121, 221)의 일측에는 각각 일정간격 이격하여 제 1 및 제 2 공통전극(124, 224)이 형성되어 횡전계를 이루게 된다.
- [0054] 이러한 제 1 및 제 2 화소전극(121, 221)과 제 1 및 제 2 공통전극(124, 224)은 도면에 잘 나타나지는 않았지만 다수개가 구비되어, 다수개가 서로 나란하게 교대로 엇갈려 배치되어 구성된다.
- [0055] 이와 같은 구성에 의하면, 서로 대응되는 위치의 제 1 및 제 2 화소전극(121, 221)은 등전위를 이루고 또한 서로 대응되는 위치의 제 1 및 제 2 공통전극(124, 224)은 등전위를 이루기 때문에, 제 1 및 제 2 화소전극(121, 221)을 잇는 등전위선과 제 1 및 제 2 공통전극(124, 224)을 잇는 등전위선 사이에서 전계가 발생하게 된다.
- [0056] 이러한 전계는 제 1 및 제 2 기관(112, 114)에 평행한 수평 성분이 극대화되고 제 1 및 제 2 기관(112, 114)에 수직인 수직 성분이 최소화된다. 즉, 서로 마주하는 제 1 및 제 2 화소전극(121, 221)과 서로 마주하는 제 1 및 제 2 공통전극(124, 224)에 의해 동일 평면 상에 교대로 배열되는 화소전극(121, 221)과 공통전극(124, 224)이 반복적으로 적층된 상태가 될 수 있기 때문에, 수평 전계 성분이 극대화된다.
- [0057] 이를 통해, 제 1 및 제 2 기관(112, 114) 사이에 개재되어 있는 USH 모드 액정층(130)으로 강한 수평 전계가 인가되게 된다.
- [0058] 따라서, 높은 구동전압을 요하는 USH 모드 액정층(130)을 강한 수평 전계에 의해 구동시킴으로써, 명암비, 시야각 및 빠른 응답속도를 얻을 수 있다.
- [0059] 특히 제 1 및 제 2 화소전극(121, 221)과 제 1 및 제 2 공통전극(124, 224)을 마주하는 제 1 및 제 2 기관(112, 114) 각각에 서로 대응되도록 위치시킴으로써, 수평 전계를 더욱 극대화할 수 있어 구동전압을 낮출 수 있다.
- [0060] 이때, 제 2 기관(114) 상에 형성된 제 2 화소전극(221)은 제 1 기관(112) 상에 형성된 제 1 화소전극(121)에 대응하여 위치하고, 동일한 폭을 갖도록 형성된다. 한편, 제 1 및 제 2 기관(112, 114)의 합착 마진을 고려할 때, 제 2 화소전극(221)은 제 1 화소전극(121) 보다 큰 폭을 가질 수도 있다.
- [0061] 그리고, 제 2 공통전극(224)은 제 1 공통전극(124)에 대응하여 위치하며 동일한 폭을 가질 수 있으며, 이 또한 제 1 및 제 2 기관(112, 114)의 합착마진을 고려하여 제 2 공통전극(224)의 폭을 제 1 공통전극(124)의 폭이 비해 더욱 큰 폭을 갖도록 형성할 수도 있다.
- [0062] 그리고, 제 2 기관(114)의 제 2 화소전극(221)과 제 2 공통전극(224) 상부에는 평탄화층(141)이 형성되고, 평탄화층(141) 상에는 제 2 박막트랜지스터(Tr2)와 제 2 게이트배선(216) 그리고 제 2 데이터배선(미도시)에 대응하여 빛을 차단하기 위한 블랙매트릭스(143)가 위치한다.
- [0063] 여기서, 제 2 박막트랜지스터(Tr2)와 제 2 게이트배선(216) 그리고 제 2 데이터배선(미도시)은 제 1 기관(112) 상에 형성된 제 1 박막트랜지스터(Tr1)와 제 1 게이트배선(116) 그리고 제 1 데이터배선(미도시)에 대응하여 위치하고 있기 때문에, 제 2 기관(114) 상에 형성되는 블랙매트릭스(143)는 제 1 박막트랜지스터(Tr1)와 제 1 게이트배선(116) 그리고 제 1 데이터배선(미도시)에 대응하여 위치하게 된다.
- [0064] 또한, 평탄화층(141) 상에는 각 화소영역(P)에 대응하여 적, 녹, 청색의 컬러필터(145)가 형성되어 있으며, 도시하지는 않았지만 블랙매트릭스(143)와 컬러필터(145) 상부에는 오버코트층(미도시)이 형성된다.
- [0065] 이때, 블랙매트릭스(143)와 컬러필터(145)가 제 2 박막트랜지스터(Tr2) 상부로 형성되는 것을 일례로 하였으나, 이와 달리 블랙매트릭스(143)와 컬러필터(145)는 제 2 기관(114) 상에 형성되고, 제 2 박막트랜지스터(Tr2) 등이 블랙매트릭스(143)와 컬러필터(145) 상부에 형성될 수도 있다.
- [0066] 또한, 블랙매트릭스(143)와 컬러필터(145)는 제 1 기관(112) 상에 형성할 수도 있는데, 이때 블랙매트릭스(143)와 컬러필터(145)는 제 1 박막트랜지스터(Tr1) 상부로 형성될 수도 있다.
- [0067] 한편, 표시영역(AA)의 외곽의 비표시영역(NA)은 외부로 노출되는데, 즉, 제 1 기관(112)은 제 2 기관(114)에 비해 큰 면적을 가지고 있어 이들의 합착 시 제 1 기관(112)의 가장자리가 외부로 노출되는데, 여기에는 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)에 신호전압을 인가하기 위한 패드부(PA)가 구비된다.

- [0068] 패드부(PA)에는 제 1 및 제 2 게이트 및 데이터배선(116, 216, 미도시)과 연결되는 게이트 및 데이터패드전극(220, 미도시)이 구비된다.
- [0069] 그리고, 표시영역(AA)의 가장자리를 두르는 비표시영역(NA)에는 USH 모드 액정층(130)의 누설을 방지하기 위해 양 기관(112, 114)의 가장자리를 따라 씰패턴(seal pattern : 230)이 형성된다.
- [0070] 그리고, 제 1 및 제 2 기관(112, 114) 사이에는 두 기관(112, 114) 간의 일정한 셀갭을 유지시키기 위해 패턴드 스페이서(250)가 형성되는데, 본 발명의 패턴드 스페이서(250)는 도전성을 가져, 제 2 기관(114) 상에 형성된 제 2 박막트랜지스터(Tr2)로 신호전압을 인가하기 위하여 제 1 기관(112) 상에 형성된 패드부(PA)와 전기적으로 연결된다.
- [0071] 즉, 본 발명의 USH 모드 액정표시장치(100)는 높은 구동전압이 상승되는 것을 방지하기 위하여, 제 1 기관(112)과 제 2 기관(114)에 각각 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)를 형성함에도, 각각의 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)에 신호전압을 인가하기 위한 패드부(PA)는 제 1 기관(112) 상에만 형성하여, 제 2 기관(114) 상에 형성된 제 2 박막트랜지스터(Tr2)는 도전성 패턴드 스페이서(250)를 통해 신호전압을 전달받도록 하는 것이다.
- [0072] 도전성 패턴드 스페이서(250)는 표시영역(AA)의 네 가장자리를 모두 두르도록 비표시영역(NA)에 형성하는 것이 바람직한데, 비표시영역(NA) 상에 연장되어 있는 각 게이트 및 데이터배선(116, 216, 미도시) 상에 형성된다.
- [0073] 즉, 제 1 기관(112)과 제 2 기관(114) 상에 형성된 제 1 및 제 2 게이트배선(116, 216)과 제 1 및 제 2 데이터배선(미도시)은 도전성 패턴드 스페이서(250)를 통해 서로 전기적으로 연결된다.
- [0074] 따라서 제 1 기관(112) 상에 제 1 게이트 및 데이터배선(116, 미도시)에 흐르는 신호전압을 제 2 기관(114) 상의 제 2 게이트 및 데이터배선(216, 미도시)으로 전달되도록 한다.
- [0075] 이에 대해 좀더 자세히 살펴보면, 본 발명의 USH 모드 액정표시장치(100)는 제 1 기관(112) 상에 구비된 패드부(PA)로부터 인가되는 신호전압이 제 1 기관(112) 상의 제 1 박막트랜지스터(Tr1)와 제 2 기관(114) 상의 제 2 박막트랜지스터(Tr2)에 동시에 공급된다.
- [0076] 즉, 외부전원(미도시)으로부터 패드부(PA)를 통해 제 1 기관(112) 상의 제 1 게이트배선(116)으로 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)의 온(on)/오프(off) 신호가 순차적으로 스캔 인가되면, 제 1 게이트배선(116)으로 인가된 신호는 도전성 패턴드 스페이서(250)를 통해 제 2 기관(114) 상의 제 2 게이트배선(216)으로 인가된다.
- [0077] 이에, 선택된 화소영역(P)의 제 1 및 제 2 화소전극(121, 221)과 제 1 및 제 2 데이터배선(미도시)에 화상신호가 전달되면, 제 1 및 제 2 화소전극(121, 221)은 등전위를 이루고, 제 1 및 제 2 공통전극(124, 224) 또한 등전위를 이뤄, 제 1 및 제 2 화소전극(121, 221)을 잇는 등전위선과 제 1 및 제 2 공통전극(124, 224)을 잇는 등전위선 사이에 전계가 발생하게 된다.
- [0078] 따라서, 이들 사이의 전계에 의해 그 사이의 USH 모드 액정층(130)의 광축이 틀어져 복굴절이 발현되면서, 이에 따른 빛의 투과율 변화로 여러 가지 화상을 표시하게 되는 것이다.
- [0079] 이때, 전계는 제 1 및 제 2 기관(112, 114)에 평행한 수평 성분이 극대화되고 제 1 및 제 2 기관(112, 114)에 수직인 수직 성분이 최소화되어, 제 1 및 제 2 기관(112, 114) 사이에 개재되어 있는 USH 모드 액정층(130)으로 강한 수평 전계가 인가되게 된다.
- [0080] 따라서, 본 발명의 USH 모드 액정표시장치(100)는 제 1 기관(112)과 제 2 기관(114)에 각각 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)를 형성함에도, 각각의 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)에 신호전압을 인가하기 위한 패드부(PA)는 제 1 기관(112) 상에만 형성하여, 제 2 기관(114) 상에 형성된 제 2 박막트랜지스터(Tr2)는 도전성 패턴드 스페이서(250)를 통해 신호전압을 전달받도록 한다.
- [0081] 도 5a ~ 5d는 본 발명의 실시예에 따른 도전성 패턴드 스페이서의 다양한 모습을 개략적으로 도시한 도면이다.
- [0082] 도 5a에 도시한 바와 같이 제 1 및 제 2 게이트배선(116a, 216a) 또는 제 1 및 제 2 데이터배선(116b, 216b)을 전기적으로 연결하는 도전성 패턴드 스페이서(250)는 자체가 도전성물질로 이루어지거나, 도 5b에 도시한 바와 같이 도전볼(251)과 같은 도전성물질을 포함하도록 형성될 수도 있다.
- [0083] 또한, 도 5c에 도시한 바와 같이 도전성 패턴드 스페이서(250)를 관통하는 홀(253)을 포함하도록 형성하고, 홀(253)에 도전성물질(255)이 충전되도록 형성하는 것 또한 가능하며, 이때, 도전성 패턴드 스페이서(250)는 벤조

사이클로부텐(BCB), 포토아크릴(photo acryl), 포토레지스트로 이루어질 수 있다.

- [0084] 이때, 도면상에는 도전성 패턴드 스페이서(250)가 제 1 및 제 2 기관(112, 114)에 각각 형성된 두 서로 접촉하는 구성을 갖도록 도시하였으나, 도전성 패턴드 스페이서(250)는 제 1 및 제 2 기관(112, 114) 중 어느 하나의 기관 상에 형성하는 것 또한 가능하다.
- [0085] 또한, 도 5d에 도시한 바와 같이 도전성금속막(259)이 코팅된 구조로 이루어질 수도 있다.
- [0086] 도 6은 기관 상에 형성된 도전성 패턴드 스페이서를 개략적으로 도시한 평면도이다.
- [0087] 도시한 바와 같이, 기관(도 5d의 112, 114)의 비표시영역(도 4의 NA)의 게이트배선(116a) 및/또는 데이터배선(116b) 상에 도전성 패턴드 스페이서(250)를 형성하는데, 여기서 도전성 패턴드 스페이서(250)는 내부에 다수의 홀(253)이 형성되며, 홀(253)에는 도전성물질(255)이 충전된 구조를 일례로 설명하도록 하겠다.
- [0088] 이때, 서로 이웃하는 게이트배선(116a) 및/또는 데이터배선(116b) 상에 형성되는 도전성 패턴드 스페이서(250)는 사이 간격이 매우 좁기 때문에 지그재그 형상의 2열로 배열되도록 하는 것이 바람직하다.
- [0089] 이를 통해, 보다 넓은 면적을 갖는 도전성 패턴드 스페이서(250)를 형성할 수 있다.
- [0090] 도전성 패턴드 스페이서(250)의 면적이 넓을수록, 제 2 기관(도 5d의 114) 상의 제 2 박막트랜지스터(도 4의 Tr2)로 보다 안정적으로 신호를 전달할 수 있다.
- [0091] 도 7은 본 발명의 실시예에 따른 USH 모드 액정표시장치의 구동전압과 투과율 관계를 설명하기 위한 그래프이다.
- [0092] 도시한 바와 같이, 일반적인 USH 모드 액정을 포함하는 IPS 방식 액정표시장치(A)에 비해 본 발명의 USH 모드 액정표시장치(B)는 제 1 및 제 2 기관에 각각 형성되는 제 1 및 제 2 화소전극과 제 1 및 제 2 공통전극에 의해 전계를 형성함으로써, 구동 전압이 낮아지는 것을 확인할 수 있다.
- [0093] 도 8a ~ 8c는 본 발명의 실시예에 따른 USH 모드 액정표시장치의 응답속도를 설명하기 위한 그래프이다.
- [0094] 도 8a는 일반적인 IPS 방식 액정표시장치의 응답속도를 나타낸 그래프이며, 도 8b는 USH 모드 액정을 포함하는 일반적인 IPS 방식 액정표시장치의 응답속도를 나타낸 그래프이며, 도 8c는 본 발명의 실시예에 따른 USH 모드 액정표시장치의 응답속도를 나타낸 그래프이다.
- [0095] 설명에 앞서, 응답속도는 휘도가 90으로부터 10으로 떨어질 때 Ton(on display timer)과 Toff(off display timer) 값을 통해 나타낼 수 있다.
- [0096] 도시한 바와 같이, 일반적인 IPS 방식 액정표시장치는 디스플레이의 휘도가 90으로부터 10으로 떨어지는데 까지의 응답속도가 10.1ms이며, USH 모드 액정을 포함하는 IPS 방식 액정표시장치는 0.9ms의 응답속도를 가지나, 본 발명의 USH 모드 액정표시장치는 0.5ms의 응답속도를 갖는 것을 확인할 수 있다.
- [0097] 즉, 본 발명의 USH 모드 액정표시장치는 제 1 및 제 2 기관에 각각 형성되는 제 1 및 제 2 화소전극과 제 1 및 제 2 공통전극에 의해 전계를 형성함으로써, 응답속도가 낮아지는 것을 확인할 수 있다.
- [0098] 전술한 바와 같이, 본 발명의 USH 모드 액정표시장치는 제 1 기관에 제 1 화소전극과 제 2 공통전극을 형성하고 제 2 기관에 제 2 화소전극과 제 2 공통전극을 형성함으로써, 전계의 수평성분을 극대화할 수 있어, USH 모드 액정의 구동전압을 낮출 수 있다.
- [0099] 또한, 본 발명의 USH 모드 액정표시장치는 패드부를 제 1 기관 상에만 형성해도, 도전성 패턴드 스페이서를 통해 제 2 기관으로 신호전압이 인가하도록 할 수 있다.
- [0100] 이를 통해, 제 2 기관 상에 별도의 패드부를 구비하지 않아도 됨으로써, 공정비용 및 공정의 효율성을 향상시킬 수 있다.
- [0101] 한편, 본 발명의 액정층은 USH 모드 액정에 국한되지 않는다. 블루상(blue phase) 모드 액정을 포함하는 액정표시장치에도 적용가능하며, 또한 일반적인 IPS모드 액정표시장치에서도 전술한 전극의 구조에 의해 구동 전압을 감소시킬 수 있다.
- [0102] 또한, 정전압이 인가되는 공통배선 및 공통전극 없이 횡전계를 형성할 수 있는 IPS모드 액정표시장치에도 적용 가능한데, 즉, 공통전극을 삭제하고 서로 이웃하는 화소전극을 통해 전계를 형성하는 것이다.

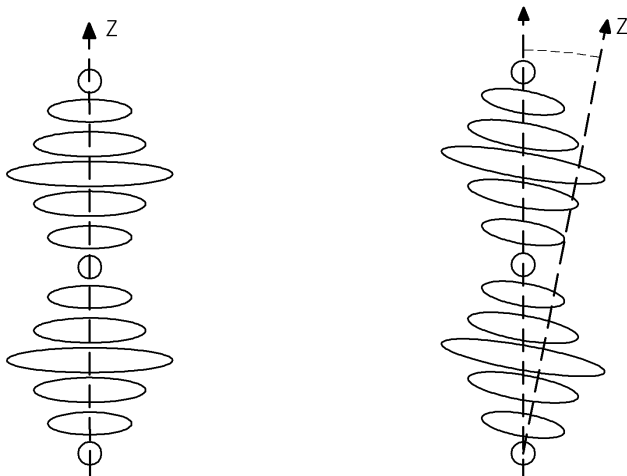
- [0103] 이러한 IPS 모드 액정표시장치에서는 공통전극을 포함하는 액정표시장치에 비해 2배의 전압을 액정층으로 인가 되도록 할 수 있어, 본 발명의 전극의 구조를 포함할 경우 더욱 구동 전압을 감소시킬 수 있다.
- [0104] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

부호의 설명

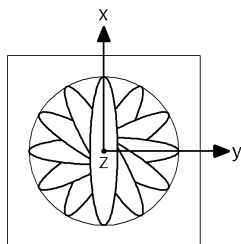
- [0105] 100 : USH모드 액정표시장치, 111, 211 : 제 1 및 제 2 게이트전극
 213, 213 : 제 1 및 제 2 게이트절연막, 115, 215 : 제 1 및 제 2 반도체층(115a, 215a : 제 1 및 제 2 액티브층, 115b, 215b : 제 1 및 제 2 오믹콘택층)
 117, 217 : 제 1 및 제 2 소스전극, 118, 218 : 제 1 및 제 2 드레인전극
 119, 219 : 제 1 및 제 2 보호층
 121, 221 : 제 1 및 제 2 화소전극, 124, 224 : 제 1 및 제 2 공통전극
 112, 114 : 제 1 및 제 2 기관, 130 : USH 모드 액정층
 141 : 평탄화층, 143 : 블랙매트릭스, 145 : 컬러필터
 220 : 게이트패드전극, 230 : 셀패턴, 250 : 도전성 패턴드 스페이서

도면

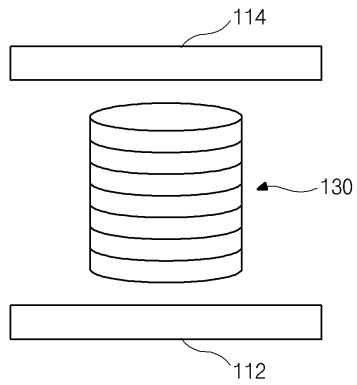
도면1



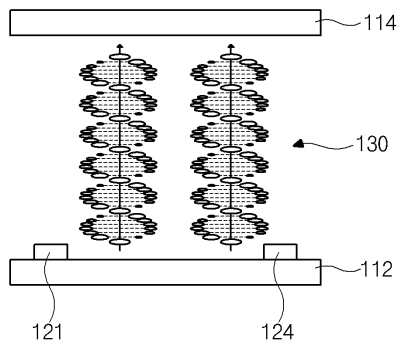
도면2a



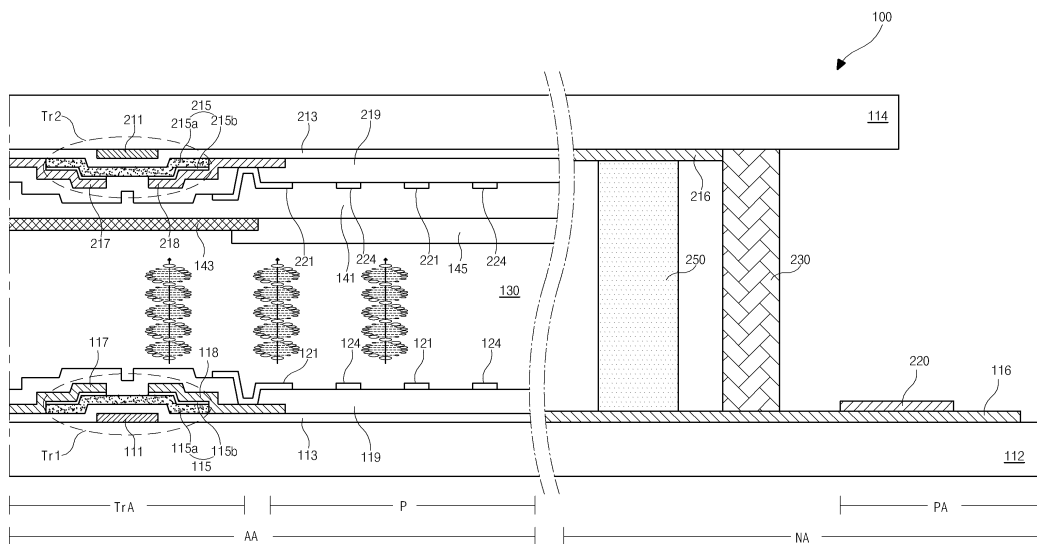
도면2b



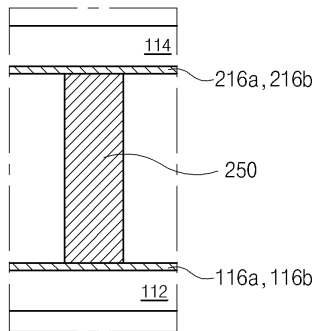
도면3



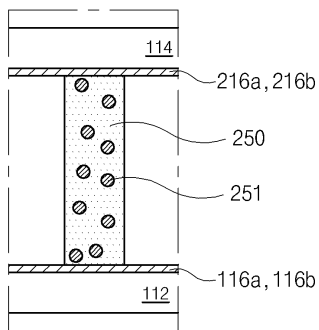
도면4



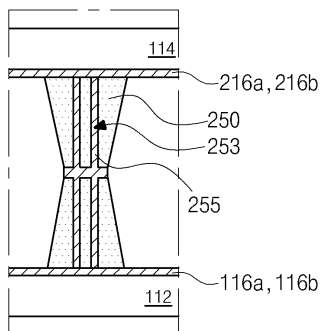
도면5a



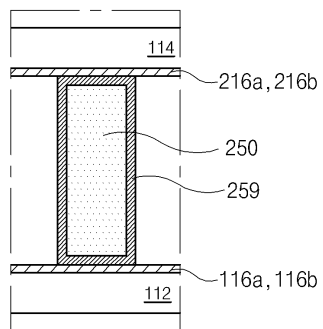
도면5b



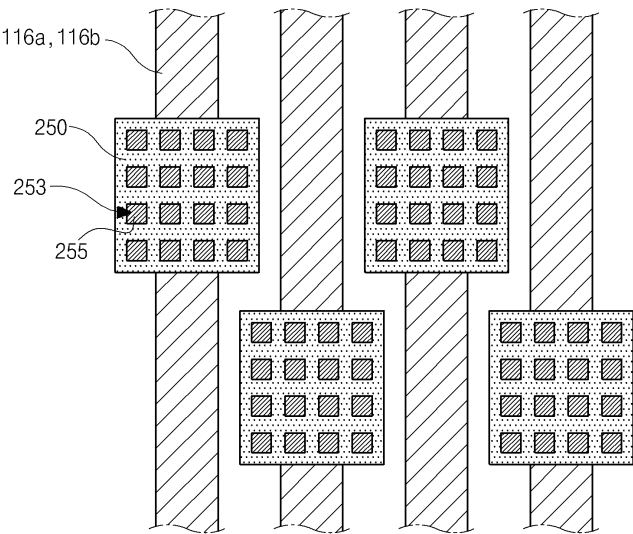
도면5c



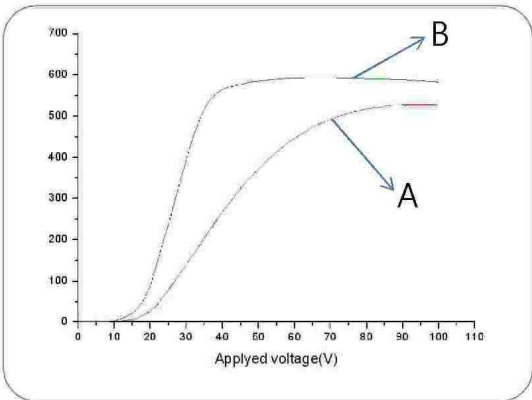
도면5d



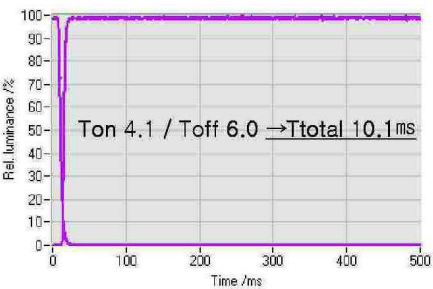
도면6



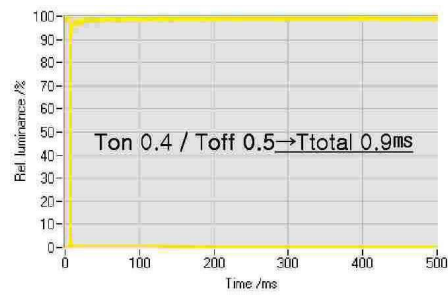
도면7



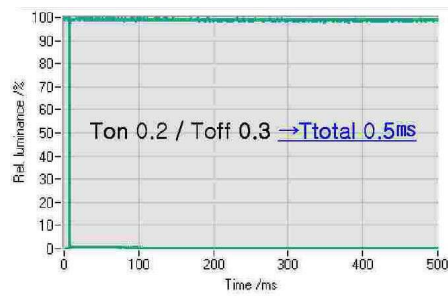
도면8a



도면8b



도면8c



专利名称(译)	液晶显示器		
公开(公告)号	KR101866186B1	公开(公告)日	2018-06-12
申请号	KR1020110040935	申请日	2011-04-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	WOO JONG HOON 우중훈 CHOI SU SEOK 최수석 KIM DONG GUK 김동국 LIM JAE HYUNG 임재형 KANG YOUNG MIN 강영민		
发明人	우중훈 최수석 김동국 임재형 강영민		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/1337 G02F1/1339 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/13439 G02F1/134309 G02F1/136286 G02F1/13394 G02F1/1368 G02F2001/13398		
其他公开文献	KR1020120122651A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置，以在第一基板上形成第一像素电极和第二公共电极，并在第二基板上形成第二像素电极和第二公共电极，从而使电场的水平分量最大化。组成：像素电极和公共电极由第一和第二像素电极（121,221）以及第一和第二公共电极（124,224）重复地层叠。像素电极和公共电极交替地布置在公共电极上。因此，电场的水平分量被最大化。强水平电场被提供给USH（均匀直立螺旋）模式液晶层（130）。通过强水平电场驱动USH模式液晶层获得对比度，视角和快速响应速度。

