



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년12월13일

(11) 등록번호 10-1808342

(24) 등록일자 2017년12월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2011-0035008

(22) 출원일자 2011년04월15일

심사청구일자 2016년04월14일

(65) 공개번호 10-2012-0117323

(43) 공개일자 2012년10월24일

(56) 선행기술조사문헌

KR1020070023997 A*

KR1020020005997 A*

KR1020010004899 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최대정

경기도 파주시 책향기로 371, 숲속길마을 동문아파트 604동 1403호 (동패동)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 13 항

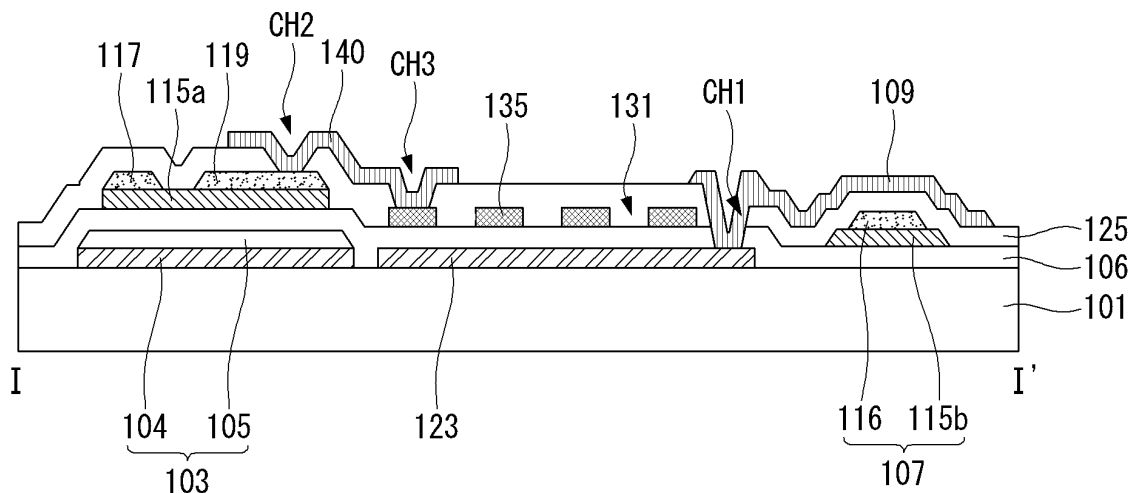
심사관 : 이수한

(54) 발명의 명칭 액정표시장치 어레이 기판 및 그 제조방법

(57) 요약

본 발명의 일 실시 예에 따른 액정표시장치 어레이 기판은 기판, 상기 기판 상에 위치하는 게이트 라인 및 공통 전극, 상기 게이트 라인 및 공통 전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하며, 상기 공통 전극과 대향하는 화소 전극, 상기 게이트 라인과 대향하는 반도체층 및 상기 게이트 라인과 교차하는 데이터 라인, 상기 반도체층 상에 위치하는 소스 전극 및 상기 화소 전극과 연결된 드레인 전극, 상기 화소 전극, 데이터 라인, 소스 전극 및 드레인 전극 상에 위치하는 패시베이션막 및 상기 패시베이션막 상에 위치하며, 상기 데이터 라인과 중첩되어 상기 공통 전극과 연결된 공통 라인을 포함할 수 있다.

대표도 - 도5



명세서

청구범위

청구항 1

기관;

상기 기관 상에서, 동일 층에 위치하는 게이트 라인 및 공통 전극;

상기 게이트 라인 및 공통 전극 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며, 상기 공통 전극과 대향하는 화소 전극, 상기 게이트 라인과 대향하는 반도체층 및 상기 게이트 라인과 교차하는 데이터 라인;

상기 반도체층 상에 위치하는 소스 전극 및 상기 화소 전극과 연결된 드레인 전극;

상기 화소 전극, 데이터 라인, 소스 전극 및 드레인 전극 상에 위치하는 패시베이션막; 및

상기 패시베이션막 상에서 상기 데이터 라인과 중첩되어 위치하며, 상기 공통 전극과 연결되어 상기 공통 전극에 공통 전압을 공급하는 공통 라인을 포함하고,

상기 게이트 라인은,

투명도전물질 및 금속물질이 적층된 형태로 구비되고,

상기 공통 전극은,

판 형태를 가지며, 상기 투명도전물질만으로 이루어지는, 액정표시장치 어레이 기관.

청구항 2

제 1항에 있어서,

상기 패시베이션막 상에 위치하며, 상기 드레인 전극과 상기 화소 전극을 연결하는 보조패턴을 더 포함하는 액정표시장치 어레이 기관.

청구항 3

기관 상에 투명도전물질과 금속물질을 차례로 증착하고 이들을 패터하여, 적층된 상기 투명도전물질과 상기 금속물질로 이루어진 게이트 라인 및 상기 투명도전물질만으로 이루어지며 판 형태를 갖는 공통 전극을 각각 형성하는 단계;

상기 게이트 라인 및 공통 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 공통 전극과 대향하는 화소 전극, 상기 게이트 라인과 대향하는 반도체층 및 상기 게이트 라인과 교차하는 데이터 라인을 형성하는 단계;

상기 반도체층 상에 소스 전극 및 드레인 전극을 형성하는 단계;

상기 화소 전극, 데이터 라인, 소스 전극 및 드레인 전극 상에 패시베이션막을 형성하는 단계; 및

상기 패시베이션막 상에 상기 데이터 라인과 중첩되어 상기 공통 전극과 연결되며, 상기 공통 전극에 공통 전압을 공급하는 공통 라인을 형성하는 단계를 포함하는 액정표시장치 어레이 기관의 제조방법.

청구항 4

제 3항에 있어서,

상기 패시베이션막을 형성한 후에,

상기 패시베이션막 및 상기 게이트 절연막을 식각하여 상기 공통 전극을 노출하는 제 1 콘택홀을 형성하는 단계를 더 포함하는 액정표시장치 어레이 기판의 제조방법.

청구항 5

제 4항에 있어서,

상기 패시베이션막을 식각하여 상기 드레인 전극을 노출하는 제 2 콘택홀 및 상기 화소 전극을 노출하는 제 3 콘택홀을 형성하는 단계를 더 포함하는 액정표시장치 어레이 기판의 제조방법.

청구항 6

기판;

상기 기판 상에서, 동일 층에 위치하는 게이트 라인 및 화소 전극;

상기 게이트 라인 및 화소 전극 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며, 상기 화소 전극과 대향하는 공통 전극, 상기 게이트 라인과 대향하는 반도체층 및 상기 게이트 라인과 교차하는 데이터 라인;

상기 반도체층 상에 위치하는 소스 전극 및 상기 화소 전극과 연결된 드레인 전극;

상기 공통 전극, 데이터 라인, 소스 전극 및 드레인 전극 상에 위치하는 패시베이션막; 및

상기 패시베이션막 상에서 상기 데이터 라인과 중첩되어 위치하며, 상기 공통 전극과 연결되어 상기 공통 전극에 공통 전압을 공급하는 공통 라인을 포함하고,

상기 게이트 라인은,

투명도전물질 및 금속물질이 적층된 형태로 구비되고,

상기 화소 전극은,

판 형태를 가지며, 상기 투명도전물질만으로 이루어지는 액정표시장치 어레이 기판.

청구항 7

기판 상에 투명도전물질과 금속물질을 차례로 증착하고 이들을 패터닝하여, 적층된 상기 투명도전물질과 상기 금속물질로 이루어진 게이트 라인 및 상기 투명도전물질만으로 이루어지며 판 형태를 갖는 화소 전극을 각각 형성하는 단계;

상기 게이트 라인 및 화소 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 화소 전극과 대향하는 공통 전극, 상기 게이트 라인과 대향하는 반도체층 및 상기 게이트 라인과 교차하는 데이터 라인을 형성하는 단계;

상기 반도체층 상에 소스 전극 및 드레인 전극을 형성하는 단계;

상기 공통 전극, 데이터 라인, 소스 전극 및 드레인 전극 상에 패시베이션막을 형성하는 단계; 및

상기 패시베이션막 상에 상기 데이터 라인과 중첩되어 상기 공통 전극과 연결되며, 상기 공통 전극에 공통 전압을 공급하는 공통 라인을 형성하는 단계를 포함하는 액정표시장치 어레이 기판의 제조방법.

청구항 8

제 7항에 있어서,

상기 소스 전극 및 드레인 전극을 형성한 후에,

상기 게이트 절연막을 식각하여 상기 화소 전극을 노출하는 제 1 콘택홀을 형성하는 단계를 더 포함하는 액정표시장치 어레이 기판의 제조방법.

청구항 9

제 7항에 있어서,

상기 패시베이션막을 형성한 후에,

상기 패시베이션막을 식각하여 상기 공통 전극을 노출하는 제 2 콘택홀을 형성하는 단계를 더 포함하는 액정표시장치 어레이 기판의 제조방법.

청구항 10

제 6항에 있어서,

상기 게이트절연막 상에 위치하며, 상기 드레인 전극과 상기 화소 전극을 연결하는 보조패턴을 더 포함하는 액정표시장치 어레이 기판.

청구항 11

제 10항에 있어서,

상기 보조 패턴은,

상기 공통 전극과 동일 층에 구비되며, 동일 물질로 이루어진 액정표시장치 어레이 기판.

청구항 12

삭제

청구항 13

삭제

청구항 14

제 1항에 있어서,

상기 드레인 전극과 상기 화소 전극은 서로 구분되고,

상기 드레인 전극은,

길게 연장되어 상기 화소 전극과 직접 접촉하는 액정표시장치 어레이 기판.

청구항 15

제 2항에 있어서,

상기 보조 패턴은,

상기 공통 라인과 동일 층에 구비되며, 동일 물질로 이루어진 액정표시장치 어레이 기판.

발명의 설명

기술 분야

- [0001] 본 발명은 액정표시장치 어레이 기판 및 그 제조방법에 관한 것으로, 보다 자세하게는 투과 효율을 향상시킬 수 있는 액정표시장치 어레이 기판 및 그 제조방법에 관한 것이다.

배경 기술

- [0002] 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- [0003] 현재는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다. 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.
- [0004] 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.
- [0005] 도 1은 종래 액정표시장치를 나타낸 단면도이고, 도 2는 액정표시장치의 투과율을 나타낸 도면이며, 도 3은 액정표시장치의 투과율 및 액정의 프리틸트각을 나타낸 도면이다.
- [0006] 도 1을 참조하면, 제 1 기판(10) 상에 판 형상의 공통 전극(13)이 위치하고, 공통 전극(13) 상에 게이트 절연막(15) 및 제 1 패시베이션막(17)이 위치하고, 제 1 패시베이션막(17) 상에 화소 전극(20)이 위치하며, 화소 전극(20) 상에 제 2 패시베이션막(22)이 위치한다.
- [0007] 그리고, 제 1 기판(10)과 대향하는 제 2 기판(30)에 제 3 패시베이션막(32)이 위치하고, 제 1 기판(10)과 제 2 기판(30) 사이에 액정층(25)이 개재되어 액정표시장치(1)를 구성한다.
- [0008] 도 2 및 도 3을 참조하면, 액정표시장치에서 화소 전극들의 사이 및 화소 전극의 중심부는 투과율이 최소인 최소투과영역으로 나타나고, 화소 전극의 에지부는 투과율이 최대인 최대투과영역으로 나타나게 된다. 이는 최소투과영역의 액정 분자들의 선경사각(pretilt angle)이 크게 나타나고, 최대투과영역의 액정 분자들의 선경사각이 매우 작게 나타나기 때문이다. 따라서, 액정표시장치의 투과 효율이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명의 액정표시장치 어레이 기판 및 그 제조방법은 투과 효율을 향상시킬 수 있는 액정표시장치 어레이 기판 및 그 제조방법을 제공한다.

과제의 해결 수단

- [0010] 상기한 목적을 달성하기 위해, 본 발명의 일 실시 예에 따른 액정표시장치 어레이 기판은 기판, 상기 기판 상에 위치하는 게이트 라인 및 공통 전극, 상기 게이트 라인 및 공통 전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하며, 상기 공통 전극과 대향하는 화소 전극, 상기 게이트 라인과 대향하는 반도체층 및 상기 게이트 라인과 교차하는 데이터 라인, 상기 반도체층 상에 위치하는 소스 전극 및 상기 화소 전극과 연결된 드레인 전극, 상기 화소 전극, 데이터 라인, 소스 전극 및 드레인 전극 상에 위치하는 패시베이션막 및 상기 패시베이션막 상에 위치하며, 상기 데이터 라인과 중첩되어 상기 공통 전극과 연결된 공통 라인을 포함할 수

있다.

- [0011] 상기 패시베이션막 상에 위치하며, 상기 드레인 전극과 상기 화소 전극을 연결하는 보조패턴을 더 포함할 수 있다.
- [0012] 또한, 본 발명의 일 실시 예에 따른 액정표시장치 어레이 기판의 제조방법은 기판 상에 게이트 라인 및 공통 전극을 형성하는 단계, 상기 게이트 라인 및 공통 전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 상기 공통 전극과 대향하는 화소 전극, 상기 게이트 라인과 대향하는 반도체층 및 상기 게이트 라인과 교차하는 데이터 라인을 형성하는 단계, 상기 반도체층 상에 소스 전극 및 드레인 전극을 형성하는 단계, 상기 화소 전극, 데이터 라인, 소스 전극 및 드레인 전극 상에 패시베이션막을 형성하는 단계 및 상기 패시베이션막 상에 상기 데이터 라인과 중첩되어 상기 공통 전극과 연결된 공통 라인을 형성하는 단계를 포함할 수 있다.
- [0013] 상기 패시베이션막을 형성한 후에, 상기 패시베이션막 및 상기 게이트 절연막을 식각하여 상기 공통 전극을 노출하는 제 1 콘택홀을 형성하는 단계를 더 포함할 수 있다.
- [0014] 상기 패시베이션막을 식각하여 상기 드레인 전극을 노출하는 제 2 콘택홀 및 상기 화소 전극을 노출하는 제 3 콘택홀을 형성하는 단계를 더 포함할 수 있다.
- [0015] 또한, 본 발명의 일 실시 예에 따른 액정표시장치 어레이 기판은 기판, 상기 기판 상에 위치하는 게이트 라인 및 화소 전극, 상기 게이트 라인 및 화소 전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하며, 상기 화소 전극과 대향하는 공통 전극, 상기 게이트 라인과 대향하는 반도체층 및 상기 게이트 라인과 교차하는 데이터 라인, 상기 반도체층 상에 위치하는 소스 전극 및 상기 화소 전극과 연결된 드레인 전극, 상기 공통 전극, 데이터 라인, 소스 전극 및 드레인 전극 상에 위치하는 패시베이션막 및 상기 패시베이션막 상에 위치하며, 상기 데이터 라인과 중첩되어 상기 공통 전극과 연결된 공통 라인을 포함할 수 있다.
- [0016] 또한, 본 발명의 일 실시 예에 따른 액정표시장치 어레이 기판의 제조방법은 기판 상에 게이트 라인 및 화소 전극을 형성하는 단계, 상기 게이트 라인 및 화소 전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 상기 화소 전극과 대향하는 공통 전극, 상기 게이트 라인과 대향하는 반도체층 및 상기 게이트 라인과 교차하는 데이터 라인을 형성하는 단계, 상기 반도체층 상에 소스 전극 및 드레인 전극을 형성하는 단계, 상기 공통 전극, 데이터 라인, 소스 전극 및 드레인 전극 상에 패시베이션막을 형성하는 단계 및 상기 패시베이션막 상에 상기 데이터 라인과 중첩되어 상기 공통 전극과 연결된 공통 라인을 형성하는 단계를 포함할 수 있다.
- [0017] 상기 소스 전극 및 드레인 전극을 형성한 후에, 상기 게이트 절연막을 식각하여 상기 화소 전극을 노출하는 제 1 콘택홀을 형성하는 단계를 더 포함할 수 있다.
- [0018] 상기 패시베이션막을 형성한 후에, 상기 패시베이션막을 식각하여 상기 공통 전극을 노출하는 제 2 콘택홀을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [0019] 본 발명의 실시 예들에 따른 액정표시장치 어레이 기판 및 그 제조방법은 적은 매수의 마스크를 사용하여 제조공정을 간소화할 수 있다. 또한, 게이트 절연막의 하부에 화소 전극을 형성하고, 패시베이션막과 게이트 절연막 사이에 공통 전극을 형성함으로써, 액정 분자의 선정사각이 큰 현상을 완화시켜주어 투과 효율을 향상시킬 수 있는 이점이 있다.

도면의 간단한 설명

- [0020] 도 1은 종래 액정표시장치를 나타낸 단면도.
- 도 2는 액정표시장치의 투과율을 나타낸 도면.
- 도 3은 액정표시장치의 투과율 및 액정의 프리틸트각을 나타낸 도면.
- 도 4는 본 발명의 제 1 실시 예에 따른 액정표시장치 어레이 기판을 나타낸 평면도.
- 도 5은 도 4의 I-I'에 따라 절취된 단면을 나타낸 도면.

도 6a 내지 6e는 본 발명의 제 1 실시 예에 따른 액정표시장치 어레이 기관의 제조방법을 공정별로 나타낸 도면.

도 7은 본 발명의 제 2 실시 예에 따른 액정표시장치 어레이 기관을 나타낸 평면도.

도 8은 도 7의 II-II'에 따라 절취된 단면을 나타낸 도면.

도 9a 내지 9e는 본 발명의 제 2 실시 예에 따른 액정표시장치 어레이 기관의 제조방법을 공정별로 나타낸 도면.

도 10은 본 발명의 제 3 실시 예에 따른 액정표시장치 어레이 기관을 나타낸 평면도.

도 11은 도 10의 III-III'에 따라 절취된 단면을 나타낸 도면.

도 12a 내지 12f는 본 발명의 제 3 실시 예에 따른 액정표시장치 어레이 기관의 제조방법을 공정별로 나타낸 도면.

도 13은 액정표시장치의 화소 전극들 사이에 구획된 영역을 나타낸 도면.

도 14a는 비교예 및 실험예에 따른 액정표시장치의 A 영역에서 셀갭에 따른 액정의 선경사각 변화를 나타낸 도면이고, 도 14b는 비교예 및 실험예에 따른 액정표시장치의 B 영역에서 셀갭에 따른 액정의 선경사각 변화를 나타낸 도면이고, 도 14c는 비교예 및 실험예에 따른 액정표시장치의 C 영역에서 셀갭에 따른 액정의 선경사각 변화를 나타낸 도면.

도 15a는 비교예에 따른 액정표시장치의 전계를 나타낸 도면이고, 도 15b는 실시예에 따른 액정표시장치의 전계를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부한 도면을 참조하여 본 발명의 일 실시 예들을 상세히 설명하면 다음과 같다.
- [0022] 도 4는 본 발명의 제 1 실시 예에 따른 액정표시장치 어레이 기관을 나타낸 평면도이다.
- [0023] 도 4를 참조하면, 복수의 서브픽셀(P)을 포함하는 기관(미도시) 상에 일 방향으로 연장되며 배열된 게이트 라인(103)이 위치하고, 상기 게이트 라인(103)과 교차하여 서브픽셀(P)을 정의하는 데이터 라인(107)이 위치한다. 그리고, 데이터 라인(107)과 나란한 공통 라인(109)이 위치한다. 상기 게이트 라인(103), 데이터 라인(107) 및 공통 라인(109)의 교차에 의해 복수의 서브픽셀(P)이 정의된다.
- [0024] 서브픽셀(P)에는 게이트 라인(103)과 일체형인 게이트 전극(103), 게이트 절연막(미도시), 반도체층(미도시), 데이터 라인(107)에 전기적으로 연결된 소스 전극(117), 상기 소스 전극(117)과 이격된 드레인 전극(119)으로 구성된 박막 트랜지스터(Tr)가 위치한다.
- [0025] 본 도면에서 상기 박막 트랜지스터(Tr)는 채널을 이루는 영역이 'U' 형태를 이루는 것을 예로 도시하였지만, 이에 한정되지 않으며, 'I' 형태로도 이루어질 수 있다. 또한, 상기 박막 트랜지스터(Tr)는 게이트 전극(103)이 게이트 라인(103) 그 자체로써 이루어지는 것을 예로 도시하였지만, 이에 한정되지 않으며, 게이트 라인(103)으로부터 서브픽셀(P)로 돌출되어 이루어질 수도 있다.
- [0026] 서브픽셀(P) 내부에서 판 형태의 공통 전극(123)이 공통 라인(109)과 제 1 콘택홀(CH1)을 통해 연결된다. 서브픽셀(P)로 이루어진 표시영역 전면에는 서브픽셀(P)에 형성된 공통 전극(123)에 대응하여 바(bar) 형태를 갖는 복수의 개구부(131)를 갖는 화소 전극(135)이 위치한다. 여기서, 화소 전극(135)은 제 2 콘택홀(CH2) 및 제 3 콘택홀(CH3)을 통해 보조패턴(140)으로 박막 트랜지스터(Tr)의 드레인 전극(119)과 연결된다.
- [0027] 이하, 전술한 본 발명의 제 1 실시 예에 따른 액정표시장치 어레이 기관의 평면 구조에 따른 단면 구조에 대해 설명하기로 한다. 도 5은 도 4의 I-I'에 따라 절취된 단면을 나타낸 도면이다.
- [0028] 도 5를 참조하면, 본 발명의 제 1 실시 예에 따른 액정표시장치 어레이 기관은 기관(101) 상에 일 방향으로 배열된 게이트 라인(미도시)과 일체형의 게이트 전극(103)이 위치하고, 공통 전극(123)이 동일 평면 상에 위치한다. 게이트 전극(103)은 투명도전막(104)과 제 1 금속층(105)으로 이루어진다.
- [0029] 상기 게이트 전극(103) 및 공통 전극(123) 상에 이들을 절연시키는 게이트 절연막(106)이 위치하고, 게이트 절연막(106) 상에 상기 게이트 전극(103)과 대응되는 영역에 반도체층(115a)이 위치한다. 반도체층(115a)의 양측

단부에는 소스 전극(117)과 드레인 전극(119)이 각각 위치하여, 게이트 전극(103), 반도체층(115a), 소스 전극(117) 및 드레인 전극(119)을 포함하는 박막 트랜지스터(Tr)를 구성한다.

[0030] 상기 게이트 절연막(106) 상의 공통 전극(123)과 대응하며, 복수의 개구부(131)가 형성된 화소 전극(123)이 위치한다. 또한, 게이트 절연막(106) 상에 위치하여, 상기 게이트 라인(미도시)과 교차하는 데이터 라인(107)이 위치한다. 데이터 라인(107)은 실리콘층(115b) 및 제 2 금속층(116)으로 이루어진다.

[0031] 상기 소스 전극(117), 드레인 전극(119), 화소 전극(135) 및 데이터 라인(107)을 덮는 패시베이션막(125)이 위치하고, 패시베이션막(125)을 관통하여, 드레인 전극(119)을 노출하는 제 2 콘택홀(CH2) 및 화소 전극(135)을 노출하는 제 3 콘택홀(CH3)이 위치한다. 그리고, 패시베이션막(125) 및 게이트 절연막(106)을 관통하여 공통 전극(123)을 노출하는 제 1 콘택홀(CH1)이 위치한다.

[0032] 상기 패시베이션막(125) 상에 보조패턴(140)이 위치하여, 제 2 콘택홀(CH2) 및 제 3 콘택홀(CH3)을 통해 화소 전극(135)과 드레인 전극(119)을 연결한다. 그리고, 데이터 라인(107)과 대응하는 공통 라인(109)이 위치하여, 제 1 콘택홀(CH1)을 통해 공통 전극(123)과 연결된다.

[0033] 상기와 같이, 본 발명의 제 1 실시 예에 따른 액정표시장치 어레이 기판은 게이트 절연막의 하부에 공통 전극을 형성하고, 패시베이션막과 게이트 절연막 사이에 화소 전극을 형성함으로써, 액정 분자의 선정사각이 큰 현상을 완화시켜주어 투과 효율을 향상시킬 수 있다.

[0034] 이하, 도 4에 본 발명의 제 1 실시 예에 따른 액정표시장치 어레이 기판의 제조방법을 설명하면 다음과 같다. 도 6a 내지 6e는 본 발명의 제 1 실시 예에 따른 액정표시장치 어레이 기판의 제조방법을 공정별로 나타낸 도면이다.

[0035] 도 6a를 참조하면, 본 발명의 제 1 실시 예에 따른 액정표시장치 어레이 기판의 제조방법은 기판(101) 상에 ITO, IZO, ITZO, ZnO 중 선택된 하나의 투명도전물질을 증착하고, 그 상부에 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 제 1 마스크를 이용하여 회절노광한 후 패터닝하여 게이트 전극(103) 및 공통 전극(123)을 형성한다. 이때, 게이트 전극(103)은 투명도전층(104) 및 제 1 금속층(105)이 적층된 형태로 형성하고, 공통 전극(123)은 투명도전물질만으로 이루어지도록 형성한다.

[0036] 다음, 도 6b를 참조하면, 게이트 전극(103) 및 공통 전극(123) 상에 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 게이트 절연막(106)을 형성한다. 이어, 공통 전극(123)과 대응되는 게이트 절연막(106) 상에 투명도전물질을 증착하고 제 2 마스크를 이용하여 패터닝하여 개구부(131)를 구비하는 화소 전극(135)을 형성한다.

[0037] 이어, 도 6c를 참조하면, 상기 기판(101) 상에 비정질 실리콘을 증착하고, 비정질 실리콘 상에 저저항 특성을 갖는 금속물질을 증착한다. 그리고, 제 3 마스크를 이용하여 회절노광한 후 패터닝하여, 반도체층(115a), 반도체층(115a) 상에 위치하는 소스 전극(117) 및 드레인 전극(119)을 형성하고, 실리콘층(115b) 및 제 2 금속층(116)으로 이루어진 데이터 라인(107)을 형성한다. 따라서, 반도체층(115a)과 실리콘층(115b)은 비정질 실리콘 물질로 이루어지고, 소스 전극(117) 및 드레인 전극(119)은 금속물질로 형성된다.

[0038] 다음, 도 6d를 참조하면, 상기 기판(101) 상에 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 패시베이션막(125)을 형성한다. 이어, 제 4 마스크를 이용하여 공통 전극(123)을 노출하는 제 1 콘택홀(CH1), 드레인 전극(119)을 노출하는 제 2 콘택홀(CH2) 및 화소 전극(135)을 노출하는 제 3 콘택홀(CH3)을 형성한다.

[0039] 이어, 도 6e를 참조하면, 상기 기판(101) 상에 저저항 금속물질을 증착하고, 제 5 마스크를 이용하여 패터닝함으로써, 제 1 콘택홀(CH1)을 통해 공통 전극(123)과 연결된 공통 라인(109)을 형성하고, 제 2 콘택홀(CH2) 및 제 3 콘택홀(CH3)을 통해 드레인 전극(119)과 화소 전극(135)을 연결하는 보조패턴(140)을 형성한다. 따라서, 본 발명의 제 1 실시 예에 따른 액정표시장치 어레이 기판을 제조한다.

[0040] 상기와 같이, 본 발명의 제 1 실시 예에 따른 액정표시장치 어레이 기판은 총 5매의 마스크를 이용하여 제조공정을 간소화할 수 있다. 또한, 게이트 절연막의 하부에 공통 전극을 형성하고, 패시베이션막과 게이트 절연막 사이에 화소 전극을 형성함으로써, 액정 분자의 선정사각이 큰 현상을 완화시켜주어 투과 효율을 향상시킬 수 있다.

[0041] 이하, 본 발명의 제 2 및 제 3 실시 예에 따른 액정표시장치 어레이 기판에 대해 설명하기로 한다. 하기에서는 본 발명의 제 1 실시 예와 동일한 구성에 대해서는 그 설명을 간략히 하기로 한다.

- [0042] 도 7은 본 발명의 제 2 실시 예에 따른 액정표시장치 어레이 기판을 나타낸 평면도이다. 본 발명의 제 2 실시 예에 따른 액정표시장치는 전술한 제 1 실시 예의 보조패턴이 없이 드레인 전극과 화소 전극이 직접 연결된 구조를 개시한다.
- [0043] 도 7을 참조하면, 복수의 서브픽셀(P)을 포함하는 기판(미도시) 상에 일 방향으로 연장되며 배열된 게이트 라인(203)이 위치하고, 게이트 라인(203)과 교차하여 서브픽셀(P)을 정의하는 데이터 라인(207)이 위치한다. 그리고, 데이터 라인(207)과 나란한 공통 라인(209)이 위치한다. 상기 게이트 라인(203), 데이터 라인(207) 및 공통 라인(209)의 교차에 의해 복수의 서브픽셀(P)이 정의된다.
- [0044] 서브픽셀(P)에는 게이트 라인(203)과 일체형인 게이트 전극(203), 게이트 절연막(미도시), 반도체층(미도시), 데이터 라인(207)에 전기적으로 연결된 소스 전극(217), 소스 전극(217)과 이격된 드레인 전극(219)으로 구성된 박막 트랜지스터(Tr)가 위치한다.
- [0045] 서브픽셀(P) 내부에서 판 형태의 공통 전극(223)이 공통 라인(209)과 제 1 콘택홀(CH1)을 통해 연결된다. 서브픽셀(P)로 이루어진 표시영역 전면에는 서브픽셀(P)에 형성된 공통 전극(223)에 대응하여 바(bar) 형태를 갖는 복수의 개구부(231)를 갖는 화소 전극(235)이 위치한다. 여기서, 화소 전극(235)은 박막 트랜지스터(Tr)의 드레인 전극(219)과 연결된다.
- [0046] 이하, 전술한 본 발명의 제 2 실시 예에 따른 액정표시장치 어레이 기판의 평면 구조에 따른 단면 구조에 대해 설명하기로 한다. 도 8은 도 7의 II-II'에 따라 절취된 단면을 나타낸 도면이다.
- [0047] 도 8을 참조하면, 본 발명의 제 2 실시 예에 따른 액정표시장치 어레이 기판은 기판(201) 상에 일 방향으로 배열된 게이트 라인(미도시)과 일체형의 게이트 전극(203)이 위치하고, 공통 전극(223)이 동일 평면 상에 위치한다. 게이트 전극(203)은 투명도전막(104)과 제 1 금속층(105)으로 이루어진다.
- [0048] 게이트 전극(203) 및 공통 전극(223) 상에 이들을 절연시키는 게이트 절연막(206)이 위치하고, 게이트 절연막(206) 상에 게이트 전극(203)과 대응되는 영역에 반도체층(215a)이 위치한다. 반도체층(215a)의 양측 단부에는 소스 전극(217)과 드레인 전극(219)이 각각 위치하여, 게이트 전극(203), 반도체층(215a), 소스 전극(217) 및 드레인 전극(219)을 포함하는 박막 트랜지스터(Tr)를 구성한다.
- [0049] 게이트 절연막(206) 상의 공통 전극(223)과 대응하며, 복수의 개구부(231)가 형성된 화소 전극(223)이 위치한다. 또한, 게이트 절연막(206) 상에 위치하여, 게이트 라인(미도시)과 교차하는 데이터 라인(207)이 위치한다. 데이터 라인(207)은 실리콘층(215b) 및 제 2 금속층(216)으로 이루어진다.
- [0050] 상기 소스 전극(217), 드레인 전극(219), 화소 전극(235) 및 데이터 라인(207)을 덮는 패시베이션막(225)이 위치하고, 패시베이션막(225) 및 게이트 절연막(206)을 관통하여 공통 전극(223)을 노출하는 제 1 콘택홀(CH1)이 위치한다.
- [0051] 패시베이션막(225) 상에 데이터 라인(207)과 대응하는 공통 라인(209)이 위치하여, 제 1 콘택홀(CH1)을 통해 공통 전극(223)과 연결된다.
- [0052] 상기와 같이, 본 발명의 제 2 실시 예에 따른 액정표시장치 어레이 기판은 공통 전극과 화소 전극 사이에 하나의 절연막을 개재함으로써, 액정 분자의 선정사각이 큰 현상을 완화시켜주어 투과 효율을 향상시킬 수 있다.
- [0053] 이하, 도 8에 본 발명의 제 2 실시 예에 따른 액정표시장치 어레이 기판의 제조방법을 설명하면 다음과 같다. 도 9a 내지 9e는 본 발명의 제 2 실시 예에 따른 액정표시장치 어레이 기판의 제조방법을 공정별로 나타낸 도면이다.
- [0054] 도 9a를 참조하면, 본 발명의 제 2 실시 예에 따른 액정표시장치 어레이 기판의 제조방법은 기판(201) 상에 IT0, IZO, ITZO, ZnO 중 선택된 하나의 투명도전물질을 증착하고, 그 상부에 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 제 1 마스크를 이용하여 회절노광한 후 패터닝하여 게이트 전극(203) 및 공통 전극(223)을 형성한다. 이때, 게이트 전극(203)은 투명도전층(204) 및 제 1 금속층(205)이 적층된 형태로 형성하고, 공통 전극(223)은 투명도전물질만으로 이루어지도록 형성한다.
- [0055] 다음, 도 9b를 참조하면, 게이트 전극(203) 및 공통 전극(223) 상에 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 게이트 절연막(206)을 형성한다. 이어, 공통 전극(223)과 대응되는 게이트 절연막(206) 상에 투명도전물질을 증착하고 제 2 마스크를 이용하여 패터닝하여 개구부(231)를 구비하는 화소 전극(235)을 형성한다.

- [0056] 이어, 도 9c를 참조하면, 기판(201) 상에 비정질 실리콘을 증착하고, 비정질 실리콘 상에 저저항 특성을 갖는 금속물질을 증착한다. 그리고, 제 3 마스크를 이용하여 회절노광한 후 패터닝하여, 반도체층(215a), 반도체층(215a) 상에 위치하는 소스 전극(217) 및 드레인 전극(219)을 형성하고, 실리콘층(215b) 및 제 2 금속층(216)으로 이루어진 데이터 라인(207)을 형성한다. 따라서, 반도체층(215a)과 실리콘층(215b)은 비정질 실리콘 물질로 이루어지고, 소스 전극(217) 및 드레인 전극(219)은 금속물질로 형성된다. 또한, 이때 드레인 전극(219)은 화소 전극(235)과 연결된다.
- [0057] 다음, 도 9d를 참조하면, 기판(201) 상에 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 패시베이션막(225)을 형성한다. 이어, 제 4 마스크를 이용하여 공통 전극(223)을 노출하는 제 1 콘택홀(CH1)을 형성한다.
- [0058] 이어, 도 9e를 참조하면, 기판(201) 상에 저저항 금속물질을 증착하고, 제 5 마스크를 이용하여 패터닝함으로써, 제 1 콘택홀(CH1)을 통해 공통 전극(223)과 연결된 공통 라인(209)을 형성한다. 따라서, 본 발명의 제 2 실시 예에 따른 액정표시장치 어레이 기판을 제조한다.
- [0059] 상기와 같이, 본 발명의 제 2 실시 예에 따른 액정표시장치 어레이 기판은 총 5매의 마스크를 이용하여 제조공정을 간소화할 수 있다. 또한, 게이트 절연막의 하부에 공통 전극을 형성하고, 패시베이션막과 게이트 절연막 사이에 화소 전극을 형성함으로써, 액정 분자의 전경사각이 큰 현상을 완화시켜주어 투과 효율을 향상시킬 수 있다.
- [0060] 도 10은 본 발명의 제 3 실시 예에 따른 액정표시장치 어레이 기판을 나타낸 평면도이다. 본 발명의 제 3 실시 예에 따른 액정표시장치는 전술한 제 1 및 제 2 실시 예와는 달리, 화소 전극과 공통 전극의 위치가 뒤바뀐 구조를 개시한다.
- [0061] 도 10을 참조하면, 복수의 서브픽셀(P)을 포함하는 기판(미도시) 상에 일 방향으로 연장되며 배열된 게이트 라인(303)이 위치하고, 게이트 라인(303)과 교차하여 서브픽셀(P)을 정의하는 데이터 라인(307)이 위치한다. 그리고, 데이터 라인(307)과 나란한 공통 라인(309)이 위치한다. 상기 게이트 라인(303), 데이터 라인(307) 및 공통 라인(309)의 교차에 의해 복수의 서브픽셀(P)이 정의된다.
- [0062] 서브픽셀(P)에는 게이트 라인(303)과 일체형인 게이트 전극(303), 게이트 절연막(미도시), 반도체층(미도시), 데이터 라인(307)에 전기적으로 연결된 소스 전극(317), 소스 전극(317)과 이격된 드레인 전극(319)으로 구성된 박막 트랜지스터(Tr)가 위치한다.
- [0063] 서브픽셀(P) 내부에서 판 형태의 화소 전극(335)이 박막 트랜지스터(Tr)의 드레인 전극(319)과 제 2 콘택홀(CH2)을 통해 보조패턴(340)으로 연결된다. 서브픽셀(P)로 이루어진 표시영역 전면에는 서브픽셀(P)에 형성된 화소 전극(335)에 대응하여 바(bar) 형태를 갖는 복수의 개구부(331)를 갖는 공통 전극(323)이 위치한다. 여기서, 공통 전극(323)은 공통 라인(309)과 제 1 콘택홀(CH1)을 통해 연결된다.
- [0064] 이하, 전술한 본 발명의 제 3 실시 예에 따른 액정표시장치 어레이 기판의 평면 구조에 따른 단면 구조에 대해 설명하기로 한다. 도 11은 도 10의 III-III'에 따라 절취된 단면을 나타낸 도면이다.
- [0065] 도 11을 참조하면, 본 발명의 제 3 실시 예에 따른 액정표시장치 어레이 기판은 기판(301) 상에 일 방향으로 배열된 게이트 라인(미도시)과 일체형의 게이트 전극(303)이 위치하고, 화소 전극(335)이 동일 평면 상에 위치한다. 게이트 전극(303)은 투명도전막(304)과 제 1 금속층(305)으로 이루어진다.
- [0066] 게이트 전극(303) 및 화소 전극(335) 상에 이들을 절연시키는 게이트 절연막(306)이 위치하고, 게이트 절연막(306) 상에 게이트 전극(303)과 대응되는 영역에 반도체층(315a)이 위치한다. 반도체층(315a)의 양측 단부에는 소스 전극(317)과 드레인 전극(319)이 각각 위치한다. 따라서, 게이트 전극(303), 반도체층(315a), 소스 전극(317) 및 드레인 전극(319)을 포함하는 박막 트랜지스터(Tr)를 구성한다.
- [0067] 게이트 절연막(306) 상의 화소 전극(335)과 대응하며, 복수의 개구부(331)가 형성된 공통 전극(323)이 위치한다. 그리고, 게이트 절연막(306)에 화소 전극(335)을 노출하는 제 2 콘택홀(CH2)이 위치하고, 화소 전극(335)과 드레인 전극(319)을 연결하는 보조패턴(340)이 위치한다. 또한, 게이트 절연막(306) 상에 위치하여, 게이트 라인(미도시)과 교차하는 데이터 라인(307)이 위치한다. 데이터 라인(307)은 실리콘층(315b) 및 제 2 금속층(316)으로 이루어진다.
- [0068] 상기 소스 전극(317), 드레인 전극(319), 공통 전극(323) 및 데이터 라인(307)을 덮는 패시베이션막(325)이 위치하고, 패시베이션막(325)을 관통하여 공통 전극(223)을 노출하는 제 1 콘택홀(CH1)이 위치한다. 패시베이션막(325) 상에 데이터 라인(307)과 대응하는 공통 라인(309)이 위치하여, 제 1 콘택홀(CH1)을 통해 공통 전극(32

3)과 연결된다.

- [0069] 상기와 같이, 본 발명의 제 3 실시 예에 따른 액정표시장치 어레이 기판은 게이트 절연막의 하부에 화소 전극을 형성하고, 패시베이션막과 게이트 절연막 사이에 공통 전극을 형성함으로써, 액정 분자의 선정사각이 큰 현상을 완화시켜주어 투과 효율을 향상시킬 수 있다.
- [0070] 이하, 도 11에 본 발명의 제 3 실시 예에 따른 액정표시장치 어레이 기판의 제조방법을 설명하면 다음과 같다. 도 12a 내지 12f는 본 발명의 제 3 실시 예에 따른 액정표시장치 어레이 기판의 제조방법을 공정별로 나타낸 도면이다.
- [0071] 도 12a를 참조하면, 본 발명의 제 3 실시 예에 따른 액정표시장치 어레이 기판의 제조방법은 기판(301) 상에 IT0, IZO, ITZO, ZnO 중 선택된 하나의 투명도전물질을 증착하고, 그 상부에 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 제 1 마스크를 이용하여 회절노광한 후 패터닝하여 게이트 전극(303) 및 화소 전극(335)을 형성한다. 이때, 게이트 전극(303)은 투명도전층(304) 및 제 1 금속층(305)이 적층된 형태로 형성하고, 화소 전극(335)은 투명도전물질만으로 이루어지도록 형성한다.
- [0072] 다음, 도 12b를 참조하면, 게이트 전극(303) 및 화소 전극(335) 상에 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 게이트 절연막(306)을 형성한다. 이어, 기판(301) 상에 비정질 실리콘을 증착하고, 비정질 실리콘 상에 저저항 특성을 갖는 금속물질을 증착한다. 그리고, 제 2 마스크를 이용하여 회절노광한 후 패터닝하여, 반도체층(315a), 반도체층(315a) 상에 위치하는 소스 전극(317) 및 드레인 전극(319)을 형성하고, 실리콘층(315b) 및 제 2 금속층(316)으로 이루어진 데이터 라인(307)을 형성한다. 따라서, 반도체층(315a)과 실리콘층(315b)은 비정질 실리콘 물질로 이루어지고, 소스 전극(317) 및 드레인 전극(319)은 금속물질로 형성된다.
- [0073] 이어, 도 12c를 참조하면, 상기 게이트 절연막(306)을 제 3 마스크를 이용하여 식각하여 화소 전극(335)을 노출하는 제 2 콘택홀(CH2)을 형성한다.
- [0074] 다음, 도 12d를 참조하면, 화소 전극(335)과 대응되는 게이트 절연막(306) 상에 투명도전물질을 증착하고 제 4 마스크를 이용하여 패터닝하여 개구부(331)를 구비하는 공통 전극(323)과, 드레인 전극(319) 및 화소 전극(335)을 연결하는 보조패턴(340)을 형성한다.
- [0075] 이어, 도 12e를 참조하면, 기판(301) 상에 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 패시베이션막(325)을 형성한다. 그리고, 제 5 마스크를 이용하여 공통 전극(323)을 노출하는 제 1 콘택홀(CH1)을 형성한다.
- [0076] 다음, 기판(301) 상에 저저항 금속물질을 증착하고, 제 6 마스크를 이용하여 패터닝함으로써, 제 1 콘택홀(CH1)을 통해 공통 전극(323)과 연결된 공통 라인(309)을 형성한다. 따라서, 본 발명의 제 3 실시 예에 따른 액정표시장치 어레이 기판을 제조한다.
- [0077] 상기와 같이, 본 발명의 제 3 실시 예에 따른 액정표시장치 어레이 기판은 총 6매의 마스크를 이용하여 제조공정을 간소화할 수 있다. 또한, 게이트 절연막의 하부에 화소 전극을 형성하고, 패시베이션막과 게이트 절연막 사이에 공통 전극을 형성함으로써, 액정 분자의 선정사각이 큰 현상을 완화시켜주어 투과 효율을 향상시킬 수 있다.
- [0078] 도 13은 액정표시장치의 화소 전극들 사이에 구획된 영역을 나타낸 도면이고, 도 14a는 비교예 및 실험예에 따른 액정표시장치의 A 영역에서 셀갭에 따른 액정의 선정사각 변화를 나타낸 도면이고, 도 14b는 비교예 및 실험예에 따른 액정표시장치의 B 영역에서 셀갭에 따른 액정의 선정사각 변화를 나타낸 도면이고, 도 14c는 비교예 및 실험예에 따른 액정표시장치의 C 영역에서 셀갭에 따른 액정의 선정사각 변화를 나타낸 도면이다. 또한, 도 15a는 비교예에 따른 액정표시장치의 전계를 나타낸 도면이고, 도 15b는 실시예에 따른 액정표시장치의 전계를 나타낸 도면이다.
- [0079] 도 13을 참조하면, 액정표시장치의 각 영역은 화소 전극들 사이의 중심인 A 영역, 화소 전극의 에지부인 B 영역 및 화소 전극의 중심부인 C 영역으로 구획하였다. 그리고, 실시예는 본 발명의 도 5에 도시된 액정표시장치 어레이 기판을 포함하는 액정표시장치이고, 비교예는 도 1에 도시된 종래 액정표시장치이다.
- [0080] 도 14a 내지 도 14c를 참조하면, 셀갭에 따른 액정의 선정사각의 변화를 확인해 본 바, 본 발명의 실시예에 따른 액정표시장치의 경우, 화소 전극의 에지부인 B 영역에서 액정의 선정사각 변화가 가장 적은 것을 알 수 있었다. 이와 같은 이유는 도 15a 및 도 15b에서 나타나는 바와 같이, B 영역에서 수직 전계보다 수평전계 분포가 증가되었기 때문이다. 따라서, 비교예의 액정표시장치는 액정층의 투과율이 28%로 나타나지만, 본 발명의 실시

예의 경우 액정층의 투과율이 30%로 향상된 것을 알 수 있다.

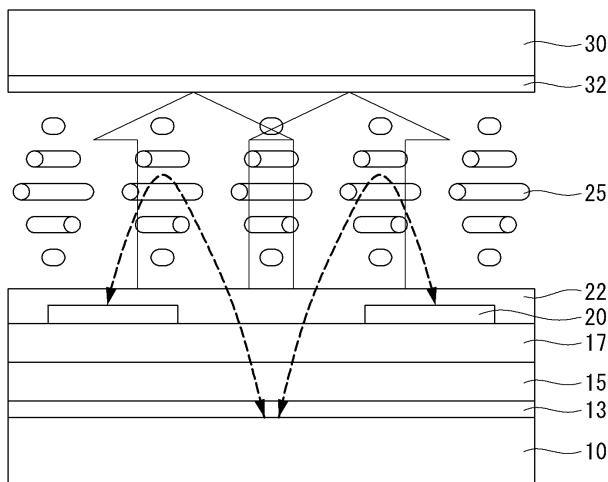
[0081] 그러므로, 회전계형 액정표시장치에서 대부분의 투과가 B 영역에서 발생하는 점을 고려할 때, 본 발명의 실시예에 따른 액정표시장치는 B 영역에서 액정의 선경사각 변화를 작게 함으로써, 액정표시장치의 투과 효율을 향상시킬 수 있는 이점이 있다.

[0082] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

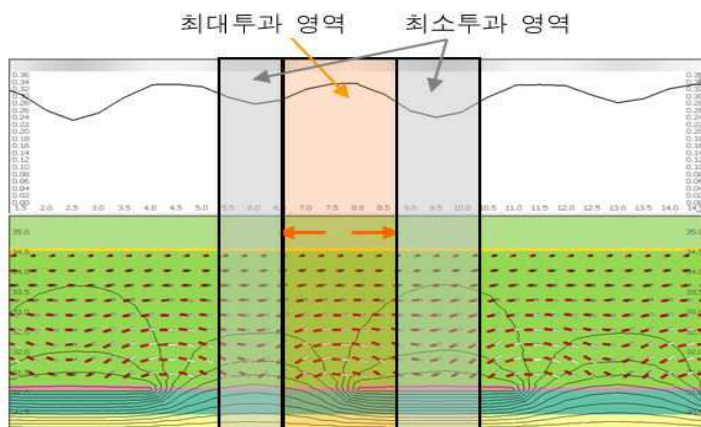
도면

도면1

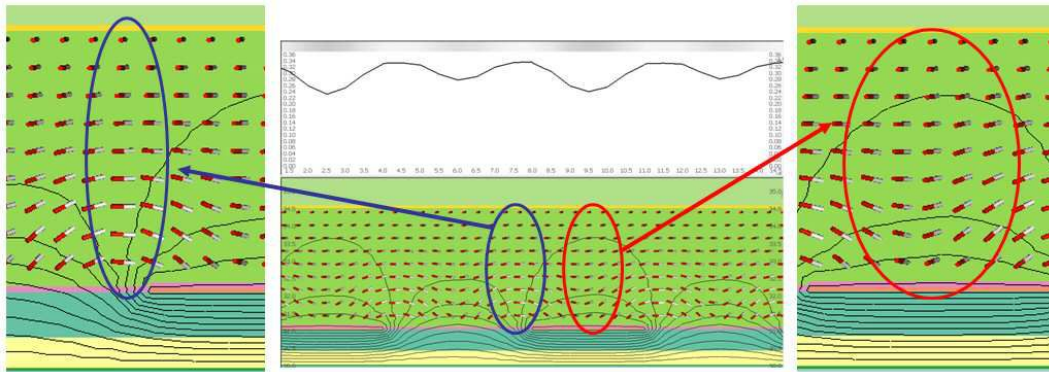
1



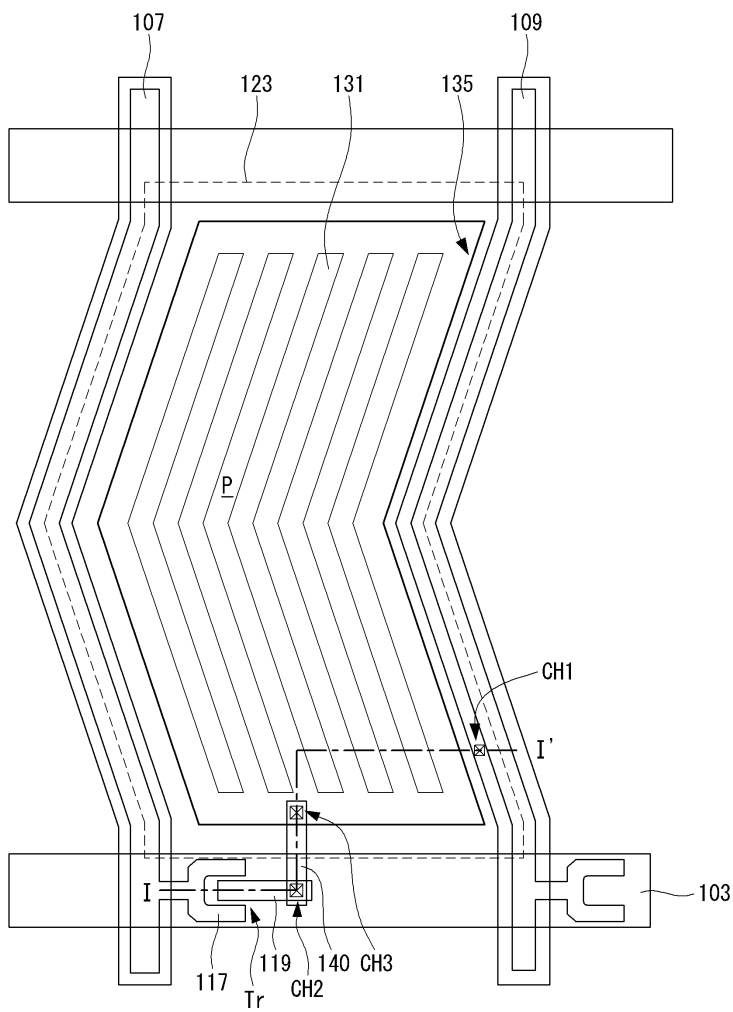
도면2



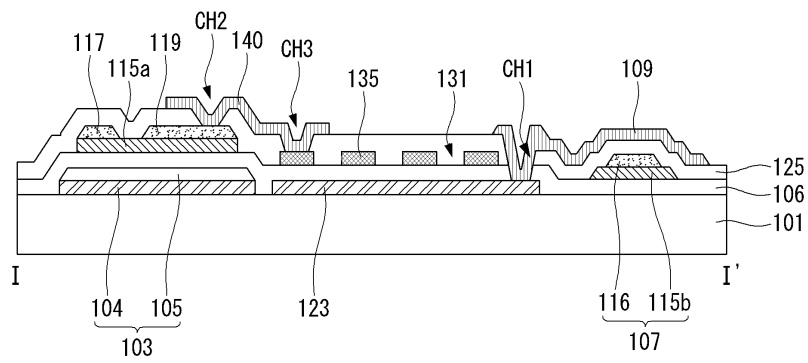
도면3



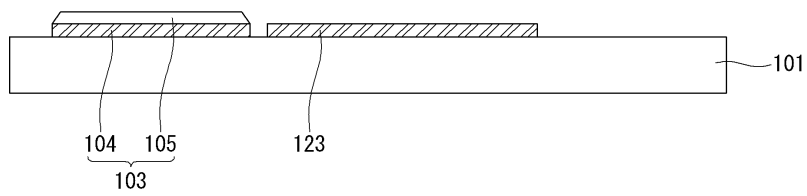
도면4



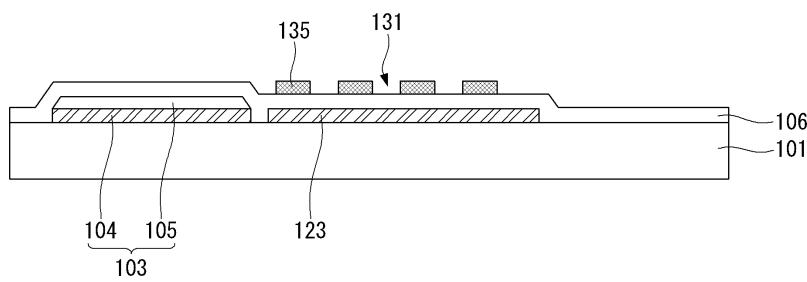
도면5



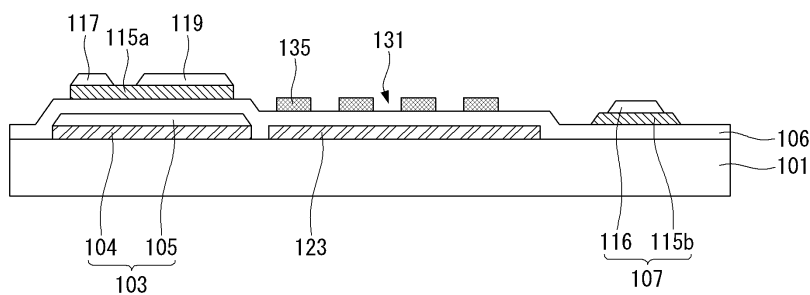
도면6a



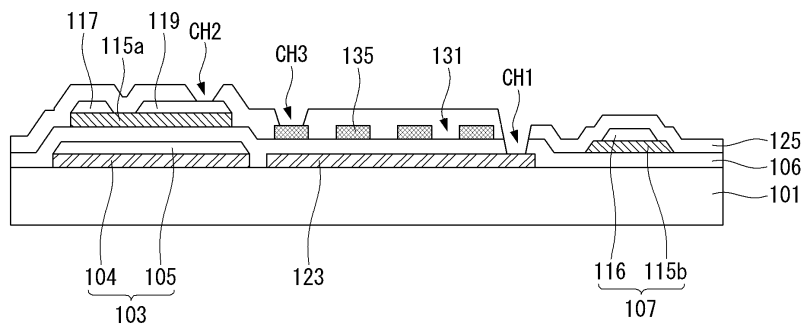
도면6b



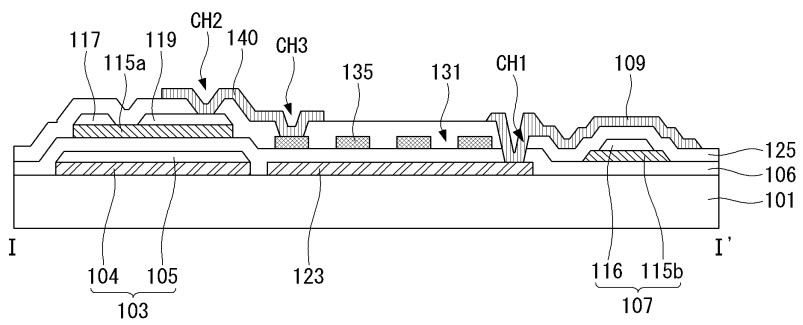
도면6c



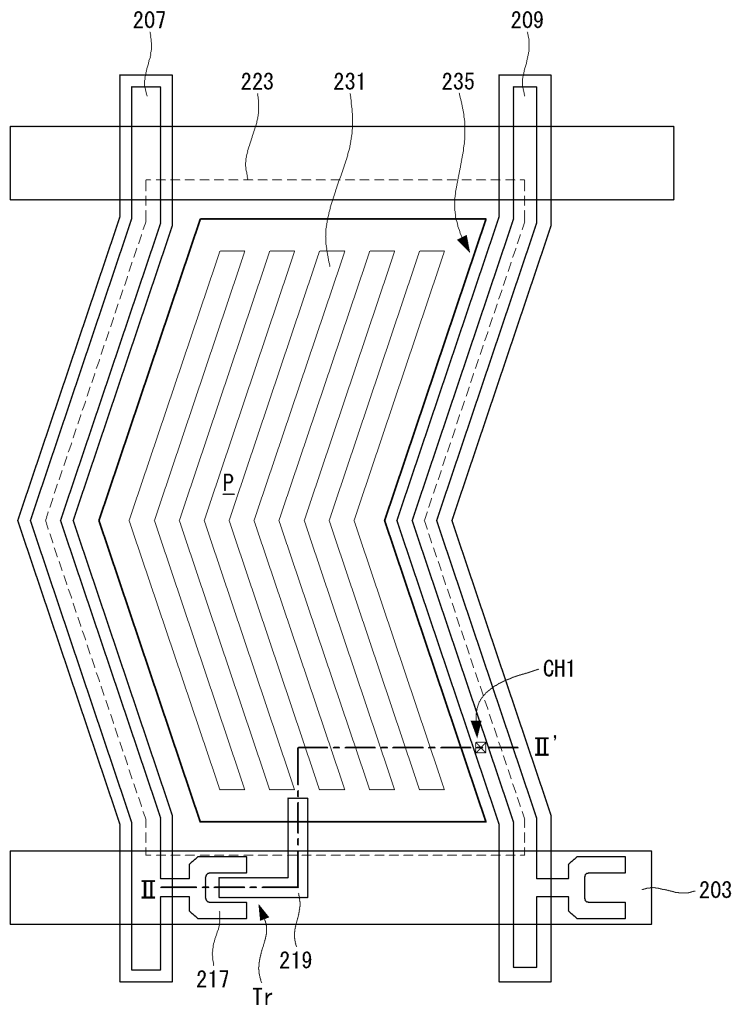
도면6d



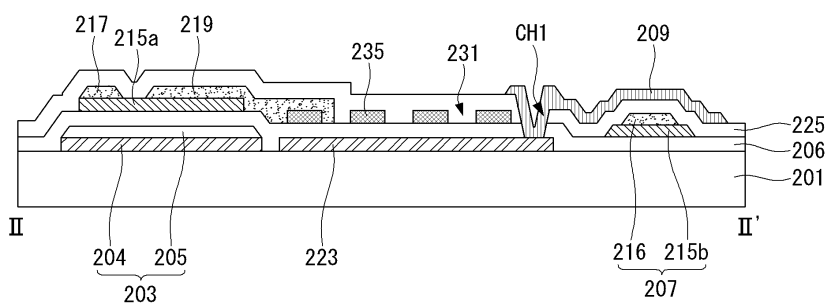
도면6e



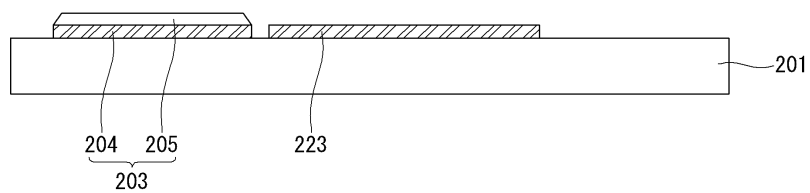
도면7



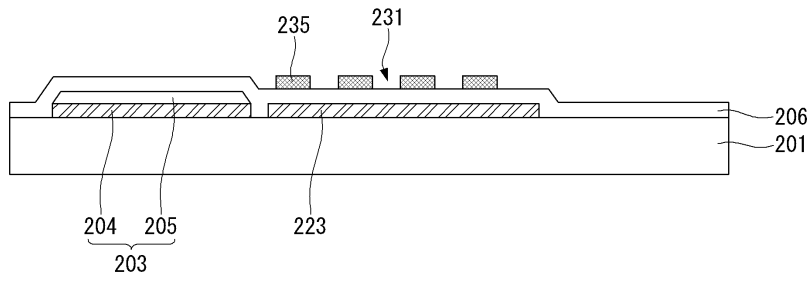
도면8



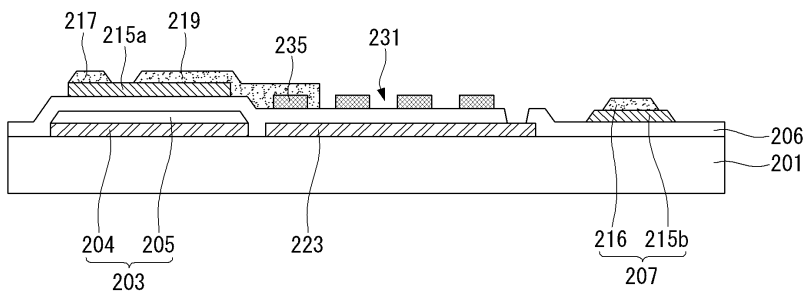
도면9a



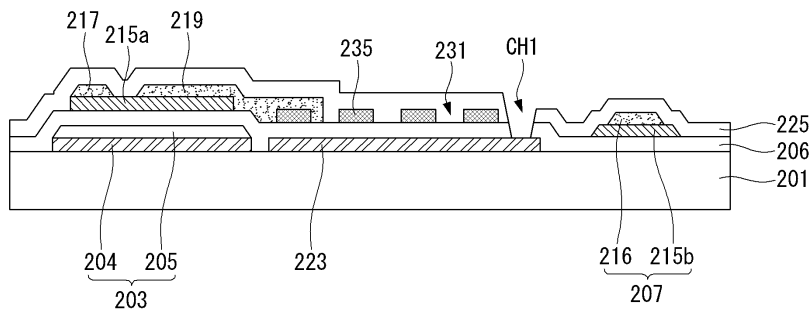
도면9b



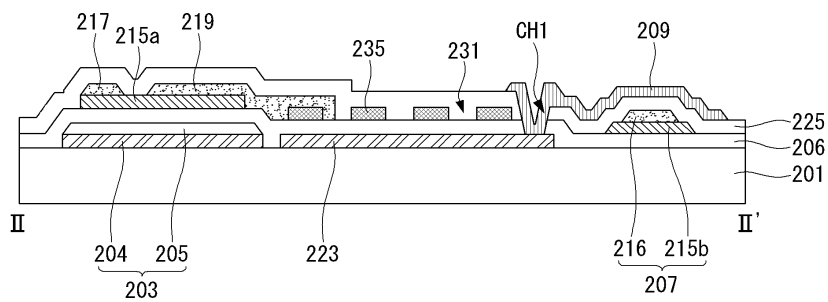
도면9c



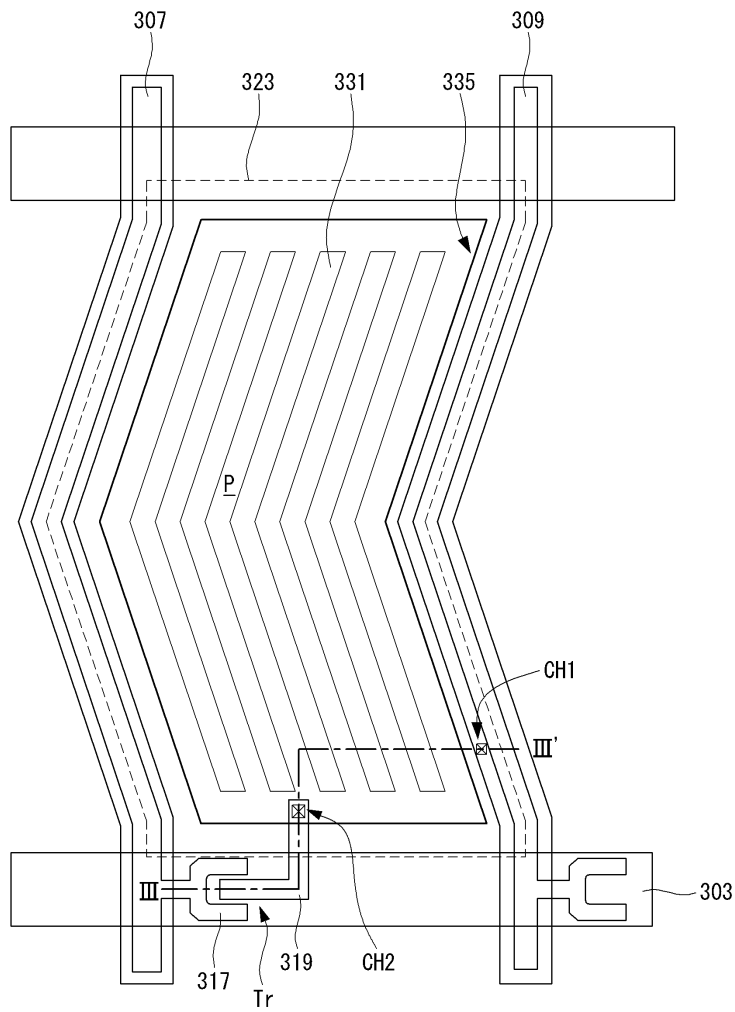
도면9d



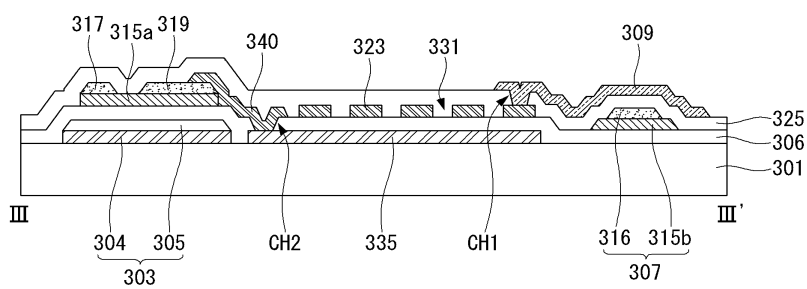
도면9e



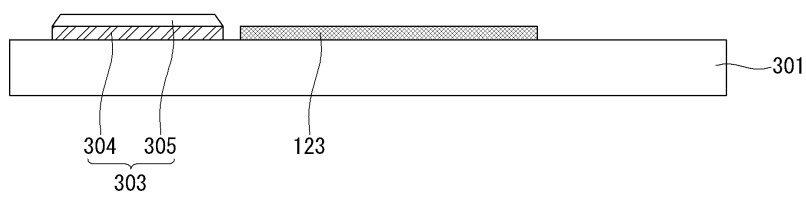
도면10



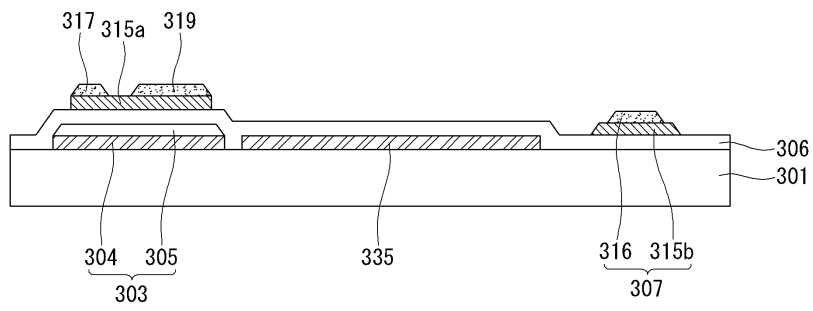
도면11



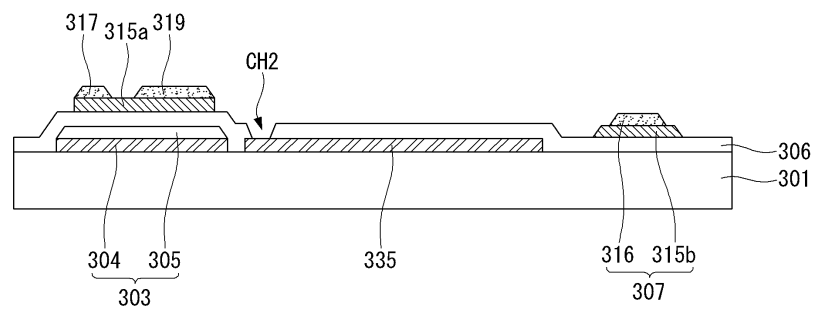
도면12a



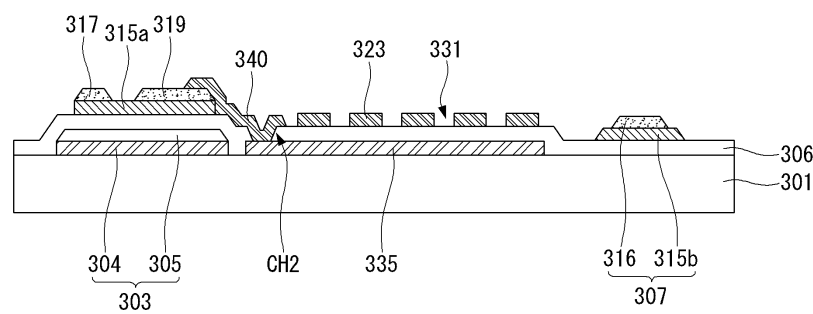
도면12b



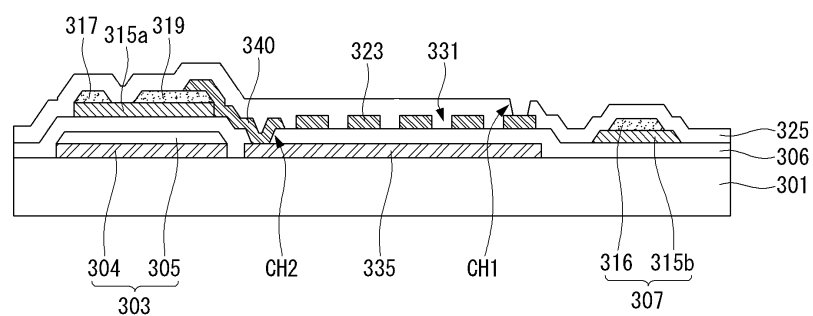
도면12c



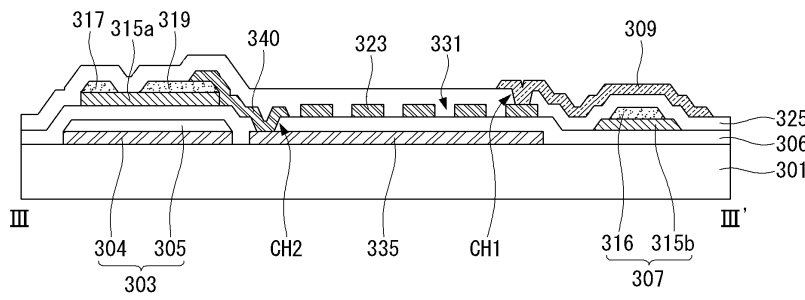
도면12d



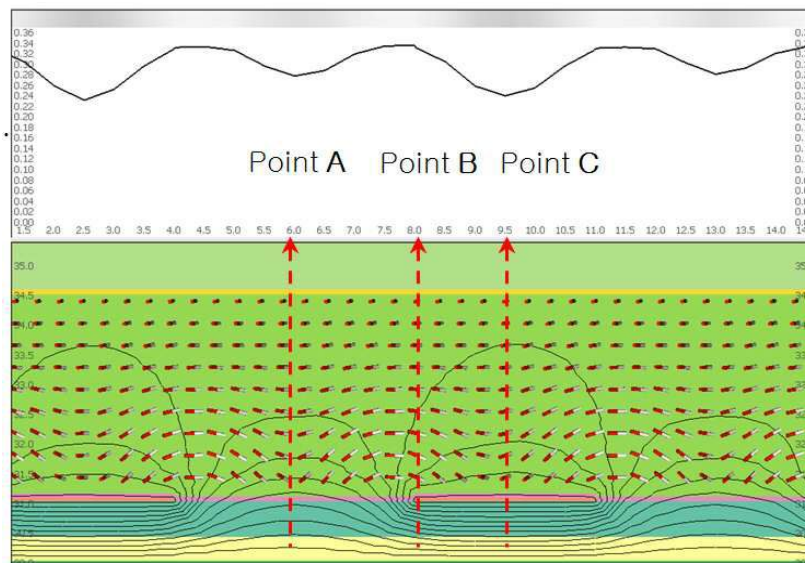
도면12e



도면12f



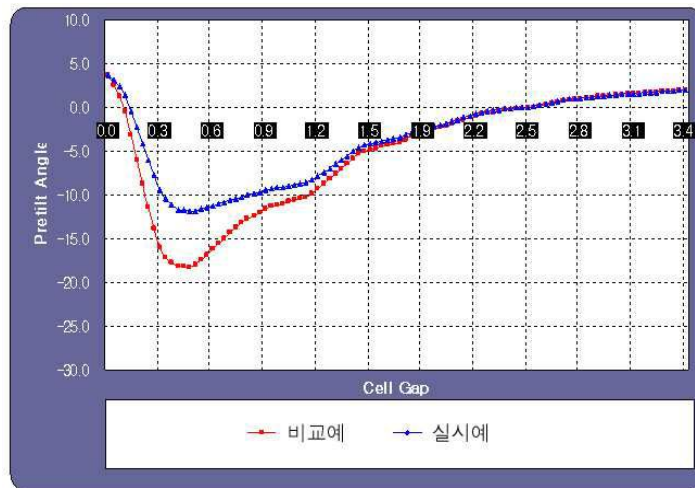
도면13



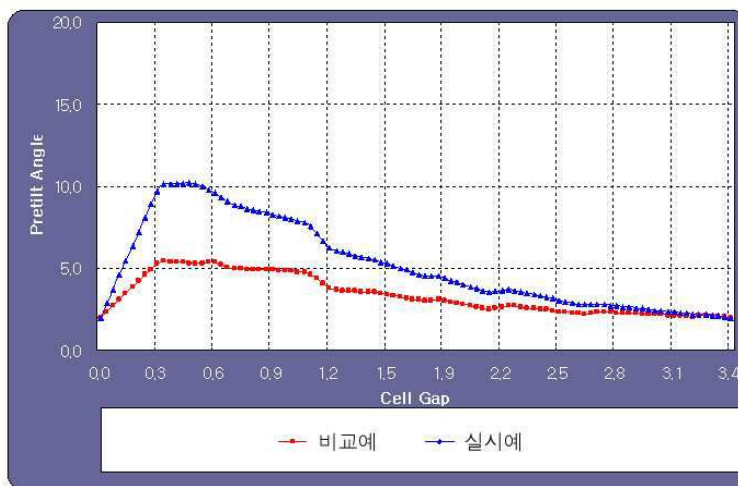
도면14a



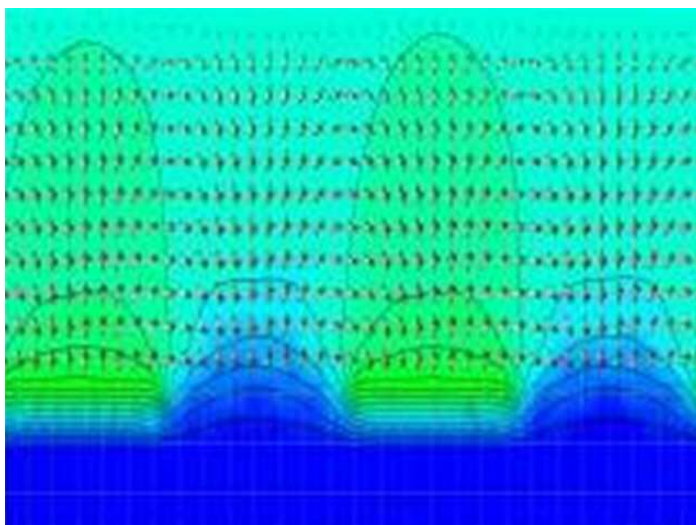
도면14b



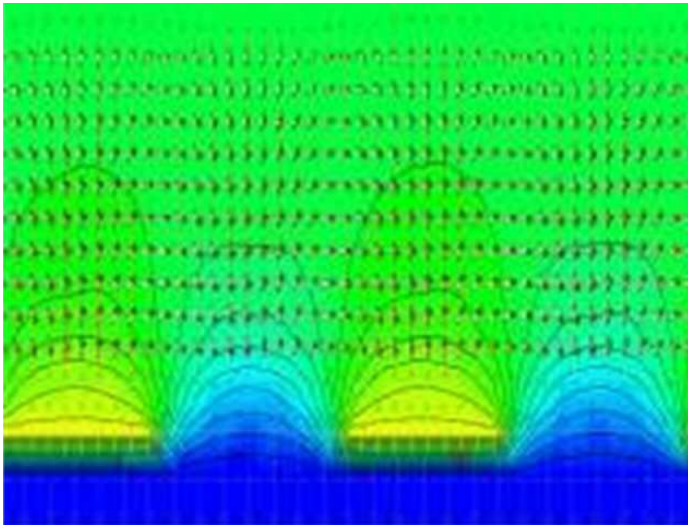
도면14c



도면15a



도면15b



专利名称(译)	液晶显示装置阵列基板及其制造方法		
公开(公告)号	KR101808342B1	公开(公告)日	2017-12-13
申请号	KR1020110035008	申请日	2011-04-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI DAE JUNG 최대정		
发明人	최대정		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/13439 G02F1/136286 G02F1/134309		
其他公开文献	KR1020120117323A		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的液晶显示器阵列基板包括基板，位于基板上的栅极线和公共电极，设置在栅极线和公共电极上的栅极绝缘膜，面向公共电极的像素电极，与栅极线相对的半导体层，与栅极线交叉的数据线，位于半导体层上的源电极，连接到像素电极的漏电极，钝化膜位于源电极和漏电极上，公共线位于钝化膜上并与数据线重叠并连接到公共电极。

