



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년08월07일

(11) 등록번호 10-1765100

(24) 등록일자 2017년07월31일

- (51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) *H01L 29/786* (2006.01)
- (21) 출원번호 10-2010-0118674
- (22) 출원일자 2010년11월26일
 심사청구일자 2015년11월11일
- (65) 공개번호 10-2012-0057093
- (43) 공개일자 2012년06월05일
- (56) 선행기술조사문헌
 JP2010039228 A*
 US20060138403 A1*
 KR1020060114744 A*
 KR1020080110347 A*
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
이승철
경기도 고양시 일산서구 일중로 30 502동 2404호
(일산동, 산들마을아파트)
- (74) 대리인
특허법인천문

전체 청구항 수 : 총 10 항

심사관 : 김종호

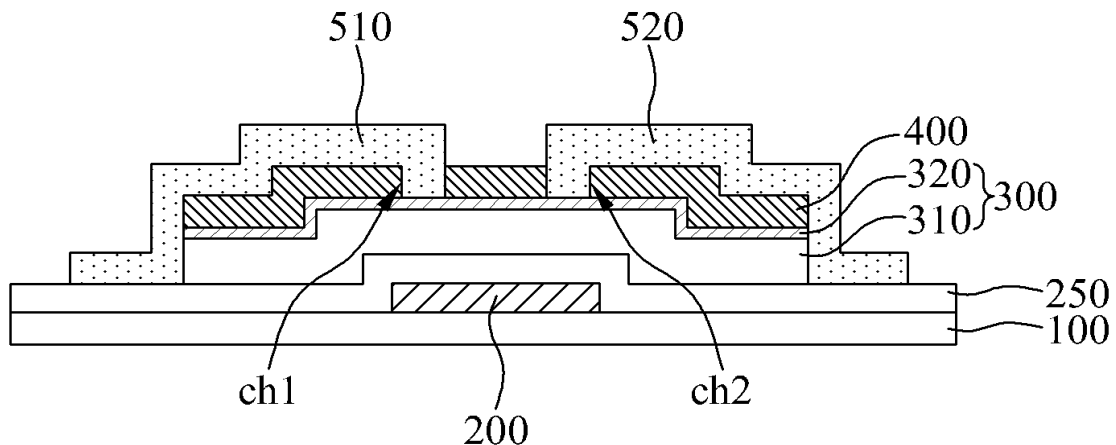
(54) 발명의 명칭 박막 트랜지스터 기판과 그 제조방법 및 그를 이용한 액정표시장치

(57) 요약

본 발명은, 기관 상에 형성된 게이트 전극; 상기 게이트 전극을 포함한 기관 전면에 형성된 게이트 절연막; 상기 게이트 절연막 상에 형성된 액티브층; 상기 액티브층 상에 형성된 오믹 콘택층; 상기 오믹 콘택층 상에 형성되며, 상기 오믹 콘택층의 제1 영역을 노출시키는 제1 콘택홀 및 상기 오믹 콘택층의 제2 영역을 노출시키는

(뒷면에 계속)

대표도 - 도3



제2 콘택홀을 구비하는 보호막; 상기 보호막 상에 형성되며, 상기 제1 콘택홀을 통해 상기 오믹 콘택층의 제1 영역과 연결되는 소스 전극; 및 상기 보호막 상에 형성되며, 상기 제2 콘택홀을 통해 상기 오믹 콘택층의 제2 영역과 연결되는 드레인 전극을 포함하여 이루어진 박막 트랜지스터 기관과 그 제조방법 및 그를 이용한 액정표시장치에 관한 것으로서,

본 발명은 소스 전극과 드레인 전극 사이의 채널 영역에서 오믹 콘택층을 식각하지 않기 때문에, 오믹 콘택층 아래의 액티브층이 과식각될 염려가 없다. 따라서, 액티브층을 얇게 형성할 수 있어 증착 공정 시간이 단축되고, 또한 얇은 액티브층으로 인해 전류 패스(path)가 짧아져 소자 특성이 향상될 수 있다.

명세서

청구범위

청구항 1

기판 상에 배치된 게이트 전극;

상기 게이트 전극을 포함한 기판 전면에 배치된 게이트 절연막;

상기 게이트 절연막 상에 배치된 액티브층;

상기 액티브층 상에 배치된 오믹 콘택층;

상기 오믹 콘택층 상에 배치되며, 상기 오믹 콘택층의 제1 영역을 노출시키는 제1 콘택홀 및 상기 오믹 콘택층의 제2 영역을 노출시키는 제2 콘택홀을 구비하는 보호막;

상기 보호막 상에 배치되며, 상기 제1 콘택홀을 통해 상기 오믹 콘택층의 제1 영역과 연결되는 소스 전극; 및

상기 보호막 상에 배치되며, 상기 제2 콘택홀을 통해 상기 오믹 콘택층의 제2 영역과 연결되는 드레인 전극을 포함하고,

상기 오믹 콘택층은 상기 액티브층과 상기 보호막 사이에 배치되고, 상기 액티브층의 상면 전체를 가리도록 배치된 박막 트랜지스터 기판.

청구항 2

제1항에 있어서,

상기 액티브층 및 오믹 콘택층은 서로 동일한 형태를 갖는 박막 트랜지스터 기판.

청구항 3

제1항에 있어서,

상기 액티브층은 100Å 내지 1000Å의 두께를 갖는 박막 트랜지스터 기판.

청구항 4

제1항에 있어서,

상기 오믹 콘택층은 50Å 내지 300Å의 두께를 갖는 박막 트랜지스터 기판.

청구항 5

제1항에 있어서,

상기 소스 전극 및 드레인 전극을 포함한 기판 전면에는 제2 보호막이 배치되고, 상기 제2 보호막 상에는 화소 전극이 배치되어 있으며,

상기 화소 전극은 상기 제2 보호막에 배치된 제3 콘택홀을 통해서 상기 드레인 전극과 연결된 박막 트랜지스터 기판.

청구항 6

기판 상에 게이트 전극을 패턴 형성하는 공정;

상기 게이트 전극을 포함한 기판 전면에 게이트 절연막을 형성하는 공정;

상기 게이트 절연막 상에 액티브 물질층, 오믹 콘택 물질층, 및 보호 물질층을 차례로 형성하는 공정;

상기 액티브 물질층 및 오믹 콘택 물질층을 패터닝하여 액티브층 및 오믹 콘택층을 형성하는 공정;

상기 보호 물질층을 패터닝하여 상기 오믹 콘택층의 제1 영역을 노출시키는 제1 콘택홀 및 상기 오믹 콘택층의

제2 영역을 노출시키는 제2 콘택홀을 구비하는 보호막을 형성하는 공정; 및

상기 보호막에 형성된 제1 콘택홀을 통해서 상기 오믹 콘택층의 제1 영역과 연결되는 소스 전극을 형성하고, 상기 보호막에 형성된 제2 콘택홀을 통해서 상기 오믹 콘택층의 제2 영역과 연결되는 드레인 전극을 형성하는 공정을 포함하는 박막 트랜지스터 기관의 제조방법.

청구항 7

제6항에 있어서,

상기 액티브층 및 오믹 콘택층은 서로 동일하게 패턴 형성하는 박막 트랜지스터 기관의 제조방법.

청구항 8

제6항에 있어서,

상기 액티브층 및 오믹 콘택층을 형성하는 공정과 상기 보호막을 형성하는 공정은 하프톤 마스크를 이용하여 1회의 노광공정을 통해 수행하는 박막 트랜지스터 기관의 제조방법.

청구항 9

제6항에 있어서,

상기 액티브층은 100Å 내지 1000Å의 두께로 형성하고, 상기 오믹 콘택층은 50Å 내지 300Å의 두께로 형성하는 박막 트랜지스터 기관의 제조방법.

청구항 10

제1 기관 및 제2 기관; 및

상기 제1 기관 및 제2 기관 사이에 형성된 액정층을 포함하여 이루어지고,

상기 제1 기관은 상기 제1항 내지 제5항 중 어느 한 항에 따른 박막 트랜지스터 기관으로 이루어진 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터에 관한 것으로서, 보다 구체적으로는 역 스테거드(Invert-Staggered) 구조의 박막 트랜지스터에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터는 액정표시장치(Liquid Crystal Display Device) 또는 유기 발광장치(Organic Light Emitting Device) 등과 같은 표시장치의 스위칭 소자로서 널리 이용되고 있다.

[0003] 상기 박막 트랜지스터는 게이트 전극, 반도체층, 및 소스/드레인 전극을 포함하여 이루어지는데, 상기 전극들의 배치 모습에 따라 스테거드(Staggered) 구조와 코플래너(Coplanar) 구조로 나눌 수 있다.

[0004] 상기 스테거드 구조는 반도체층을 중심으로 게이트 전극과 소스/드레인 전극이 위 아래로 분리 배치된 구조이고, 상기 코플래너 구조는 게이트 전극과 소스/드레인 전극이 동일 평면에 배치된 구조이다.

[0005] 상기 스테거드 구조는 다시 게이트 전극이 아래에 배치되고 소스/드레인 전극이 위에 배치된 역 스테거드 구조(Invert-staggered)와 게이트 전극이 위에 배치되고 소스/드레인 전극이 아래에 배치된 정상 스테거드(normal staggered) 구조로 나눌 수 있다. 일반적으로, 스테거드 구조, 특히 역 스테거드 구조가 공정수가 적고 계면 특성 등이 우수하여 대량생산에 주로 사용되고 있다.

[0006] 상기 역 스테거드 구조의 박막 트랜지스터는 다시 채널 형성 방법에 따라 백 채널 에치(Back Channel Etched: BCE)형과 에치 스톱퍼(Etch stopper: ES)형으로 나눌 수 있다.

[0007] 상기 에치 스톱퍼형은 반도체층 위에 에치 스톱퍼를 형성함으로써 소스/드레인 전극 형성을 위한 에칭 공정시

반도체층의 채널영역이 에칭되는 것이 방지되는 장점이 있다.

- [0008] 상기 백 채널 에치형은 에치 스톱퍼를 형성하지 않기 때문에 소스/드레인 전극 형성을 위한 에칭 공정시 반도체층의 채널영역이 에칭되는 단점이 있다. 그러나, 상기 백 채널 에치형은 구조가 간단하고 제조 공정시 마스크 공정 회수를 줄일 수 있어 생산성 면에서 상대적으로 유리한 장점이 있고, 그에 따라 대량생산시에는 백 채널 에치형이 주로 이용되고 있다.
- [0009] 이하에서는 도면을 참조로 종래 백 채널 에치(Back Channel Etched: BCE)형 역 스테거드(Invert-Staggered) 구조의 박막 트랜지스터(이하, '박막 트랜지스터'로 약칭함) 기판에 대해서 설명하기로 한다.
- [0010] 도 1은 종래의 박막 트랜지스터 기판의 개략적인 단면도이다.
- [0011] 도 1에서 알 수 있듯이, 종래의 박막 트랜지스터 기판은, 기판(10), 게이트 전극(20), 게이트 절연막(25), 반도체층(30), 소스 전극(40a) 및 드레인 전극(40b)을 포함하여 이루어진다.
- [0012] 상기 게이트 전극(20)은 상기 기판(10) 상에 패턴형성되어 있고, 상기 게이트 절연막(25)은 상기 게이트 전극(20)을 포함한 기판(10) 전면에 형성되어 있다.
- [0013] 상기 반도체층(30)은 상기 게이트 절연막(25) 상에 패턴형성되어 있다.
- [0014] 상기 반도체층(30)은 불순물이 도핑되지 않은 액티브층(32)과 불순물이 도핑된 오믹 콘택층(34)을 포함하여 이루어진다.
- [0015] 상기 오믹 콘택층(34)은 상기 소스 전극(40a) 및 드레인 전극(40b)과 접촉하는 영역에 형성되어 전하의 이동 장벽을 낮추는 기능을 한다.
- [0016] 상기 소스 전극(40a)과 드레인 전극(40a)은 상기 반도체층(30) 상에서 소정 간격으로 서로 이격 형성되어 있다.
- [0017] 도 2a 내지 도 2e는 종래의 박막 트랜지스터 기판의 제조공정을 도시한 개략적인 공정 단면도이다.
- [0018] 우선, 도 2a에서 알 수 있듯이, 기판(10) 상에 게이트 전극(20)을 패턴 형성한다.
- [0019] 다음, 도 2b에서 알 수 있듯이, 상기 게이트 전극(20)을 포함한 기판(10) 전면에 게이트 절연막(25)을 형성한다.
- [0020] 다음, 도 2c에서 알 수 있듯이, 상기 게이트 절연막(25) 상에 반도체층(30)을 형성한다.
- [0021] 상기 반도체층(30)은 상기 게이트 절연막(25) 상에 액티브층(32)을 형성하고 상기 액티브층(32)의 상면에 불순물을 도핑하여 오믹 콘택층(34)을 형성한 후 패터닝하는 공정을 통해 형성한다.
- [0022] 다음, 도 2d에서 알 수 있듯이, 상기 오믹 콘택층(34) 상에 소정 간격으로 이격되는 상기 소스 전극(40a) 및 드레인 전극(40b)을 형성한다.
- [0023] 다음, 도 2e에서 알 수 있듯이, 상기 소스 전극(40a) 및 드레인 전극(40b) 사이의 오믹 콘택층(34)을 제거하여 박막 트랜지스터를 완성한다.
- [0024] 그러나, 이와 같은 종래의 박막 트랜지스터 기판은 다음과 같은 문제점이 있다.
- [0025] 도 2e에서 알 수 있듯이, 상기 소스 전극(40a) 및 드레인 전극(40b) 사이의 오믹 콘택층(34)을 제거하는 공정 시에는 상기 오믹 콘택층(34)과 더불어 그 아래의 액티브층(32)의 일부도 함께 제거한다. 그 이유는, 전술한 도 2c 공정에서 오믹 콘택층(34) 형성을 위해 불순물을 도핑하게 되면 도핑한 불순물이 확산되어 상기 액티브층(32)의 상부에 불순물이 잔존할 수 있고, 그 경우 누설전류가 증가되기 때문이다.
- [0026] 그러나, 상기 소스 전극(40a) 및 드레인 전극(40b) 사이의 오믹 콘택층(34)을 제거하는 공정 시에 그 아래의 액티브층(32)의 일부도 함께 제거할 경우, 상기 액티브층(32)이 과식각되는 문제가 발생할 수 있다.
- [0027] 한편, 이와 같은 액티브층(32)이 과식각되는 점을 고려하여 상기 액티브층(32)을 전체적으로 두껍게 형성할 수도 있으나, 그 경우 액티브층(32)의 증착공정 시간이 증가되고 또한 두꺼운 액티브층(32)으로 인해 전류 패스(path)가 길어져 결국 소자 특성이 저하되는 문제점이 있다.
- [0028] 또한, 상기 소스 전극(40a) 및 드레인 전극(40b) 사이의 채널 영역이 노출되어 있기 때문에 공정 진행 중에 상기 채널 영역이 오염되어 화상 재현시 얼룩 불량이 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0029] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 액티브층을 얇게 형성함으로써 증착 공정시간을 단축할 수 있고 전류패스가 단축되어 소자 특성을 향상시킬 수 있으며, 또한 소스 전극 및 드레인 전극 사이의 채널 영역이 오염되는 것을 방지할 수 있는 박막 트랜지스터 기판과 그 제조방법을 제공하는 것을 목적으로 한다.
- [0030] 본 발명은 또한 상기와 같은 박막 트랜지스터 기판을 적용한 액정표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0031] 본 발명은 상기 목적을 달성하기 위해서, 기판 상에 형성된 게이트 전극; 상기 게이트 전극을 포함한 기판 전면에 형성된 게이트 절연막; 상기 게이트 절연막 상에 형성된 액티브층; 상기 액티브층 상에 형성된 오믹 콘택층; 상기 오믹 콘택층 상에 형성되며, 상기 오믹 콘택층의 제1 영역을 노출시키는 제1 콘택홀 및 상기 오믹 콘택층의 제2 영역을 노출시키는 제2 콘택홀을 구비하는 보호막; 상기 보호막 상에 형성되며, 상기 제1 콘택홀을 통해 상기 오믹 콘택층의 제1 영역과 연결되는 소스 전극; 및 상기 보호막 상에 형성되며, 상기 제2 콘택홀을 통해 상기 오믹 콘택층의 제2 영역과 연결되는 드레인 전극을 포함하여 이루어진 박막 트랜지스터 기판을 제공한다.
- [0032] 상기 액티브층 및 오믹 콘택층은 서로 동일하게 패턴 형성될 수 있다.
- [0033] 상기 액티브층은 100Å 내지 1000Å의 두께로 형성될 수 있다.
- [0034] 상기 오믹 콘택층은 50Å 내지 300Å의 두께로 형성될 수 있다.
- [0035] 상기 소스 전극 및 드레인 전극을 포함한 기판 전면에는 제2 보호막이 형성되고, 상기 제2 보호막 상에는 화소 전극이 형성되어 있으며, 상기 화소 전극은 상기 제2 보호막에 형성된 제3 콘택홀을 통해서 상기 드레인 전극과 연결될 수 있다.
- [0036] 본 발명은 또한, 기판 상에 게이트 전극을 패턴 형성하는 공정; 상기 게이트 전극을 포함한 기판 전면에서 게이트 절연막을 형성하는 공정; 상기 게이트 절연막 상에 액티브 물질층, 오믹 콘택 물질층, 및 보호 물질층을 차례로 형성하는 공정; 상기 액티브 물질층 및 오믹 콘택 물질층을 패터닝하여 액티브층 및 오믹 콘택층을 형성하는 공정; 상기 보호 물질층을 패터닝하여 상기 오믹 콘택층의 제1 영역을 노출시키는 제1 콘택홀 및 상기 오믹 콘택층의 제2 영역을 노출시키는 제2 콘택홀을 구비하는 보호막을 형성하는 공정; 및 상기 보호막에 형성된 제1 콘택홀을 통해서 상기 오믹 콘택층의 제1 영역과 연결되는 소스 전극을 형성하고, 상기 보호막에 형성된 제2 콘택홀을 통해서 상기 오믹 콘택층의 제2 영역과 연결되는 드레인 전극을 형성하는 공정을 포함하여 이루어진 박막 트랜지스터 기판의 제조방법을 제공한다.
- [0037] 상기 액티브층 및 오믹 콘택층을 형성하는 공정과 상기 보호막을 형성하는 공정은 하프톤 마스크를 이용하여 1회의 노광공정을 통해 수행할 수 있다.
- [0038] 본 발명은 또한, 제1 기판 및 제2 기판; 및 상기 제1 기판 및 제2 기판 사이에 형성된 액정층을 포함하여 이루어지고, 상기 제1 기판은 전술한 박막 트랜지스터 기판으로 이루어진 것을 특징으로 하는 액정표시장치를 제공한다.

발명의 효과

- [0039] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.
- [0040] 본 발명은 소스 전극과 드레인 전극 사이의 채널 영역에서 오믹 콘택층을 식각하지 않기 때문에, 오믹 콘택층 아래의 액티브층이 과식각될 염려가 없다. 따라서, 액티브층을 얇게 형성할 수 있어 증착 공정 시간이 단축되고, 또한 얇은 액티브층으로 인해 전류 패스(path)가 짧아져 소자 특성이 향상될 수 있다.
- [0041] 본 발명은 채널 영역이 보호막에 의해 가려져 있는 상태에서 소스 전극 및 드레인 전극의 패턴 형성 공정 등 후속 공정을 진행하게 되므로, 공정 진행 중에 상기 반도체층의 채널 영역이 오염되지 않게 되고, 결국 화상 재현 시 얼룩 불량이 발생하지 않게 된다.

도면의 간단한 설명

- [0042] 도 1은 종래의 박막 트랜지스터 기관의 개략적인 단면도이다.
- 도 2a 내지 도 2e는 종래의 박막 트랜지스터 기관의 제조공정을 도시한 개략적인 공정 단면도이다.
- 도 3은 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도이다.
- 도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 제조공정을 도시한 개략적인 공정 단면도이다.
- 도 5는 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 단면도이다.
- 도 6은 본 발명의 다른 실시예에 따른 액정표시장치의 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0043] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 설명하기로 한다.
- [0044] 도 3은 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도이다.
- [0045] 도 3에서 알 수 있듯이, 본 발명의 일 실시예에 따른 박막 트랜지스터 기관은, 기판(100), 게이트 전극(200), 게이트 절연막(250), 반도체층(300), 보호막(400), 소스 전극(510), 및 드레인 전극(520)을 포함하여 이루어진다.
- [0046] 상기 기판(100)은 유리 또는 투명한 플라스틱과 같은 투명한 재료로 이루어질 수 있다.
- [0047] 상기 게이트 전극(200)은 상기 기판(100) 상에 패턴 형성되어 있다.
- [0048] 상기 게이트 전극(200)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뮴(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수도 있다.
- [0049] 상기 게이트 절연막(250)은 상기 게이트 전극(200)을 포함한 기판(100) 전면에 형성되어 있다.
- [0050] 상기 게이트 절연막(250)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 이루어질 수 있으며, 상기 산화막 또는 질화막의 단일막 또는 2층 이상의 다중막으로 이루어질 수도 있다.
- [0051] 상기 반도체층(300)은 액티브층(310) 및 오믹 콘택층(320)으로 이루어진다.
- [0052] 상기 액티브층(310)은 상기 게이트 절연막(250) 상에 패턴 형성되어 있고, 상기 오믹 콘택층(320)은 상기 액티브층(310) 상에 패턴 형성되어 있다.
- [0053] 상기 액티브층(310)과 오믹 콘택층(320)은 동일한 형태로 패턴 형성되어 있다.
- [0054] 상기 액티브층(310)은 비정질 실리콘(a-Si)과 같은 반도체물질로 이루어지고, 상기 오믹 콘택층(320)은 비정질 실리콘(a-Si)과 같은 반도체물질에 불순물, 예를 들어 인(P)과 같은 5족원소가 도핑되어 이루어질 수 있다.
- [0055] 상기 보호막(400)은 상기 반도체층(300), 보다 구체적으로는 상기 오믹 콘택층(320) 상에 패턴 형성되어 있다.
- [0056] 상기 보호막(400)은 상기 오믹 콘택층(320)의 제1 영역이 노출되도록 제1 콘택홀(ch1)을 구비함과 더불어 상기 오믹 콘택층(320)의 제2 영역이 노출되도록 제2 콘택홀(ch2)을 구비한다.
- [0057] 상기 오믹 콘택층(320)의 제1 영역 및 제2 영역은 서로 상이한 영역이며, 따라서, 상기 제1 콘택홀(ch1) 및 제2 콘택홀(ch2)도 서로 상이한 영역에 형성된다.
- [0058] 상기 보호막(400)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)과 같은 무기막으로 이루어질 수도 있고, 아크릴과 같은 유기막으로 이루어질 수도 있으며, 무기막과 유기막의 다중막으로 이루어질 수도 있다.
- [0059] 상기 소스 전극(510) 및 드레인 전극(520)은 상기 보호막(400) 상에 패턴 형성되어 있다.
- [0060] 상기 소스 전극(510)은 상기 보호막(400)에 구비된 제1 콘택홀(ch1)을 통해서 상기 오믹 콘택층(320)의 제1 영역과 연결되어 있고, 상기 드레인 전극(520)은 상기 보호막(400)에 구비된 제2 콘택홀(ch2)을 통해서 상기 오믹 콘택층(320)의 제2 영역과 연결되어 있다.

- [0061] 상기 소스 전극(510) 및 드레인 전극(520)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뮴(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수도 있다.
- [0062] 한편, 도시하지는 않았지만, 상기 소스 전극(510) 및 드레인 전극(520)을 포함한 기판(100) 전면에는 제2 보호막이 추가로 형성되고, 상기 제2 보호막 상에는 화소 전극이 추가로 형성될 수 있다. 이때, 상기 제2 보호막에는 제3 콘택홀이 추가로 형성되어 있고, 상기 화소 전극은 상기 제3 콘택홀을 통해 상기 드레인 전극(520)과 연결된다. 이에 대해서는 후술하는 액정표시장치에 대한 설명을 참조하면 용이하게 이해할 수 있을 것이다.
- [0063] 도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 제조공정을 도시한 개략적인 공정 단면도이다.
- [0064] 우선, 도 4a에서 알 수 있듯이, 기판(100) 상에 게이트 전극(200)을 패터닝 형성한다.
- [0065] 상기 게이트 전극(200)은 스퍼터링(sputtering)법을 이용하여 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뮴(Nd), 구리(Cu), 또는 그들의 합금을 증착한 후, PR(Photoresist) 도포, 노광, 현상, 식각 및 PR 스트립과 같은 일련의 포토리소그래피(photolithography)법을 이용하여 패터닝 형성할 수 있다.
- [0066] 다음, 도 4b에서 알 수 있듯이, 상기 게이트 전극(200)을 포함한 기판(100) 전면에 게이트 절연막(250)을 형성한다.
- [0067] 상기 게이트 절연막(250)은 플라즈마 강화 화학기상 증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)을 증착하여 형성할 수 있다.
- [0068] 다음, 도 4c에서 알 수 있듯이, 상기 게이트 절연막(250) 상에 액티브 물질층(310a), 오믹 콘택 물질층(320a), 및 보호 물질층(400a)을 차례로 형성한다.
- [0069] 상기 액티브 물질층(310a)은 플라즈마 강화 화학기상 증착법을 이용하여 비정질 실리콘(a-Si)을 증착하여 형성할 수 있다.
- [0070] 상기 오믹 콘택 물질층(320a)은 플라즈마 강화 화학기상 증착법을 이용하여 비정질 실리콘(a-Si)에 인(P)과 같은 5족원소를 도핑하여 형성할 수 있다.
- [0071] 상기 보호 물질층(400a)은 플라즈마 강화 화학기상 증착법을 이용하여 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)을 증착하여 형성할 수 있다.
- [0072] 상기 액티브 물질층(310a), 오믹 콘택 물질층(320a), 및 보호 물질층(400a)은 하나의 PECVD 장비 내에서 원료가스를 변경하면서 연속 공정으로 형성할 수 있다.
- [0073] 다음, 도 4d에서 알 수 있듯이, 상기 액티브 물질층(310a) 및 오믹 콘택 물질층(320a)을 패터닝하여 액티브층(310) 및 오믹 콘택층(320)으로 이루어진 반도체층(300)을 형성함과 더불어 상기 보호 물질층(400a)을 패터닝하여 소정의 보호막(400)을 형성한다.
- [0074] 상기 반도체층(300)의 형성 공정은 상기 액티브 물질층(310a) 및 오믹 콘택 물질층(320a)을 동일하게 패터닝함으로써 동일한 패턴의 액티브층(310) 및 오믹 콘택층(320)을 형성하는 공정으로 이루어질 수 있다.
- [0075] 상기 보호막(400)의 형성 공정은 상기 오믹 콘택층(320)의 제1 영역이 노출되도록 제1 콘택홀(ch1)을 형성함과 더불어 상기 오믹 콘택층(320)의 제2 영역이 노출되도록 제2 콘택홀(ch2)을 형성하는 공정을 포함하여 이루어진다.
- [0076] 상기 제1 콘택홀(ch1) 및 제2 콘택홀(ch2)은 각각 후술하는 소스 전극 및 드레인 전극이 상기 오믹 콘택층(320)과 연결될 수 있는 통로이며, 따라서, 상기 제1 콘택홀(ch1)은 상기 오믹 콘택층(320)의 일단부 영역이 노출되도록 형성하고, 상기 제2 콘택홀(ch2)은 상기 오믹 콘택층(320)의 타단부 영역이 노출되도록 형성한다.
- [0077] 이와 같은 반도체층(300) 및 보호막(400)은 하프톤 마스크(Halftone)를 이용하여 1회의 노광 공정을 통해 패터닝 형성할 수 있다.
- [0078] 다음, 도 4e에서 알 수 있듯이, 상기 보호막(400) 상에 소스 전극(510) 및 드레인 전극(520)을 형성한다.
- [0079] 상기 소스 전극(510)은 상기 보호막(400)에 형성된 제1 콘택홀(ch1)을 통해서 상기 오믹 콘택층(320)의 제1 영역과 연결되도록 패터닝 형성하고, 상기 드레인 전극(520)은 상기 보호막(400)에 형성된 제2 콘택홀(ch2)을 통해

서 상기 오믹 콘택층(320)의 제2 영역과 연결되도록 패턴 형성한다.

- [0080] 상기 소스 전극(510) 및 드레인 전극(520)은 스퍼터링(sputtering)법을 이용하여 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금을 증착한 후, PR(Photoresist) 도포, 노광, 현상, 식각 및 PR 스트립과 같은 일련의 포토리소그래피(photolithography)법을 이용하여 패턴 형성할 수 있다.
- [0081] 이상과 같이, 본 발명은 오믹 콘택층(320) 상에 제1 콘택홀(ch1) 및 제2 콘택홀(ch2)을 구비한 보호막(400)을 형성하고, 상기 제1 콘택홀(ch1)을 통해 상기 오믹 콘택층(320)과 연결되도록 소스 전극(510)을 형성함과 더불어 상기 제2 콘택홀(ch2)을 통해 상기 오믹 콘택층(320)과 연결되도록 드레인 전극(520)을 형성한 것을 특징으로 한다.
- [0082] 따라서, 반도체층(300)의 채널 영역이 상기 보호막(400)에 의해 가려져 있는 상태에서 소스 전극(510) 및 드레인 전극(520)의 패턴 형성 공정 등 후속 공정을 진행하게 되므로, 공정 진행 중에 상기 반도체층(300)의 채널 영역이 오염되지 않게 되고, 결국 화상 재현시 얼룩 불량이 발생하지 않게 된다.
- [0083] 또한, 본 발명은 소스 전극(510)과 드레인 전극(520) 사이의 채널 영역에서 상기 오믹 콘택층(320)을 식각하지 않기 때문에, 오믹 콘택층(320) 아래의 액티브층(310)이 과식각될 염려가 없고, 따라서 액티브층(310)을 얇게 형성할 수 있어 증착 공정 시간이 단축되고, 또한 얇은 액티브층(310)으로 인해 전류 패스(path)가 짧아져 소자 특성이 향상될 수 있다.
- [0084] 구체적으로, 본 발명에 따르면 상기 액티브층(310)을 100Å 내지 1000Å의 두께로 형성하는 것이 바람직한데, 그 이유는 상기 액티브층(310)을 1000Å보다 두껍게 형성할 경우 증착 공정 시간이 증가되고 전류 패스가 길어져 소자 특성이 떨어질 수 있고, 상기 액티브층(310)을 100Å보다 얇게 형성할 경우 공정 제어가 어려울 수 있고 소자 특성도 오히려 떨어질 수 있기 때문이다.
- [0085] 한편, 본 발명에 따르면 상기 소스 전극(510)과 드레인 전극(520) 사이의 채널 영역에서 상기 오믹 콘택층(320)을 식각하지 않는데, 이 경우 박막 트랜지스터의 오프(off) 상태에서 상기 게이트 전극(200)에 음(-)의 전압을 인가하여 상기 오믹 콘택층(320)을 디플리션(depletion)시키면 된다.
- [0086] 따라서, 상기 오믹 콘택층(320)을 디플리션(depletion)시키는 것을 고려하여 상기 오믹 콘택층(320)은 50Å 내지 300Å의 두께로 형성하는 것이 바람직한데, 그 이유는 상기 오믹 콘택층(320)을 300Å보다 두껍게 형성할 경우 디플리션이 용이하지 않을 수 있고, 상기 오믹 콘택층(320)을 50Å보다 얇게 형성할 경우 오믹 콘택층(320)이 그 기능을 충분히 발휘하지 못할 수 있기 때문이다.
- [0087] 도 5는 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 단면도로서, 이는 전술한 도 3에 따른 박막 트랜지스터 기판을 적용한 액정표시장치에 관한 것이다. 따라서, 동일한 구성에 대해서는 동일한 도면 부호를 부여하였고, 동일한 구성에 대한 구체적인 설명은 생략하기로 한다.
- [0088] 도 5에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정표시장치는 박막 트랜지스터 기판(S_T), 컬러 필터 기판(S_C), 및 상기 양 기판 사이에 형성된 액정층(LC)을 포함하여 이루어진다.
- [0089] 상기 박막 트랜지스터 기판(S_T)은 제1 기판(100) 상에 형성된 게이트 전극(200), 게이트 절연막(250), 액티브층(310) 및 오믹 콘택층(320)으로 이루어진 반도체층(300), 보호막(400), 소스 전극(510), 및 드레인 전극(520)을 포함하여 이루어지고, 이와 같은 각각의 구성은 전술한 도 3과 동일하므로, 그에 대한 반복 설명은 생략하기로 한다.
- [0090] 또한, 상기 소스 전극(510) 및 드레인 전극(520)을 포함한 상기 제1 기판(100)의 전면에는 제2 보호막(600)이 형성되어 있고, 상기 제2 보호막(600)에는 제3 콘택홀(ch3)이 형성되어 있어, 상기 제3 콘택홀(ch3)에 의해 상기 드레인 전극(520)이 노출되게 된다.
- [0091] 상기 제2 보호막(600)은 실리콘 산화물 또는 실리콘 질화물과 같은 무기물로 이루어질 수도 있고, 아크릴과 같은 유기물로 이루어질 수도 있으며, 무기물과 유기물의 이중막으로 이루어질 수도 있다.
- [0092] 또한, 상기 제2 보호막(600) 상에는 화소 전극(700)이 형성되어 있는데, 상기 화소 전극(700)은 상기 제3 콘택홀(ch3)을 통해 상기 드레인 전극(520)과 연결되어 있다.
- [0093] 상기 화소 전극(700)은 ITO와 같은 투명한 도전물질로 이루어질 수 있다.

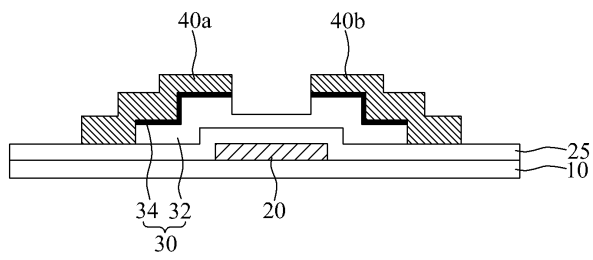
- [0094] 상기 컬러 필터 기관(S_c)은 제2 기관(800) 상에 형성된 차광층(810), 상기 차광층(810) 상에 형성된 컬러필터층(820), 및 상기 컬러필터층(820) 상에 형성된 공통전극(830)을 포함하여 이루어진다.
- [0095] 상기 차광층(810)은 화소영역 이외의 영역으로 광이 누설되는 것을 차단하기 위한 것으로서 매트릭스(matrix)구조로 패턴형성되어 있다.
- [0096] 상기 컬러필터층(820)은 상기 차광층(810) 사이의 영역에 각각 형성된 적색(R), 녹색(G), 및 청색(B)의 컬러필터를 포함하여 형성되어 있다.
- [0097] 상기 공통 전극(830)은 상기 제2 기관(800)의 전면에 형성되어 있어, 상기 제1 기관(100) 상에 형성된 화소 전극(700)과 함께 액정 구동을 위한 전계를 형성하게 된다.
- [0098] 상기 공통 전극(830)은 ITO와 같은 투명한 도전물질로 이루어질 수 있다.
- [0099] 이와 같은 도 5에 도시한 액정표시장치는 상기 박막 트랜지스터 기관(S_T)에 형성된 화소 전극(700)과 상기 컬러 필터 기관(S_c)에 형성된 공통 전극(830) 사이에 발생하는 수직전계에 의해서 상기 액정층(LC)의 배열상태가 변경되고, 그에 따라 광투과도가 조절되어 화상이 디스플레이 되게 된다. 이와 같이 수직전계 방식의 예로는 TN(Twisted Nematic)모드 및 VA(Vertical Alignment) 모드 등을 들 수 있다.
- [0100] 도 6은 전술한 도 3에 따른 박막 트랜지스터 기관을 적용한 본 발명의 다른 실시예에 따른 액정표시장치의 개략적인 단면도이다.
- [0101] 도 6에 따른 액정표시장치는 소위 IPS(In-Plane Switching)모드에 관한 것으로서, 화소 전극(700) 및 공통 전극(830)의 구성을 제외하고는 전술한 도 5에 따른 액정표시장치와 동일하며, 따라서, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0102] 도 6에 따르면, 박막 트랜지스터 기관(S_T)에 화소 전극(700)과 공통 전극(830)이 함께 형성되고, 특히, 상기 화소 전극(700)과 공통 전극(830)은 서로 평행하게 배열되어 있다. 따라서, 상기 화소 전극(700)과 공통 전극(830) 사이에서 발생하는 횡전계에 의해 액정이 구동하게 되며, 이와 같은 IPS 모드는 일반적인 TN(Twisted Nematic)모드에 비하여 시야각 특성이 우수한 장점이 있다.
- [0103] 상기 공통 전극(830)은 도시된 바와 같이 게이트 전극(200)과 동일한 층에 형성될 수 있다. 즉, 상기 공통 전극(830)은 상기 게이트 전극(200) 형성 공정시 동시에 형성할 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 공통 전극(830)의 형성 위치는 다양하게 변경될 수 있으며, 예로서 상기 공통 전극(830)은 상기 화소 전극(700)과 동일한 층에 형성될 수 있다.
- [0104] 상기 공통 전극(830)이 박막 트랜지스터 기관(S_T)에 형성됨에 따라 컬러 필터 기관(S_c) 상에는 기관 평탄화를 위한 오버 코트층(840)이 추가될 수 있다.
- [0105] 한편, 본 발명에 따른 박막 트랜지스터 기관은 이상과 같은 TN(Twisted Nematic)모드, VA(Vertical Alignment) 모드, IPS(In-Plane Switching)모드 이외에도 당업계에 공지된 다양한 모드의 액정표시장치에 적용될 수 있다.

부호의 설명

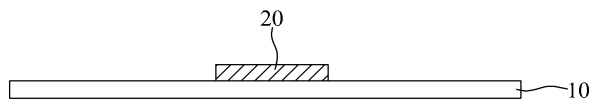
- | | | |
|--------|----------------|-------------|
| [0106] | 100: 기관, 제1 기관 | 200: 게이트 전극 |
| | 250: 게이트 절연막 | 300: 반도체층 |
| | 310: 액티브층 | 320: 오믹 콘택층 |
| | 400: 보호막 | 510: 소스 전극 |
| | 520: 드레인 전극 | 600: 제2 보호막 |
| | 700: 화소 전극 | 800: 제2 기관 |
| | 810: 차광층 | 820: 컬러필터층 |
| | 830: 공통 전극 | 840: 오버 코트층 |

도면

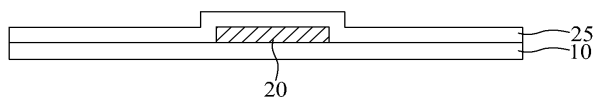
도면1



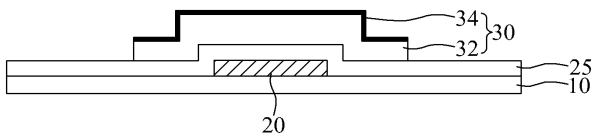
도면2a



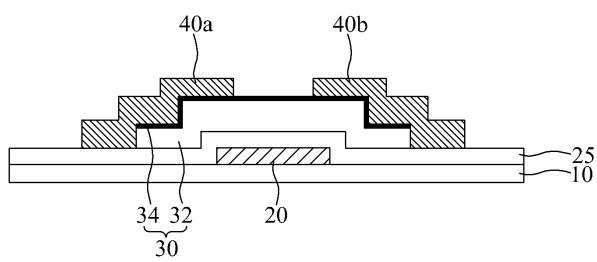
도면2b



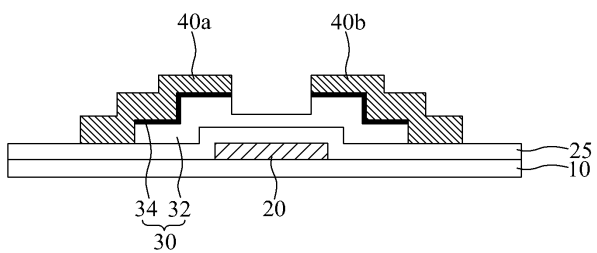
도면2c



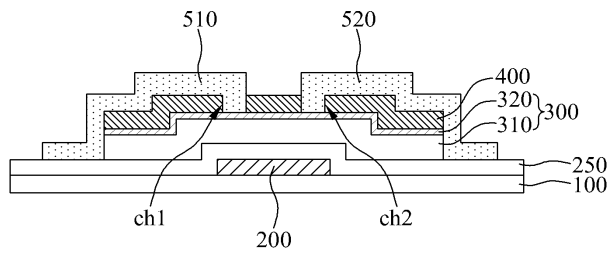
도면2d



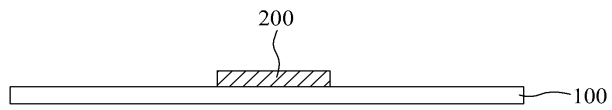
도면2e



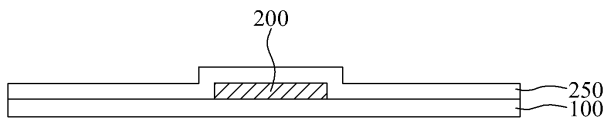
도면3



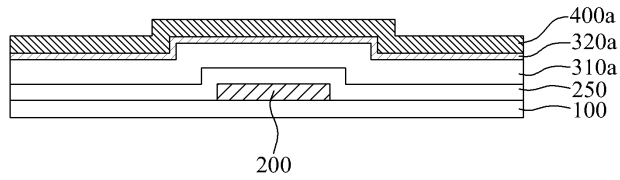
도면4a



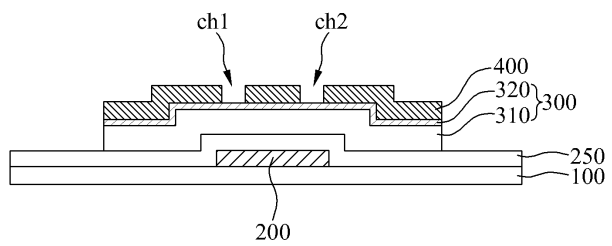
도면4b



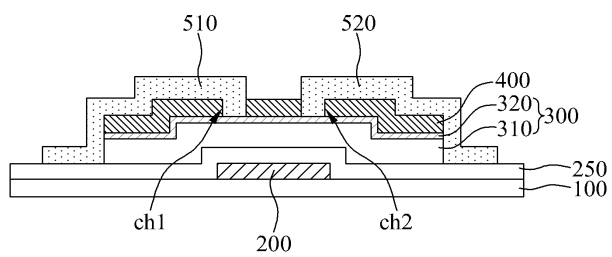
도면4c



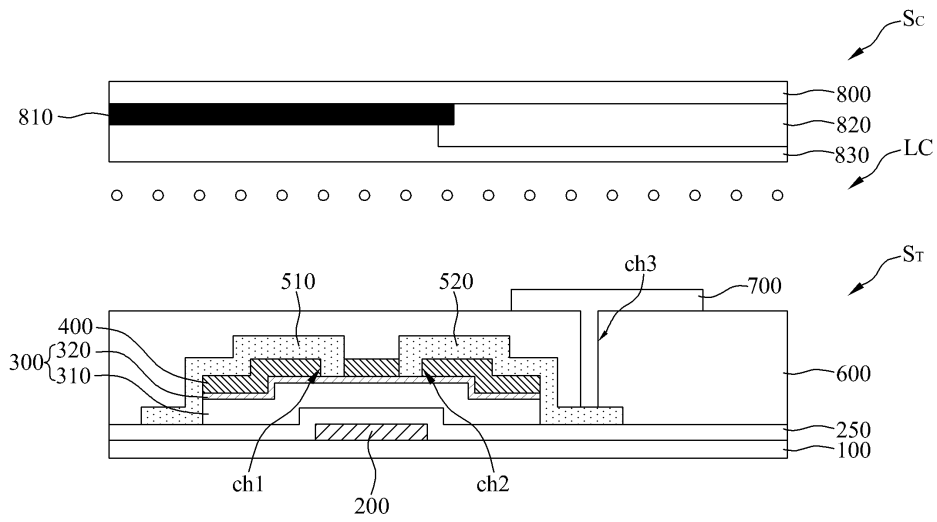
도면4d



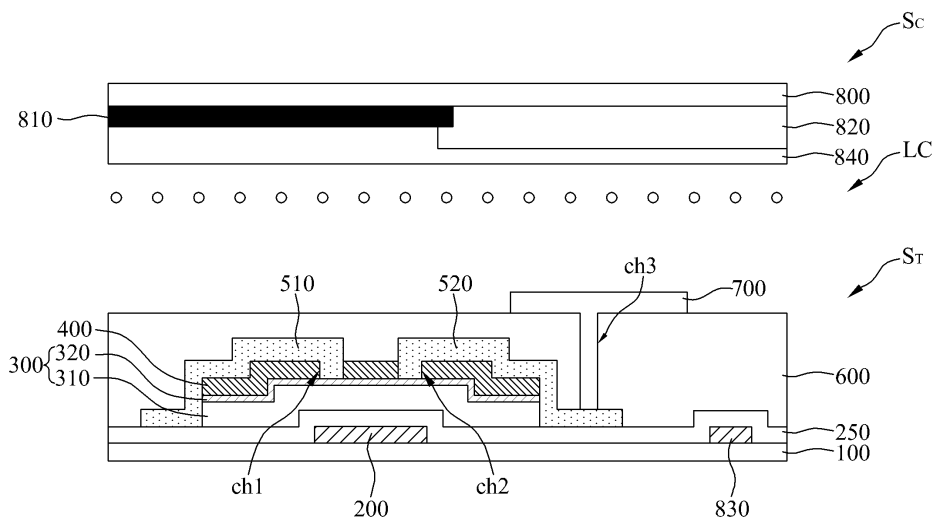
도면4e



도면5



도면6



专利名称(译)	标题：薄膜晶体管基板，其制造方法以及使用其的液晶显示装置		
公开(公告)号	KR101765100B1	公开(公告)日	2017-08-07
申请号	KR1020100118674	申请日	2010-11-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YI SUNG CHOL 이승철		
发明人	이승철		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	H01L29/458 H01L29/41733 H01L29/78606 G02F1/1368		
其他公开文献	KR1020120057093A		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体器件，包括：形成在基板上的栅电极；栅极绝缘膜形成在包括栅极的基板的整个表面上；形成在栅极绝缘膜上的有源层；形成在有源层上的欧姆接触层；一种保护膜，形成在欧姆接触层上，并包括暴露欧姆接触层的第一区域的第一接触孔和暴露欧姆接触层的第二区域的第二接触孔；源电极形成在钝化层上并通过第一接触孔连接到欧姆接触层的第一区域；和作为形成在保护膜，相对于形成包括连接到接触层的薄膜晶体管基板及其制造的方法中，所述第二区域和通过使用相同的第一漏电极欧姆接触孔的第一液晶显示装置，本发明不蚀刻在所述源电极和所述漏电极之间的沟道区中的欧姆接触层，所以不必担心在欧姆接触层暴饮暴食下每个有源层的。因此，可以形成薄的有源层并且可以缩短沉积处理时间，并且可以由于薄的有源层而缩短电流路径，从而可以改善器件特性。

