



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월09일
(11) 등록번호 10-1738453
(24) 등록일자 2017년05월16일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/1343 (2006.01)
G09G 3/36 (2006.01)
(21) 출원번호 10-2010-0139564
(22) 출원일자 2010년12월30일
심사청구일자 2015년12월30일
(65) 공개번호 10-2012-0077565
(43) 공개일자 2012년07월10일
(56) 선행기술조사문헌
KR1020050118812 A
KR1020060063422 A
KR1020090073959 A
KR1020070070766 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
장영순
경상북도 칠곡군 석적읍 동중리9길 13 B동 428호
(중리, LG디스플레이나래원기숙사)
황준경
경기도 파주시 미래로 345, A18-2블럭 삼부르네상스아파트 710동 1701호 (동패동)
(74) 대리인
박장원

전체 청구항 수 : 총 5 항

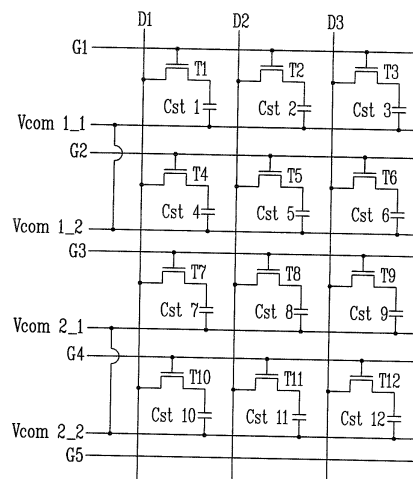
심사관 : 김민수

(54) 발명의 명칭 액정표시장치

(57) 요약

공통전압 생성부의 크기를 줄여 네로우 베젤(narrow bezel) 구현 및 소비 전력을 감소시킬 수 있는 액정표시장치가 제공된다. 액정표시장치는, 화상표시영역과 화상비표시영역을 포함하는 절연 기판, 상기 기판 상에 형성된 다수의 게이트 라인, 상기 다수의 게이트 라인과 서로 교차하도록 형성된 다수의 데이터 라인, 상기 다수의 게이트 라인과 다수의 데이터 라인이 교차하는 영역에 형성된 다수의 화소, 상기 다수의 게이트 라인과 다수의 데이터 라인에 연결되어 있는 다수의 박막트랜지스터, 상기 다수의 게이트 라인의 하부에 배치되며, 상기 다수의 박막트랜지스터의 드레인 전극과 연결되어 있는 스토리지 캐패시터의 일단과 연결되어 있는 다수의 공통 전극 라인 및 상기 다수의 공통 라인에 공통 전압을 제공하는 다수의 공통전압 생성부를 포함하며, 상기 공통전압 생성부는 두 개의 상기 게이트 라인당 하나씩 배치된다.

대표도 - 도7



명세서

청구범위

청구항 1

화상표시영역과 화상비표시영역을 포함하는 절연 기판

상기 기판 상에 형성된 다수의 게이트 라인;

상기 다수의 게이트 라인과 서로 교차하도록 형성된 다수의 데이터 라인;

상기 다수의 게이트 라인과 다수의 데이터 라인이 교차하는 영역에 형성된 다수의 화소;

상기 다수의 게이트 라인과 다수의 데이터 라인에 연결되어 있는 다수의 박막트랜지스터;

상기 다수의 게이트 라인의 하부에 배치되며, 상기 다수의 박막트랜지스터의 드레인 전극과 연결되어 있는 스토리지 캐패시터의 일단과 연결되어 있는 다수의 공통 전극 라인; 및

상기 다수의 공통 라인에 공통 전압을 제공하는 다수의 공통전압 생성부를 포함하며,

상기 공통전압 생성부는 두 개의 상기 게이트 라인당 하나씩 배치되는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 공통전압 생성부는 상기 화상비표시영역에 형성된 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 공통전압의 생성부의 높이는 상기 화소 높이의 2배로 설정되는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 공통전압의 생성부의 폭을 1/2로 설정하는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 공통전압 생성부는 두 개의 상기 게이트 라인당 동일한 극성을 갖는 공통 전압을 제공하는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 공통전압 생성부의 크기를 줄여 네로우 베젤(narrow bezel) 구현 및 소비 전력을 감소시킬 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 디스플레이장치는 시각정보 전달매체로서, 브라운관 면에 문자나 도형의 형식으로 데이터를 시각적으로 표시하는 것을 말한다.

[0003] 일반적으로 평판디스플레이(Flat Panel Display: FPD)장치는 TV 또는 컴퓨터 모니터 브라운관을 이용하여 보다 두께가 얇고 가벼운 영상표시장치로서, 그 종류에는 액정을 이용한 LCD(Liquid Crystal Display; 이하, 액정표

시장치라 함), 가스 방전을 이용한 PDP(Plasma Display Panel : PDP), 형광성 유기화합물에 전류가 흐르면 빛을 내는 발광현상을 이용하여 만든 유기물질인 OLED(Organic Light Emitting) 및 전기장내 하전된 입자가 양극 또는 음극쪽으로 이동하는 현상을 이용하는 EPD(Electric Paper Display) 등이 있다.

- [0004] 평판디스플레이장치 중 가장 대표적인 액정표시장치는 액티브 매트릭스(Active Matrix) 형태로 배열된 화소들에 화상정보에 따른 데이터신호를 개별적으로 공급하여 화소들의 광투과율을 조절함으로써 원하는 화상을 표시한다.
- [0005] 이러한 액정표시장치는 화상을 표시하는 액정패널과 액정패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있다.
- [0006] 도 1은 종래 액정표시장치를 나타내는 도면이고, 도 2는 종래 액정표시장치의 단위 화소를 나타내는 도면이고, 도 3은 종래 액정표시장치의 공통전압 생성부를 나타내는 도면이고, 도 4는 공통전압 생성부의 라인 저항에 의한 크로스토크 현상을 나타내는 도면이다. 여기서, 설명의 편의를 위하여 게이트 구동부(40)와 공통전압 생성부(50)는 하나씩 도시하였다.
- [0007] 도 1을 참조하면, 종래 액정표시장치는 다수의 박막트랜지스터가 형성되어 있는 어레이 기판(10)과 이와 대응 배치되는 컬러필터 기판(30)을 포함한다.
- [0008] 여기서, 어레이 및 컬러필터 기판(10, 30)은 화면표시영역(11)과 화면비표시영역(12)을 포함한다. 이때, 화면표시영역(11)은 실제 화상이 표시되는 영역이고, 화면비표시영역(12)은 기판의 가장자리영역을 나타낸다.
- [0009] 또한, 화면비표시영역(12)에는 다수의 박막트랜지스터를 구동하기 위한 게이트 구동부(40), 공통전압 생성부(50) 및 데이터 구동부(60)가 형성되거나 또는 실장될 수 있다.
- [0010] 게이트 구동부(40)는 다수의 게이트 신호를 생성하며, 어레이 기판(10) 상에 형성되어 있는 다수의 게이트 라인(미도시)에 다수의 게이트 신호를 인가하며, 다수의 게이트 라인에는 다수의 박막트랜지스터가 연결되어 있다. 이렇게 인가된 게이트 신호는 다수의 박막트랜지스터의 게이트 전극에 인가되어 다수의 박막트랜지스터를 턴 온시킨다.
- [0011] 공통전압 생성부(50)는 다수의 공통전압을 생성하며, 다수의 박막트랜지스터에 연결되어 있는 스토리지 캐패시터에 공통전압이 인가된다. 액정패널에 잔상(image sticking) 등과 같은 화상 문제를 개선하기 위해 프레임마다 구동 전압의 극성을 바꾸고 있으며, 공통전압 생성부(50)에서 생성되어 인가되는 공통전압도 프레임마다 극성이 바뀌어 공통전압 라인에 인가된다.
- [0012] 데이터 구동부(60)는 다수의 데이터 신호를 생성하며, 어레이 기판(10) 상에 형성되어 있는 다수의 데이터 라인(미도시)에 다수의 데이터 신호를 인가한다. 이렇게 인가된 데이터 신호는 다수의 박막트랜지스터의 소스 전극(미도시)에 인가되어 화상표시영역(11)에 형성된 다수의 화소(PX)에 데이터 전압을 충전한다.
- [0013] 한편, 어레이 기판(10)과 대응 배치되는 컬러필터 기판(30)에는 다수의 컬러필터(미도시)가 형성되어 있으며, 컬러필터 사이에는 빛이 새는 것을 방지하기 위한 다수의 블랙 매트릭스(미도시)가 형성되어 있다.
- [0014] 도 2 및 도 3을 참조하면, 화상표시영역(11)에 형성된 단위 화소(PX)의 폭(W1)과 높이(H1)는 액정표시장치의 해상도와 화상표시영역의 크기 등에 따라 화소(PX)의 크기가 결정될 수 있다.
- [0015] 이때, 공통전압 생성부(50)는 어레이 기판(10)의 화상비표시영역(12)에 형성되는데, 공통전압 생성부(50)의 높이(H2)도 어레이 기판(10)의 공간 제약에 따라 단위 화소(PX)의 높이(H1)와 동일하게 설정된다. 이에 따라 공통전압 생성부(50)의 폭(W2)은 가로방향으로 증가하게 된다.
- [0016] 상기와 같이, 공통전압 생성부(50)는 게이트 라인의 개수에 따라 공통전압이 인가되는 공통전압 라인이 결정된다. 이에 따라 어레이 기판(10)의 화상비표시영역(12)에 형성되는 공통전압의 생성부(50)의 크기가 커지게 되어 액정표시장치의 베젤 영역 즉, 화상비표시영역(12)의 크기를 줄일 수 없게 되는 단점이 있다.
- [0017] 또한, 도 3에서와 같이, 공통전압 생성부(50)의 높이(H2)가 단위 화소(PX)의 높이(H1)와 동일하게 설정됨에 따라 폭(W2)이 가로방향으로 증가하게 되고, 이에 따라 라인 저항이 증가되어 크로스토크(crosstalk)가 심하게 나타나는 문제점이 있다. 이때, 크로스토크는 다른부분에 의해 표시된 화상에 의해 휘도 변화가 생기는 현상을 말하며, 넓은 의미로 화소 간의 신호 간섭을 말한다.
- [0018] 도 4에서와 같이, 3.54인치 휴대폰에 사용되는 공통전압 생성부(50)의 폭(W2)이 0.9mm인 경우, 공통전압 생성

부(50)의 라인 저항이 60K Ω 이상이며, 라인 저항에 의해 컬러별로 크로스토크(crosstalk)가 나타나는 것을 알 수 있다.

발명의 내용

해결하려는 과제

[0019] 본 발명은 상기한 문제를 해결하기 위한 것으로, 공통전압 생성부의 크기를 줄여 네로우 베젤(narrow bezel) 구현 및 소비 전력을 감소시킬 수 있는 액정표시장치를 제공함에 있다.

[0020] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0021] 상기한 목적들을 달성하기 위하여, 본 발명의 일실시예에 따른 액정표시장치는, 화상표시영역과 화상비표시영역을 포함하는 절연 기판, 상기 기판 상에 형성된 다수의 게이트 라인, 상기 다수의 게이트 라인과 서로 교차하도록 형성된 다수의 데이터 라인, 상기 다수의 게이트 라인과 다수의 데이터 라인이 교차하는 영역에 형성된 다수의 화소, 상기 다수의 게이트 라인과 다수의 데이터 라인에 연결되어 있는 다수의 박막트랜지스터, 상기 다수의 게이트 라인의 하부에 배치되며, 상기 다수의 박막트랜지스터의 드레인 전극과 연결되어 있는 스토리지 캐패시터의 일단과 연결되어 있는 다수의 공통 전극 라인 및 상기 다수의 공통 라인에 공통 전압을 제공하는 다수의 공통전압 생성부를 포함하며, 상기 공통전압 생성부는 두 개의 상기 게이트 라인당 하나씩 배치된다.

[0022] 상기 공통전압 생성부는 상기 화상비표시영역에 형성된다.

[0023] 상기 공통전압의 생성부의 높이는 상기 화소 높이의 2배로 설정된다.

[0024] 상기 공통전압의 생성부의 폭은 상기 화소의 폭의 1/2로 또는 1/2W로 설정된다.

[0025] 상기 공통전압 생성부는 두 개의 상기 게이트 라인당 동일한 극성을 갖는 공통 전압을 제공한다.

발명의 효과

[0026] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 공통전압 생성부의 크기를 줄여 네로우 베젤(narrow bezel) 구현 및 소비 전력을 감소시킬 수 있는 효과를 제공한다.

도면의 간단한 설명

[0027] 도 1은 종래 액정표시장치를 나타내는 도면.

도 2는 종래 액정표시장치의 단위 화소를 나타내는 도면.

도 3은 종래 액정표시장치의 공통전압 생성부를 나타내는 도면.

도 4는 공통전압 생성부의 라인 저항에 의한 크로스토크 현상을 나타내는 도면.

도 5는 본 발명의 일 실시예에 따른 액정표시장치를 나타내는 도면.

도 6은 본 발명의 일 실시예에 따른 공통전압 생성부를 나타내는 도면.

도 7은 본 발명의 일 실시예에 따른 어레이 기판을 나타내는 도면으로서, 도 5의 A를 확대한 도면.

도 8은 본 발명의 일 실시예에 따른 화소에 인가되는 전압의 극성을 나타내는 도면.

도 9는 본 발명의 일 실시예에 따른 공통전압 생성부의 라인 저항에 의한 크로스토크 현상을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치의 바람직한 실시예를 상세히 설명한다.

[0029] 도 5는 본 발명의 일 실시예에 따른 액정표시장치를 나타내는 도면이고, 도 6은 본 발명의 일 실시예에 따른 공통전압 생성부를 나타내는 도면이고, 도 7은 본 발명의 일 실시예에 따른 어레이 기판을 나타내는 도면으로서, 도 5의 A를 확대한 도면이고, 도 8은 본 발명의 일 실시예에 따른 화소에 인가되는 전압의 극성을 나타내는 도면이고, 도 9는 본 발명의 일 실시예에 따른 공통전압 생성부의 라인 저항에 의한 크로스토크 현상을 나타내는

도면이다.

- [0030] 도 5를 참조하면, 본 발명의 일 실시예에 따른 액정표시장치는 다수의 박막트랜지스터가 형성되어 있는 어레이 기관(110)과 이와 대응 배치되는 컬러필터 기관(130)을 포함한다.
- [0031] 어레이 기관(110) 상에는 도면에 도시하지 않았으나, 게이트 전극이 형성되어 있으며, 게이트 전극과 이격되도록 공통 전극이 형성되어 있다. 게이트 전극과 공통 전극을 포함하는 어레이 기관(110) 전면에는 게이트 절연막이 형성되어 있으며, 게이트 절연막 상에는 반도체층이 형성되어 있다.
- [0032] 반도체층 상에는 서로 이격되도록 소스 및 드레인 전극이 형성되어 있으며, 소스 및 드레인 전극을 포함하는 어레이 기관(110)의 전면에는 보호막이 형성되어 있다. 보호막 상에는 액정의 배향방향을 결정하는 배향막이 형성되어 있다. 여기서, 배향막은 러빙공정을 통해 배향방향이 결정되며, 러빙공정은 러빙포가 구비된 러빙롤을 배향막과 마찰시켜 배향막에 홈을 형성함으로써 배향방향을 결정한다.
- [0033] 배향막 상에는 셀갭을 일정하게 유지하는 역할을 하는 컬럼 스페이서가 형성될 수 있다.
- [0034] 또한, 어레이 기관(110)과 대향 배치되는 컬러필터 기관(130) 상에는 블랙매트릭스와 컬러필터층이 형성되어 있다. 이때, 블랙매트릭스는 액정분자가 동작하지 않는 영역으로 광이 누설되는 것을 방지하기 위한 것으로, 화소와 화소 사이 즉, 게이트 라인 및 데이터 라인 영역에 주로 형성되어 있으며, 컬러필터층은 적(R), 녹(B), 청(G)로 구성되어 실제 컬러를 구현한다.
- [0035] 블랙매트릭스와 컬러필터층 상에는 블랙매트릭스와 컬러필터층 형성으로 인해 발생한 단차를 보상하기 위한 오버코트막이 형성되어 있으며, 오버코트막 상에는 액정의 배향방향을 결정하는 배향막이 형성되어 있다.
- [0036] 배향막과 오버코트막 상에는 어레이 기관(110)과 컬러필터 기관(130)을 합착하기 위한 셀 패턴이 형성될 수 있다.
- [0037] 한편, 어레이 및 컬러필터 기관(110, 130)은 화면표시영역(111)과 화면비표시영역(112)을 포함한다. 이때, 화면표시영역(111)은 실제 화상이 표시되는 영역이고, 화면비표시영역(112)은 기관의 가장자리영역을 나타낸다.
- [0038] 또한, 화면비표시영역(112)에는 다수의 박막트랜지스터를 구동하기 위한 게이트 구동부(140), 공통전압 생성부(150) 및 데이터 구동부(160)가 형성되거나 또는 실장될 수 있다. 본 발명의 일 실시예에서는 설명의 편의를 위하여 게이트 구동부(140)와 공통전압 생성부(150)는 하나씩 도시하였으나, 실제 어레이 기관(110) 상에는 다수의 게이트 구동부(140)와 공통전압 생성부(150)가 형성될 수 있다.
- [0039] 게이트 구동부(140)는 다수의 게이트 신호를 생성하며, 어레이 기관(110) 상에 형성되어 있는 다수의 게이트 라인에 다수의 게이트 신호를 인가하며, 다수의 게이트 라인에는 다수의 박막트랜지스터가 연결되어 있다. 이렇게 인가된 게이트 신호는 다수의 박막트랜지스터의 게이트 전극에 인가되어 다수의 박막트랜지스터를 턴 온시킨다.
- [0040] 공통전압 생성부(150)는 다수의 공통전압을 생성하며, 다수의 박막트랜지스터에 연결되어 있는 스토리지 캐패시터에 공통전압이 인가된다. 액정패널에 잔상(image sticking) 등과 같은 화상 문제를 개선하기 위해 공통전압 생성부(150)에서 생성되어 인가되는 공통전압도 프레임 마다 극성이 바뀌어 공통전압 라인에 인가된다.
- [0041] 데이터 구동부(160)는 다수의 데이터 신호를 생성하며, 어레이 기관(110) 상에 형성되어 있는 다수의 데이터 라인에 다수의 데이터 신호를 인가한다. 이렇게 인가된 데이터 신호는 다수의 박막트랜지스터의 소스 전극에 인가되어 화상표시영역(111)에 형성된 다수의 화소(114)에 데이터 전압을 충전한다.
- [0042] 도 6을 참조하면, 본 발명의 일 실시예에 따른 공통전압 생성부(150)의 높이(H')는 공통전압 생성부(150)의 크기를 줄여 네로우 베젤(narrow bezel) 구현 및 소비 전력을 감소시키기 위해 도 3의 종래 공통전압 생성부(50)와 달리 단위 화소의 높이(H1)의 2배가 되도록 형성한다. 이때, 공통전압 생성부(150)의 폭(W')은 1/2로 줄어들게 되어 공통전압 생성부(150)의 라인 저항은 아래와 같은 수학적식1로 표현될 수 있다.
- [0043]
$$\text{저항} = \rho \frac{L}{S} \quad (\text{수학적식 1})$$
- [0044] 수학적식1에서 ρ 는 비저항, L은 도선의 길이 및 S는 도선의 단면적을 나타낸다. 여기서, 저항은 L에 비례하고, S에 반비례하므로, 공통전압 생성부(150)의 높이(H')를 2배로 하면, 저항이 1/2로 줄어들게 된다.
- [0045] 따라서, 본 발명의 일 실시예에서는 게이트 라인 하나당 하나의 공통전압 생성부를 설계하는 종래 기술과 달리, 두 개의 게이트 라인당 하나의 공통전압 생성부를 설계함으로써 어레이 기관(110)의 화상비표시영역(111)에 형

성되는 공통전압 생성부의 크기를 1/2로 줄일 수 있다. 이에 따라 공통전압 생성부(150)의 소비 전력 및 라인 저항을 1/2로 줄일 수 있는 효과가 있다.

- [0046] 도 7 및 도 8을 참조하면, 본 발명의 일 실시예에 따른 어레이 기관(110)에는 다수의 게이트 라인(G1 내지 G5) 및 다수의 데이터 라인(D1 내지 D3)이 서로 교차하도록 형성되어 있다. 이때, 다수의 게이트 라인(G1 내지 G5) 및 다수의 데이터 라인(D1 내지 D3)이 서로 교차하는 영역에는 다수의 박막트랜지스터(T1 내지 T12)가 형성되어 있으며, 다수의 박막트랜지스터(T1 내지 T12)는 다수의 게이트 라인(G1 내지 G5) 및 다수의 데이터 라인(D1 내지 D3)에 연결되어 있다.
- [0047] 또한, 박막트랜지스터(T1 내지 T12)의 일단은 스토리지 캐패시터(Cst1 내지 Cst12)의 일단과 연결되어 있으며, 이때에 스토리지 캐패시터(Cst1 내지 Cst12)의 일단은 박막트랜지스터(T1 내지 T12)의 드레인 전극과 연결되어 있으며, 타단은 공통 전극 라인(Vcom1, Vcom2)과 연결되어 있다.
- [0048] 본 발명의 일 실시예에서는 공통전압 생성부(150)의 크기를 줄여 네로우 베젤(narrow bezel) 구현 및 소비 전력을 감소시키기 위해 두 개의 게이트 라인당 하나의 공통전압 생성부(150)가 배치된다.
- [0049] 여기서, 첫 번째 게이트 라인(G1)에는 박막트랜지스터(T1 내지 T3)가 연결되어 있으며, 두 번째 게이트 라인(G2)에는 박막트랜지스터(T4 내지 T6)가 연결되어 있다. 이때, 첫 번째 게이트 라인(G1)과 두 번째 게이트 라인(G2) 사이에는 첫 번째 공통 전극 라인(Vcom1_1)이 배치되어 있으며, 두 번째 게이트 라인(G2)과 세 번째 게이트 라인(G3) 사이에 두 번째 공통 전극 라인(Vcom1_2)이 배치되어 있으며, 이때에 공통전압 생성부(150)에서 생성된 공통 전압이 첫 번째 공통 전극 라인(Vcom1_1)과 두 번째 공통 전극 라인(Vcom1_2)에 각각 인가된다. 이에 따라 첫 번째 공통 전극 라인(Vcom1_1)과 두 번째 공통 전극 라인(Vcom1_2)에는 동일한 극성의 공통 전압이 인가된다.
- [0050] 도 8에서와 같이, 첫 번째 데이터 라인(D1)에 정극성의 전압(+)이 인가되고, 첫 번째 공통 전극 라인(Vcom1_1)과 두 번째 공통 전극 라인(Vcom1_2)에는 정극성의 전압(+)이 인가되는 경우, 첫 번째 라인에 배치된 화소들(R11, G12, B13)과 두 번째 라인에 배치된 화소들(R21, G22, B23)은 모두 정극성(+)의 전압을 갖게 된다.
- [0051] 또한, 첫 번째 데이터 라인(D1)에 정극성의 전압(+)이 인가되고, 세 번째 공통 전극 라인(Vcom2_1)과 네 번째 공통 전극 라인(Vcom2_2)에는 부극성의 전압(-)이 인가되는 경우, 세 번째 라인에 배치된 화소들(R31, G32, B33)과 네 번째 라인에 배치된 화소들(R41, G42, B43)은 모두 부극성(-)의 전압을 갖게 된다.
- [0052] 그리고, 세 번째 게이트 라인(G3)과 네 번째 게이트 라인(G4) 사이에는 세 번째 공통 전극 라인(Vcom2_1)이 배치되어 있으며, 네 번째 게이트 라인(G4)과 다섯 번째 게이트 라인(G5) 사이에 네 번째 공통 전극 라인(Vcom2_2)이 배치되어 있으며, 이때에 공통전압 생성부(150)에서 생성된 공통 전압이 세 번째 공통 전극 라인(Vcom2_1)과 네 번째 공통 전극 라인(Vcom2_2)에 각각 인가된다. 이에 따라 세 번째 공통 전극 라인(Vcom2_1)과 네 번째 공통 전극 라인(Vcom2_2)에는 동일한 극성의 공통 전압이 인가된다. 예를 들면, 세 번째 공통 전극 라인(Vcom2_1)과 네 번째 공통 전극 라인(Vcom2_2)에는 부극성의 전압(-)이 인가될 수 있다.
- [0053] 따라서, 어레이 기관(110) 상에 게이트 라인이 960개인 경우, 종래 기술에서는 960개의 공통 전극라인을 필요로 하지만, 본 발명의 일 실시예에서는 480개의 공통 전극 라인을 필요로 하므로, 공통전압 생성부(150)의 크기를 반으로 줄일 수 있게 된다.
- [0054] 또한, 본 발명의 일 실시예에서는 기존의 공통전압 생성부와 달리 공통전압 생성부(150)의 높이(H')를 2배로 하고, 폭(W')을 1/2로 줄임으로써 공통전압 생성부(150)가 배치되는 화면비표시영역(112)의 크기를 줄임으로써 도 5에서와 같이, 액정표시장치의 베젤 영역(B)의 크기를 감소시킬 수 있다.
- [0055] 도 9는 본 발명의 일 실시예에 따른 공통전압 생성부의 라인 저항에 의한 크로스토크 현상을 나타내는 도면으로서, 게이트 라인 수만큼 공통전압 생성부를 설계하는 종래 기술(초록색)과 비교하여 보았을 경우, 본 발명(빨간색)은 두 개의 게이트 라인당 하나의 공통전압 생성부를 설계하고, 공통전압 생성부(150)의 높이(H')를 2배로 하고, 폭(W')을 1/2로 줄임으로써 공통전압 생성부(150)의 라인 저항을 효과적으로 줄일 수 있다. 따라서, 본 발명의 일 실시예에서는 공통전압 생성부(150)의 라인 저항을 줄여 크로스토크 현상을 최소화시킬 수 있다.
- [0056] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서, 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

- [0057]
- 110: 어레이 기판

111: 화면표시영역

112: 화면비표시영역

114: 화소

130: 컬러필터 기판

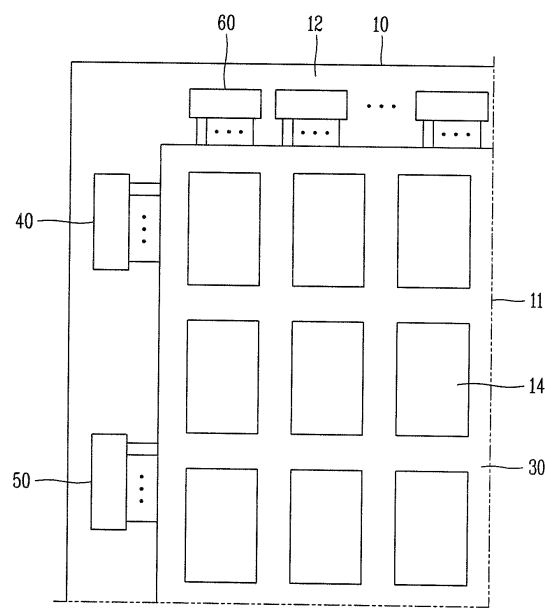
140: 게이트 구동부

150: 공통전압 생성부

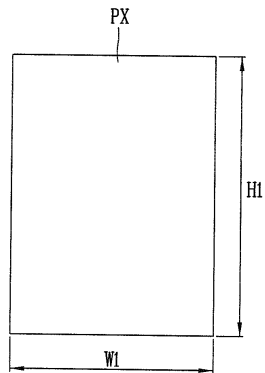
160: 데이터 구동부

도면

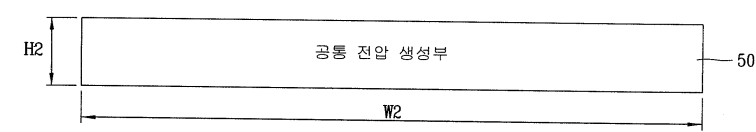
도면1



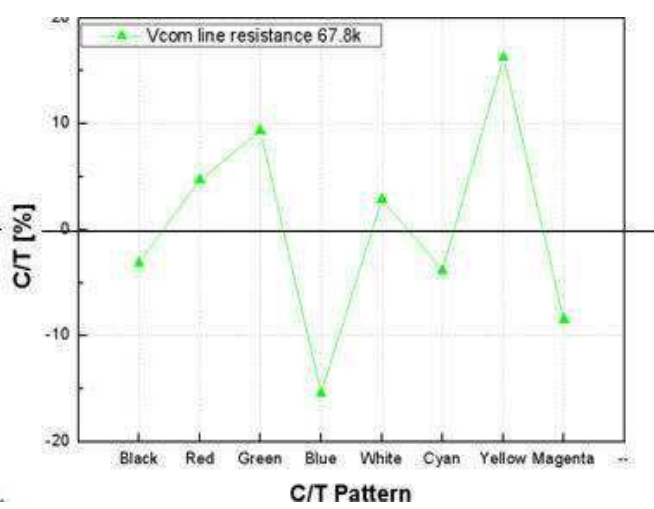
도면2



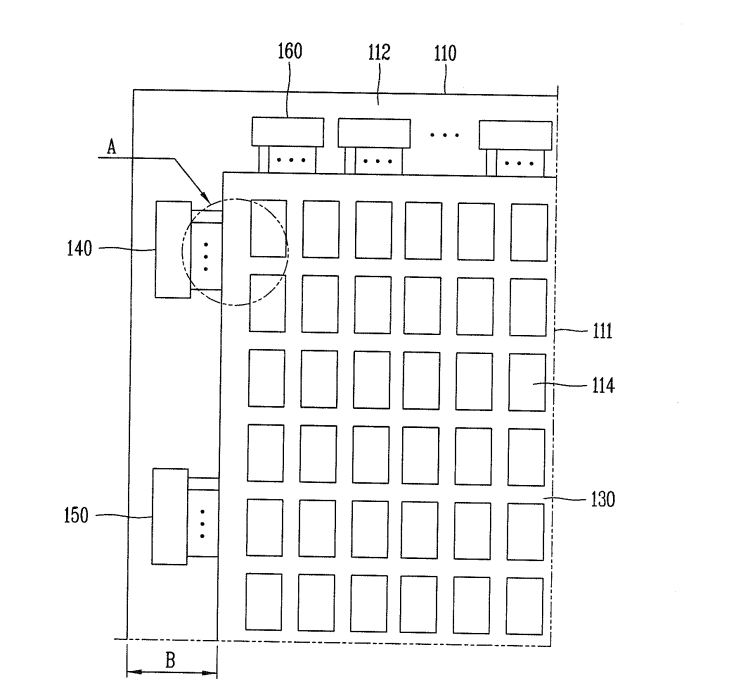
도면3



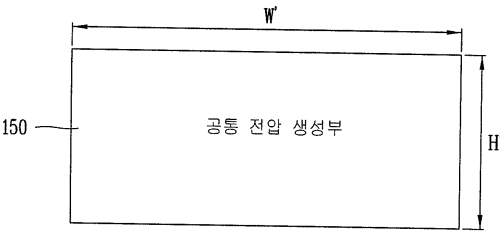
도면4



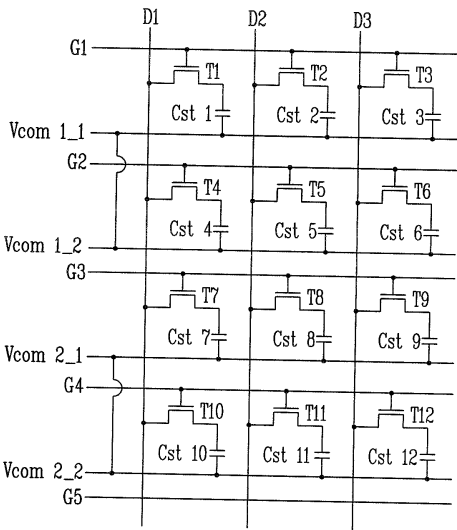
도면5



도면6



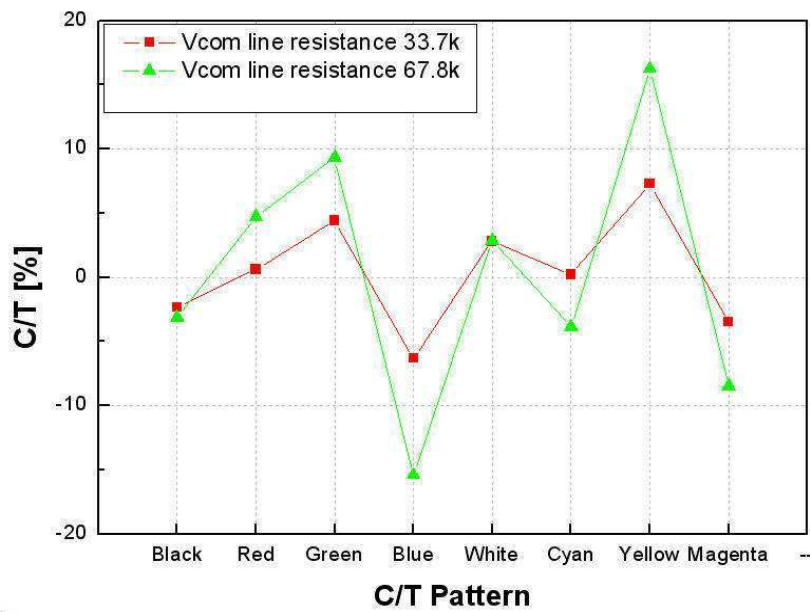
도면7



도면8

R_{11} (+)	G_{12} (+)	B_{13} (+)
R_{21} (+)	G_{22} (+)	B_{23} (+)
R_{31} (-)	G_{32} (-)	B_{33} (-)
R_{41} (-)	G_{42} (-)	B_{43} (-)

도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 4 라인 2

【변경전】

폭은 1/2로 설정되는 것을

【변경후】

폭을 1/2로 설정하는 것을

专利名称(译)	液晶显示器		
公开(公告)号	KR101738453B1	公开(公告)日	2017-06-09
申请号	KR1020100139564	申请日	2010-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG YOUNG SUN 장영순 HWANG JUN KYUNG 황준경		
发明人	장영순 황준경		
IPC分类号	G02F1/133 G02F1/1343 G09G3/36		
CPC分类号	G02F1/13306 G09G3/36 G02F1/134336 G02F2001/134318		
代理人(译)	박장원		
其他公开文献	KR1020120077565A		
外部链接	Espacenet		

摘要(译)

它可以降低功耗并实现窄边框（窄边框）的液晶显示装置，是通过降低所述公共电压产生部分的大小设置。所述的液晶显示装置，图像显示区域和非图像显示区域，多条数据线，多个形成为彼此交叉以及多条栅极线，形成在绝缘基板上的多条栅极线，该衬底包括栅极线多条数据线是多个形成在交叉区域中的像素的，设置有多个连接到该多条栅极线和多条数据线，所述多条栅极线的下部分，所述多个薄膜晶体管的薄膜晶体管的包括多个公共电极线和用于向多条公共线提供公共电压被连接到存储电容器连接到漏电极部的一端的多个公共电压发生器的，公共电压发生器包括两个所述栅极线它被安排一方。

