(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월28일
(11) 등록번호 10-1679856
(24) 등록일자 2016년11월21일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G02F 1/1345* (2006.01)
G09G 3/34 (2006.01)
(21) 출원번호 10-2010-0046137
(22) 출원일자 2010년05월17일
심사청구일자 2015년05월08일
(65) 공개번호 10-2011-0003253
(43) 공개일자 2011년01월11일
(30) 우선권주장
1020090060803 2009년07월03일 대한민국(KR)
(56) 선행기술조사문헌
KR100480857 B1*
KR1020060075193 A*
KR1020080043606 A*
KR1020080054029 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
민웅기
대구광역시 북구 동천로 156, 103동 1205호 (동천동, 동화골든빌)
송홍성
경상북도 구미시 도봉로 10 108동 507호 (봉곡동,구미현진에버빌아파트)
(뒷면에 계속)
(74) 대리인
특허법인로알

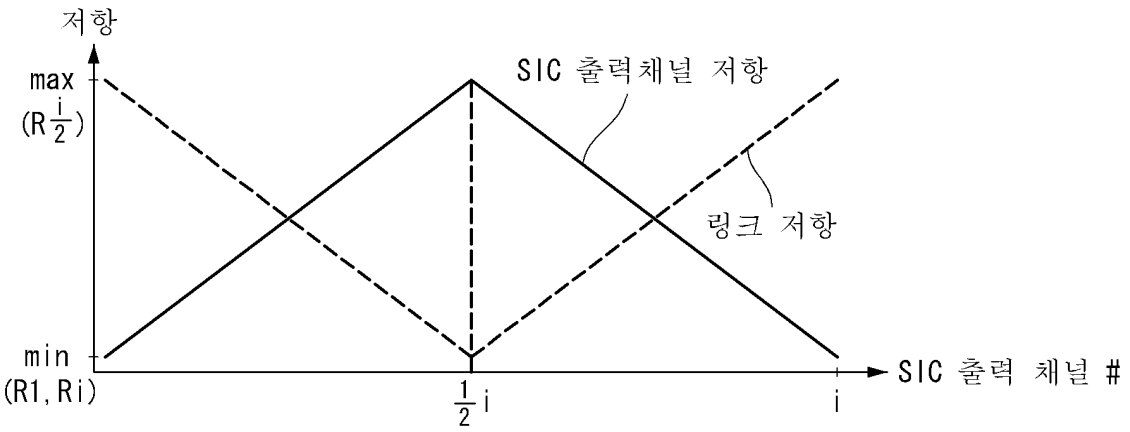
전체 청구항 수 : 총 13 항 심사관 : 추장희

(54) 발명의 명칭 **액정표시장치**

(57) 요 약

본 발명은 액정표시장치에 관한 것으로, 데이터라인들과 게이트라인들이 교차되고 그 라인들의 교차 구조에 의해 매트릭스 형태의 액정셀들이 배열된 화소 어레이를 포함하는 액정표시패널와, 입력 영상의 디지털 비디오 데이터를 데이터전압으로 변환하는 디지털-아날로그 변환기, 출력버퍼를 통해 상기 디지털-아날로그 변환기의 출력을 출력하는 출력회로, 상기 출력회로와 출력채널들 사이에 배치된 출력 채널 저항들을 포함한 소스 구동회로를 구비한다. 상기 액정표시패널은 상기 데이터라인들과 상기 소스 구동회로의 출력채널들을 연결하는 링크라인들을 포함한다. 상기 출력채널 저항들의 저항값은 상기 링크라인들의 저항값과 반비례관계를 갖는다.

대 표 도 - 도8



(72) 발명자

이영남

경기도 파주시 월롱면 엘씨디로 201 101동 1310호 (덕은리,정다운마을)

이동학

경상북도 구미시 인동11길 16, 달님동 201호 (인의동, 삼보드림빌)

명 세 서

청구범위

청구항 1

데이터라인들과 게이트라인들이 교차되고 그 라인들의 교차 구조에 의해 매트릭스 형태의 액정셀들이 배열된 화소 어레이를 포함하는 액정표시패널;

입력 영상의 디지털 비디오 데이터를 데이터전압으로 변환하는 디지털-아날로그 변환기, 출력버퍼를 통해 상기 디지털-아날로그 변환기의 출력을 출력하는 출력회로, 상기 출력회로와 출력채널들 사이에 배치된 출력 채널 저항들을 포함한 소스 구동회로; 및

상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 구비하고,

상기 액정표시패널은 상기 데이터라인들과 상기 소스 구동회로의 출력채널들을 연결하는 링크라인들을 포함하고,

상기 출력채널 저항들의 저항값은 상기 링크라인들의 저항값과 반비례관계를 갖는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 출력채널 저항들 각각은 가변저항 회로를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 링크라인들은,

상기 링크라인의 저항값을 조정하기 위한 지그재그 형태의 저항 패턴을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 소스 구동회로는,

상기 화소 어레이 내의 모든 데이터라인들에 상기 데이터전압을 공급하는 원칩 형태의 통합 구동회로칩을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 소스 구동회로는,

상기 출력 채널들을 통해 데이터라인들에 연결된 하나 이상의 소스 드라이브 IC; 및

상기 소스 드라이브 IC에 상기 디지털 비디오 데이터를 상기 소스 드라이브 IC에 공급하고 상기 소스 드라이브 IC와 상기 게이트 구동회로의 구동 타이밍을 제어하기 위한 타이밍 제어신호를 발생하는 타이밍 콘트롤러를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7

삭제

청구항 8

제 5 항 또는 제 6 항에 있어서,

상기 출력회로는,

소정의 멀티채널 선택신호에 따라 상기 출력채널들 중 적어도 일부를 디스에이블시켜 더미 출력채널로 전환하기 위한 멀티채널 선택회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 2 항에 있어서,

상기 가변저항 회로는,

상기 데이터전압이 입력단자를 통해 입력되는 멀티플렉서;

상기 멀티플렉서의 제1 출력단자와 상기 데이터라인 사이에 연결된 제1 저항; 및

상기 멀티플렉서의 제2 출력단자와 상기 데이터라인 사이에 연결된 제2 저항을 구비하고,

상기 멀티플렉서는 소정의 저항 선택신호에 따라 상기 입력단자를 상기 제1 및 제2 저항 중 어느 하나에 연결하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 2 항에 있어서,

상기 가변저항 회로는,

상기 데이터전압이 입력되는 제1 저항;

입력단자가 상기 제1 저항에 접속된 멀티플렉서; 및

상기 멀티플렉서의 출력단자들 중 어느 하나에 연결되는 제2 저항을 구비하고,

상기 제2 저항과 상기 멀티플렉서의 출력단자들 중 다른 하나는 상기 데이터라인에 직렬 연결되며,

상기 멀티플렉서는 소정의 저항 선택신호에 따라 상기 제1 저항을 상기 제2 저항과 상기 데이터라인 중 어느 하나에 연결하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 9 항 또는 제 10 항에 있어서,

상기 제1 및 제2 저항의 저항값은 서로 동일하거나 다른 것을 특징으로 하는 액정표시장치.

청구항 12

제 1 항에 있어서,

이웃한 j(j는 2 이상 5 이하의 양의 정수) 개의 상기 출력채널 저항들은 동일한 저항값을 가지는 것을 특징으로 하는 액정표시장치.

청구항 13

제 1 항에 있어서,

상기 링크라인들의 저항은 상기 소스 구동회로의 가장자리로 갈수록 커지는 것을 특징으로 하는 액정표시장치.

청구항 14

제 3 항에 있어서,

상기 링크라인들의 저항은 상기 소스 구동회로의 중앙부에서 가장 크고 상기 소스 구동회로의 중앙부로부터 일정 거리만큼 떨어진 위치로부터 상기 소스 구동회로의 양측 끝단까지 동일한 것을 특징으로 하는 액정표시장치.

청구항 15

제 14 항에 있어서,

상기 소스 구동회로의 중앙부에 위치한 출력채널들에만 상기 출력채널 저항이 연결되는 것을 특징으로 하는 액정표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 저항값이 서로 다른 출력채널들을 가지는 소스 구동회로를 포함한 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비젼에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, IC), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트펄스(또는 스캔펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 이러한 액정표시장치에서, 소스 드라이브 IC의 크기는 자신이 담당하는 화소 어레이 영역의 크기에 비하여 매우 작다. 또한, 소스 드라이브 IC들의 출력채널들 간의 피치(pitch)는 액정표시패널의 데이터라인들 간의 피치에 비하여 좁다. 이 때문에, 도 1과 같이 소스 드라이브 IC(SIC)의 출력채널들과 화소 어레이(PIXA) 에 형성된 데이터라인들 사이에는 소스 드라이브 IC(SIC)의 출력채널과 데이터라인을 1:1로 연결하는 링크라인들(LINK)이 형성되어 있다. 링크라인들(LINK)의 길이는 소스 드라이브 IC의 출력채널과 데이터라인 사이의 거리가 멀수록 길어진다. 따라서, 링크라인들(LINK)의 저항(이하, "링크저항"이라 함)은 소스 드라이브 IC(SIC)의 양 끝단 쪽으로 갈수록 커진다. 저항 측정 실험 결과에 의하면, 링크저항은 액정표시패널의 크기와 해상도에 따라 달라질 수 있지만 링크저항의 최소값과 링크저항의 최대값 사이의 차이는 수 KΩ 정도로 커질 수 있다.

[0005] 화소 어레이(PIXA) 내의 액정셀들의 충전양은 링크저항에 따라 달라진다. 링크저항이 큰 데이터라인에 연결된 액정셀의 전압 충전율은 상대적으로 링크저항이 작은 데이터라인에 연결된 액정셀의 그 것에 비하여 작아진다. 따라서, 액정셀의 전압 충전율은 링크저항에 반비례한다. 그 결과, 액정표시장치는 링크저항의 편차로 인하여 액정셀의 전압 충전율이 달라지므로 화소 어레이 전체에서 균일한 휘도로 영상을 표시하기가 어렵다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 저항값이 서로 다른 출력채널들을 가지는 소스 구동회로와 이를 이용하여 균일한 표시품질을 구현하도록 한 액정표시장치를 제공한다.

과제의 해결 수단

[0007] 본 발명의 액정표시장치는 데이터라인들과 게이트라인들이 교차되고 그 라인들의 교차 구조에 의해 매트릭스 형

태의 액정셀들이 배열된 화소 어레이를 포함하는 액정표시패널; 입력 영상의 디지털 비디오 데이터를 데이터전압으로 변환하는 디지털-아날로그 변환기, 출력버퍼를 통해 상기 디지털-아날로그 변환기의 출력을 출력하는 출력회로, 상기 출력회로와 출력채널들 사이에 배치된 출력 채널 저항들을 포함한 소스 구동회로; 및 상기 게이트 라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 구비한다. 상기 액정표시패널은 상기 데이터라인들과 상기 소스 구동회로의 출력채널들을 연결하는 링크라인들을 포함한다. 상기 출력채널 저항들의 저항값은 상기 링크라인들의 저항값과 반비례관계를 갖는다.

데이터라인들과 게이트라인들이 교차되고 그 라인들의 교차 구조에 의해 매트릭스 형태의 액정셀들이 배열된 화소 어레이를 포함하는 액정표시패널; 출력채널들을 통해 상기 데이터라인들에 데이터전압을 공급하는 소스 구동회로; 및 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 구비한다. 상기 액정표시패널은 상기 데이터라인들과 상기 소스 구동회로의 출력채널들을 1:1로 접속시키는 링크라인들을 포함한다. 상기 소스 구동회로는 출력채널들과 상기 링크라인들 사이에 연결되는 출력채널 저항을 내장한다.

[0008] 상기 출력채널 저항들 각각은 가변저항 회로를 포함한다.

[0009] 상기 링크라인들은 상기 링크라인의 저항값을 조정하기 위한 지그재그 형태의 저항 패턴을 포함한다.

[0010] 삭제

[0011] 상기 소스 구동회로는 상기 화소 어레이 내의 모든 데이터라인들에 상기 데이터전압을 공급하는 원칩 형태의 통합 구동회로칩을 구비한다.

[0012] 상기 소스 구동회로는 상기 출력 채널들을 통해 데이터라인들에 연결된 하나 이상의 소스 드라이브 IC; 및 상기 소스 드라이브 IC에 상기 디지털 비디오 데이터를 상기 소스 드라이브 IC에 공급하고 상기 소스 드라이브 IC와 상기 게이트 구동회로의 구동 타이밍을 제어하기 위한 타이밍 제어신호를 발생하는 타이밍 콘트롤러를 구비한다.

[0013] 삭제

[0014] 상기 출력회로는 소정의 멀티채널 선택신호에 따라 상기 출력채널들 중 적어도 일부를 디스에이블시켜 더미 출력채널로 전환하기 위한 멀티채널 선택회로를 구비한다.

[0015] 상기 가변저항 회로는 상기 데이터전압이 입력단자를 통해 입력되는 멀티플렉서; 상기 멀티플렉서의 제1 출력단자와 상기 데이터라인 사이에 연결된 제1 저항; 및 상기 멀티플렉서의 제2 출력단자와 상기 데이터라인 사이에 연결된 제2 저항을 구비한다. 상기 멀티플렉서는 소정의 저항 선택신호에 따라 상기 입력단자를 상기 제1 및 제2 저항 중 어느 하나에 연결한다.

[0016] 상기 가변저항 회로는 상기 데이터전압이 입력되는 제1 저항; 입력단자가 상기 제1 저항에 접속된 멀티플렉서; 및 상기 멀티플렉서의 출력단자들 중 어느 하나에 연결되는 제2 저항을 구비한다. 상기 제2 저항과 상기 멀티플렉서의 출력단자들 중 다른 하나는 상기 데이터라인에 직렬 연결되며, 상기 멀티플렉서는 소정의 저항 선택신호에 따라 상기 제1 저항을 상기 제2 저항과 상기 데이터라인 중 어느 하나에 연결한다.

[0017] 상기 제1 및 제2 저항의 저항값은 서로 동일하거나 다르다.

[0018] 이웃한 j(j는 2 이상 5 이하의 양의 정수) 개의 상기 출력채널 저항들은 동일한 저항값을 가진다.

[0019] 상기 링크라인들의 저항은 상기 소스 구동회로의 가장자리로 갈수록 커진다.

[0020] 상기 링크라인들의 저항은 상기 소스 구동회로의 중앙부에서 가장 크고 상기 소스 구동회로의 중앙부로부터 일정 거리만큼 떨어진 위치로부터 상기 소스 구동회로의 양측 끝단까지 동일하다.

[0021] 상기 소스 구동회로의 중앙부에 위치한 출력채널들에만 상기 출력채널 저항이 연결된다.

발명의 효과

[0022] 본 발명은 소스 구동회로의 출력 채널들 각각에 저항값들을 가변할 수 있는 출력채널 저항들을 연결하여 소스

구동회로 내에서 액정표시패널의 링크저항 편차를 보상함으로써 화소 어레이 전체에서 균일한 표시품질을 구현할 수 있다.

도면의 간단한 설명

[0023] 도 1은 액정표시패널의 링크저항을 보여 주는 도면이다.

도 2는 본 발명의 실시예에 따른 액정표시장치를 보여 주는 도면이다.

도 3은 본 발명의 다른 실식예에 따른 액정표시장치를 보여 주는 도면이다.

도 4 내지 도 6은 도 2 및 도 3에 도시된 화소 어레이를 상세히 보여 주는 등가 회로도이다.

도 7은 도 2 및 도 3에 도시된 통합 구동회로칩과 소스 드라이브 IC의 출력부 회로 구성을 보여 주는 블록도이다.

도 8 및 도 9는 도 2 및 도 3에 도시된 통합 구동회로칩과 소스 드라이브 IC의 출력채널 저항과 액정표시패널의 링크저항을 함께 보여 주는 도면들이다.

도 10은 도 2 및 도 3에 도시된 통합 구동회로칩과 소스 드라이브 IC의 출력채널 저항의 가변저항 회로를 보여 주는 회로도이다.

도 11은 도 2 및 도 3에 도시된 통합 구동회로칩과 소스 드라이브 IC의 출력채널 저항의 가변저항 회로의 다른 실시예를 보여 주는 회로도이다.

도 12는 액정표시패널의 링크저항 조정 예를 나타내는 도면이다.

도 13 및 도 14는 링크저항의 다른 예와 그에 따른 통합 구동회로칩과 소스 드라이브 IC의 출력채널 저항을 보여 주는 도면이다.

도 15는 도 14에 도시된 통합 구동회로칩과 소스 드라이브 IC의 출력채널 저항을 구현하기 위한 IC 내장 저항을 보여 주는 도면이다.

도 16 및 도 17은 링크저항의 또 다른 예와 그에 따른 통합 구동회로칩과 소스 드라이브 IC의 출력채널 저항을 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0025] 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0026] 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 화소 어레이(10)가 형성된 액정표시패널, 원칩 형태의 통합 구동회로칩(11), 및 게이트 구동회로(13A, 13B)를 구비한다. 액정표시패널의 아래에는 액정표시패널에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0027] 액정표시패널은 액정층을 사이에 두고 대향하는 상부 유리기판과 하부 유리기판을 포함한다. 액정표시패널의 화소 어레이(10)는 데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 액정셀들을 포함하여 비디오 데이터를 표시한다. 화소 어레이(10)는 데이터라인들과 게이트라인들의 교차부마다 형성되는 TFT들과, TFT에 접속된 화소전극을 포함한다. 화소 어레이(10)는 도 4 내지 도 6과 같이 다양하게 구현될 수 있다. 화소 어레이(10)의 액정셀들 각각은 TFT를 통해 데이터전압을 충전하는 화소전극과 공통전압이 인가되는 공통전극의 전압차에 의해 구동되어 빛의 투과양을 조정함으로써 비디오 데이터의 화상을 표시한다.

[0028] 액정표시패널의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 유리기판 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부 유리기판 상에 형성된다.

[0029] 액정표시패널의 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0030] 본 발명에서 적용 가능한 액정표시패널의 액정모드는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0031] 통합 구동회로칩(11)의 데이터 출력채널들은 도시하지 않은 데이터 패드와 링크라인들(15)을 통해 화소 어레이(10)의 데이터라인들에 1:1로 접속된다. 이 통합 구동회로칩(11)은 도시하지 않은 외부의 시스템 보드로부터 입력되는 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 데이터 출력채널들을 통해 화소 어레이(10)의 데이터라인들에 공급한다. 통합 구동회로칩(11)은 게이트 구동회로(13A, 13B)에 필요한 게이트 타이밍 제어신호와 구동전압들을 공급한다. 이러한 통합 구동회로칩(11)은 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기판(12) 상에 실장될 수 있다. 통합 구동회로칩(11)이 실장된 연성회로기판(12)은 이방성 도전필름(Anisotropic Conductive Film, ACF)을 통해 액정표시패널의 링크라인들(15)의 끝단에 연결된 데이터 패드에 접속될 수 있다. 통합 구동회로칩(11)에는 기존의 타이밍 콘트롤러 회로와 소스 드라이브 IC 회로가 통합된다. 통합 구동회로칩(11)의 구체적인 회로 구성이나 기능에 대하여는 본원 출원인에 의해 기출원된 대한민국 특허출원 제10-2007-0010487호, 대한민국 특허출원 제10-2007-0013378호, 대한민국 특허출원 제10-2007-0021605호, 대한민국 특허출원 제10-2007-0030309호 등에 상세히 설명되어 있으므로 생략하기로 한다.

[0032] 게이트 구동회로(13A, 13B)는 통합 구동회로칩(11)으로부터의 게이트 타이밍 제어신호에 응답하여 화소어레이(10)의 게이트라인들에 게이트펄스를 순차적으로 공급한다. 이 게이트 구동회로(13A, 13B)는 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 공정에 의해 액정표시패널의 하부 유리기판에 접합되거나, GIP(Gate In Panel) 공정에 의해 화소 어레이와 동시에 하부 유리기판 상에 직접 형성될 수 있다. 게이트 구동회로(13A, 13B)는 도 2와 같이 화소 어레이(10)의 양측 밖에 배치되거나 화소 어레이(10)의 일측 밖에 배치될 수 있다.

[0033] 액정표시패널의 링크저항은 링크라인들(15)을 가로지르는 방향에서 볼 때 'V'자 형태로서, 통합 구동회로칩(11)의 양측 가장자리로 갈수록 커진다. 이러한 라인저항을 보상하기 위하여, 본 발명은 통합 구동회로칩(11)의 내부 출력채널 저항들 중 적어도 일부를 서로 다르게 한다. 이를 위하여, 통합 구동회로칩(11)은 도 7 내지 도 11과 같은 출력채널 저항들을 내장한다. 화소 어레이(10)의 가로 길이의 1/2(또는 가로 길이의 중심) 위치에 형성된 데이터라인과 연결되는 통합 구동회로칩(11)의 중앙부 출력채널 저항은 도 8 및 도 9와 같이 최대값으로 설정된다. 반면에, 도 8 및 도 9와 같이 통합 구동회로칩(11)의 양측으로 갈수록 출력채널 저항값은 작아지고 통합 구동회로칩(11)의 양측 끝단에 위치하는 끝단부 출력채널들의 저항값은 최소로 설정된다. 따라서, 통합 구동회로칩(11)의 내장 출력채널 저항값들은 도 8과 같이 액정표시패널의 링크저항과 반비례 관계로 설정되어 화소 어레이의 데이터라인들에 공급되는 데이터전압의 전압 강하양 편차를 최소화할 수 있다. 그 결과, 본 발명의 액정표시장치에서 화소 어레이(10) 내의 모든 액정셀들은 데이터전압의 충전양이 균일하게 되고 액정표시장치의 표시품질이 화소 어레이 전체에서 균일하게 된다.

[0034] 도 3은 본 발명의 다른 실시예에 따른 액정표시장치를 나타낸다.

[0035] 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 화소 어레이(10)가 형성된 액정표시패널, 다수의 소스 드라이브 IC들(21A, 21B), 게이트 구동회로(13A, 13B), 및 타이밍 콘트롤러(23)를 구비한다. 액정표시패널의 아래에는 액정표시패널에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0036] 액정표시패널은 액정층을 사이에 두고 대향하는 상부 유리기판과 하부 유리기판을 포함한다. 액정표시패널은 도 4 내지 도 6과 같은 화소 어레이(10A, 10B)를 포함하여 비디오 데이터를 표시한다. 액정표시패널의 구조는 도 2, 도 4 내지 도 6의 그 것과 실질적으로 동일하다.

[0037] 소스 드라이브 IC들(21A, 21B) 각각의 데이터 출력채널들은 도시하지 않은 데이터 패드들과 링크라인들(15)을 통해 화소 어레이(10)의 데이터라인들에 1:1로 접속된다. 링크라인들(15)은 데이터라인들에 직렬로 연결되고, 링크라인들(15)의 끝단에는 데이터 패드들이 연결된다. 소스 드라이브 IC들(21A, 21B) 각각은 타이밍 콘트롤러(23)로부터 디지털 비디오 데이터를 입력받는다. 그리고 소스 드라이브 IC들(21A, 21B)은 타이밍 콘트롤러(2

3)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 데이터 출력채널들을 통해 화소 어레이(10)의 데이터라인들에 공급한다. 소스 드라이브 IC들(21A, 21B) 각각은 COG(Chip On Glass) 공정에 의해 액정표시패널의 하부 유리기판 상에 접착될 수 있고 또한, TAB 공정에 의해 TCP(22A, 22B) 형태로 액정표시패널의 하부 유리기판에 접착될 수 있다.

[0038] 게이트 구동회로(13A, 13B)는 타이밍 콘트롤러(23)로부터의 게이트 타이밍 제어신호에 응답하여 화소어레이의 게이트라인들에 게이트펄스를 순차적으로 공급한다. 이 게이트 구동회로(13A, 13B)는 TCP 상에 실장되어 TAB 공정에 의해 액정표시패널의 하부 유리기판에 접합되거나, GIP 공정에 의해 화소 어레이(10A, 10B)와 동시에 하부 유리기판 상에 직접 형성될 수 있다. 게이트 구동회로(13A, 13B)는 화소 어레이(10)의 양측 밖에 배치되거나 화소 어레이(10)의 일측 밖에 배치될 수 있다.

[0039] 타이밍 콘트롤러(23)는 외부의 시스템 보드로부터 입력되는 디지털 비디오 데이터를 소스 드라이브 IC들(21A, 21B)에 공급한다. 그리고 타이밍 콘트롤러(23)는 소스 드라이브 IC들(21A, 21B)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13A, 13B)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(23)는 콘트롤 PCB(Printed Circuit Board)(24) 상에 실장된다. 콘트롤 PCB(24)의 입력측 커넥터는 연성 회로기판을 통해 도시하지 않은 시스템 보드에 접속되고, 콘크롤 PCB(24)의 출력 패드들은 이방성 도전필름(ACF)을 통해 소스 TCP(22A, 22B)의 입력측 패드들과 접속된다.

[0040] 액정표시패널의 링크저항은 소스 드라이브 IC(21A, 21B)로부터 멀수록 커진다. 이러한 라인저항을 보상하기 위하여, 본 발명은 소스 드라이브 IC들(21A, 21B) 각각의 출력채널 저항들을 서로 다르게 한다. 이를 위하여, 소스 드라이브 IC들(21A, 21B) 각각은 도 7 내지 도 11과 같은 저항들을 내장한다. 제1 소스 드라이브 IC(21A)가 담당하는 좌반부 화소 어레이를 제1 화소 어레이(10A)로, 제2 소스 드라이브 IC(21B)가 담당하는 우반부 화소 어레이를 제2 화소 어레이(10B)로 정의하면 다음과 같이 소스 드라이브 IC들(21A, 21B)의 출력채널 저항들이 설정된다. 제1 화소 어레이(10A)의 가로 길이의 1/2(또는 화소 어레이 전체의 가로 길이의 1/4 지점) 위치에 형성된 데이터라인과 연결되는 제1 소스 드라이브 IC(21A)의 중앙부 출력채널 저항값은 도 8 및 도 9와 같이 최대값으로 설정된다. 반면에, 도 8 및 도 9와 같이 제1 소스 드라이브 IC(21A)의 양측으로 갈수록 출력채널 저항은 작아지고 제1 소스 드라이브 IC(21A)의 양측 끝단에 위치하는 끝단부 출력채널들의 저항은 최소값으로 설정된다. 제2 화소 어레이(10B)의 가로 길이의 1/2(또는 화소 어레이 전체의 가로 길이의 3/4 지점) 위치에 형성된 데이터라인과 연결되는 제2 소스 드라이브 IC(21B)의 중앙부 출력채널 저항값은 도 8 및 도 9와 같이 최대값으로 설정된다. 반면에, 도 8 및 도 9와 같이 제2 소스 드라이브 IC(21B)의 양측으로 갈수록 출력채널 저항은 작아지고 제2 소스 드라이브 IC(21B)의 양측 끝단에 위치하는 끝단부 출력채널들의 저항은 최소값으로 설정된다. 따라서, 소스 드라이브 IC들(21A, 21B) 각각의 출력채널 저항값들은 도 8과 같이 액정표시패널의 링크저항과 반비례 관계로 설정되어 화소 어레이(10A, 10B)의 데이터라인들에 공급되는 데이터전압의 전압 강하양 편차를 최소화할 수 있다. 그 결과, 본 발명의 액정표시장치에서 화소 어레이(10) 내의 모든 액정셀들은 데이터전압의 충전양이 균일하게 되고 액정표시장치의 표시품질이 화소 어레이 전체에서 균일하게 된다.

[0041] 통합 구동회로칩(11)과 소스 드라이브 IC들(21A, 21B) 각각은 멀티채널 선택 회로를 내장할 수 있다. 멀티채널 선택회로는 통합 구동회로칩(11)과 소스 드라이브 IC들(21A, 21B)의 옵션핀을 통해 공급되는 멀티채널 선택신호에 따라 일부 출력채널들을 선택적으로 인에이블 시키거나 디스에이블 시킨다. 멀티채널 선택회로에 의해 인에이블된 출력채널은 데이터라인에 접속되어 그 데이터라인에 정상적으로 데이터전압을 공급하는 데이터 출력채널 역할을 하는 반면에, 디스에이블된 출력채널은 데이터전압을 출력하지 않는 더미 채널로 전환된다. 멀티채널 선택회로가 내장된 통합 구동회로칩(11)과 소스 드라이브 IC들(21A, 21B)에서는 일부 채널이 더미 채널로 전환될 수 있다. 이 경우에, 통합 구동회로칩(11)과 소스 드라이브 IC들(21A, 21B)의 출력채널 저항값들은 도 8 및 도 9와 같이 중앙 출력채널을 중심으로 대칭적으로 낮아지지 않을 수 있다. 예컨대, 멀티채널 선택회로에 의해 통합 구동회로칩(11)과 소스 드라이브 IC들(21A, 21B)의 우측 끝단 출력채널들이 더미 채널로 전환되면 좌측 끝단의 데이터 출력채널 저항에 비하여 우측 끝단의 데이터 출력채널 저항이 높아질 수 있다. 다시 말하여, 멀티채널 선택회로가 내장된 통합 구동회로칩(11)과 소스 드라이브 IC들(21A, 21B)은 좌측 끝단의 데이터 출력채널 저항값과 우측 끝단의 데이터 출력채널 저항이 도 8 및 도 9와 같이 동일하게 될 수 있고, 더미 채널 위치에 따라 달라질 수 있다. 통합 구동회로칩(11)과 소스 드라이브 IC들(21A, 21B)에 내장 가능한 멀티채널 선택회로의 일예로는, 본원 출원인에 의해 출원된 대한민국 특허출원 제10-2003-0090301호, 대한민국 특허출원 제10-2004-0029615호, 대한민국 특허출원 제10-2004-0029611, 대한민국 특허출원 제10-2004-0029612호, 미국특허 7,492,343, 미국특허 7,495,648 등에 상세히 설명되어 있다.

[0042] 도 4 내지 도 6은 도 2 및 도 3에 도시된 화소 어레이(10, 10A, 10B)의 다양한 예들을 보여 주는 도면들이다.

도 4 내지 도 6은 화소 어레이의 일부를 등가 회로로 도시한 것이다.

[0043] 도 4의 화소 어레이는 대부분의 액정표시장치에서 적용되는 구조의 화소 어레이로써 데이터라인들(D1~D6)과 게이트라인들(G1~G4)이 교차된다. 이 화소 어레이에서 적색 서브픽셀(R)의 액정셀들, 녹색 서브픽셀(G)의 액정셀들 및 청색 서브픽셀(G)의 액정셀들 각각은 컬럼 방향을 따라 배치된다. TFT 각각은 게이트라인(G1~G4)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. 도 4에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향과 직교하는 로우 방향(또는 라인 방향)을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. 도 4에 도시된 화소 어레이의 해상도가 m × n 일 때, m × 3(여기서, 3은 RGB) 개의 데이터라인들과 n 개의 게이트라인들이 필요하다. 이 화소 어레이의 게이트라인들 각각에는 데이터전압과 동기되는 1 수평기간의 게이트펄스가 순차적으로 공급된다.

[0044] 도 5의 화소 어레이는 도 4에 도시된 화소 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/2로 줄일 수 있고, 필요한 소스 드라이브 IC들의 개수도 1/2로 줄일 수 있다. 이 화소 어레이에서 적색 서브픽셀(R)의 액정셀들, 녹색 서브픽셀(G)의 액정셀들 및 청색 서브픽셀(B)의 액정셀들 각각은 컬럼 방향을 따라 배치된다. 도 5에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향과 직교하는 라인방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. 도 5에 도시된 화소 어레이에서 좌우로 이웃하는 액정셀들은 동일한 데이터라인을 통해 시분할 방식으로 공급되는 데이터전압을 연속으로 충전한다. 데이터라인(D1~D4)의 좌측에 배치된 액정셀과 TFT를 각각 제1 액정셀과 제1 TFT(T1)로 정의하고, 데이터라인(D1~D4)의 우측에 배치된 액정셀과 TFT를 각각 제2 액정셀과 제2 TFT(T2)로 정의한다. 제1 TFT(T1)는 기수 게이트라인(G1, G3, G5, G7)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제1 액정셀의 화소전극에 공급한다. 제1 TFT(T1)의 게이트전극은 기수 게이트라인(G1, G3, G5, G7)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제1 TFT(T1)의 소스전극은 제1 액정셀의 화소전극에 접속된다. 제2 TFT(T2)는 우수 게이트라인(G2, G4, G6, G8)로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제2 액정셀의 화소전극에 공급한다. 제2 TFT(T2)의 게이트전극은 우수 게이트라인(G2, G4, G6, G8)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제2 TFT(T2)의 소스전극은 제2 액정셀의 화소전극에 접속된다. 도 5에 도시된 화소 어레이의 해상도가 m×n 일 때, {m × 3(여기서, 3은 RGB)}/2 개의 데이터라인들과 2n 개의 게이트라인들이 필요하다. 이 화소 어레이의 게이트라인들 각각에는 데이터전압과 동기되는 1/2 수평기간의 게이트펄스가 순차적으로 공급된다.

[0045] 도 6의 화소 어레이는 도 4에 도시된 화소 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/3로 줄일 수 있고, 필요한 소스 드라이브 IC들의 개수도 1/3로 줄일 수 있다. 도 6에 도시된 화소 어레이에서 적색 서브픽셀(R)의 액정셀들, 녹색 서브픽셀(G)의 액정셀들 및 청색 서브픽셀(B)의 액정셀들 각각은 라인 방향을 따라 배치된다. 도 6에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. TFT 각각은 게이트라인(G1~G6)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. 도 6에 도시된 화소 어레이의 해상도가 m×n 일 때, m 개의 데이터라인들과 3n 개의 게이트라인들이 필요하다. 이 화소 어레이의 게이트라인들 각각에는 데이터전압과 동기되는 1/3 수평기간의 게이트펄스가 순차적으로 공급된다.

[0046] 도 7은 통합 구동회로칩(11)과 소스 드라이브 IC들(21A, 21B) 각각에 내장되는 출력채널 저항들을 보여 주는 도면이다. 도 7은 본 발명의 특징과 관계 있는 통합 구동회로칩(11)과 소스 드라이브 IC들(21A, 21B)의 출력부만을 도시한 것이다. 통합 구동회로칩(11)과 소스 드라이브 IC들(21A, 21B)에서 출력부 이외의 구성은 공지된 것과 실질적으로 동일하다.

[0047] 도 7을 참조하면, 통합 구동회로칩(11)과 소스 드라이브 IC들(21A, 21B)의 출력부는 디지털-아날로그 변환기(Digital to analog convertor, 이하 "DAC"라 함)(71), 및 출력회로(72)를 구비한다.

[0048] DAC(71)는 정극성 감마기준전압들과 부극성 감마기준전압들과, 디지털 비디오 데이터를 입력받는다. DAC(71)는 정극성 감마기준전압들과 부극성 감마기준전압들을 이용하여 도시하지 않은 래치로부터 입력되는 디지털 비디오 데이터를 아날로그 정극성 데이터전압과 부극성 데이터전압으로 변환한다. 그리고 DAC(71)는 극성제어신호에 응답하여 동작하는 멀티플렉서를 통해 정극성 데이터전압과 부극성 데이터전압을 교대로 출력회로(72)에 공급한다. 극성제어신호는 통합 구동회로칩(11)의 내부 로직회로에서 발생되거나 타이밍 콘트롤러(23)로부터 발생되어 소스 드라이브 IC들(21A, 21B)에 입력된다.

[0049] 출력회로(72)는 전술한 멀티채널 선택회로, 옵셋 제거 기능을 갖는 출력 버퍼를 구비한다. 출력회로(72)에서 멀티채널 선택회로는 생략될 수 있다. 출력회로(72)의 출력채널들은 링크저항을 보상하기 위한 저항들(R1~Ri)에 1:1로 연결된다. 멀티채널 선택회로는 멀티채널 선택신호에 따라 통합 구동회로칩(11) 또는 소스 드라이브 IC들(21A, 21B)의 출력채널들을 선택적으로 인에이블시키거나 디스에이블시킨다. 출력 버퍼는 출력채널들의 데이터전압에서 옵셋 성분을 제거하여 신호 감쇠를 최소화하여 데이터전압들을 데이터라인들(D1~Di, i는 양의 정수)에 공급한다. 멀티채널 선택회로에 의해 디스에이블된 더미 출력채널에는 데이터라인이 접속되지 않고 그 더미 출력채널을 통해 데이터 전압이 출력되지 않는다. 저항들(R1~Ri)은 출력채널 각각에 1:1로 접속되어 도 7 및 도 8과 같이 링크저항과 반비례 관계의 저항값들을 갖는다. 예컨대, 출력채널들 중에서 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 출력채널들 중에서 최소 링크저항을 갖는 링크라인과 연결된 중앙부 출력채널 저항(Ri/2)의 저항값은 최대값으로 설정되는 반면, 최대 링크저항을 갖는 링크라인과 연결된 양측 출력채널 저항(R1, Ri) 각각의 저항값은 최소값으로 설정된다. 중앙부 출력채널 저항(Ri/2)과 양측 출력채널 저항(R1, Ri) 사이의 출력채널 저항들은 양측 출력채널 쪽으로 갈수록 도 8과 같은 선형적으로 감소되거나 도 9와 같이 소정의 j(j는 2 이상 5 이하의 양의 정수) 개씩 동일한 저항값을 가지는 스텝 형태로 감소된다.

[0050] 도 8 및 도 9는 액정표시패널의 링크저항과 함께, 통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B)의 출력채널 저항을 보여 주는 그래프들이다.

[0051] 도 8을 참조하면, 액정표시패널의 링크저항은 통합 구동회로칩(11) 및 소스 드라이브 IC(21A, 21B)의 중앙부 출력채널 위치에서 최소값으로 측정되는 반면, 통합 구동회로칩(11) 및 소스 드라이브 IC(21A, 21B)의 양측으로 갈수록 선형적으로 증가하여 통합 구동회로칩(11) 및 소스 드라이브 IC(21A, 21B)의 양측 끝단 링크저항은 최대값으로 측정된다. 이러한 링크저항을 보상하여 화소 어레이 전체에서 액정셀의 데이터 전압 충전양을 균일하게 하기 위하여, 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 중앙부 출력채널 저항은 최대로 설정되고, 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 양측으로 갈수록 선형적으로 감소하여 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 양측 끝단 채널 저항은 최소값으로 설정된다.

[0052] 도 8과 같이 통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B)의 출력채널 저항을 설정하면 출력채널 각각에서 저항값을 일정한 차이로 설정하여야 하므로 공정 난이도가 비교적 높다.

[0053] 도 8의 출력채널 저항 특성과 유사한 링크저항 보상 효과를 얻을 수 있고 공정 난이도를 낮추기 위하여, 본 발명의 다른 실시예는 도 9와 같이 통합 구동회로칩(11) 및 소스 드라이브 IC(21A, 21B)의 출력채널 저항들을 스텝 형태의 변화로 설정할 수 있다. 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 출력채널 저항은 이웃한 j(j는 2 이상 5 이하의 정수) 개의 출력 채널들 단위로 동일하게 설정될 수 있다. 도 9의 경우에도, 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 중앙부 출력채널 저항은 최대로 설정되고, 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 양측으로 갈수록 스텝 형태로 감소하여 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 양측 끝단 채널 저항은 최소로 설정되어야 한다.

[0054] 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 출력채널 저항들(R1~R2) 각각은 링크저항 특성과 반비례되는 조건 하에서 각각 고정된 저항값으로 설정될 수 있다. 그런데, 액정패시패널의 해상도, 화소 어레이 구조 등이 서로 다른 모델들은 링크저항 특성이 서로 다르게 된다. 이렇게 서로 다른 링크저항 특성을 갖는 모델들에서 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)를 공용화하기 위해서는 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 출력채널 저항들을 서로 다른 링크저항 특성에 맞게 조정할 필요가 있다.

[0055] 본 발명의 다른 실시예에 따른 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 출력채널 저항들 각각은 도 10 및 도 11과 같이 서로 다른 링크저항 특성을 갖는 액정표시패널들에 공용화되고 호환될 수 있도록 그 저항값이 가변되는 가변저항 회로로 구현된다.

[0056] 도 10을 참조하면, 본 발명의 실시예에 따른 가변저항 회로는 멀티플렉서(MUX), 멀티플렉서(MUX)의 제1 출력단자와 N 번째 데이터라인 사이에 연결된 제1 저항(R11), 및 멀티플렉서(MUX)의 제2 출력단자와 N 번째 데이터라인 사이에 연결된 제2 저항(R12)을 구비한다. 제1 및 제2 저항(R11, R12)의 저항값은 서로 다르게 설정되고, 그 중 적어도 어느 하나는 가변저항으로 설정될 수 있다.

[0057] 멀티플렉서(MUX)의 입력단자에는 통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B)의 출력회로(72)로부터 N(N은 양의 정수) 번째 정극성/부극성 데이터전압(Data#N)이 입력된다. 멀티플렉서(MUX)는 자신의 제어단자에 입력되는 저항 선택신호(SEL)에 따라 입력단자를 제1 출력단자에 접속된 제1 저항(R11), 또는 제2 출력단자에 접속된 제2 저항(R12)에 선택적으로 접속시킨다. 저항 선택신호(SEL)가 하이논리 전압이면, 멀티플렉서(MUX)는

입력단자를 상대적으로 큰(또는 작은) 저항값을 갖는 제1 저항(R11)에 연결한다. 저항 선택신호(SEL)가 로우논리 전압이면, 멀티플렉서(MUX)는 입력단자를 상대적으로 작은(또는 큰) 저항값을 갖는 제2 저항(R12)에 연결한다.

[0058] 도 11을 참조하면, 본 발명의 다른 실시예에 따른 가변저항 회로는 제1 저항(R11), 자신의 입력단자가 제1 저항(R11)에 접속되고 제1 출력단자가 N 번째 데이터라인에 연결된 멀티플렉서(MUX), 및 멀티플렉서(MUX)의 제2 출력단자와 N 번째 데이터라인 사이에 연결된 제2 저항(R12)을 구비한다. 제1 및 제2 저항(R11, R12)의 저항값은 동일하거나 서로 다르게 설정되고, 그 중 적어도 어느 하나는 가변저항으로 설정될 수 있다.

[0059] 제1 저항(R11)에는 통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B)의 출력회로(72)로부터 N 번째 정극성/부극성 데이터전압(Data#N)이 입력된다. 멀티플렉서(MUX)는 자신의 제어단자에 입력되는 저항 선택신호(SEL)에 따라 제1 저항(R11)을 제2 저항(R12)에 직렬로 연결하거나 N 번째 데이터라인에 연결한다. 저항 선택신호(SEL)가 하이논리 전압이면, 멀티플렉서(MUX)는 제1 저항(R11)을 제2 저항(R12)에 연결한다. 이 때, 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 출력 채널 저항 값은 R11+R12의 값으로 커진다. 저항 선택신호(SEL)가 로우논리 전압이면, 멀티플렉서(MUX)는 제1 저항(R11)을 N 번째 데이터라인에 연결한다. 이 때, 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 출력 채널 저항은 R11으로 작아진다.

[0060] 도 10 및 도 11에서, 멀티플렉서(MUX)의 제어단자는 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)에 설정된 옵션핀과 딥스위치(DIP switch)를 통해 전원전압원(Vcc)이나 기저전압원(GND)에 연결될 수 있다. 멀티플렉서(MUX)의 제어단자에 전원전압(Vcc)이 공급되면, 저항 선택신호(SEL)는 하이논리 전압으로 멀티플렉서(MUX)의 제어단자에 입력된다. 멀티플렉서(MUX)의 제어단자에 기저전압(GND)이 공급되면, 저항 선택신호(SEL)는 로우논리 전압으로 멀티플렉서(MUX)의 제어단자에 입력된다.

[0061] 저항 선택신호(SEL)는 시스템 보드로부터 생성되어 통합 구동회로칩(11)의 저항 선택용 옵션핀에 입력될 수 있다. 또한, 저항 선택신호(SEL)는 시스템 보드로부터 생성되어 타이밍 콘트롤러(23)를 통해 소스 드라이브 IC(21A, 21B)의 저항 선택용 옵션핀에 입력될 수도 있다.

[0062] 도 12는 액정표시패널의 링크저항 조정 예를 나타내는 도면이다.

[0063] 도 12를 참조하면, 액정표시패널의 링크라인들(15)에는 저항 패턴(15a)이 형성될 수 있다. 저항 패턴(15a)은 지그재그 패턴으로서 링크라인(15)의 길이를 조정하여 링크라인(15)의 저항값을 높인다. 저항 패턴(15a)의 길이가 짧을수록 링크 저항이 작아지는 반면, 저항 패턴(15a)의 길이가 길수록 링크저항이 커진다. 따라서, 저항 패턴(15a)의 길이를 조정하여 링크저항 편차를 보상하거나 링크저항의 유형을 도 13 및 도 14, 혹은 도 16 및 도 17과 같이 조정할 수 있다. 이하에서, 통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B) 내에 내장된 저항과, 링크라인(15)에 형성된 저항 패턴(15a)을 상호 보완적으로 이용하여 링크저항의 편차를 보상하는 방법을 설명하기로 한다.

[0064] 도 12에서, 도면부호 '16'은 링크라인들(15)의 끝단에 연결된 데이터 패드이다. 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 출력 단자들은 데이터 패드들(16)에 접속된다.

[0065] 도 13 및 도 14는 링크저항의 다른 예와 그에 따른 통합 구동회로칩(11)과 소스 드라이브 IC(21A, 21B)의 출력 채널 저항을 보여 주는 도면이다.

[0066] 액정표시패널의 링크저항은 저항 패턴(15a)으로 인하여 도 13 및 도 14와 같이 통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B)의 중앙부에서 작고 양측에서 일정한 저항값으로 갖는 형태로 설계될 수 있다. 도 13 및 도 14에 도시된 링크 저항은 통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B)의 중앙부에서 가장 작고 상기 소스 구통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B)의 중앙부로부터 일정 거리만큼 떨어진 위치로부터 통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B)의 양측 끝단까지 동일한 갈메기 형태이다.

[0067] 도 13 및 도 14와 같은 액정표시패널의 링크저항은 IC의 양측 가장자리 근방에 실질적으로 동일한 저항값을 갖는다. 따라서, 도 13 및 도 14와 같은 링크저항 편차를 줄이기 위하여, 통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B)의 가변저항 회로는 도 15와 같이 IC의 중앙부 일부에만 형성되고 IC의 중앙부에서 최대값으로 설정될 수 있다. 통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B)의 출력채널 저항은 j 개의 IC 출력 채널들 단위로 동일하게 설정될 수 있다.

[0068] 도 16 및 도 17은 링크저항의 또 다른 예와 그에 따른 통합 구동회로칩과 소스 드라이브 IC의 출력채널 저항을 보여 주는 도면이다.

[0069] 도 16 및 도 17을 참조하면, 액정표시패널의 링크저항은 저항 패턴(15a)을 이용하여 'W'자 형태로 조정될 수 있다. 이 경우에, 통합 구동회로칩(11) 또는 소스 드라이브 IC(21A, 21B)의 출력채널 저항은 가변저항 회로의 저항값을 선택하여 역 'W'자 형태로 설정되어야 한다.

[0070] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0071]

10, 10A, 10B : 화소 어레이

11 : 통합 구동회로칩

13A, 13B : 게이트 구동회로

21A, 21B : 소스 드라이브 IC

23 : 타이밍 콘트롤러

71 : DAC

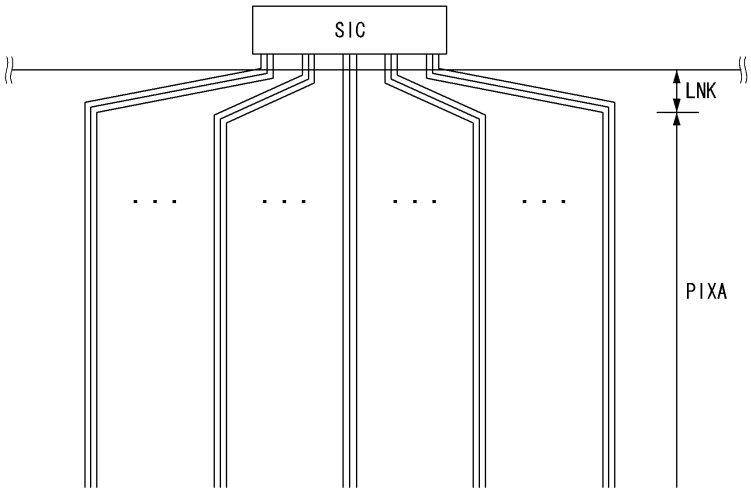
72 : 출력회로

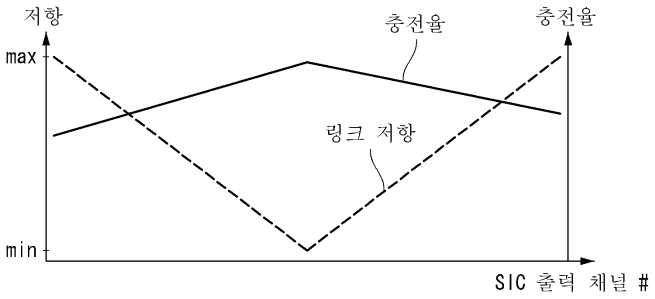
MUX : 멀티플렉서

R1~Ri : 출력채널 저항

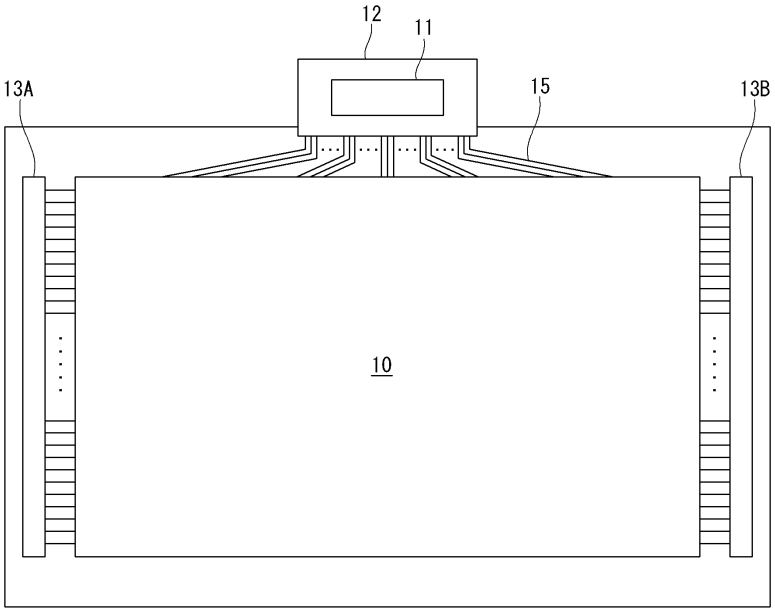
도면

도면1

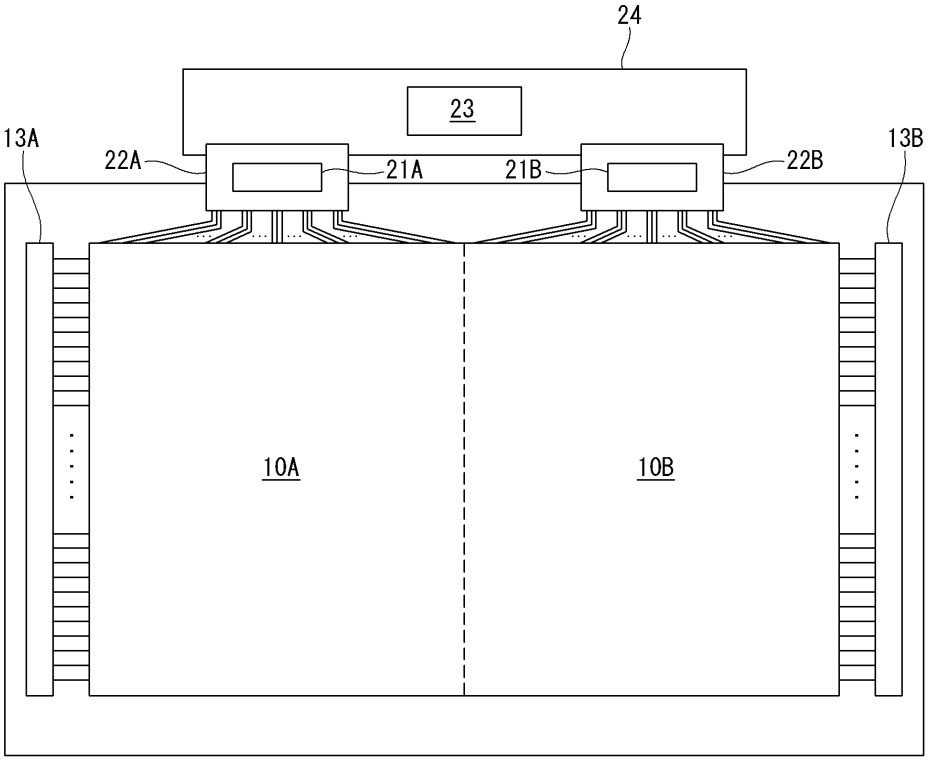




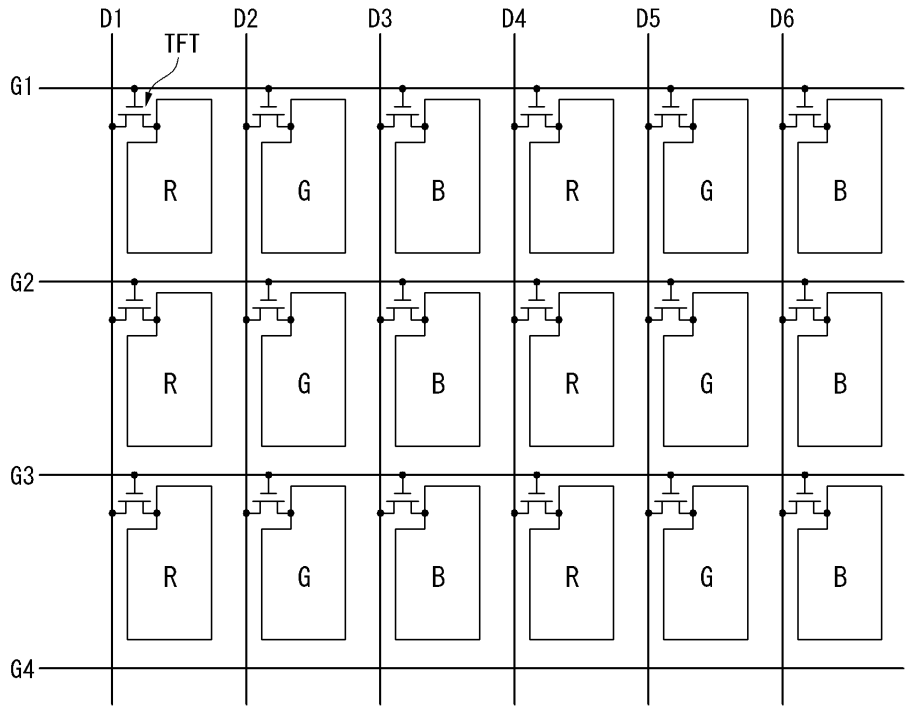
도면2



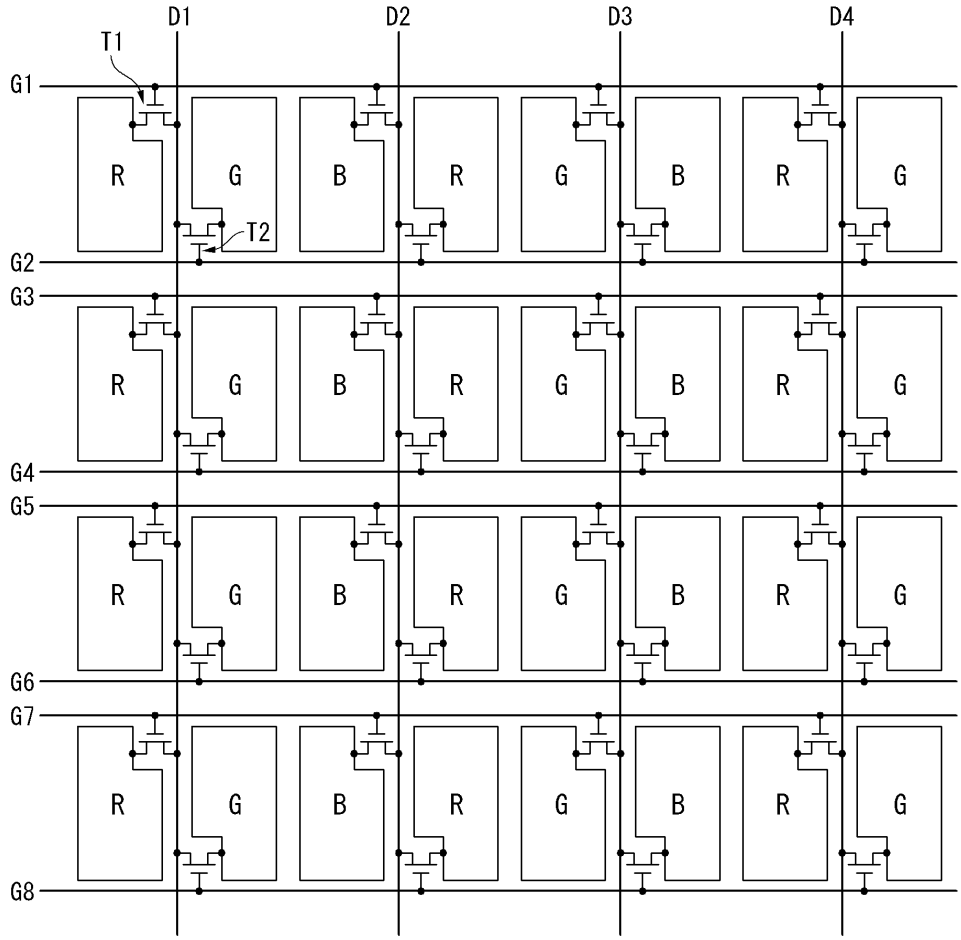
도면3



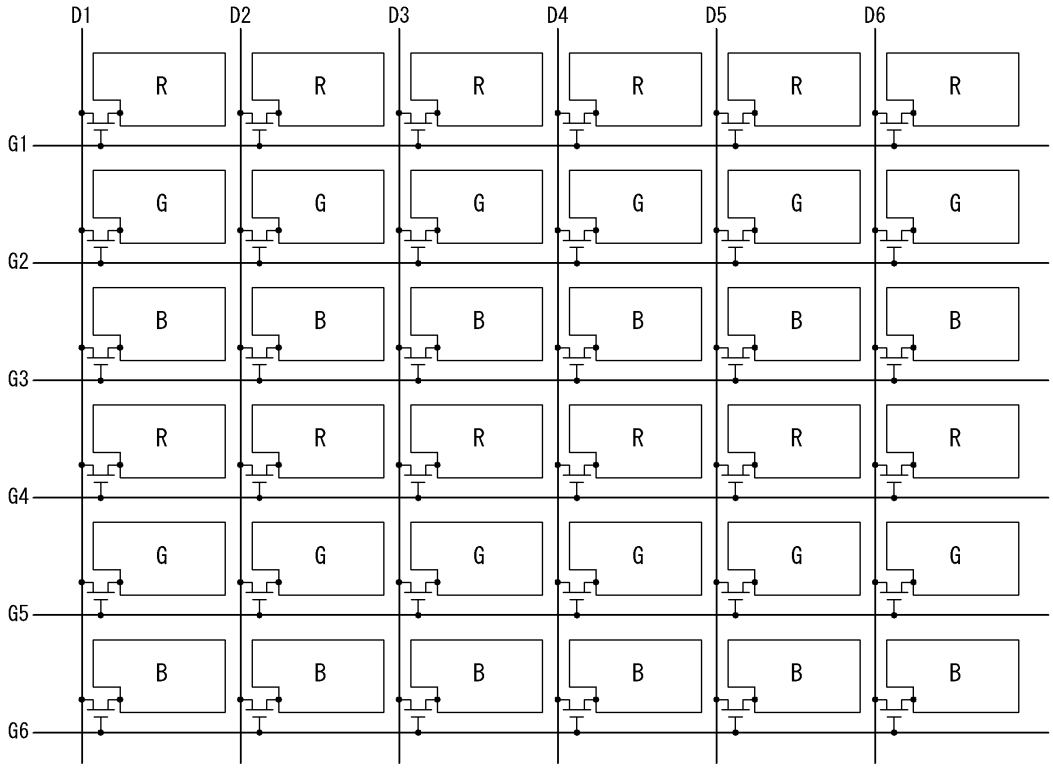
도면4


D1
D2
D3
D4
D5
D6
TFT
G1
G2
G3
G4
R
G
B

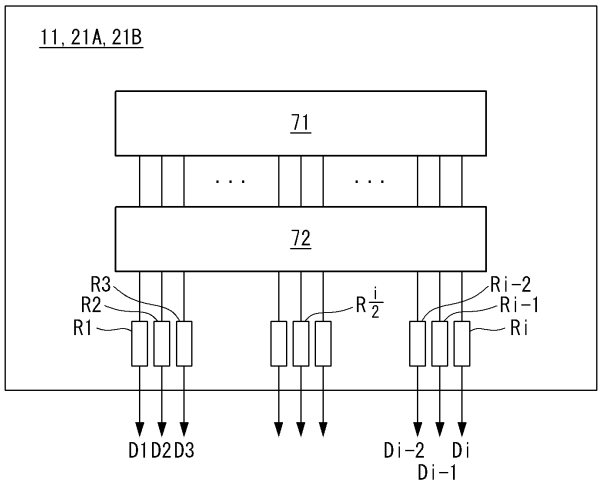
도면5


D1
D2
D3
D4
T1
T2
G1
G2
G3
G4
G5
G6
G7
G8
R
G
B

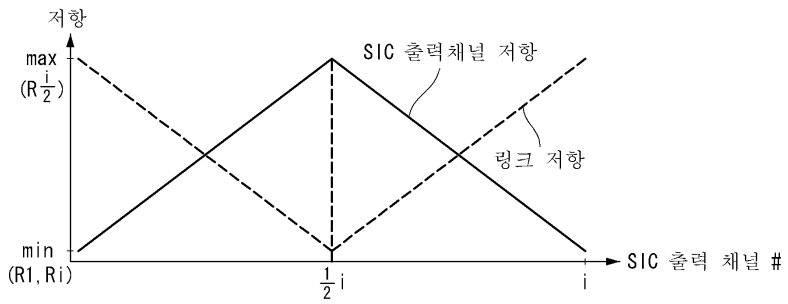
도면6


D1
D2
D3
D4
D5
D6
G1
G2
G3
G4
G5
G6
R
G
B

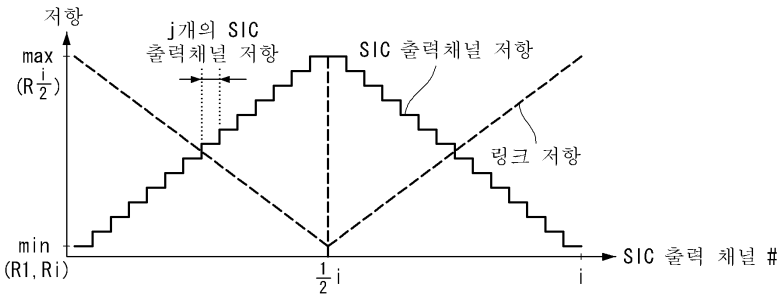
도면7


11, 21A, 21B
71
72
R3
R2
R1
R i/2
Ri-2
Ri-1
Ri
D1 D2 D3
Di-2 Di
Di-1

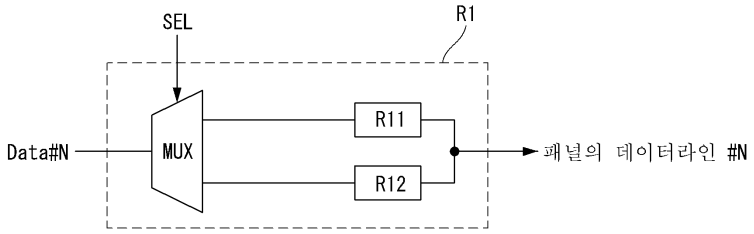
도면8


저항
max
(R i/2)
min
(R1, Ri)
SIC 출력채널 저항
링크 저항
1/2 i
i
SIC 출력 채널 #

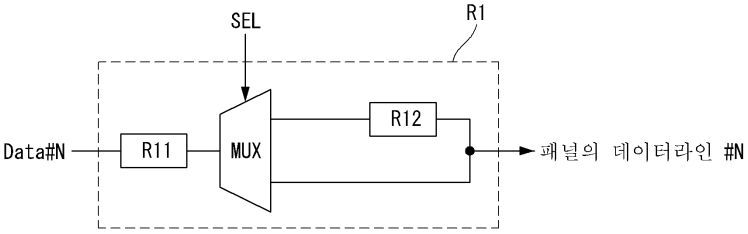
도면9



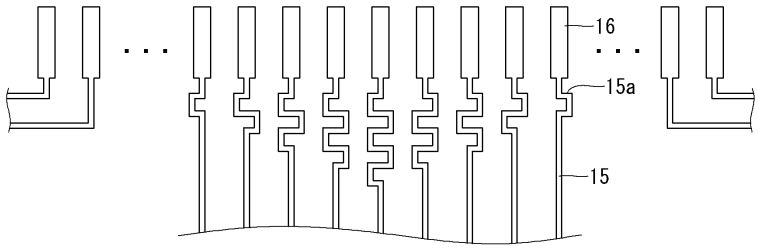
도면10



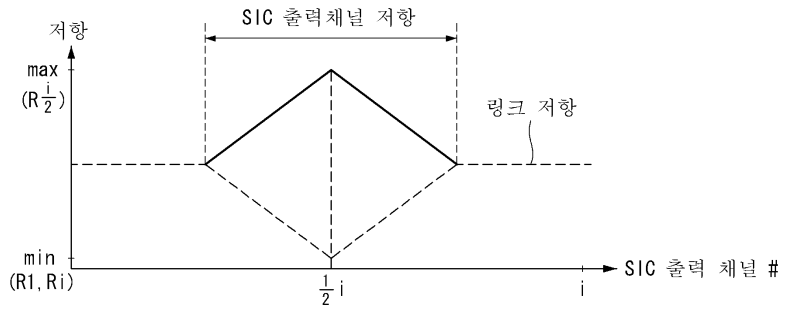
도면11



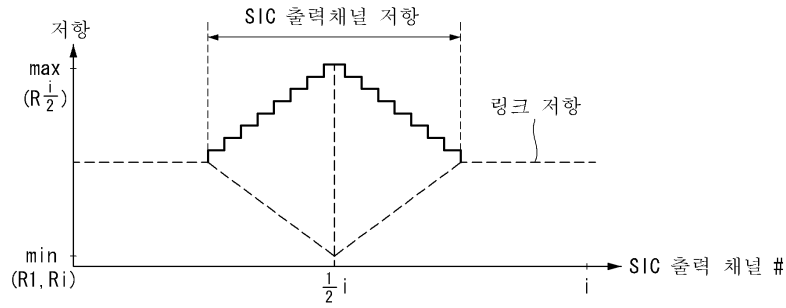
도면12



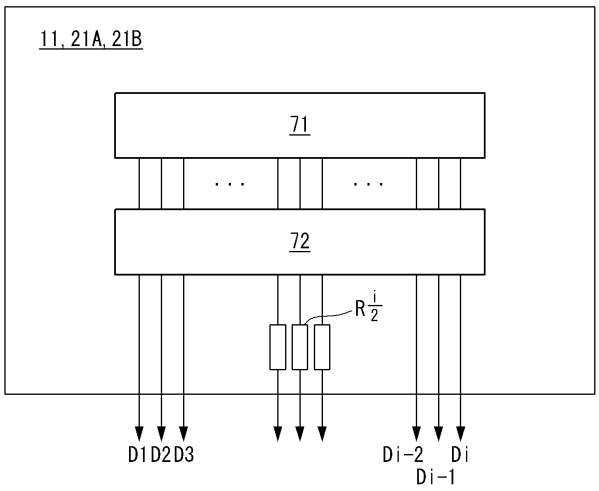
도면13



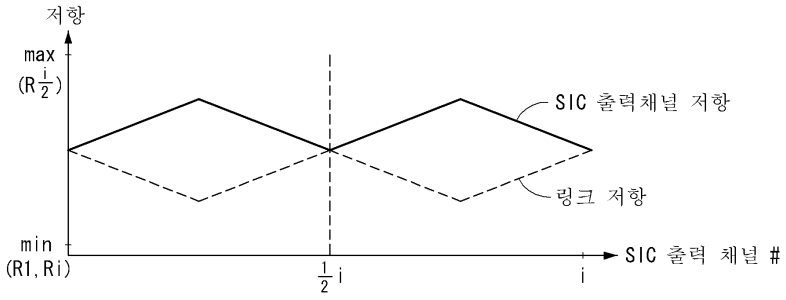
도면14



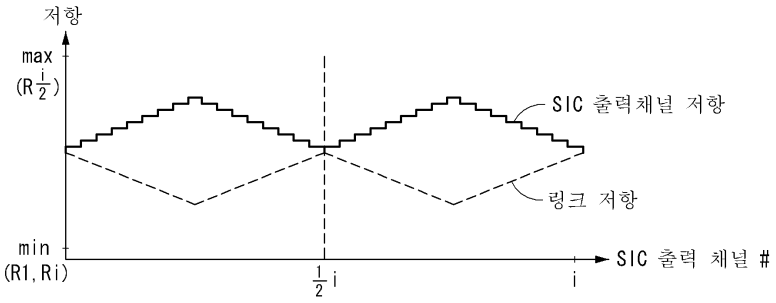
도면15



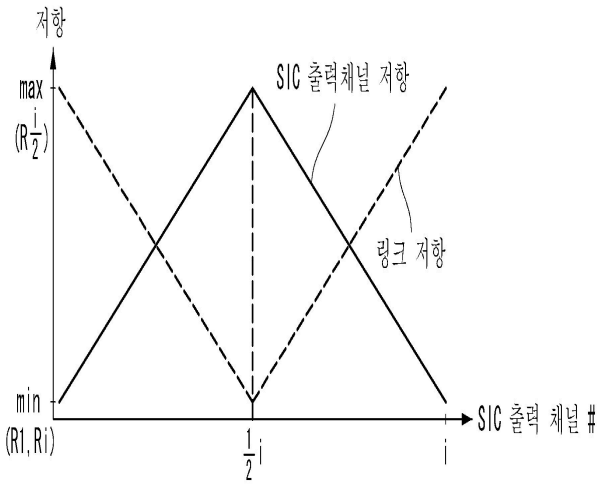
도면16



도면17



专利名称(译)	液晶显示器		
公开(公告)号	KR101679856B1	公开(公告)日	2016-11-28
申请号	KR1020100046137	申请日	2010-05-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MIN WOONG KI 민웅기 SONG HONG SUNG 송홍성 LEE YOUNG NAM 이영남 LEE DONG HAK 이동학		
发明人	민웅기 송홍성 이영남 이동학		
IPC分类号	G09G3/36 G02F1/1345 G09G3/34		
CPC分类号	G09G3/36 G02F1/1345 G09G3/3607 G09G3/3688 G09G3/3648 G09G3/3406 G09G2300/0426 G09G2320/0223		
优先权	1020090060803 2009-07-03 KR		
其他公开文献	KR1020110003253A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置，通过补偿LCD面板的链路电阻偏差，在整个像素阵列中实现均匀的显示质量。结构：LCD面板包括像素阵列。像素阵列包括矩阵形LCD单元。源极驱动电路通过输出通道向数据线提供数据电压。栅极驱动电路向栅极线提供栅极脉冲。链路线将输出通道一对一地连接到数据线。源驱动电路有一个输出通道电阻.COPYRIGHT KIPO 2011