



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월22일
 (11) 등록번호 10-1354406
 (24) 등록일자 2014년01월15일

(51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01) G09G 3/20 (2006.01)
 G02F 1/133 (2006.01)
 (21) 출원번호 10-2008-0048295
 (22) 출원일자 2008년05월23일
 심사청구일자 2011년11월02일
 (65) 공개번호 10-2009-0122077
 (43) 공개일자 2009년11월26일
 (56) 선행기술조사문헌
 KR1020060012387 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
조석호
 경기도 파주시 번영로 55, 새꽃마을아파트 트란채
 아파트 106동 1708호 (금촌동)
김범식
 경기도 수원시 권선구 덕영대로1217번길 24, 109
 동 1009호 (권선동, 두산동아아파트)
 (74) 대리인
특허법인로얄

전체 청구항 수 : 총 7 항

심사관 : 이성현

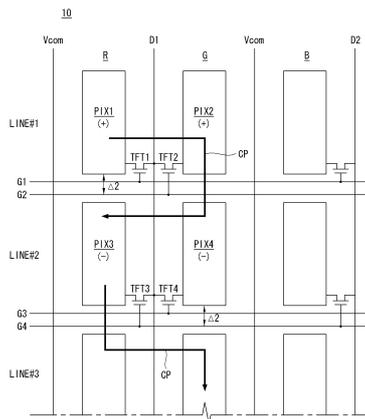
(54) 발명의 명칭 **액정표시장치**

(57) 요약

본 발명은 액정표시장치에 관한 것이다.

이 액정표시장치는 데이터전압이 공급되는 컬럼 방향의 데이터라인; 제1 라인에서 상기 데이터라인의 좌측에 배치된 제1 화소전극; 상기 제1 라인 아래의 제2 라인에서 상기 데이터라인의 우측에 배치된 제2 화소전극; 상기 제1 라인과 상기 제2 라인 사이에서 상기 컬럼 방향과 교차되는 라인 방향을 따라 형성되는 제1 게이트라인; 상기 제1 라인과 상기 제2 라인 사이에서 상기 제1 게이트라인의 아래에 배치되는 상기 라인 방향의 제2 게이트라인; 상기 제1 라인에서 상기 데이터라인의 좌측에 형성되어 상기 제1 게이트라인으로부터의 게이트펄스에 응답하여 상기 데이터라인으로부터의 제1 데이터전압을 상기 제1 화소전극에 공급하는 제1 TFT, 및 상기 제1 라인에서 상기 데이터라인의 우측에 형성되고 상기 제1 게이트라인을 가로질러 상기 제2 화소전극에 접속되어 상기 제2 게이트라인으로부터의 게이트펄스에 응답하여 상기 데이터라인으로부터의 제2 데이터전압을 상기 제2 화소전극에 공급하는 제2 TFT를 구비한다.

대표도 - 도3



특허청구의 범위

청구항 1

데이터전압이 공급되는 컬럼 방향의 제1 및 제2 데이터라인들;

제1 라인에서 상기 제1 데이터라인의 좌측에 배치된 제1 화소전극;

상기 제1 라인에서 상기 제1 데이터라인과 상기 제2 데이터라인 사이에 배치되며 상기 제1 데이터라인의 우측에 배치되는 제2 화소전극;

상기 제1 라인에서 상기 제1 데이터라인과 상기 제2 데이터라인 사이에 배치되며 상기 제2 화소전극과 상기 제2 데이터라인 사이에 배치되는 제3 화소전극;

상기 제1 라인 아래의 제2 라인에서 상기 제1 데이터라인의 좌측에 배치된 제4 화소전극;

상기 제2 라인에서 상기 제1 데이터라인과 상기 제2 데이터라인 사이에 배치되며 상기 제1 데이터라인의 우측에 배치되는 제5 화소전극;

상기 제2 라인에서 상기 제1 데이터라인과 상기 제2 데이터라인 사이에 배치되며 상기 제5 화소전극과 상기 제2 데이터라인 사이에 배치되는 제6 화소전극;

상기 제1 라인과 상기 제2 라인 사이에서 상기 컬럼 방향과 교차되는 방향을 따라 형성되는 제1 게이트라인;

상기 제1 라인과 상기 제2 라인 사이에서 상기 제1 게이트라인의 아래에서 상기 제1 게이트라인과 나란하게 배치되는 제2 게이트라인;

상기 제1 라인에서 상기 제1 데이터라인의 좌측에 형성되어 상기 제1 게이트라인으로부터의 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제1 데이터전압을 상기 제1 화소전극에 공급하는 제1 TFT;

상기 제1 라인에서 상기 제1 데이터라인의 우측에 형성되고 상기 제1 게이트라인을 가로질러 상기 제2 화소전극에 접속되어 상기 제2 게이트라인으로부터의 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제2 데이터전압을 상기 제2 화소전극에 공급하는 제2 TFT; 및

상기 제1 라인에서 상기 제2 데이터라인의 좌측에 형성되고 상기 제3 화소전극에 접속되어 상기 제1 게이트라인으로부터의 게이트펄스에 응답하여 상기 제2 데이터라인으로부터의 제3 데이터전압을 상기 제3 화소전극에 공급하는 제3 TFT를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제2 라인과 상기 제2 라인의 아래에 배치된 제3 라인 사이에서 상기 컬럼방향과 교차되는 방향을 따라 배치되는 제3 게이트라인;

상기 제2 라인과 상기 제3 라인 사이에서 상기 제3 게이트라인의 아래에서 상기 제3 게이트라인과 나란하게 배치되는 제4 게이트라인;

상기 제2 라인에서 상기 제1 데이터라인의 좌측에 형성되고 상기 제3 게이트라인을 가로질러 상기 제4 화소전극에 접속되어 상기 제4 게이트라인으로부터의 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제4 데이터전압을 상기 제4 화소전극에 공급하는 제4 TFT;

상기 제2 라인에서 상기 제1 데이터라인의 우측에 형성되고 상기 제3 게이트라인으로부터의 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제5 데이터전압을 상기 제5 화소전극에 공급하는 제5 TFT; 및

상기 제2 라인에서 상기 제2 데이터라인의 좌측에 형성되고 상기 제3 게이트라인을 가로질러 상기 제6 화소전극에 접속되어 상기 제4 게이트라인으로부터의 게이트펄스에 응답하여 상기 제2 데이터라인으로부터의 제6 데이터전압을 상기 제6 화소전극에 공급하는 제6 TFT를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

절연층을 사이에 두고 상기 화소전극의 좌/우 가장자리와 하단 가장자리에 중첩되는 스토리지 전극; 및
상기 스토리지 전극에 공통전압을 공급하는 상기 컬럼 방향의 공통라인을 더 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 화소전극들에 접속되어 상기 화소전극들의 전압을 유지시키는 스토리지 커패시터를 더 구비하고,

상기 스토리지 커패시터는 절연층을 사이에 두고 중첩되는 상기 화소전극들 각각의 3 변 가장자리 및 스토리지 전극과, 상기 절연층을 사이에 두고 중첩되는 상기 화소전극의 상단 가장자리 및 상기 게이트라인들로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 제2 라인과 상기 제2 라인의 아래에 배치된 제3 라인 사이에서 상기 컬럼방향과 교차되는 방향을 따라 배치되는 제3 게이트라인;

상기 제2 라인과 상기 제3 라인 사이에서 상기 제3 게이트라인의 아래에서 상기 제3 게이트라인과 나란하게 배치되는 제4 게이트라인;

상기 제2 라인에서 상기 제1 데이터라인의 좌측에 형성되고 상기 제3 게이트라인으로부터의 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제4 데이터전압을 상기 제4 화소전극에 공급하는 제4 TFT; 및

상기 제2 라인에서 상기 제1 데이터라인의 우측에 형성되고 상기 제3 게이트라인을 가로질러 상기 제5 화소전극에 접속되어 상기 제4 게이트라인으로부터의 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제5 데이터 전압을 상기 제5 화소전극에 공급하는 제5 TFT;

상기 제2 라인에서 상기 제2 데이터라인의 좌측에 형성되고 상기 제3 게이트라인으로부터의 게이트펄스에 응답하여 상기 제2 데이터라인으로부터의 제6 데이터전압을 상기 제6 화소전극에 공급하는 제6 TFT를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

절연층을 사이에 두고 상기 화소전극의 좌/우 가장자리와 하단 가장자리에 중첩되는 스토리지 전극; 및

상기 스토리지 전극에 공통전압을 공급하는 상기 컬럼 방향의 공통라인을 더 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 7

제 6 항에 있어서,

상기 화소전극에 접속되어 상기 화소전극의 전압을 유지시키는 스토리지 커패시터를 더 구비하고,

상기 스토리지 커패시터는 절연층을 사이에 두고 중첩되는 상기 화소전극의 3 변 가장자리 및 스토리지 전극과, 상기 절연층을 사이에 두고 중첩되는 상기 화소전극의 상단 가장자리 및 상기 게이트라인들로 구성되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

[0003] 이와 같은 액티브 매트릭스 액정표시장치는 데이터라인들과 게이트라인들이 교차하고 그 교차 구조로 정의된 영역들에 액정셀들이 매트릭스 형태로 배치된다. 데이터라인들과 게이트라인들의 교차부에는 TFT들(Thin Film Transistor)이 형성된다.

[0004] 액정표시장치는 액정의 열화를 줄이기 위하여 데이터전압의 극성을 주기적으로 반전시켜 공급하고 있다. 이렇게 데이터 전압의 극성을 반전시키는 구동방식을 "인버전 방식"이라 한다. 인버전 방식은 라인 인버전 방식(Line Inversion System), 컬럼 인버전 방식(Column Inversion System), 도트 인버전 방식(Dot Inversion System) 등이 있다.

[0005] 라인 인버전 방식은 데이터전압의 극성을 라인 단위로 반전시키고 또한, 1 프레임기간 주기로 데이터전압의 극성을 반전시킨다. 이러한 라인 인버전 구동방식은 이웃하는 라인들 간에 데이터 충전량이 달라져 라인 방향으로 줄무늬(가로 줄무늬)가 보여질 수 있다.

[0006] 컬럼 인버전 방식은 이웃하는 컬럼들 간에 데이터 전압의 극성을 반전시키고 또한, 1 프레임기간 주기로 데이터 전압의 극성을 반전시킨다. 이러한 컬럼 인버전 구동방식은 컬럼들 간에 데이터 충전량이 달라져 컬럼 방향으로 줄무늬(세로 줄무늬)가 나타나기 쉽다.

[0007] 도트 인버전 방식은 라인 방향으로 이웃하는 액정셀들에 공급되는 데이터전압들의 극성을 반전시키고 컬럼 방향으로 이웃하는 액정셀들에 공급되는 데이터전압의 극성을 반전시킨다. 또한, 도트 인버전 방식은 1 프레임기간 주기로 데이터전압의 극성을 반전시킨다. 도트 인버전 방식은 수직 및 수평 방향으로 인접한 화소들간에 발생하는 플리커를 서로 상쇄시킴으로써 다른 인버전 방식들에 비하여 뛰어난 화질의 화상을 제공할 수 있다. 그러나 도트 인버전 방식은 데이터 드라이버에서 데이터라인들에 공급되는 데이터전압신호의 극성이 수평 및 수직 방향으로 반전되어야 함에 따라 다른 인버전 방식들에 비하여 데이터전압의 변동량, 즉 데이터전압신호의 주파수가 크기 때문에 데이터 구동회로의 소비전력과 발열량이 커지는 단점을 가진다.

[0008] 최근에는 도 1과 같이 하나의 데이터라인을 통해 공급되는 데이터전압들을 좌우 이웃하는 액정셀들(PIX1 및 PIX2, PIX3 및 PIX4)에 교대로 공급하는 인버전 방식이 제안되고 있다. 이러한 인버전 방식은 데이터전압의 충전패스(CP)가 Z자와 같으므로 Z 인버전 방식으로 불리운다. Z 인버전 방식에서, 매라인마다 데이터라인(D1, D2) 각각에는 좌우로 TFT들이 접속되고, 그 TFT(Thin Film Transistor)들 각각에 액정셀의 화소전극이 접속된다.

[0009] Z 인버전 방식에서 데이터 전압의 충전순서를 설명하면, 제1 게이트라인(G1)에 제1 게이트펄스가 인가되면 제1 TFT(T1)는 턴-온(Turn-on)되어 제1 데이터라인(D1)으로부터의 데이터전압을 제1 데이터라인(D1)의 좌측에 배치된 제1 화소전극(PIX1)에 공급한다. 이어서, 제2 게이트라인(G2)에 제2 게이트펄스가 인가되면 제2 TFT(T2)는 턴-온되어 제1 데이터라인(D1)으로부터의 데이터전압을 제1 데이터라인(D1)의 우측에 배치된 제2 화소전극(PIX1)에 공급한다. 마찬가지로, 제3 및 제4 게이트펄스들이 제3 및 제4 게이트라인들(G3, G4)에 순차적으로 공급되면 제3 및 제4 TFT들(T3, T4)의 턴-온에 의해 제3 화소전극(PIX3)에 데이터전압이 공급된 후에 제4 화소전극(PIX4)에 데이터전압이 공급된다.

[0010] 이와 같은 Z 인버전 방식은 데이터라인들의 개수를 1/2로 줄일 수 있고 데이터전압의 주파수도 낮출 수 있는 장점이 있지만, 컬럼방향으로 이웃하는 화소전극들 사이에 두 개의 게이트라인들이 형성되어 앞서 충전된 데이터 전압을 변동시킬 수 있는 단점이 있다. 예컨대, 제1 화소전극(PIX1)에 이미 데이터전압이 충전된 상태에서 제2 게이트라인(G2)에 게이트펄스의 게이트하이전압이 인가되면 제1 화소전극(PIX1)과 제2 게이트라인(G2) 간의 커플링(Coupling)에 의해 제1 화소전극(PIX)의 전압이 변할 수 있다. 이는 제2 게이트라인(G2)과 제1 화소전극(PIX1) 간의 간격($\Delta 1$)이 좁고 이로 인하여, 게이트하이전압이 제1 화소전극(PIX)의 전압을 유지시키기 위한 스토리지 커패시터(Storage Capacitor, Cst)의 전압을 변동시키기 때문이다. 이러한 간격($\Delta 1$)을 넓히면 제1 화

소전극(PIX1)과 제2 게이트라인(G2) 간의 커플링을 줄일 수 있지만 개구율이 작아지는 또 다른 문제점이 발생한다.

[0011] 또한, Z 인버전 방식에서는 데이터전압의 극성과 충전 순서에 따라 R 컬럼, G 컬럼 및 B 컬럼 중에서 어느 한 컬럼의 액정셀들에 충전되는 데이터전압과 다른 컬럼들의 액정셀들에 충전되는 데이터전압이 달라져 표시화상에서 어느 한 색이 두드러져 보이는 현상이 발생할 수 있다.

발명의 내용

해결 하고자하는 과제

[0012] 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 스토리지 커패시터의 전압을 변동시키지 않고 충분한 개구율을 확보하고 표시품질을 높일 수 있는 액정표시장치를 제공하는데 있다.

과제 해결수단

[0013] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 데이터전압이 공급되는 컬럼 방향의 데이터라인; 제1 라인에서 상기 데이터라인의 좌측에 배치된 제1 화소전극; 상기 제1 라인 아래의 제2 라인에서 상기 데이터라인의 우측에 배치된 제2 화소전극; 상기 제1 라인과 상기 제2 라인 사이에서 상기 컬럼 방향과 교차되는 라인 방향을 따라 형성되는 제1 게이트라인; 상기 제1 라인과 상기 제2 라인 사이에서 상기 제1 게이트라인의 아래에 배치되는 상기 라인 방향의 제2 게이트라인; 상기 제1 라인에서 상기 데이터라인의 좌측에 형성되어 상기 제1 게이트라인으로부터의 게이트펄스에 응답하여 상기 데이터라인으로부터의 제1 데이터전압을 상기 제1 화소전극에 공급하는 제1 TFT, 및 상기 제1 라인에서 상기 데이터라인의 우측에 형성되고 상기 제1 게이트라인을 가로질러 상기 제2 화소전극에 접속되어 상기 제2 게이트라인으로부터의 게이트펄스에 응답하여 상기 데이터라인으로부터의 제2 데이터전압을 상기 제2 화소전극에 공급하는 제2 TFT를 구비한다.

효과

[0014] 본 발명의 실시예에 따른 액정표시장치는 데이터전압이 지그재그 방향을 따라 순차적으로 충전되는 Z 인버전 방식에서 개구율 저하없이 화소전극과 게이트라인의 거리를 멀게 하여 스토리지 커패시터의 전압을 변동시키지 않고 충분한 개구율을 확보할 수 있으며 표시품질을 높일 수 있다.

발명의 실시를 위한 구체적인 내용

[0015] 이하, 도 2 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0016] 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다.

[0017] 액정표시패널(10)은 두 장의 유리기판 사이에 액정층이 형성된다. 이 액정표시패널(10)의 하부 유리기판에는 컬럼방향의 데이터라인들(D1 내지 Dm)과, 데이터라인들(D1 내지 Dm)과 교차되도록 라인 방향의 게이트라인들(G1 내지 Gn)이 형성된다. 또한, 하부 유리기판에는 데이터라인들(D1 내지 Dm)과 나란하고 데이터라인들 사이에 형성되는 공통라인과, 그 공통라인에 전기적으로 접속되어 공통전압(Vcom)을 입력받는 스토리지전극이 형성된다. 공통라인은 공통전압(Vcom)을 발생하는 공통전압원에 접속된다. 공통라인과 스토리지전극은 도 7 및 도 8에 도시되어 있다. 게이트라인들(G1 내지 Gn)은 도 3 및 도 5와 같이 기수 게이트라인과 그와 이웃하는 우수 게이트라인이 한 조를 이루어 컬럼 방향으로 이웃하는 화소전극들(1) 사이에 형성된다. 액정셀들(C1c)은 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차 구조에 의해 액정표시패널(10)의 화소 어레이 상에서 매트릭스 형태로 배치된다. 또한, 하부 유리기판에는 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차부에 형성된 TFT들, TFT들에 1 : 1로 접속된 액정셀(C1c)의 화소전극들(1) 및 스토리지 커패시터(Cst) 등이 형성된다. 액정표시패널(10)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다.

- [0018] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- [0019] 하부 유리기관 상에 형성되는 데이터라인, 게이트라인, 화소전극 및 TFT의 구조는 도 3 및 도 5와 같다. 도 3 및 도 5는 수직 전계방식의 구조를 예시하였지만 이에 한정되는 것이 아니라 본 발명은 어떠한 액정 모드에도 적용 가능하다.
- [0020] 타이밍 컨트롤러(11)는 입력 받은 디지털 비디오 데이터(RGB)를 도 3 내지 도 6에 도시된 액정표시패널(10)에서의 데이터전압 충전순서에 맞추어 재정렬한 후에 그 디지털 비디오 데이터(RGB)를 데이터 구동회로(12)에 공급한다. 그리고 타이밍 컨트롤러(11)는 데이터 인에이블신호(Data Enable, DE)와 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호들을 발생한다.
- [0021] 데이터 타이밍 제어신호들은 소스 스타트 펄스(Source Start Pulse : SSP), 소스 샘플링 클럭신호(Source Sampling Clock : SSC), 소스 출력 인에이블신호(Source Output Enable : SOE), 및 극성제어신호(Polarity : POL) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 화소를 지시한다. 타이밍 컨트롤러(11)와 데이터 구동회로(12) 사이에서 데이터 전송이 mini LVDS(low-voltage differential signaling) 방식으로 전송된다면 디지털 비디오 데이터(RGB)와 함께 mini LVDS 클럭이 데이터 구동회로(12)에 전송된다. 이렇게 mini LVDS 방식으로 데이터가 전송되는 경우에, mini LVDS 클럭의 리셋펄스에 이어지는 펄스가 소스 스타트 펄스 역할을 하므로 타이밍 컨트롤러(11)에서 별도의 소스 스타트 펄스(SSP)가 발생되지 않는다. 소스 샘플링 클럭신호(SSC)는 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(12) 내에서 데이터의 래치동작을 제어한다. 소스 출력 인에이블신호(Source Output Enable : SOE)는 데이터 구동회로(12)의 출력을 제어한다. 극성제어신호(POL)는 1 수평기간 또는 2 수평기간 주기로 논리가 반전되고 또한, N(N은 양의 정수) 프레임기간마다 위상이 반전된다.
- [0022] 게이트 타이밍 제어신호들은 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 라인을 지시한다. 게이트 쉬프트 클럭신호(GSC)은 게이트 구동회로(13) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로서 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생된다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(13)의 출력을 제어한다.
- [0023] 데이터 구동회로(12)는 타이밍 컨트롤러(11)의 제어 하에 디지털 비디오 데이터(RGB)를 래치하고 디지털 비디오 데이터(RGB)를 정극성/부극성 감마보상전압들로 변환하여 정극성/부극성 데이터전압을 발생한다. 데이터전압은 데이터라인들(D1 내지 Dm)에 공급된다. 데이터 구동회로(12)는 극성제어신호(POL)에 응답하여 데이터전압의 극성을 반전시킨다. 이러한 데이터 구동회로(12)는 기수 픽셀의 R 데이터전압과 기수 픽셀의 G 데이터전압을 시분하여 그 데이터전압 각각을 1/2 수평기간 동안 기수 데이터라인들(D1, D3, ...Dm-1)에 공급하고 또한, 기수 픽셀의 B 데이터전압과 우수 픽셀의 R 데이터전압을 시분하여 그 데이터전압 각각을 1/2 수평기간 동안 우수 데이터라인들(D2, D4, ...Dm)에 공급한다.
- [0024] 게이트 구동회로(13)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터, 및 출력 버퍼 등을 포함하여 게이트펄스를 게이트라인들(G1 내지 Gn)에 순차적으로 공급한다. 게이트펄스의 게이트하이전압은 데이터전압에 동기되도록 1/2 수평기간 동안 게이트라인들(G1 내지 Gn)에 공급된다.
- [0025] 도 3은 도 2에 도시된 액정표시패널(10)의 하판 구조, 데이터전압의 극성 및 충전 패스(CP)를 증가적으로 나타내는 회로도이다. 도 3의 하판 구조는 화소 어레이의 전체가 아니라 기수 픽셀 영역에서 제1 내지 제3 라인들(LINE#1 내지 LINE#3)에 형성되는 화소 어레이를 보여 준다.
- [0026] 도 3을 참조하면, 제1 데이터라인(D1)의 좌측에 위치하는 R 컬럼에는 R 액정셀들의 화소전극들(PIX1, PIX3)이 컬럼 방향을 따라 형성되고, 제1 데이터라인(D1)의 우측에 위치하는 G 컬럼에는 G 액정셀들의 화소전극들(PIX2, PIX4)이 컬럼 방향을 따라 형성된다.

- [0027] 제1 데이터라인(D1)은 R 컬럼에 형성된 TFT(TFT1, TFT3)를 경유하여 R 컬럼에 형성된 화소전극들(PIX1, PIX3)에 접속되고, G 컬럼에 형성된 TFT(TFT2, TFT4)를 경유하여 G 컬럼에 형성된 화소전극들(PIX2, PIX4)에 접속된다.
- [0028] 스토리지전극에 공통전압(Vcom)을 공급하기 위한 공통라인(COM)은 화소 어레이의 좌측과 우측에서 데이터라인들(D1 내지 Dm)과 나란하게 형성된다. 공통라인(COM)은 이웃하는 데이터라인들 사이에 배치된 이웃하는 화소전극들 사이에서 데이터라인들(D1 내지 Dm)과 나란하게 형성된다. 우수 픽셀 영역의 R 컬럼과 G 컬럼 사이에서 데이터라인들(D1 내지 Dm)과 나란하게 형성된다. 스토리지 전극과 공통라인은 일정한 간격 예를 들면 k(k는 4 이상의 자연수) 라인 간격을 두고 형성되어 절연층을 관통하는 콘택홀(Contact hole)을 통해 전기적으로 상호 접속된다.
- [0029] 제1 게이트라인(G1)은 제1 및 제2 라인(LINE#1, LINE#2) 사이에서 컬럼 방향과 직교하는 라인 방향을 따라 형성되고 제1 TFT(TFT1)의 게이트전극에 접속된다. 제2 게이트라인(G2)은 제1 및 제2 라인(LINE#1, LINE#2) 사이에서 라인 방향을 따라 형성되고 제2 TFT(TFT2)의 게이트전극에 접속된다. 이 제2 게이트라인(G2)은 제1 게이트라인(G1)의 아래에 형성되고 그 제1 게이트라인(G1)을 가로질러 제2 TFT(T2)의 게이트전극에 접속된다. 따라서, 제2 게이트라인(G2)은 제1 화소전극(1)과의 간격($\Delta 2 > \Delta 1$)이 멀어지므로 제1 화소전극(PIX1)과의 전기적 커플링이 거의 없다. 여기서, G2는 20V 이상의 게이트하이전압을 고려하여 제2 게이트라인(G2)과 제1 화소전극(PIX1)의 전기적 커플링이 거의 없도록 $20\mu\text{m} \sim 40\mu\text{m}$ 정도가 바람직하다.
- [0030] 제3 및 제4 게이트라인(G3, G4)은 제3 라인(LINE#3)과 그 아래의 제4 라인 사이에서 라인 방향을 따라 형성된다. 제3 게이트라인(G3)은 제4 TFT(TFT4)의 게이트전극에 접속된다. 제4 게이트라인(G4)은 제3 게이트라인(G3)의 아래에 형성되고 그 제3 게이트라인(G3)을 가로질러 제3 TFT(T3)의 게이트전극에 접속된다. 따라서, 제4 게이트라인(G4)은 제4 화소전극(PIX4)과의 간격($\Delta 2 > \Delta 1$)이 멀어지므로 제4 화소전극(PIX4)과의 전기적 커플링이 거의 없다. 여기서, G2는 전술한 바와 같이 $20\mu\text{m} \sim 40\mu\text{m}$ 정도가 바람직하다.
- [0031] 제1 데이터라인(D1)을 통해 R 데이터전압과 G 데이터전압이 교대로 공급되는 R 컬럼의 액정셀들과 G 컬럼의 액정셀들에 공급되는 데이터전압의 충전패스(CP) 즉, 충전순서는 제1 내지 제4 게이트라인들(G1 내지 G4)에 공급되는 게이트펄스의 순서와 그 게이트펄스에 의해 순차적으로 턴-온되는 TFT들(TFT1 내지 TFT4)에 의해 결정된다. 기수 프레임에서 R 컬럼과 G 컬럼에 형성된 액정셀들의 충전순서를 설명하면 다음과 같다.
- [0032] 도 3 및 도 4를 참조하면, 게이트라인들(G1 내지 G4)에는 게이트펄스가 순차적으로 인가되고, 데이터라인들(D1, D2)에는 대략 1 수평기간 동안 동일한 극성의 서로 다른 데이터전압이 공급되고 1 수평기간 주기로 극성이 반전되는 데이터전압들이 공급된다.
- [0033] 제1 게이트라인(G1)에 제1 게이트펄스가 인가된다. 그러면 제1 TFT(TFT1)는 제1 게이트펄스에 의해 턴-온되어 제1 데이터라인(D1)으로부터의 정극성 R 데이터전압을 제1 라인(LINE#1)에서 제1 데이터라인(D1)의 좌측에 배치된 제1 화소전극(PIX1)에 공급한다. 이어서, 제2 게이트라인(G2)에 제2 게이트펄스가 인가된다. 이 때, 이미 데이터전압을 충전한 제1 화소전극(PIX1)과 접속된 스토리스 커패시터(Cst)의 전압은 제1 화소전극(PIX1)과 제2 게이트라인(G2)의 간격($\Delta 2$)이 멀기 때문에 제2 게이트펄스의 게이트하이전압에 거의 영향을 받지 않으므로 변동되지 않는다. 제2 TFT(TFT2)는 제2 게이트펄스에 의해 턴-온되어 제1 데이터라인(D1)으로부터의 정극성 G 데이터전압을 제1 라인(LINE#1)에서 제1 데이터라인(D1)의 우측에 배치된 제2 화소전극(PIX2)에 공급한다.
- [0034] 제2 게이트펄스에 이어서, 제3 게이트라인(G3)에 제3 게이트펄스가 인가된다. 그러면 제4 TFT(TFT4)는 제3 게이트펄스에 의해 턴-온되어 제1 데이터라인(D1)으로부터의 부극성 G 데이터전압을 제2 라인(LINE#2)에서 제1 데이터라인(D1)의 우측에 배치된 제4 화소전극(PIX4)에 공급한다. 이어서, 제4 게이트라인(G4)에 제4 게이트펄스가 인가된다. 이 때, 이미 데이터전압을 충전한 제4 화소전극(PIX4)과 접속된 스토리스 커패시터(Cst)의 전압은 제4 화소전극(PIX4)과 제4 게이트라인(G4)의 간격($\Delta 2$)이 멀기 때문에 제4 게이트펄스의 게이트하이전압에 거의 영향을 받지 않으므로 변동되지 않는다. 제3 TFT(TFT3)는 제4 게이트펄스에 의해 턴-온되어 제1 데이터라인(D1)으로부터의 부극성 R 데이터전압을 제2 라인(LINE#2)에서 제1 데이터라인(D1)의 좌측에 배치된 제3 화소전극(PIX3)에 공급한다.
- [0035] 우수 프레임에서 데이터전압의 극성은 기수 프레임과 상반된 극성으로 반전된다.
- [0036] 본 발명의 실시예에 따른 액정표시장치는 전술한 바와 같이 화소전극과 게이트라인 사이의 간격($\Delta 2$)을 멀게 하여 화소전극과 게이트라인 간의 전기적 커플링을 최소화하여 액정셀에 충전된 전압의 변동을 최소화하여 표시품질을 높일 수 있다. 나아가, Z 인버전에서 라인방향을 따라 2 도트(또는 액정셀) 간격으로 데이터전압의 극성

이 반전되고 컬럼방향을 따라 1 도트 간격으로 데이터전압의 극성이 반전될 때 표시화상에서 어느 한 색이 두드러지게 보이는 색왜곡이 보일 수 있으나 본 발명의 실시예에 따른 액정표시장치는 데이터의 충전순서를 변경하여 색왜곡을 줄일 수 있어 표시품질을 더 높일 수 있다. 제1 데이터라인(D1)으로부터의 데이터전압을 교대로 충전하는 R 컬럼과 G 컬럼을 예로 들면, 도 4에서 알 수 있는 바와 같이 첫 번째 1 수평기간 동안 정극성 R 데이터전압이 제1 화소전극(PIX1)에 충전된 후에 정극성 G 데이터전압이 제2 화소전극(PIX2)에 공급된다. 여기서, 제1 화소전극(PIX1)은 앞서 충전한 부극성 전압으로부터 정극성 R 데이터전압을 충전하므로 제2 화소전극(PIX2)에 비하여 충전량이 낮다. 두 번째 1 수평기간 동안 부극성 G 데이터전압이 제4 화소전극(PIX4)에 충전된 후에 부극성 R 데이터전압이 제3 화소전극(PIX3)에 공급된다. 여기서, 제4 화소전극(PIX4)은 앞서 충전한 정극성 전압으로부터 부극성 G 데이터전압을 충전하므로 제3 화소전극(PIX3)에 비하여 충전량이 낮다. 따라서, 제1 라인(LINE#1)과 제2 라인(LINE#2)에서 R 액정셀들과 G 액정셀들의 평균전압이 실질적으로 동일하게 되므로 표시화상에서 어느 한 색이 두드러지게 보이지 않는다. 도 4에서 "W"는 충전량이 낮은 화소전극의 전압이고 "S"는 충전량이 상대적으로 높은 화소전극의 전압이다.

[0037] 도 5는 및 도 6은 본 발명의 다른 실시예에 따른 데이터전압의 충전패스(CP)와 데이터전압의 극성을 나타낸다. 액정표시패널(10)의 하판 구조에서 기수 라인(LINE#1)은 도 3과 실질적으로 동일하다. 우수 라인(LINE2)에서, 도 3의 실시예와 다르게 제3 게이트라인(G3)은 제2 라인(LINE#2)과 제3 라인(LINE#3) 사이에서 라인방향을 따라 형성되고 제1 데이터라인(D1)의 좌측에 형성된 제3 TFT(TFT3)의 게이트전극에 접속된다. 제4 게이트라인(G4)은 제2 라인(LINE#2)과 제3 라인(LINE#3) 사이에서 제3 게이트라인(G3)의 아래에 형성되고 그 제3 게이트라인(G3)을 가로질러 제4 TFT(TFT4)의 게이트전극에 접속된다.

[0038] 도 5 및 도 6을 참조하면, 게이트라인들(G1 내지 G4)에는 데이터전압에 동기되는 게이트펄스가 순차적으로 인가되고, 데이터라인들(D1, D2)에는 1/2 수평기간 주기로 극성이 반전되는 데이터전압들이 공급된다.

[0039] 제1 게이트라인(G1)에 제1 게이트펄스가 인가된다. 그러면 제1 TFT(TFT1)는 제1 게이트펄스에 의해 턴-온되어 제1 데이터라인(D1)으로부터의 정극성 R 데이터전압을 제1 라인(LINE#1)에서 제1 데이터라인(D1)의 좌측에 배치된 제1 화소전극(PIX1)에 공급한다. 이어서, 제2 게이트라인(G2)에 제2 게이트펄스가 인가된다. 이 때, 이미 데이터전압을 충전한 제1 화소전극(PIX1)과 접속된 스토리지 커패시터(Cst)의 전압은 제1 화소전극(PIX1)과 제2 게이트라인(G2)의 간격($\Delta 2$)이 멀기 때문에 제2 게이트펄스의 게이트하이전압에 거의 영향을 받지 않으므로 변동되지 않는다. 제2 TFT(TFT2)는 제2 게이트펄스에 의해 턴-온되어 제1 데이터라인(D1)으로부터의 부극성 G 데이터전압을 제1 라인(LINE#1)에서 제1 데이터라인(D1)의 우측에 배치된 제2 화소전극(PIX2)에 공급한다.

[0040] 제2 게이트펄스에 이어서, 제3 게이트라인(G3)에 제3 게이트펄스가 인가된다. 그러면 제3 TFT(TFT3)는 제3 게이트펄스에 의해 턴-온되어 제1 데이터라인(D1)으로부터의 부극성 R 데이터전압을 제2 라인(LINE#2)에서 제1 데이터라인(D1)의 좌측에 배치된 제3 화소전극(PIX3)에 공급한다. 이어서, 제4 게이트라인(G4)에 제4 게이트펄스가 인가된다. 이 때, 이미 데이터전압을 충전한 제3 화소전극(PIX3)과 접속된 스토리지 커패시터(Cst)의 전압은 제3 화소전극(PIX3)과 제4 게이트라인(G4)의 간격($\Delta 2$)이 멀기 때문에 제4 게이트펄스의 게이트하이전압에 거의 영향을 받지 않으므로 변동되지 않는다. 제4 TFT(TFT4)는 제4 게이트펄스에 의해 턴-온되어 제1 데이터라인(D1)으로부터의 정극성 G 데이터전압을 제2 라인(LINE#2)에서 제1 데이터라인(D1)의 우측에 배치된 제4 화소전극(PIX4)에 공급한다.

[0041] 도 7 및 도 8은 도 3에 도시된 액정표시패널(10)의 하판 구조를 상세히 나타내는 평면도 및 단면도이다.

[0042] 도 7 및 도 8을 참조하면, 하부 유리기판(GLS) 상에 스퍼터링 방법 등의 증착 방법을 이용하여 게이트 금속이 형성된다. 본 발명은 포토리소그래피(Photolithography) 공정을 이용하여 그 게이트 금속을 패터닝하여 게이트 라인(G1 내지 G4), 그 게이트라인(G1 내지 G4)에 접속된 TFT의 게이트 전극(G), 스토리지 전극(ST), 및 도시하지 않은 게이트 패드의 하부 전극 등을 포함하는 게이트 금속 패턴들을 형성한다. 스토리지 전극(ST)은 화소전극(PIX1 내지 PIX4)의 좌/우측 가장자리와 하단 가장자리를 포함한 화소전극의 3 변과 중첩되고 또한, 한 쌍의 게이트 라인들 중에서 아래 쪽 게이트라인(G2, G4)에 중첩된다. 또한, 스토리지 전극(ST)은 후술하는 게이트 절연막들 사이에 두고 공통라인(COM)과 중첩되고 콘택홀을 통해 공통라인(COM)에 접속되어 공통라인(COM)으로부터 공통전압을 공급받는다. 게이트 패드의 하부 전극은 게이트라인(G1 내지 G4)의 끝단에 형성되고 후술하는 게이트 패드의 상부 전극과 접속된다. 게이트 금속으로는 알루미늄(Al), 알루미늄/네오듐(Al/Nd)을 포함하는 알루미늄계 금속 등이 이용될 수 있다.

[0043] 본 발명은 게이트 금속 패턴들을 덮도록 하부 유리기판과 게이트 금속 패턴들 상에 SiO₂, SiNx 등의 무기 절연 재료로 제1 및 제2 게이트 절연막(GI1, GI2)를 연속 증착한 후에, 포토리소그래피 공정을 이용하여 제1 및 제2

게이트 절연막(GI1, GI2)을 관통하여 소정의 간격을 두고 스토리지 전극(ST)을 노출시키는 제1 콘택홀을 형성한다. 이어서, 본 발명은 포토리소그래피 공정을 이용하여 제2 게이트 절연막(GI2) 위에 활성층 및 오믹 접촉층을 포함하는 액티브 반도체 패턴(ACT)과, 그 액티브 반도체 패턴(ACT) 상에 데이터 라인(D1, D2), 데이터라인(D1, D2)과 연결된 TFT의 소스 전극(S), TFT의 드레인 전극(D), 제1 콘택홀을 통해 스토리지 전극(ST)과 접속되는 공통라인(COM), 공통라인(COM)의 끝단에 연결된 공통라인 패드의 하부 전극 및 도시하지 않은 데이터 패드의 하부 전극 등을 포함하는 소스/드레인 금속 패턴들을 형성한다. 제1 콘택홀들은 전술한 바와 같이 k(k는 4 이상의 자연수) 라인 간격을 두고 이격되어 스토리지 전극(ST)과 공통라인(COM)을 접속시킨다. TFT의 드레인전극들(D)은 화소전극(PIX1 내지 PIX4)에 접속되고 그 중 일부는 게이트라인을 가로질러 화소전극(PIX1 내지 PIX4)에 접속될 수 있도록 그 형상이 강화 형태로 패터닝된다. 액티브 반도체 패턴(ACT)의 활성층은 불순물이 도핑되지 않은 비정질실리콘이며, 오믹 접촉층은 N형 또는 P형의 불순물이 도핑된 비정질 실리콘이다. 데이터 패드의 하부 전극은 데이터라인(D1, D2)의 끝단에 형성되고 후술하는 데이터 패드의 상부 전극과 접속된다. 소스/드레인 금속 패턴들은 몰리브덴(Mo), 구리(Cu) 등과 같은 금속이 이용될 수 있다.

[0044] 이어서, 본 발명은 소스/드레인 금속 패턴들을 덮도록 하부 유기기판과 소스/드레인 금속 패턴들 상에 무기 또는 유기 절연재료로 이루어진 보호막(PASSI)를 형성하고, 포토리소그래피 공정을 이용하여 보호막(PASSI)을 관통하여 TFT의 드레인 전극(D)을 노출시키는 제2 콘택홀, 보호막(PASSI)을 관통하여 데이터 패드의 하부 전극을 노출시키는 제3 콘택홀, 보호막(PASSI)과 게이트 절연막들(GI1, GI2)을 관통하여 게이트 패드의 하부 전극을 노출시키는 제4 콘택홀, 보호막(PASSI)을 관통하여 공통라인 패드의 하부 전극을 노출시키는 제5 콘택홀 등을 형성한다.

[0045] 이어서, 본 발명은 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 및 인듐 징크 옥사이드(Indium Zinc Oxide : IZO) 등에서 선택된 투명 도전막을 보호막(PASSI) 상에 스퍼터링 등의 증착 방법으로 증착하고, 포토리소그래피 공정을 이용하여 그 투명 도전막을 패터닝한다. 이 공정에 의해 형성되는 투명 도전막 패턴들은 제2 콘택홀을 통해 TFT의 드레인 전극(D)과 접속되고 게이트라인과 스토리지 전극(ST)과 중첩되는 화소전극들(PIX1 내지 PIX4), 제3 콘택홀을 통해 데이터 패드의 하부 전극과 접속되는 데이터 패드의 상부 전극, 제4 콘택홀을 통해 게이트 패드의 하부 전극과 접속되는 게이트 패드의 상부 전극, 및 제5 콘택홀을 통해 공통라인 패드의 하부 전극과 접속되는 공통라인 패드의 상부 전극 등을 포함한다. 데이터 패드의 상부 전극은 데이터 구동회로(12)를 구성하는 소스 드라이브 IC의 출력 패드와 접속되어 데이터전압을 데이터 패드의 하부 전극을 통해 데이터라인들(D1, D2)에 전달한다. 게이트 패드의 상부 전극은 게이트 구동회로(13)를 구성하는 게이트 드라이브 IC의 출력 패드와 접속되어 게이트 펄스를 게이트 패드의 하부 전극을 통해 게이트라인들(G1 내지 G4)에 전달한다. 공통라인 패드의 상부 전극은 공통전압원으로부터의 공통전압(Vcom)을 공통라인 패드의 하부 전극을 통해 공통라인(COM)에 전달한다.

[0046] 스토리지 커패시터(Cst)는 무기 또는 유기 절연층을 사이에 두고 중첩되는 화소전극(PIX1 내지 PIX4)과 스토리지 전극(ST)으로 형성되고 또한, 무기 또는 유기 절연층을 사이에 두고 중첩되는 화소전극(PIX1 내지 PIX4)과 게이트라인 사이에 형성된다. 이러한 스토리지 커패시터(Cst)는 화소전극(PIX1 내지 PIX4)의 4 변에 형성되므로 그 용량이 매우 커져 데이터전압을 안정하게 충전할 수 있다.

[0047] 스토리지 커패시터(Cst)에서 게이트라인과 중첩되는 부분으로 인하여 리페어 공정에서 불량 셀을 암점화하기가 용이하다. 예를 들어, 액정셀의 전압이 낮을 수록 그 액정셀의 투과율이 높은 노말리 화이트 모드(Normally White Mode)로 액정표시장치가 구동된다고 가정할 때 그리고 제3 TFT(TFT3)의 불량으로 인하여 제3 화소전극(PIX3)에 데이터전압이 공급되지 않는다고 가정할 때 검사공정에서 제3 화소전극을 포함한 액정셀은 휘점 불량으로 판정된다. 이 경우에, 리페어 공정에서 제3 TFT(TFT3)의 드레인전극(D)을 커팅라인"CUT-CUT"을 따라 레이저빔으로 커팅하여 제3 TFT(TFT3)와 제3 화소전극(PIX3) 사이의 전류패스를 개방시킨다. 이어서, 스토리지 커패시터(Cst)에서 제2 게이트라인(G2)과 중첩되는 제3 화소전극(PIX3)의 상단과 그 아래의 보호막(PASSI) 및 게이트 절연막들(GI1, GI1)을 레이저빔으로 녹여 제3 화소전극(PIX3)의 상단과 그와 중첩되는 제2 게이트라인(G2)의 일부를 전기적으로 접속시킨다. 그 결과, 제3 화소전극(PIX3)에는 제2 게이트라인(G3)을 통해 대략 -5V의 게이트로우전압이 인가되고 그 화소전극과 대향하는 상판의 공통전극(2)에 인가되는 공통전압은 대략 5V이므로 제3 액정셀에는 대략 10V의 전압이 인가되어 블랙 계조를 표시하여 블랙 불량 셀로 리페어 된다. 여기서, 게이트로우전압은 비스캔 동안 게이트라인들(G1 내지 G4)에 공급되는 전압으로써 TFT의 턴-온 전압 미만의 전압이고, 게이트하이전압은 스캔타임 동안 즉, 1/2 수평기간 동안 게이트라인들(G1 내지 G4)에 공급되는 게이트펄스의 전압으로써 TFT의 턴-온 전압 이상의 전압이다.

[0048] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정

이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

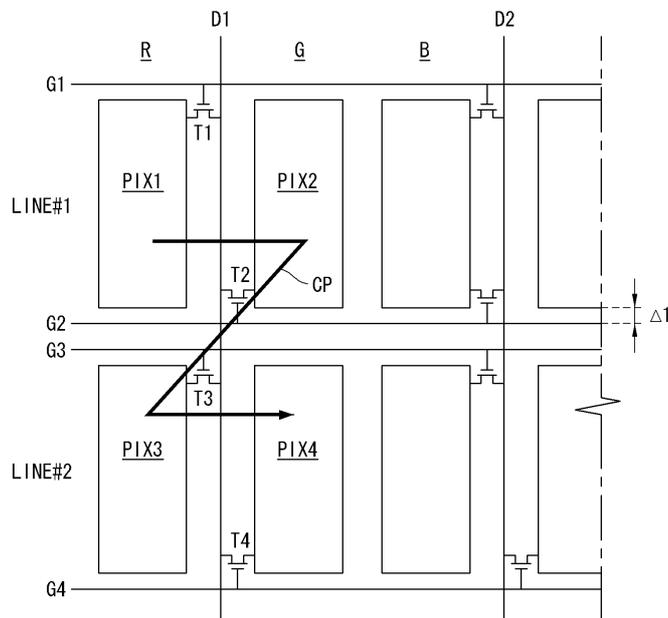
- [0049] 도 1은 종래의 Z 인버전 방식으로 구동되는 액정표시장치를 나타내는 도면이다.
- [0050] 도 2는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.
- [0051] 도 3은 본 발명의 제1 실시예에 따른 액정표시패널의 구조, 데이터전압의 극성 및 충전 패스를 등가적으로 나타내는 회로도이다.
- [0052] 도 4는 도 3에 도시된 데이터전압과 게이트펄스를 보여 주는 파형도이다.
- [0053] 도 5는 본 발명의 제1 실시예에 따른 액정표시패널의 구조, 데이터전압의 극성 및 충전 패스를 등가적으로 나타내는 회로도이다.
- [0054] 도 6은 도 5에 도시된 데이터전압과 게이트펄스를 보여 주는 파형도이다.
- [0055] 도 7은 도 3에 도시된 액정표시패널의 하판 구조를 상세히 나타내는 평면도이다.
- [0056] 도 8은 도 7에서 선 "I-I'"을 따라 절취하여 스토리지 커패시터와 박막트랜지스터의 단면 구조를 보여 주는 단면도이다.

〈도면의 주요 부분에 대한 부호의 설명〉

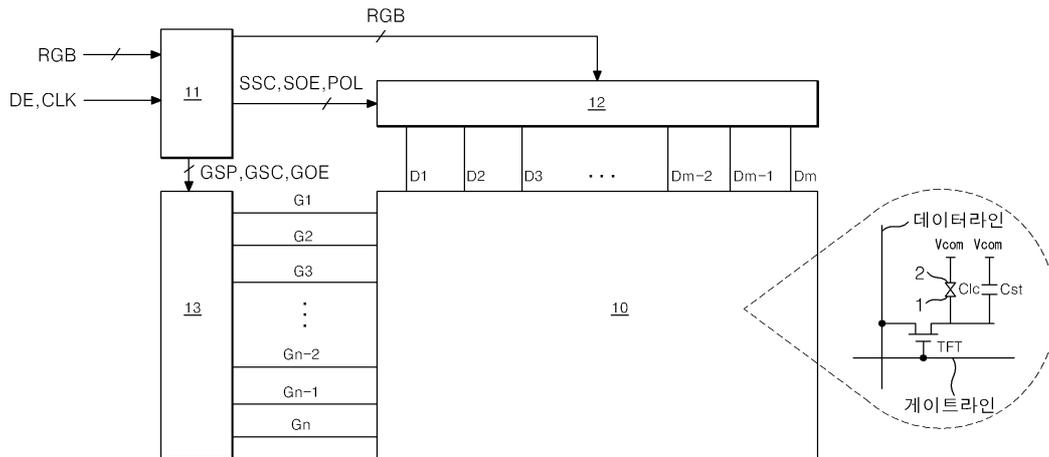
- [0057] 10 : 액정표시패널
- [0058] 11 : 타이밍 컨트롤러
- [0059] 12 : 데이터 구동회로
- 13 : 게이트 구동회로

도면

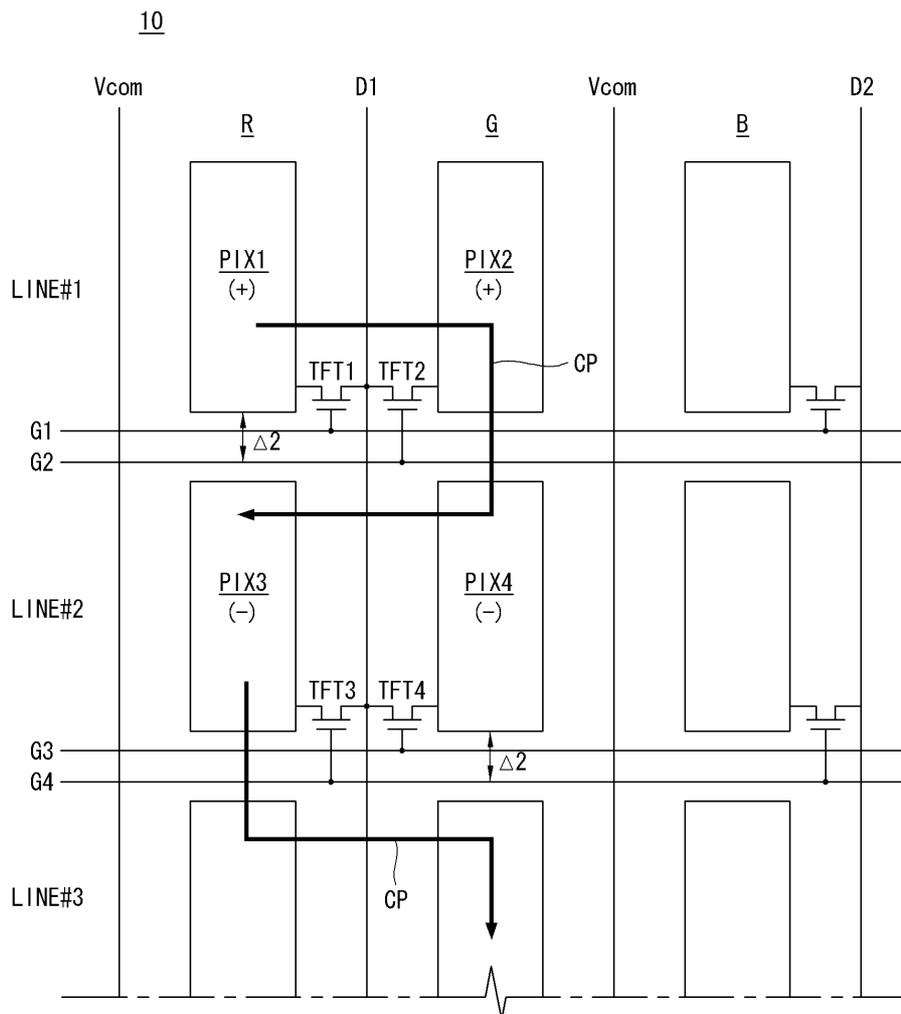
도면1



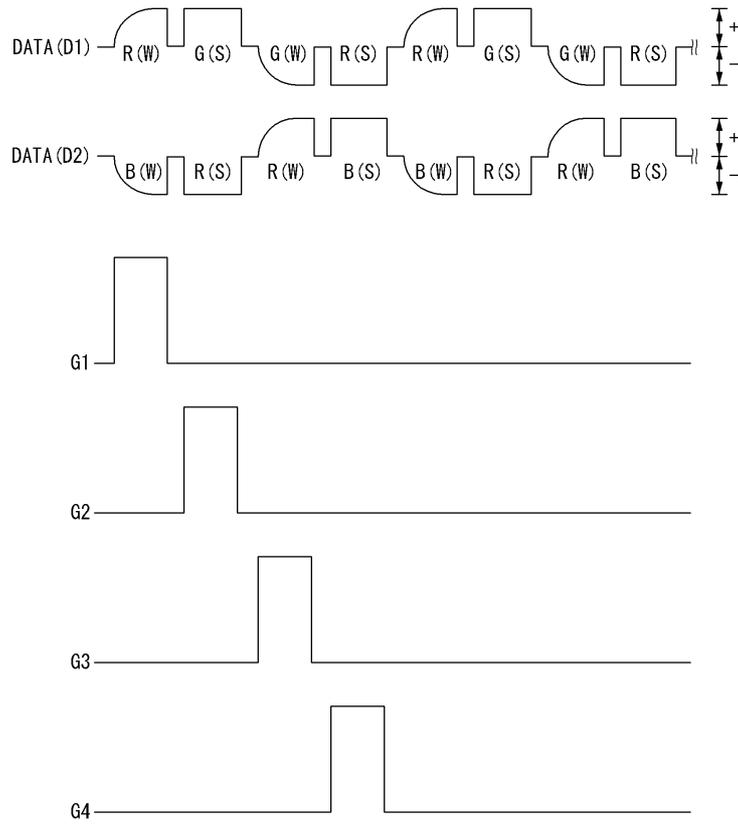
도면2



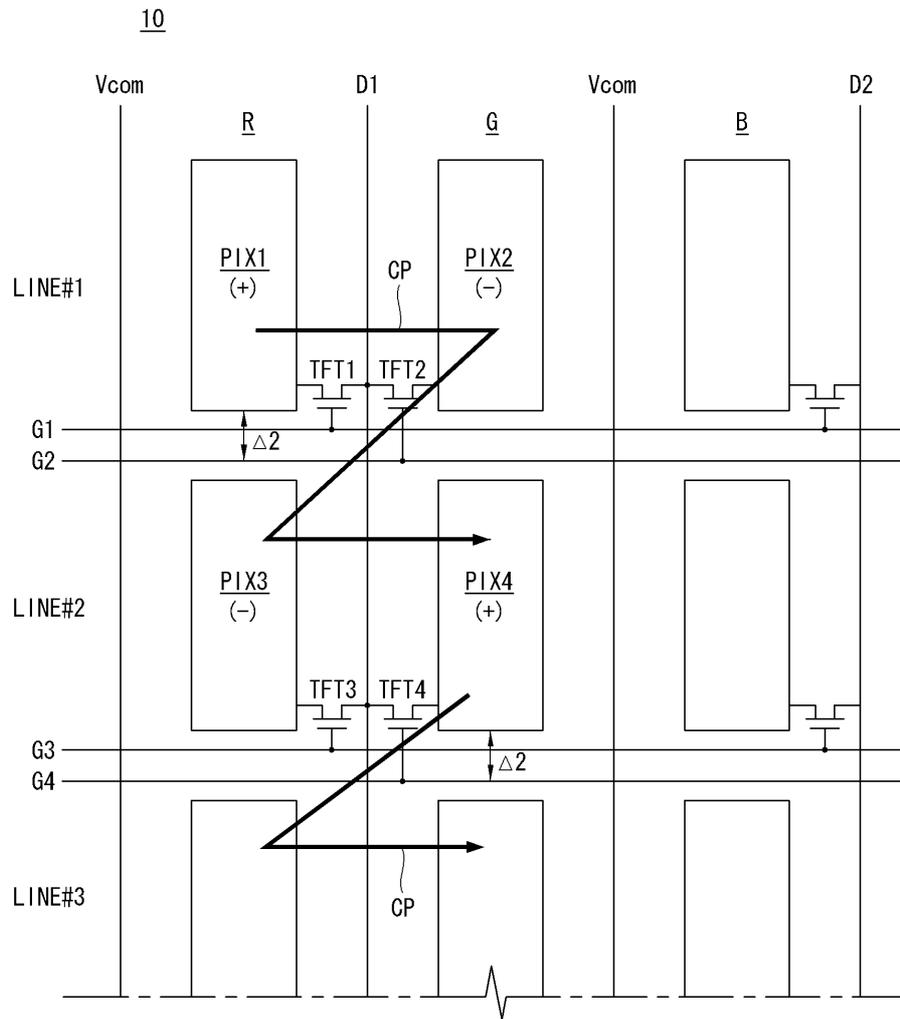
도면3



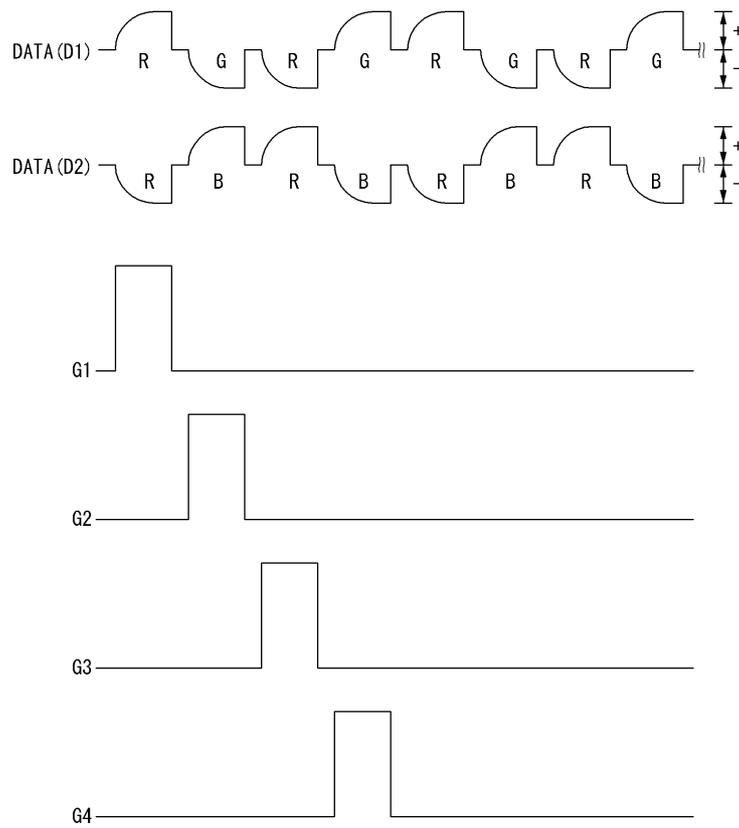
도면4



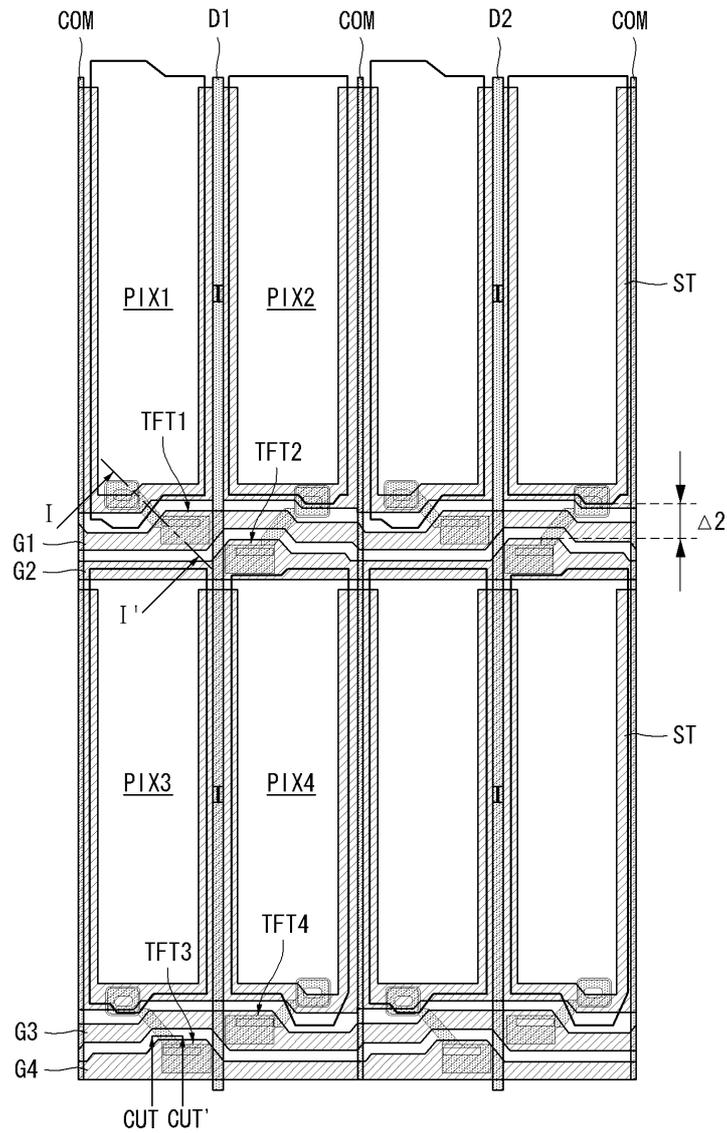
도면5



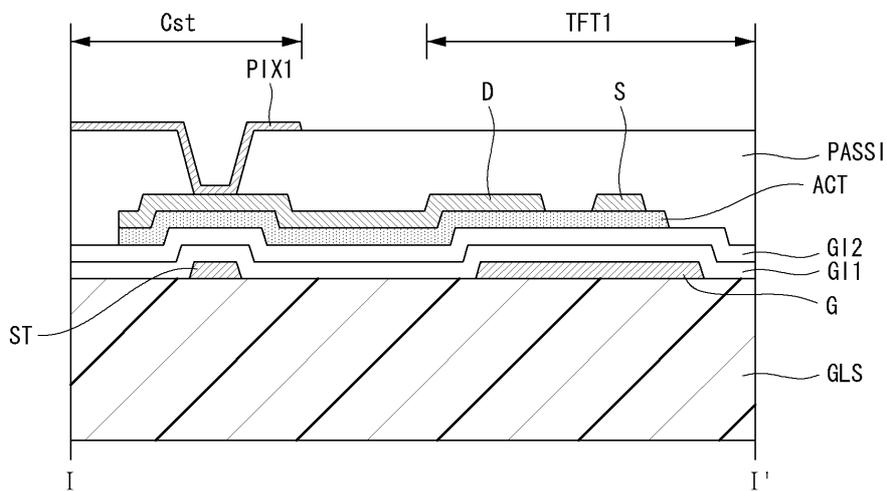
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR101354406B1	公开(公告)日	2014-01-22
申请号	KR1020080048295	申请日	2008-05-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO SUK HO 조석호 KIM BUM SIK 김범식		
发明人	조석호 김범식		
IPC分类号	G09G3/20 G09G G02F1/133 G02F G09G3/36		
CPC分类号	G09G2300/0465 G02F1/136286 G09G3/3614 G09G2300/0447 G02F1/1368 G09G3/3648 G09G2300/0426		
其他公开文献	KR1020090122077A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置。该液晶显示装置包括供给数据电压的列方向的数据线，第一像素电极，设置在第一行的数据线的左侧；第二像素电极，设置在所述第一线下方的第二行中的所述数据线的右侧；第一行和第二行之间的列方向沿着交叉线方向形成的第一栅极线；在行方向上的第二栅极线设置在第一行和第二行之间的第一栅极线下方；而在第一行的数据线的左侧形成的第二栅极线，第一TFT向第一像素电极提供数据电压，第二TFT形成在第一行的数据线的右侧，并且跨过第一栅极线连接到第二像素电极，用于响应于来自第二数据线的选通脉冲而从数据线向第二像素电极提供第二数据电压和TFT。

