



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월19일
(11) 등록번호 10-2022525
(24) 등록일자 2019년09월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2013-0076051
(22) 출원일자 2013년06월28일
심사청구일자 2018년04월25일
(65) 공개번호 10-2015-0003057
(43) 공개일자 2015년01월08일
(56) 선행기술조사문헌
KR1020040021384 A*
KR1020120116785 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
지혜림
경기도 파주시 월롱면 엘씨디로 201 B동 205호
(덕은리, 정다운마을)
문태웅
경기 파주시 후곡로 50, 421동 1801호 (금촌동,
후곡마을아파트)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 8 항

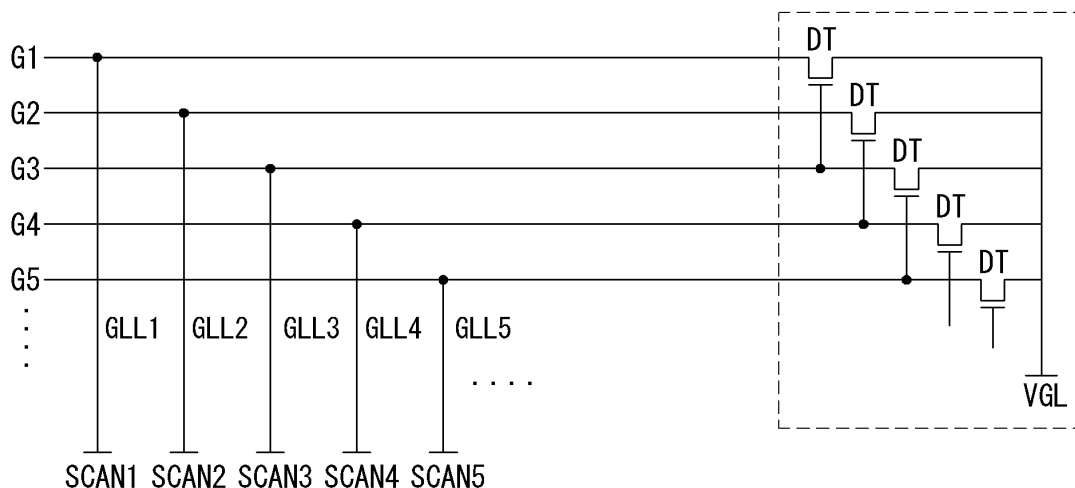
심사관 : 김민수

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명에 따른 액정표시장치는 컬럼 방향을 따라 신장되는 데이터라인들과 로우 방향을 따라 신장되는 게이트라인들의 교차 영역으로 화소 어레이가 정의되고, 상기 데이터라인들 사이마다 컬럼 방향을 따라 신장되어 상기 게이트라인들에 접속되는 게이트 링크 라인들이 형성된 액정표시패널; 상기 액정표시패널의 일측에 배치되어 상기 데이터라인들에 데이터전압을 인가하는 데이터 드라이버; 상기 데이터 드라이버와 마주보도록 상기 액정표시패널의 타측에 배치되며, 상기 게이트 링크 라인들을 통해 상기 게이트라인들에 스캔펄스를 공급하는 게이트 드라이버; 및 상기 액정표시패널에 형성되며, 턴 온 레벨의 상기 스캔펄스에 의해 스캔이 완료된 게이트라인들에 턴 오프 레벨의 게이트 로우 전압을 공급하는 풀링 타임 개선부를 구비한다.

대표도 - 도10



명세서

청구범위

청구항 1

컬럼 방향을 따라 신장되는 데이터라인들과 로우 방향을 따라 신장되는 게이트라인들의 교차 영역으로 화소 어레이가 정의되고, 상기 데이터라인들 사이마다 컬럼 방향을 따라 신장되어 상기 게이트라인들에 접속되는 게이트 링크 라인들이 형성된 액정표시패널;

상기 액정표시패널의 일측에 배치되어 상기 데이터라인들에 데이터전압을 인가하는 데이터 드라이버;

상기 데이터 드라이버와 마주보도록 상기 액정표시패널의 타측에 배치되며, 상기 게이트 링크 라인들을 통해 상기 게이트라인들에 스캔펄스를 공급하는 게이트 드라이버; 및

상기 액정표시패널에 형성되며, 턴 온 레벨의 상기 스캔펄스에 의해 스캔이 완료된 게이트라인들에 턴 오프 레벨의 게이트 로우 전압을 공급하는 폴링 타임 개선부를 구비하고,

상기 폴링 타임 개선부는 상기 액정표시패널의 우측에 배치된 제1 폴링 타임 개선부와 상기 액정표시패널의 좌측에 배치된 제2 폴링 타임 개선부를 포함하고;

상기 게이트라인들 중에서 상기 제1 폴링 타임 개선부에 접속되는 일부 게이트라인들은 상기 화소 어레이의 좌반부 영역에 위치한 제1 접속 포인트들을 통해 상기 게이트 링크 라인들의 일부와 연결되고;

상기 게이트라인들 중에서 상기 제2 폴링 타임 개선부에 접속되는 나머지 게이트라인들은 상기 화소 어레이의 우반부 영역에 위치한 제2 접속 포인트들을 통해 상기 게이트 링크 라인들의 나머지와 연결되며,

상기 제1 폴링 타임 개선부는 상기 제2 폴링 타임 개선부에 비해 상기 제1 접속 포인트들로부터 더 멀리 떨어져 위치하고,

상기 제2 폴링 타임 개선부는 상기 제1 폴링 타임 개선부에 비해 상기 제2 접속 포인트들로부터 더 멀리 떨어져 위치하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 폴링 타임 개선부는 상기 게이트라인들과 상기 게이트 로우 전압의 입력단 사이에 접속된 다수의 방전 제어 스위치들을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 방전 제어 스위치들 각각은, 자신이 접속된 게이트라인에 인가되는 제1 스캔신호에 비해 위상이 뒤지고, 상기 제1 스캔신호와 비 중첩되는 제2 스캔신호에 의해 스위칭되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 방전 제어 스위치들 각각의, 드레인전극은 상기 제1 스캔신호가 인가되는 게이트라인에 접속되고, 소스전극은 상기 게이트 로우 전압의 입력단에 접속되며, 게이트전극은 상기 제2 스캔신호가 인가되는 게이트라인에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 3 항에 있어서,

상기 방전 제어 스위치들 중, k (k 는 양의 정수) 번째 게이트라인과 상기 게이트 로우 전압의 입력단 사이에 접

속된 방전 제어 스위치의 게이트전극은 $k+a$ (a 는 양의 정수) 번째 게이트라인에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

서로 이웃한 게이트라인들에 인가되는 스캔펄스들이 서로 비 중첩될 때, 상기 'a'는 '1'로 선택되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 5 항에 있어서,

서로 이웃한 게이트라인들에 인가되는 스캔펄스들이 일정기간만큼 서로 중첩될 때, 상기 'a'는 '2' 이상의 양의 정수 중 어느 하나로 선택되되, 선택되는 값은 상기 스캔펄스들의 중첩기간에 비례하여 증가되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 풀링 타임 개선부는 상기 화소 어레이에 인접한 상기 액정표시패널의 좌측 또는 우측 중 적어도 어느 하나에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 9

삭제

발명의 설명

기술 분야

[0001] 본 발명은 베젤(bezel) 영역을 줄일 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 비디오 신호에 대응하여 액정층에 인가되는 전계를 통해 액정층의 광투과율을 제어함으로써 화상을 표시한다. 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다.

[0003] 액정표시장치에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다. TFT의 게이트전극은 게이트라인에 접속되고, 소스전극은 데이터라인에 접속되며, 드레인전극은 액정셀의 화소전극에 접속된다. 화소전극과 대향되는 액정셀의 공통전극에는 공통전압이 공급된다. 스캔펄스가 게이트라인에 인가되면 TFT는 턴-온(Turn-on)되어 소스전극과 드레인전극 사이의 채널을 형성하여 데이터라인 상의 전압을 액정셀의 화소전극에 공급한다. 이때 액정셀의 액정분자들은 화소전극과 공통전극 사이의 전계에 의하여 배열이 바뀌면서 입사광을 변조하게 된다.

[0004] 이러한 액정표시장치는 게이트라인들을 구동하기 위한 게이트 드라이브 IC(Integrated Circuit)와 데이터라인들을 구동하기 위한 데이터 드라이브 IC를 포함한다. 액정표시장치의 대형화에 따라 요구되는 드라이브 IC들의 갯수도 증가하는 추세에 있으므로, 재료비 절감을 위해 GIP(Gate driver In Panel) 기술이 제안된 바 있다. GIP 기술은 게이트 드라이버 IC를 없애고 그 대신에 게이트 드라이버를 패널에 내장하는 방식이다.

[0005] 도 1에 도시된 것처럼, 액정표시패널을 화소 어레이의 형성을 위한 표시 영역(AA)과 이 표시 영역 바깥의 베젤 영역(BA)로 나눌 때, GIP 방식의 게이트 드라이버는 표시 영역(AA)을 사이에 두고 좌측 및 우측에 배치된 베젤 영역(BA)에 형성된다.

[0006] 도 2와 같이 베젤 영역(BA)에는 GIP 회로(3) 이외에도, GIP 회로(3)와 게이트라인 각각을 연결하기 위한 게이트 링크 라인들, 하부 유리기판(1a)과 하부 유리기판(1b)을 합착하기 실런트(2), 화소 어레이의 공통전극에 공통전압을 공급하기 위한 외부 공통라인(4), 및 빛샘 방지를 위한 블랙 매트릭스(BM) 등이 배치된다. 이로 인해, 중

래 액정표시장치에서는 좌우 베젤 영역(BA)을 줄이기가 쉽지 않다.

[0007] 한편, 종래 액정표시장치에서 GIP 회로(3)의 형성 위치를 변경하여 좌우 베젤 영역(BA)을 줄이기 위한 방안이 고려되고 있으나, 이 방안에 따르면 GIP 회로(3)에서 화소까지 이르는 신호 전달 경로가 길어져 스캔펄스에 대한 RC 딜레이가 증가한다. RC 딜레이량이 커질수록 스캔펄스의 폴링 타임은 더 많이 지연되어 화상 품질을 떨어뜨린다.

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명의 목적은 좌우 베젤 영역을 줄이고 스캔펄스의 폴링 타임 지연을 최소화할 수 있도록 한 액정표시장치를 제공하는 데 있다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 컬럼 방향을 따라 신장되는 데이터라인들과 로우 방향을 따라 신장되는 게이트라인들의 교차 영역으로 화소 어레이가 정의되고, 상기 데이터라인들 사이마다 컬럼 방향을 따라 신장되어 상기 게이트라인들에 접속되는 게이트 링크 라인들이 형성된 액정표시패널; 상기 액정표시패널의 일측에 배치되어 상기 데이터라인들에 데이터전압을 인가하는 데이터 드라이버; 상기 데이터 드라이버와 마주보도록 상기 액정표시패널의 타측에 배치되며, 상기 게이트 링크 라인들을 통해 상기 게이트라인들에 스캔펄스를 공급하는 게이트 드라이버; 및 상기 액정표시패널에 형성되며, 턴 온 레벨의 상기 스캔펄스에 의해 스캔이 완료된 게이트라인들에 턴 오프 레벨의 게이트 로우 전압을 공급하는 폴링 타임 개선부를 구비한다.

[0010] 상기 폴링 타임 개선부는 상기 게이트라인들과 상기 게이트 로우 전압의 입력단 사이에 접속된 다수의 방전 제어 스위치들을 포함한다.

[0011] 상기 방전 제어 스위치들 각각은, 자신이 접속된 게이트라인에 인가되는 제1 스캔신호에 비해 위상이 뒤지고, 상기 제1 스캔신호와 비 중첩되는 제2 스캔신호에 의해 스위칭된다.

[0012] 상기 방전 제어 스위치들 각각의, 드레인전극은 상기 제1 스캔신호가 인가되는 게이트라인에 접속되고, 소스전극은 상기 게이트 로우 전압의 입력단에 접속되며, 게이트전극은 상기 제2 스캔신호가 인가되는 게이트라인에 접속된다.

[0013] 상기 방전 제어 스위치들 중, k (k 는 양의 정수) 번째 게이트라인과 상기 게이트 로우 전압의 입력단 사이에 접속된 방전 제어 스위치의 게이트전극은 ka (a 는 양의 정수) 번째 게이트라인에 접속된다.

[0014] 서로 이웃한 게이트라인들에 인가되는 스캔펄스들이 서로 비 중첩될 때, 상기 'a'는 '1'로 선택된다.

[0015] 서로 이웃한 게이트라인들에 인가되는 스캔펄스들이 일정기간만큼 서로 중첩될 때, 상기 'a'는 '2' 이상의 양의 정수 중 어느 하나로 선택되되, 선택되는 값은 상기 스캔펄스들의 중첩기간에 비례하여 증가된다.

[0016] 상기 폴링 타임 개선부는 상기 화소 어레이에 인접한 상기 액정표시패널의 좌측 또는 우측 중 적어도 어느 하나에 위치된다.

[0017] 상기 폴링 타임 개선부는 상기 액정표시패널의 우측에 배치된 제1 폴링 타임 개선부와 상기 액정표시패널의 좌측에 배치된 제2 폴링 타임 개선부를 포함하고; 상기 게이트라인들 중에서 상기 제1 폴링 타임 개선부에 접속되는 일부 게이트라인들은 상기 화소 어레이의 좌반부 영역에서 상기 게이트 링크 라인들의 일부와 연결되고; 상기 게이트라인들 중에서 상기 제2 폴링 타임 개선부에 접속되는 나머지 게이트라인들은 상기 화소 어레이의 우반부 영역에서 상기 게이트 링크 라인들의 나머지와 연결된다.

발명의 효과

[0018] 본 발명은 게이트 드라이버를 액정표시패널의 하측에 배치하여 좌우 베젤 영역을 줄이고, 액정표시패널에 형성된 폴링 타임 개선부를 이용하여 턴 온 레벨의 스캔펄스에 의해 스캔이 완료된 게이트라인들에 턴 오프 레벨의 게이트 로우 전압을 공급함으로써 스캔펄스의 폴링 타임 지연을 최소화할 수 있다.

도면의 간단한 설명

[0019] 도 1은 종래의 베젤 영역을 보여주는 도면.
 도 2는 도 1에서 I-I'을 따라 절취한 단면을 보여주는 도면.
 도 3은 본 발명의 일 실시예에 따른 액정표시장치를 보여주는 도면.
 도 4는 화소 어레이의 구성을 보여주는 도면.
 도 5는 게이트 링크 라인과 게이트라인의 연결 단면을 보여주는 도면.
 도 6은 도 3에서 II-II'을 따라 절취한 단면을 보여주는 도면.
 도 7은 본 발명에 따른 베젤 영역의 폭을 종래와 비교하여 보여주는 도면.
 도 8은 스캔펄스의 폴링 타임 지연을 보여주는 도면.
 도 9a 및 도 9b는 스캔펄스의 폴링 타임 지연을 최소화하기 위한 폴링 타임 개선부의 배치 위치를 보여주는 도면들.
 도 10은 폴링 타임 개선부의 일 구성을 보여주는 도면.
 도 11은 도 10에 인가되는 스캔펄스들의 일 예를 보여주는 도면.
 도 12는 스캔펄스의 폴링 타임이 개선되는 파형을 보여주는 도면.
 도 13은 폴링 타임 개선부의 다른 구성을 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 도 3 내지 도 13을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0021] 도 3은 본 발명의 일 실시예에 따른 액정표시장치를 보여준다. 도 4는 화소 어레이를 구성하는 화소들의 접속 관계를 보여준다. 도 5는 게이트 링크 라인과 게이트라인의 연결 단면을 보여준다. 도 6은 도 3에서 II-II'을 따라 절취한 단면을 보여주며, 도 7은 본 발명에 따른 베젤 영역의 폭을 종래와 비교하여 보여준다. 도 8은 스캔펄스의 폴링 타임 지연을 보여준다.

[0022] 도 3을 참조하면, 본 발명의 액정표시장치는 액정표시패널(10), 데이터 드라이버(DDRV), 및 게이트 드라이버(GDRV)를 구비한다.

[0023] 액정표시패널(10)은 화소 어레이가 형성되는 표시 영역(AA)을 포함한다. 이 표시 영역(AA)에는 컬럼 방향을 따라 신장되는 $m/2$ (m 은 양의 짝수) 개의 데이터라인들과 로우 방향을 따라 신장되는 $2n$ (n 은 자연수) 개의 게이트라인들이 배치된다. 그리고, 데이터라인들 사이마다 컬럼 방향을 따라 신장되는 $m/2$ 개의 게이트 링크 라인들이 배치된다.

[0024] 액정표시패널(10)은 두 장의 유리기관 사이에 형성된 액정층을 갖는다. 액정표시패널(10)의 하부 유리기관에는 데이터라인들(DL), 게이트라인들(GL), TFT들, 및 스토리지 커패시터(Cst)가 형성된다. 화소를 구현하는 액정셀들(Clc) 각각은 TFT에 접속되어 화소전극(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서는 상부 유리기관 상에 형성되고, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서는 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0025] 이 액정표시패널(10)은 데이터라인들(DL)과 게이트라인들(GL)의 교차 영역마다 매트릭스 형태로 배치된 $m \times n$ 개의 액정셀(Clc)들을 포함하여 DRD(Double Rate Driving) 방식으로 구동된다. DRD 구동은 데이터라인의 수를 절

반으로 감소시키고, 그 대신 게이트라인의 수를 2배로 증가시켜 기존과 동일 해상도를 구현하는 방식이다. DRD 구동에서는 데이터라인을 사이에 두고 서로 이웃하는 2개의 액정셀들이 그 데이터라인을 공유하여 2배의 구동 주파수에 따라 순차 구동된다. DRD 구동은 상대적으로 고가인 데이터 드라이버의 개수를 절반으로 줄일 수 있기 때문에 코스트 절감에 매우 유리하다.

[0026] 액정셀들(C1c)에는 다수의 R 액정셀들, G 액정셀들 및 B 액정셀들이 포함된다. 도 4를 참조하여 DRD 구동을 위한 액정셀들(C1c)의 접속 구조를 살펴보면 다음과 같다.

[0027] 로우 방향을 따라 배치된 제1 로우 화소라인(RL#1)에서, 제1 게이트라인(G1)에 접속된 R(-) 액정셀과 제2 게이트라인(G2)에 접속된 G(-) 액정셀은 서로 이웃하여 제1 데이터라인(D1)에 공통 접속되고, 제1 게이트라인(G1)에 접속된 B(+) 액정셀과 제2 게이트라인(G2)에 접속된 R(+) 액정셀은 서로 이웃하여 제2 데이터라인(D2)에 공통 접속되며, 제1 게이트라인(G1)에 접속된 G(-) 액정셀과 제2 게이트라인(G2)에 접속된 B 액정셀(-)은 서로 이웃하여 제3 데이터라인(D3)에 공통 접속된다.

[0028] 컬럼 방향으로 제1 로우 화소라인(RL#1)에 이웃한 제2 로우 화소라인(RL#2)에서, 제1 게이트라인(G1)에 접속된 R(+) 액정셀과 제2 게이트라인(G2)에 접속된 G(+) 액정셀은 서로 이웃하여 제1 데이터라인(D1)에 공통 접속되고, 제1 게이트라인(G1)에 접속된 B(-) 액정셀과 제2 게이트라인(G2)에 접속된 R(-) 액정셀은 서로 이웃하여 제2 데이터라인(D2)에 공통 접속되며, 제1 게이트라인(G1)에 접속된 G(+) 액정셀과 제2 게이트라인(G2)에 접속된 B 액정셀(+)은 서로 이웃하여 제3 데이터라인(D3)에 공통 접속된다.

[0029] (+)액정셀은 공통전압(Vcom)보다 전위가 높은 정극성 전압이 충전되는 액정셀을, (-)액정셀은 공통전압(Vcom)보다 전위가 낮은 부극성 전압이 충전되는 액정셀을 각각 나타낸다. 따라서, 제1 로우 화소라인(RL#1)에 배치된 액정셀들 중 제1 데이터라인(D1)을 공유하는 R(-) 액정셀과 G(-) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 부극성으로 순차 충전되고, 제2 데이터라인(D2)을 공유하는 B(+) 액정셀과 R(+) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 정극성으로 순차 충전되며, 제3 데이터라인(D3)을 공유하는 G(-) 액정셀과 B(-) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 부극성으로 순차 충전된다. 그리고 제2 로우 화소라인(RL#2)에 배치된 액정셀들 중 제1 데이터라인(D1)을 공유하는 R(+) 액정셀과 G(+) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 정극성으로 순차 충전되고, 제2 데이터라인(D2)을 공유하는 B(-) 액정셀과 R(-) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 부극성으로 순차 충전되며, 제3 데이터라인(D3)을 공유하는 G(+) 액정셀과 B(+) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 정극성으로 순차 충전된다.

[0030] 데이터 드라이버(DDRV)는 액정표시패널(10)의 일측(즉, 상측)에 배치되어 TAB(Tape Automated Bonding) 방식으로 부착되는 다수의 데이터 드라이버 IC들을 포함한다. 데이터 드라이버 IC들 각각은 소스 TCP(Tape Carrier Package) (또는, 소스 COF(Chip On Film))에 실장될 수 있다. 소스 TCP는 소스 PCB(SPCB)와 액정표시패널(10)을 전기적으로 연결시킨다. 소스 TCP의 입력단자들은 소스 PCB(SPCB)의 출력단자들에 전기적으로 접속되고, 소스 TCP의 출력단자들은 ACF(Anisotropic conductive film)를 통해 액정표시패널(10)의 하부 유리기판에 형성된 데이터 패드들에 전기적으로 접속된다. 데이터 패드들은 데이터 라인들과 일대일로 접속된다. 데이터 드라이버(DDRV)는 입력 디지털 비디오 데이터를 데이터전압으로 변환하여 데이터 라인들에 공급한다.

[0031] 게이트 드라이버(GDRV)는 표시 영역(AA)을 사이에 두고 데이터 드라이버(DDRV)와 마주하도록 액정표시패널(10)의 타측(즉, 하측)에 배치될 수 있다. 게이트 드라이버(GDRV)는 GIP(Gate driver In Panel) 방식에 따라 액정표시패널(10)의 타측 비 표시영역에 내장될 수 있다. 게이트 드라이버(GDRV)는 게이트라인들의 개수만큼의 GIP 회로부들(GIP#1~GIP#2n)을 포함한다.

[0032] 게이트 드라이버(GDRV)는 게이트 링크 라인들(GLL1,GLL2,GLL3...)을 통해 게이트 라인들에 스캔펄스를 공급한다. 게이트 링크 라인들(GLL1,GLL2,GLL3...) 각각의 일단은 게이트 드라이버(GDRV)의 출력 채널들 중 어느 하나에 접속되고, 타단은 게이트 라인들 중 어느 하나에 접속된다. 게이트 링크 라인들(GLL1,GLL2,GLL3...)은 액정표시패널(10)에서 이웃한 데이터 라인들의 사이마다 배치된다. 따라서, 게이트 링크 라인들(GLL1,GLL2,GLL3...)의 개수는 데이터 라인들의 개수와 실질적으로 동일하며, 게이트 라인들의 개수에 비해서는 많을 수 있다. 게이트 링크 라인들(GLL1,GLL2,GLL3...)은 데이터 라인들과 동일 물질을 통해 동시에 형성될 수 있다. 이 경우 도 5와 같이 게이트 링크 라인들(GLL) 각각은 게이트 절연막(GI)을 관통하는 콘택홀(15)을 통해 게이트라인(GL)에 접속될 수 있다. 도 5에서 도면 기호 'SUB'는 하부 유리기판을 나타낸다.

[0033] 게이트 드라이버(GDRV)는 종래와 달리, 데이터 드라이버(DDRV)와 마주하도록 액정표시패널(10)의 하측에 배치된

다. 이러한 게이트 드라이버(GDRV)의 배치 구성 변경으로 인해, 도 6과 같은 액정표시패널(10)의 좌(우)측 베젤 영역에는 GIP 회로부와 게이트 링크 라인들이 형성될 필요가 없다. 그 결과 액정표시패널(10)의 좌(우)측 베젤 영역(BA)은 도 7과 같이 종래 대비 크게 줄어든다. 본 발명은 기존의 6.75mm였던 베젤 영역(BA)의 폭을 1.0mm 미만으로 줄일 수 있어 제품 경쟁력을 크게 강화시킬 수 있다. 도 6에서, 도면 부호 '20'은 하부 유리기판(10a)과 하부 유리기판(10b)을 합착하기 위한 실린트를, 도면 부호 '40'은 화소 어레이의 공통전극에 공통전압을 공급하기 위한 외부 공통라인을, 그리고 도면 부호 'BM'은 베젤 영역(BA)에서의 빛샘 방지를 위한 블랙 매트릭스를 각각 지시한다.

[0034] 전술했듯이, 본 발명의 일 실시예에 따른 액정표시장치는 좌(우)측 베젤 영역(BA)을 최소화하기 위해 게이트 드라이버(GDRV)를 액정표시패널(10)의 하측에 배치하였다. 그리고, 개구율 감소를 최소화하면서 게이트 링크 라인들을 액정표시패널(10)에 배치하기 위해 DRD 구동을 채택하였다. 이러한 구성에 의하는 경우 게이트 링크 라인들이 길어지기 때문에, 게이트 드라이버(GDRV)에서 화소들 각각에 인가되는 스캔펄스의 신호 전달 경로가 길어지고 그에 따라 RC 딜레이가 증가될 수 있다. RC 딜레이가 커지면 도 8에서 점선으로 표기한 바와 같이 스캔펄스의 폴링 타임이 지연되므로 원하지 않는 데이터전압이 혼입되고 화상 품질이 떨어질 수 있다. 도 8에서 실선으로 표기된 것은 이상적인 스캔펄스의 폴링 타임을 지시한다.

[0035] 이하에서는 스캔펄스의 폴링 타임 지연을 최소화할 수 있는 방안을 살펴본다.

[0036] 도 9a 및 도 9b는 스캔펄스의 폴링 타임 지연을 최소화하기 위한 폴링 타임 개선부의 배치 위치를 보여준다. 그리고, 도 10은 폴링 타임 개선부의 일 구성을 보여준다. 도 11은 도 10에 인가되는 스캔펄스들의 일 예를 보여준다. 그리고, 도 12는 스캔펄스의 폴링 타임이 개선되는 파형을 보여준다.

[0037] 본 발명은 스캔펄스의 폴링 타임 지연을 최소화하기 위해 폴링 타임 개선부(100)를 포함한다. 폴링 타임 개선부(100)는 도 9a와 같이 화소 어레이에 인접한 액정표시패널(10)의 일측(좌측 또는 우측 중 어느 하나)에 위치될 수 있다. 또한, 폴링 타임 개선부(100)는 도 9b와 같이 화소 어레이에 인접한 액정표시패널(10)의 양측(좌측 및 우측)에 위치될 수도 있다.

[0038] 폴링 타임 개선부(100)는 스캔펄스의 폴링 타임 지연을 최소화하기 위해, 턴 온 레벨의 스캔펄스에 의해 스캔이 완료된 게이트라인들에 턴 오프 레벨의 게이트 로우 전압(VGL)을 공급한다. 여기서, 스캔펄스의 턴 온 레벨은 게이트 하이전압(VGH)을 지시한다. 그리고, 스캔이란 설계 스펙에 의해 미리 정해진 게이트 턴-온 시간만큼 게이트라인에 게이트 하이전압(VGH)을 인가하는 동작을 지시한다. 특정 게이트라인에 대한 스캔이 완료되었다는 것은, 그 게이트라인에 할당된 게이트 턴-온 시간이 경과되었다는 것을 의미한다. 이상적으로 스캔이 완료되는 시점에서 동일 게이트라인 상의 모든 지점들의 전위는 턴 오프 레벨의 스캔펄스에 의해 동시에 게이트 로우 전압으로 떨어져야 하나, 실제로는 RC 딜레이의 영향으로 동일 게이트라인 상에서도 RC 딜레이가 큰 지점은 작은 지점에 비해 게이트 로우 전압으로 늦게 떨어진다. 이는 스캔펄스의 폴링 타임이 RC 딜레이에 비례하여 지연되기 때문이다.

[0039] 폴링 타임 개선부(100)는 도 10과 같이 게이트라인들(G1~G5)과 게이트 로우 전압(VGL)의 입력단 사이에 접속된 다수의 방전 제어 스위치들(DT)을 포함한다.

[0040] 방전 제어 스위치들(DT) 각각은, 자신이 접속된 게이트라인에 인가되는 제1 스캔신호에 비해 위상이 뒤지고, 상기 제1 스캔신호와 비 중첩되는 제2 스캔신호에 의해 스위칭된다. 이를 위해, 방전 제어 스위치들(DT) 각각의 드레인전극은 게이트라인들(G1~G5) 중 어느 하나에, 소스전극은 게이트 로우 전압(VGL)의 입력단에 접속된다. 그리고, 방전 제어 스위치들(DT) 각각의 게이트전극은 상기 제2 스캔신호가 인가되는 게이트라인에 접속된다.

[0041] 다시 말해, 방전 제어 스위치들 중, k (k 는 양의 정수) 번째 게이트라인과 게이트 로우 전압(VGL)의 입력단 사이에 접속된 방전 제어 스위치(DT)의 게이트전극은 $k+a$ (a 는 양의 정수) 번째 게이트라인에 접속된다.

[0042] 여기서, 서로 이웃한 게이트라인들에 인가되는 스캔펄스들(SCAN)이 서로 비 중첩될 때, 상기 'a'는 '1'로 선택될 수 있다. 즉, k 번째 게이트라인의 전위를 제어하기 위한 방전 제어 스위치(DT)의 게이트전극은 $k+1$ 번째 게이트라인에 접속될 수 있다. 이 방전 제어 스위치(DT)는 제 $k+1$ 스캔펄스(SCAN $k+1$)에 의해 턴 온 되어 k 번째 게이트라인으로 게이트 로우 전압을 인가함으로써, k 번째 게이트라인에 인가된 제 k 스캔펄스(SCAN k)의 폴링 타임이 지연되는 것을 최소화한다.

[0043] 또한, 서로 이웃한 게이트라인들에 인가되는 스캔펄스들(SCAN)이 도 11과 같이 일정기간(x)만큼 서로 중첩될 때, 상기 'a'는 '2' 이상의 양의 정수 중 어느 하나로 선택되며, 선택되는 값은 상기 스캔펄스들(SCAN)의 중첩기간(x)에 비례하여 증가될 수 있다. 예를 들어, 이웃하게 발생하는 스캔펄스들(SCAN)이 1 수평기간(1 수직기

간/수직 해상도)만큼 중첩되는 경우, k번째 게이트라인의 전위를 제어하기 위한 방전 제어 스위치(DT)의 게이트 전극은 도 10에서와 같이 k+2 번째 게이트라인에 접속될 수 있다. 이 방전 제어 스위치(DT)는 제k+2 스캔펄스(SCANK+2)에 의해 턴 온 되어 k번째 게이트라인으로 게이트 로우 전압을 인가함으로써, k번째 게이트라인에 인가된 제k 스캔펄스(SCANK)의 폴링 타임이 지연되는 것을 최소화한다.

[0044] 이렇게 본 발명의 폴링 타임 개선부(100)는 방전 제어 스위치들(DT)의 스위칭 동작을 통해 도 12와 같이 스캔펄스의 폴링 타임을 개선한다.

[0045] 도 13은 폴링 타임 개선부(100)의 다른 구성을 보여준다.

[0046] 도 13에 도시된 폴링 타임 개선부(100)는 게이트라인들(G1~G10)과 게이트 링크 라인들(GLL1~GLL10)을 서로 연결하는 접속 포인트들(P1~P10)의 위치에 따라 그 배치 위치가 정해지는 특징이 있다.

[0047] 이 폴링 타임 개선부(100)는 액정표시패널(10)의 우측에 배치된 제1 폴링 타임 개선부(100A)와 액정표시패널(10)의 좌측에 배치된 제2 폴링 타임 개선부(100B)를 포함한다.

[0048] 전체 게이트라인들(G1~G10) 중에서 제1 폴링 타임 개선부(100A)에 접속되는 일부 게이트라인들(G1~G5)은 화소 어레이(AA)의 좌반부 영역(AR1)에서 게이트 링크 라인들의 일부(GLL1~GLL5)와 연결된다. 또한, 전체 게이트라인들(G1~G10) 중에서 제2 폴링 타임 개선부(100B)에 접속되는 나머지 게이트라인들(G6~G10)은 화소 어레이(AA)의 우반부 영역(AR2)에서 게이트 링크 라인들의 나머지(GLL6~GLL10)와 연결된다.

[0049] 동일 게이트라인에서 접속 포인트로부터 멀어질수록 스캔펄스의 RC 딜레이가 커진다. 도 13에 의하면, 접속 포인트들(P1~P5)이 화소 어레이(AA)의 좌반부 영역(AR1)에 위치하는 경우 액정표시패널(10)의 우측이 좌측에 비해 RC 딜레이가 크므로, 본 발명은 제1 폴링 타임 개선부(100A)를 액정표시패널(10)의 우측에 배치시킨다. 마찬가지로, 접속 포인트들(P6~P10)이 화소 어레이(AA)의 우반부 영역(AR2)에 위치하는 경우 액정표시패널(10)의 좌측이 우측에 비해 RC 딜레이가 크므로, 본 발명은 제2 폴링 타임 개선부(100B)를 액정표시패널(10)의 우측에 배치시킨다. 이렇게 하면 스캔펄스의 폴링 타임 개선에 더욱 효과적이다.

[0050] 상술한 바와 같이, 본 발명은 게이트 드라이버를 액정표시패널의 하측에 배치하여 좌우 베젤 영역을 줄이고, 액정표시패널에 형성된 폴링 타임 개선부를 이용하여 턴 온 레벨의 스캔펄스에 의해 스캔이 완료된 게이트라인들에 턴 오프 레벨의 게이트 로우 전압을 공급함으로써 스캔펄스의 폴링 타임 지연을 최소화할 수 있다.

[0051] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

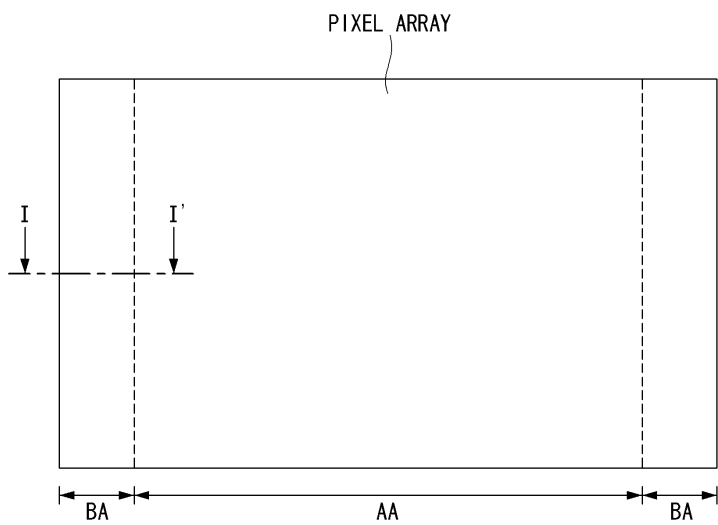
부호의 설명

[0052] 10 : 액정표시패널 100, 100A, 100B : 폴링 타임 개선부

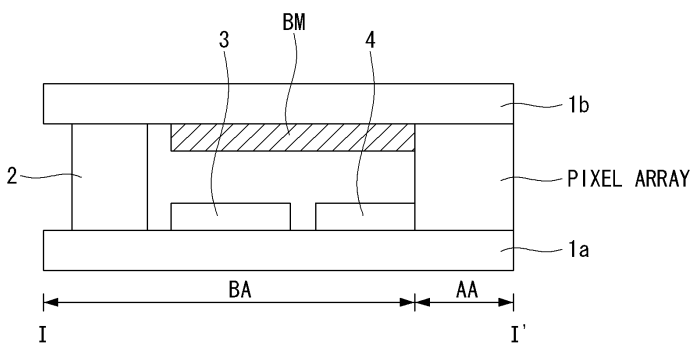
DT : 방전제어 스위치

도면

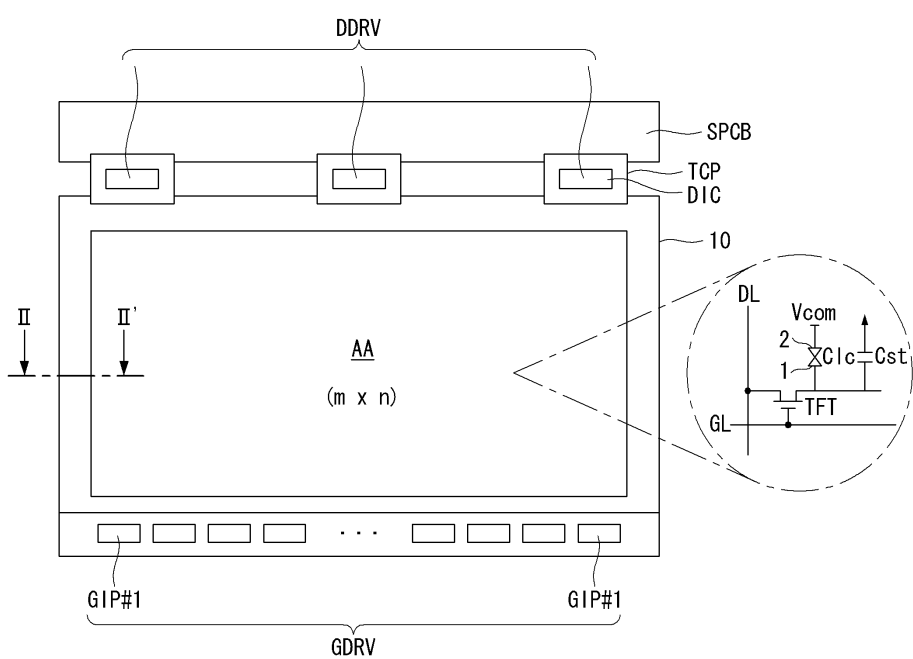
도면1



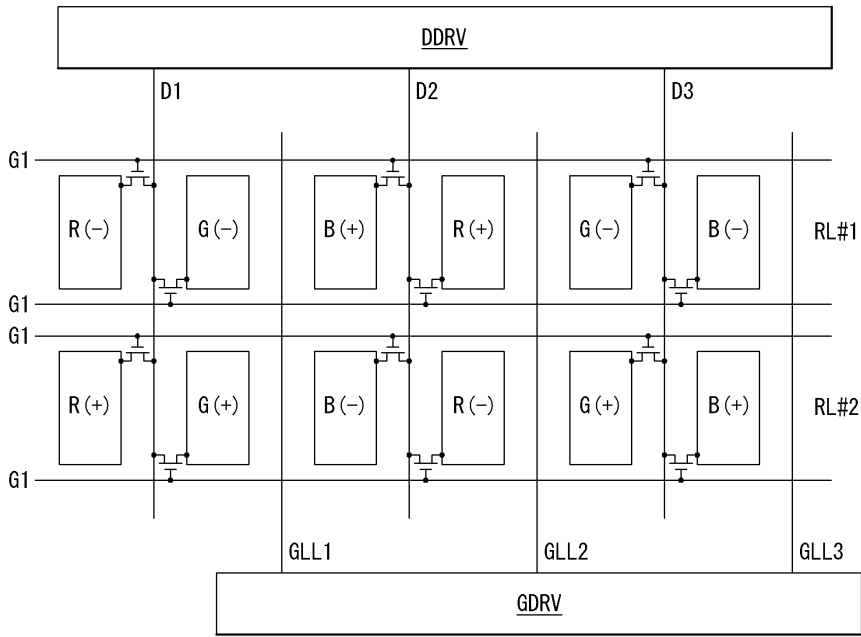
도면2



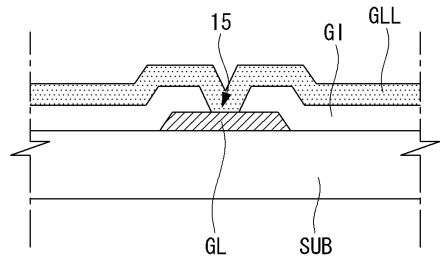
도면3



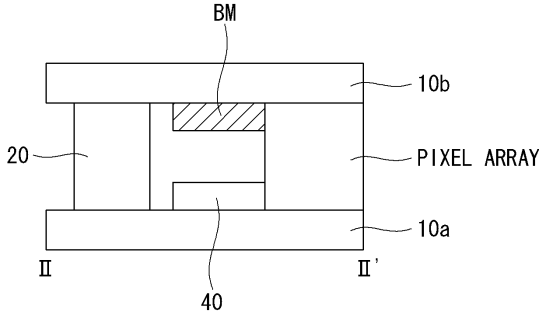
도면4



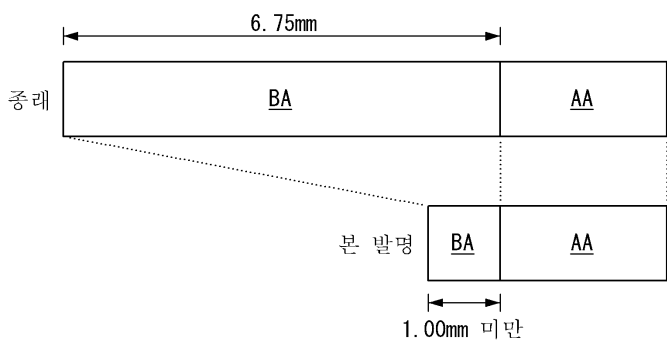
도면5



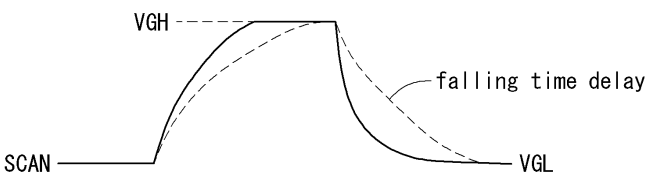
도면6



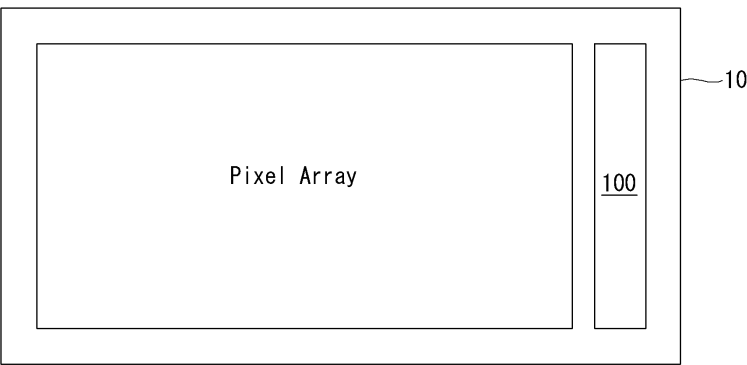
도면7



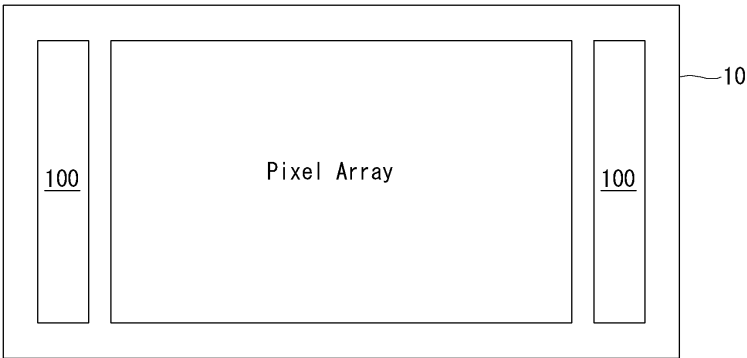
도면8



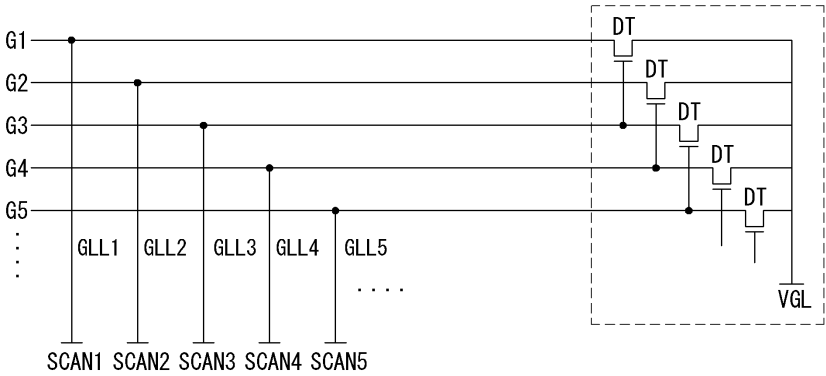
도면9a



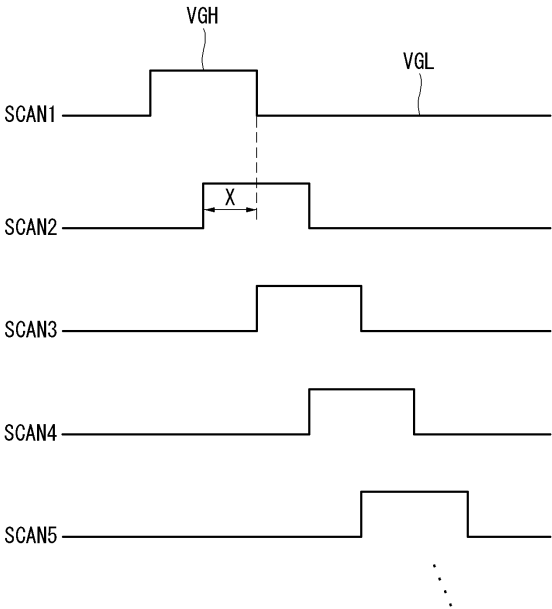
도면9b



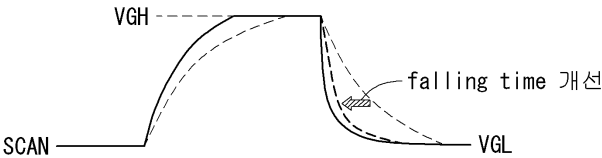
도면10



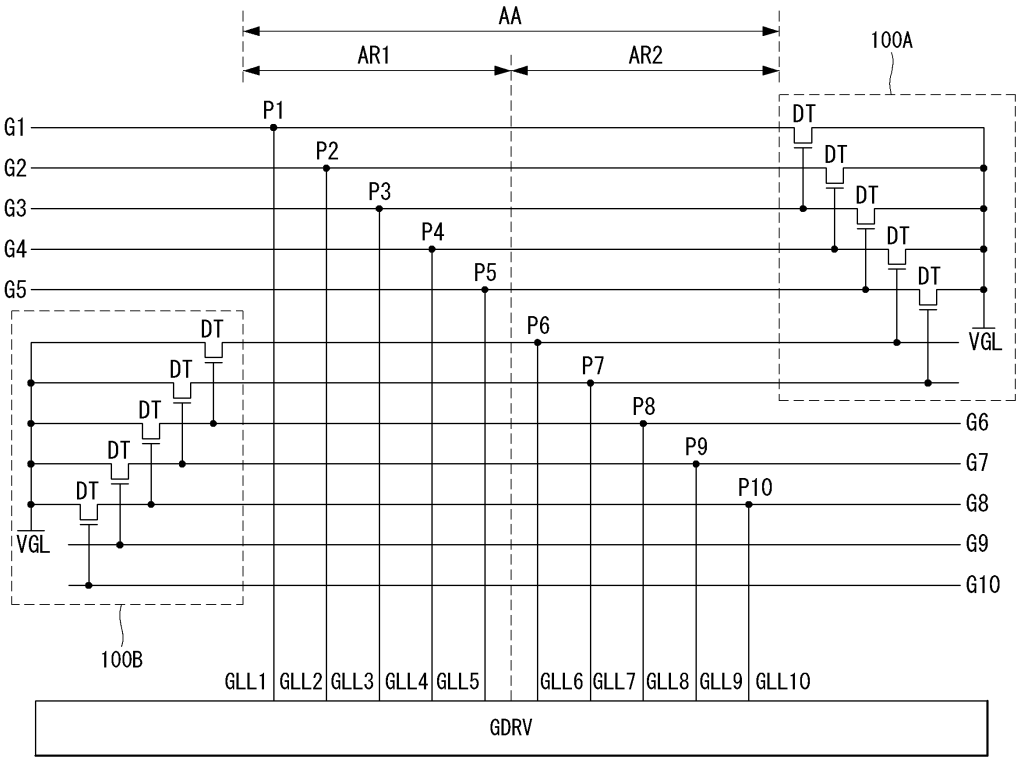
도면11



도면12



도면13



专利名称(译)	液晶显示		
公开(公告)号	KR102022525B1	公开(公告)日	2019-09-19
申请号	KR1020130076051	申请日	2013-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	지혜림 문태웅		
发明人	지혜림 문태웅		
IPC分类号	G02F1/133 G09G3/36		
审查员(译)	金		
其他公开文献	KR1020150003057A		
外部链接	Espacenet		

摘要(译)

在根据本发明的液晶显示器中，像素阵列被定义为沿列方向延伸的数据线与沿行方向延伸的栅极线的交点，并且每条数据线沿列方向延伸以延伸栅极。一种液晶显示面板，其栅极连接线连接到这些线；数据驱动器，其设置在液晶显示面板的一侧以向数据线施加数据电压；选通驱动器，其设置在液晶显示面板的另一侧，面向数据驱动器，并通过选通连接线向选通线提供扫描脉冲；并且，轮询时间改善单元形成在液晶显示面板上，并且将具有截止电平的栅极低电压提供给已经由具有导通电平的扫描脉冲扫描的栅极线。

