



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0130641
(43) 공개일자 2017년11월28일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>G02F 1/1368</i> (2006.01) <i>G02F 1/1343</i> (2006.01)
 <i>G02F 1/1362</i> (2006.01) <i>G09G 3/36</i> (2006.01)
 <i>H01L 27/12</i> (2006.01) <i>H01L 29/786</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>G02F 1/1368</i> (2013.01)
 <i>G02F 1/136213</i> (2013.01)</p> <p>(21) 출원번호 10-2017-7033588(분할)
 (22) 출원일자(국제) 2010년09월29일
 심사청구일자 2017년11월20일</p> <p>(62) 원출원 특허 10-2012-7012984
 원출원일자(국제) 2010년09월29일
 심사청구일자 2015년08월26일</p> <p>(85) 번역문제출일자 2017년11월20일
 (86) 국제출원번호 PCT/JP2010/067498
 (87) 국제공개번호 WO 2011/048945
 국제공개일자 2011년04월28일</p> <p>(30) 우선권주장
 JP-P-2009-242787 2009년10월21일 일본(JP)</p> | <p>(71) 출원인
 가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398</p> <p>(72) 발명자
 시시도 히데아키
 일본국 243-0036 가나가와켄 아쓰기시 하세 398
 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 야마자키 슌페이
 일본국 2430036 가나가와켄 아쓰기시 하세 398
 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 아라사와 료
 일본국 2430036 가나가와켄 아쓰기시 하세 398
 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내</p> <p>(74) 대리인
 황의만</p> |
|--|---|

전체 청구항 수 : 총 10 항

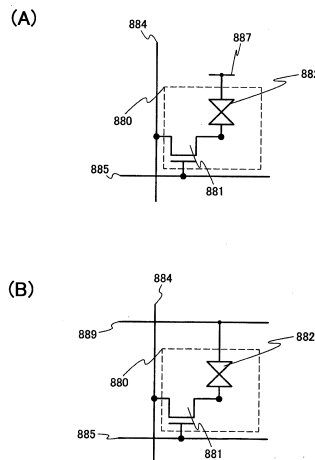
(54) 발명의 명칭 **액정 표시 장치 및 그 액정 표시 장치를 구비하는 전자기기**

(57) 요약

본 발명은 산화물 반도체를 이용한 박막 트랜지스터를 구비하는 화소에 있어서, 개구율의 향상을 도모할 수 있는 액정 표시 장치를 제공하는 것을 목표로 한다.

게이트 전극과, 게이트 전극과 겹치도록 형성된 게이트 절연층 및 산화물 반도체층과, 산화물 반도체층의 일부와 겹치는 소스 전극 및 드레인 전극을 가지는 박막 트랜지스터가 화소부에 설치되는 신호선과 화소 전극 사이에 형성되어 있고, 박막 트랜지스터의 오프 전류는 1×10^{-13} A 이하이고, 액정 소자에 병렬한 용량 소자를 형성하지 않고 액정 용량 소자만으로 전위를 보유하는 것이 가능하게 되고, 화소부에는 화소 전극과 접속되는 용량 소자가 형성되어 있지 않은 구성의 액정 표시 장치로 한다.

대표도 - 도13



(52) CPC특허분류

G02F 1/13624 (2013.01)
G09G 3/36 (2013.01)
H01L 27/1225 (2013.01)
H01L 29/78609 (2013.01)
H01L 29/7869 (2013.01)
G02F 2001/134345 (2013.01)
G02F 2201/40 (2013.01)
G09G 2300/0426 (2013.01)
G09G 2300/0439 (2013.01)

명세서

청구범위

청구항 1

액정 표시 장치로서,

제 1 트랜지스터를 포함하는 제 1 화소;

제 2 트랜지스터를 포함하는 제 2 화소;

상기 제 1 트랜지스터에 전기적으로 접속된 제 1 신호선;

상기 제 2 트랜지스터에 전기적으로 접속된 제 2 신호선; 및

상기 제 1 트랜지스터와 상기 제 2 트랜지스터 위의 액정층을 포함하고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터 각각의 채널 형성 영역은 산화물 반도체를 포함하고,

상기 제 1 화소와 상기 제 2 화소 각각에 보조 용량 소자가 형성되지 않고,

상기 제 1 화소는 상기 제 2 화소에 인접하고,

각각의 프레임 기간 중에서, 상기 제 1 신호선에 인가된 제 1 신호 전압의 극성은 상기 제 2 신호선에 인가된 제 2 신호 전압의 극성과 반대가 되는, 액정 표시 장치.

청구항 2

액정 표시 장치로서,

제 1 트랜지스터를 포함하는 제 1 화소;

제 2 트랜지스터를 포함하는 제 2 화소;

상기 제 1 트랜지스터에 전기적으로 접속된 제 1 신호선;

상기 제 2 트랜지스터에 전기적으로 접속된 제 2 신호선;

상기 제 1 트랜지스터에 전기적으로 접속된 액정 소자; 및

상기 제 1 트랜지스터와 상기 액정 소자에 전기적으로 접속된 보조 용량 소자를 포함하고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터 각각의 채널 형성 영역은 산화물 반도체를 포함하고,

상기 보조 용량 소자의 용량은 상기 액정 소자의 용량보다 작고,

상기 제 1 화소는 상기 제 2 화소에 인접하고,

각각의 프레임 기간 중에서, 상기 제 1 신호선에 인가된 제 1 신호 전압의 극성은 상기 제 2 신호선에 인가된 제 2 신호 전압의 극성과 반대가 되는, 액정 표시 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 신호선은 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 신호선은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되는, 액정 표시 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

제 3 신호선을 더 포함하고,

상기 제 3 신호선은 상기 제 1 트랜지스터의 게이트와 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되는, 액정 표시 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체에서의 수소 농도는 $5 \times 10^{19} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 제 1 신호 전압과 상기 제 2 신호 전압 각각의 상기 극성은, 하나의 프레임 기간 중에 번갈아 반전되는, 액정 표시 장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

제 3 화소와 제 4 화소를 더 포함하고,

상기 액정 표시 장치는 행과 열의 매트릭스로 배치된 복수의 화소를 포함하고,

상기 제 1 화소와 상기 제 2 화소는 제 1 행에 배치되고,

상기 제 3 화소와 상기 제 4 화소는 제 2 행에 배치되고,

상기 제 1 행은 상기 제 2 행에 인접하고,

상기 제 1 신호선은 상기 제 1 화소와 상기 제 3 화소에 전기적으로 접속되고,

상기 제 2 신호선은 상기 제 2 화소와 상기 제 4 화소에 전기적으로 접속되고,

상기 제 1 신호 전압이 상기 제 1 신호선에 인가된 후, 상기 제 1 신호선에 제 3 신호 전압이 인가되고,

상기 제 2 신호 전압이 상기 제 2 신호선에 인가된 후, 상기 제 2 신호선에 제 4 신호 전압이 인가되고,

상기 제 1 신호 전압의 상기 극성은 상기 제 3 신호 전압의 극성과 반대이고,

상기 제 2 신호 전압의 상기 극성은 상기 제 4 신호 전압의 극성과 반대인, 액정 표시 장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터 각각은 게이트 전극을 더 포함하고,

상기 게이트 전극은 구리를 포함하는, 액정 표시 장치.

청구항 9

제 1 항 또는 제 2 항에 있어서,
상기 산화물 반도체는 인듐과 아연을 포함하는, 액정 표시 장치.

청구항 10

제 1 항 또는 제 2 항에 따른 액정 표시 장치를 포함하는 전자기기.

발명의 설명

기술 분야

[0001] 본 발명의 일 양태는 산화물 반도체를 이용한 전계 효과형 트랜지스터에 의하여 구성되는 반도체 장치에 관한 것이다.

[0002] 또한, 본 명세서 중에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 액정 표시 장치 등의 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

배경 기술

[0003] 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 이용하여 박막 트랜지스터를 구성하는 기술이 주목되고 있다. 박막 트랜지스터는 액정 텔레비전으로 대표되는 표시 장치에 이용되고 있다. 박막 트랜지스터에 적용 가능한 반도체 박막으로서 실리콘계 반도체 재료가 공지되어 있지만, 그 외의 재료로서 산화물 반도체가 주목되고 있다.

[0004] 산화물 반도체의 재료로서는, 산화 아연 또는 산화 아연을 성분으로 하는 것이 알려져 있다. 그리고 전자 캐리어 농도가 $10^{18}/\text{cm}^3$ 미만인 비정질 산화물(산화물 반도체)인 것으로 형성된 박막 트랜지스터가 개시되어 있다(특허문헌 1 내지 3).

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 일본국 특개 2006-165527호 공보
- (특허문헌 0002) 일본국 특개 2006-165528호 공보
- (특허문헌 0003) 일본국 특개 2006-165529호 공보

발명의 내용

해결하려는 과제

[0007] 그렇지만, 산화물 반도체막은 그 형성 공정에 있어서 화학양론적 조성으로부터의 어긋남이 생겨 문제가 될 때가 있다. 예를 들어, 막 중의 산소가 과잉이거나 과부족이 된 경우, 또는 불순물로서 포함되는 수소가 전자 공여체로 되는 경우는, 전기 전도도를 변화시키게 된다.

[0008] 전자 캐리어 농도가 $10^{18}/\text{cm}^3$ 미만에서도, 산화물 반도체에 있어서는 실질적으로는 n형이고, 상기 특허문헌에 개시된 박막 트랜지스터의 온 오프비는 10^3 밖에 얻지 못한다. 이와 같이 박막 트랜지스터의 온 오프비가 낮은 이유는, 오프 전류가 높기 때문이다.

[0009] 본 발명의 일형태는, 안정적인 전기적 특성(예를 들어, 오프 전류가 매우 저감됨)을 가지는 박막 트랜지스터를 포함하여 구성되는 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0010] 본 발명의 일형태는, 산화물 반도체 중에서 전자 공여체(도너)가 되는 불순물을 제거함으로써, 진성 또는 실질적으로 진성인 반도체이고, 실리콘 반도체보다도 에너지 갭이 큰 산화물 반도체로 채널 영역이 형성되는 박막 트랜지스터를 가지는 액정 표시 장치를 구성한다.
- [0011] 즉, 본 발명의 일형태는 산화물 반도체막에서 채널 영역이 형성되는 박막 트랜지스터를 가지는 액정 표시 장치이다. 이 산화물 반도체에 포함되는 수소를 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하로 되도록 산화물 반도체에 포함되는 수소 또는 OH기를 극히 적은 상태로 하고, 산화물 반도체 막의 캐리어 농도를 $5 \times 10^{14}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{12}/\text{cm}^3$ 이하로 한다.
- [0012] 산화물 반도체의 에너지 갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 더욱 바람직하게는 3 eV 이상으로 하여, 도너를 형성하는 수소 등의 불순물을 극력 저감하고, 캐리어 농도를 $1 \times 10^{14}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 이하로 되도록 한다.
- [0013] 이와 같이 고순도화된 산화물 반도체는, 박막 트랜지스터의 채널 형성 영역에 이용함으로써, 채널 폭이 10 mm이고 드레인 전압이 10 V이어도, 게이트 전압이 -5 V에서 -20 V의 범위에서, 그 드레인 전류는 1×10^{-13} A 이하가 되도록 작용한다.
- [0014] 본 명세서에서 개시하는 본 발명의 일 양태는 액정 표시 장치로서, 이 액정 표시 장치는, 게이트 전극과, 게이트 전극과 겹치도록 형성된 게이트 절연층과, 게이트 절연층을 통하여 게이트 전극과 겹치도록 형성된 산화물 반도체층과, 산화물 반도체층의 일부와 겹치는 소스 전극 및 드레인 전극을 가지는 박막 트랜지스터가, 화소부에 배치되는 신호선과 화소 전극의 사이에 형성되어 있고, 상기 화소 전극과 전기적으로 접속되는 보조 용량 소자가 형성되어 있지 않은 것을 특징으로 한다.
- [0015] 또한, 본 명세서에서 개시하는 본 발명의 다른 일 양태는 액정 표시 장치로서, 이 액정 표시 장치는, 게이트 전극과, 게이트 전극과 겹치도록 형성된 게이트 절연층과, 게이트 절연층을 통하여 게이트 전극과 겹치도록 형성된 산화물 반도체층과, 산화물 반도체층의 일부와 겹치는 소스 전극 및 드레인 전극을 가지는 박막 트랜지스터가 1 화소 내에 형성된 복수의 부화소(subpixel)의 각각에 배치된 신호선과 화소 전극 사이에 한 개씩 형성되어 있고, 상기 화소 전극과 전기적으로 접속되는 보조 용량 소자가 형성되어 있지 않은 것을 특징으로 한다.
- [0016] 또한, 보조 용량 소자란 의도적으로 형성한 용량 소자를 의미하는 것이고, 의도적으로 형성되는 것이 아닌 기생 용량은 형성되어도 좋다.

발명의 효과

- [0017] 본 발명의 일 양태에 의하면, 오프 전류가 1×10^{-13} A 이하로 저감됨으로써, 화소에 인가한 신호 전압을 보유하는 용량을 추가적으로 형성할 필요가 없어진다. 즉, 각 화소에 보조 용량 소자를 형성하지 않아도 되므로, 개구율을 향상시킬 수 있다. 또한, 본 발명의 일 양태에 관한 박막 트랜지스터를 이용하는 화소는 일정 상태(영상 신호가 기입되는 상태)를 보유하는 것이 가능하게 되므로, 정지 화면을 표시하는 경우에도 안정된 동작을 할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 액정 표시 장치에 대하여 설명한 상면도 및 단면도.
- 도 2는 액정 표시 장치에 대하여 설명한 상면도 및 단면도.
- 도 3은 액정 표시 장치의 제작 방법에 대하여 설명한 단면도.
- 도 4는 산화물 반도체를 이용한 박막 트랜지스터의 $V_g - I_d$ 특성.
- 도 5는 산화물 반도체를 이용한 박막 트랜지스터의 사진.
- 도 6은 산화물 반도체를 이용한 박막 트랜지스터의 $V_g - I_d$ 특성(온도 특성).
- 도 7은 액정 표시 장치에 대하여 설명하는 도면.

도 8은 산화물 반도체를 이용한 역스태거형의 박막 트랜지스터의 종단면도.

도 9는 도 8에 나타낸 A-A' 단면에 있어서의 에너지 밴드도(모식도).

도 10은 도 8에 나타낸 B-B' 단면에 있어서의 에너지 밴드도(모식도)이고, 도 10(A)는 게이트(G1)에 정의 전압(+Vg)이 인가된 상태를 나타내고, 도 10(B)는 게이트(G1)에 부의 전압(-Vg)이 인가된 상태를 나타낸 도면.

도 11은 진공 준위와 금속의 일함수(ϕ_M) 사이의 관계와, 진공 준위와 산화물 반도체의 전자 친화력(χ) 사이의 관계를 나타낸 도면.

도 12는 액정 표시 장치에 대하여 설명한 도면.

도 13은 액정 표시 장치에 대하여 설명한 도면.

도 14는 액정 표시 장치에 대하여 설명한 도면.

도 15는 액정 표시 장치에 대하여 설명한 도면.

도 16은 액정 표시 장치에 대하여 설명한 도면.

도 17은 전자기기에 대하여 설명한 도면.

도 18은 전자기기에 대하여 설명한 도면.

도 19는 실리콘 MOS 트랜지스터의 소스-드레인 사이의 밴드 구조를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명의 실시형태에 대하여, 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세한 사항을 여러 가지로 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타낸 실시형태의 기재 내용으로 한정되어 해석되지 않는다. 또한, 이하에 설명한 본 발명의 구성에 있어서, 동일 부분 또는 동일한 기능을 가지는 부분에는 동일한 부호를 상이한 도면 간에서 공통으로 이용하고, 그 반복 설명은 생략한다.

[0020] 또한, 본 명세서에서 설명한 각 도면에 있어서, 각 구성의 크기, 층의 두께, 또는 영역은, 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일로 한정되지 않는다.

[0021] 또한, 본 명세서에서 이용하는 제 1, 제 2, 제 3 등의 용어는 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 수적으로 한정하지 않는다. 그 때문에, 예를 들어, 「제 1」을 「제 2」 또는 「제 3」 등과 적절히 바꾸어 설명할 수 있다.

[0023] (실시형태 1)

[0024] 본 발명의 일 양태에서의 박막 트랜지스터를 이용하여 액정 표시 장치의 화소를 구성하는 예를 이하에 설명한다. 본 실시형태에서는 일례로서, 액정 표시 장치에 있어서의 화소가 가지는 박막 트랜지스터 및 이 박막 트랜지스터에 접속된 전극(화소 전극이라고도 함)에 대하여 나타내고 설명한다. 또한, 화소란, 표시 장치의 각 화소에 형성된 각 소자, 예를 들어 박막 트랜지스터, 화소 전극으로서 기능하는 전극 및 전기적인 신호를 소자에 공급하는 배선 등을 포함하는 것이다. 또한, 화소는 컬러 필터 등을 포함하는 것이어도 좋다. 예를 들어, RGB의 색 요소로 이루어진 컬러 표시 장치의 경우에는, 화상의 최소 단위는 R의 화소와 G의 화소와 B의 화소의 삼화소로 구성된다.

[0025] 또한, A와 B가 접속되어 있다고 기재하는 경우는 A와 B가 서로 전기적으로 접속되어 있는 경우와, A와 B가 서로 직접 접속되어 있는 경우를 포함하기로 한다. 여기에서, A, B는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0026] 또한, 보유 용량이란 액정 소자의 용량과, 별도로 형성된 용량 소자의 용량을 합한 것이며, 전자를 액정 용량, 후자를 보조 용량으로 구별한다.

[0027] 먼저, 종래의 액정 표시 장치에 있어서의 화소부의 일례로서, 상면도를 도 2(A)에 나타낸다. 또한, 도 2(A)에 나타낸 박막 트랜지스터의 구조는, 보텀 게이트형 구조이고, 게이트 전극과 겹치는 산화물 반도체층 위에 소스

전극 및 드레인 전극이 되는 배선층을 가지는, 소위 역스태거형의 구성에 대하여 나타낸다.

- [0028] 도 2(A)에 나타난 화소부는 주사선으로서 기능하는 제 1 배선(2101), 신호선으로서 기능하는 제 2 배선(2102A), 산화물 반도체층(2103), 용량 소자선(2104), 화소 전극(2105)을 가진다. 또한, 산화물 반도체층(2103)과 화소 전극(2105)을 전기적으로 접속하기 위한 제 3 배선(2102B)을 가진다.
- [0029] 제 1 배선(2101)은 박막 트랜지스터(2106)의 게이트 전극으로서 기능하는 배선이기도 하다.
- [0030] 제 2 배선(2102A)은 박막 트랜지스터(2106)의 소스 전극 또는 드레인 전극의 한쪽 및 용량 소자의 한쪽의 전극으로서 기능하는 배선이기도 하다.
- [0031] 제 3 배선(2102B)은 박막 트랜지스터(2106)의 소스 전극 또는 드레인 전극의 다른 한쪽으로서 기능하는 배선이기도 하다.
- [0032] 용량 소자선(2104)은 용량 소자의 다른 한쪽의 전극으로서 기능하는 배선이다. 또한, 제 1 배선(2101)과, 용량 소자선(2104)이 같은 층에 형성되고, 제 2 배선(2102A)과, 제 3 배선(2102B)이 같은 층에 설치된다. 또한, 제 3 배선(2102B)과 용량 소자선(2104)은 일부 중첩하여 설치되고, 액정 소자의 보조 용량 소자(용량 소자)를 형성한다. 또한, 박막 트랜지스터(2106)가 가지는 산화물 반도체층(2103)은 제 1 배선(2101) 위에 게이트 절연막(2113)(도시하지 않음)을 통하여 형성된다.
- [0033] 또한, 도 2(B)에는 도 2(A)에 있어서의 일점 쇄선(A1-A2) 사이의 단면 구조에 대하여 나타낸다.
- [0034] 도 2(B)에 나타난 단면 구조에 있어서, 기판(2111) 위에는 베이스막(2112)을 통하여, 게이트 전극인 제 1 배선(2101) 및 용량 소자선(2104)이 설치된다. 또한, 제 1 배선(2101) 및 용량 소자선(2104)을 덮도록 게이트 절연막(2113)이 형성되고, 게이트 절연막(2113) 위에는 산화물 반도체층(2103)이 형성된다. 또한, 산화물 반도체층(2103) 위에는 제 2 배선(2102A), 제 3 배선(2102B)이 형성되고, 그것들 위에는, 패시베이션(passivation)막으로서 기능하는 산화물 절연층(2114)이 형성된다. 산화물 절연층(2114)에는 개구부가 형성되어 있고, 개구부에 있어서 화소 전극(2105)과 제 3 배선(2102B)이 접속된다. 또한, 제 3 배선(2102B)과 용량 소자선(2104)은 게이트 절연막(2113)을 유도체로서 사용하는 용량 소자를 형성한다.
- [0035] 또한, 도 2(A), (B)에 나타난 화소는 도 7에 나타난 바와 같이, 기판(700) 위에 복수의 화소(701)가 매트릭스 모양으로 배치된 것이다. 도 7에서는 기판(700) 위에 화소부(702), 주사선 구동 회로(703) 및 신호선 구동 회로(704)를 가지는 구성에 대하여 나타낸다. 화소(701)는 주사선 구동 회로(703)에 접속된 제 1 배선(101)에 의하여 공급되는 주사 신호에 의하여, 각 행마다 선택 상태, 비선택 상태가 결정된다. 또한, 주사 신호에 의하여 선택된 화소(701)는 신호선 구동 회로(704)에 접속된 배선(2102A)에 의하여, 비디오 전압(화상 신호, 비디오 신호 또는 비디오 데이터라고도 함)이 공급된다.
- [0036] 도 7에서는 주사선 구동 회로(703), 신호선 구동 회로(704)가 기판(700) 위에 설치되는 구성에 대하여 나타내었지만, 주사선 구동 회로(703) 또는 신호선 구동 회로(704) 중 어느 하나가 기판(700) 위에 설치되는 구성으로 하여도 좋다. 또한, 화소부(702)만을 기판(700) 위에 형성하는 구성으로 하여도 좋다.
- [0037] 도 7의 화소부(702)에는 복수의 화소(701)가 매트릭스 모양으로 배치(스트라이프 배치)하는 예에 대하여 나타낸다. 또한, 화소(701)는 반드시 매트릭스 모양으로 배치할 필요는 없고, 예를 들어, 화소(701)를 델타 배치, 또는 베이어(Bayer) 배치하여도 좋다. 또한, 화소부(702)에 있어서의 표시 방식은 프로그레시브(progressive) 방식, 인터레이스(interlace) 방식 중 어느 것을 이용할 수 있다. 또한, 컬러 표시할 때에 화소에서 제어하는 색 요소로서는, RGB(R은 빨강, G는 초록, B는 파랑)의 삼색으로 한정되지 않고, 예를 들어, RGBW(W는 흰색), 또는 RGB에 노랑, 시안, 마젠타 등을 한 색 이상 추가한 것 등이 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 상이하여도 좋다.
- [0038] 도 7에 있어서, 제 1 배선(2101) 및 제 2 배선(2102A)은 화소의 행 방향 및 열 방향의 수에 따라서 형성된다. 또한, 제 1 배선(2101) 및 제 2 배선(2102A)은 화소를 구성하는 서브 화소(부화소, 서브 픽셀이라고도 함)의 수, 또는 화소 내의 트랜지스터의 수에 따라서, 개수를 늘리는 구성으로 하여도 좋다. 또한, 화소 사이에서 제 1 배선(2101) 및 제 2 배선(2102A)을 공유하여 화소(701)를 구동하는 구성으로 하여도 좋다.
- [0039] 또한, 도 2(A)에서는 제 2 배선(2102A)을 직사각형 형상인 것으로 나타내고 있지만, 제 3 배선(2102B)을 둘러싸는 형상(구체적으로는 U자형 또는 C자형으로 하고, 캐리어가 이동하는 영역의 면적을 증가시켜, 흐르는 전류량을 늘리는 구성으로 하여도 좋다.

- [0040] 또한, 박막 트랜지스터는 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 가지는 소자이고, 드레인 영역과 소스 영역의 사이에 채널 영역을 가지고, 드레인 영역과 채널 영역과 소스 영역을 통하여 전류를 흐르게 할 수 있다. 여기에서, 소스와 드레인은 트랜지스터의 구조나 동작 조건 등에 따라 변하기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 그래서, 소스 및 드레인으로서 기능하는 영역을, 소스 또는 드레인이라고 부르지 않는 경우가 있다. 그 경우, 일례로서는 각각을 제 1 단자, 제 2 단자로 표기하는 경우가 있다. 또는 각각을 제 1 전극, 제 2 전극으로 표기하는 경우가 있다. 또는 제 1 영역, 제 2 영역으로 표기하는 경우가 있다.
- [0041] 다음에, 도 1에 본 발명의 일 양태에 있어서의 화소부의 구성예를 나타낸다. 도 1(A)는 도 2(A)에 나타낸 종래예의 화소부 구조로부터 용량 소자(보조 용량 소자)를 생략한 것이다. 그것에 따라서 용량 소자선이 불필요하게 되고, 제 3 배선(102B)은 용량 소자의 전극으로서 기능하지 않는다. 제 3 배선(102B)은 소스 전극 또는 드레인 전극으로서 화소 전극(105)에만 접속되는 배선이 되어, 면적도 축소된다. 따라서, 개구율을 큰 폭으로 향상시킬 수 있다.
- [0042] 또한, 본 발명의 일 양태로서 용량 소자를 생략한 화소부의 구성예에 있어서도, 용량 소자 이외는 상기 종래예와 같은 구성을 이용할 수 있다. 또한, 역스태거형의 트랜지스터를 일례로서 설명하였지만, 보텀 콘택트형이나 탑 게이트형 등, 그 외의 트랜지스터의 구조를 이용하여도 좋다.
- [0043] 또한, 상기와 같이 화소부로부터 용량 소자를 생략하기 위해서는, 충전된 액정 소자에만 의하여 화소의 전위를 일정 기간 보유할 필요가 있다. 이르기 위해서는, 박막 트랜지스터의 오프 전류를 충분히 낮게 해야 한다. 이 특성을 실현하기 위한 박막 트랜지스터의 제작 방법 중 일례를 도 3을 이용하여 설명한다.
- [0044] 먼저, 투광성을 가지는 기판(111)에는 유리 기판을 이용할 수 있다. 또한, 기판(111) 위에 기판(111)으로부터의 불순물의 확산의 방지, 또는 기판(111) 위에 형성하는 각 소자와의 밀착성을 향상시키기 위한 베이스막(112)을 형성하는 구성으로 하여도 좋다. 또한, 베이스막(112)은 반드시 형성할 필요는 없다.
- [0045] 다음으로, 베이스막(112) 위에 도전층을 형성한 후, 제 1 포토리소그래피 공정을 행하고, 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 제 1 배선(101)을 형성한다. 이 때, 제 1 배선(101)의 단부가 테이퍼 형상이 되도록 에칭하는 것이 바람직하다. 도 3(A)는 이 단계에서의 단면도이다.
- [0046] 제 1 배선(101)은, 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하지만, 알루미늄 단체(單體)로는 내열성이 뒤떨어지고, 또한 부식하기 쉽다는 등의 문제점이 있으므로 내열성 도전성 재료와 조합하여 형성하면 좋다. 내열성 도전성 재료로서는, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐에서 선택된 원소, 또는 상기 원소를 성분으로 하는 합금이나, 상기 원소를 조합한 합금, 또는 상기 원소를 성분으로 하는 질화물로 형성할 수 있다.
- [0047] 또한, 잉크젯법이나 인쇄법을 이용해서 박막 트랜지스터를 구성하는 배선 등을 형성할 수 있다. 이것들은 포토 마스크를 이용하지 않아도 제조할 수 있기 때문에, 트랜지스터의 레이아웃을 용이하게 변경하는 것이 가능하다. 또한, 레지스트를 이용할 필요가 없기 때문에, 재료비를 절약할 수 있고, 공정 수를 삭감할 수 있다. 또한, 잉크젯법이나 인쇄법을 이용하여 레지스트 마스크 등을 형성할 수도 있다. 잉크젯법이나 인쇄법은 레지스트 마스크를 필요한 부분에만 형성할 수 있기 때문에, 원가 절감을 도모할 수 있다.
- [0048] 또한, 다계조 마스크에 의하여 복수(대표적으로는 2 종류)의 두께 영역을 가지는 레지스트 마스크를 형성하고, 배선 등의 형성을 행하여도 좋다.
- [0049] 다음으로, 제 1 배선(101) 위에 절연막(이하, 게이트 절연막(113)이라 함)을 성막한다.
- [0050] 본 실시형태에 있어서, 게이트 절연막(113)의 형성은 마이크로파(2.45 GHz)를 이용한 고밀도 플라즈마 CVD 장치에 의하여 행한다. 여기에서, 고밀도 플라즈마 CVD 장치란, $1 \times 10^{11} / \text{cm}^3$ 이상의 플라즈마 밀도를 달성할 수 있는 장치를 가리킨다. 예를 들어, 3 kW 이상 6 kW 이하의 마이크로파 전력을 인가하여 플라즈마를 발생시켜, 절연막의 성막을 행한다.
- [0051] 챔버에 재료 가스로서 모노실란 가스(SiH_4)와 아산화 질소(N_2O)와 희가스를 도입하고, 10 Pa 이상 30 Pa 이하의 압력에서 고밀도 플라즈마를 발생시켜 기판 위에 절연막을 형성한다. 그 후, 모노실란 가스의 공급을 정지시키고, 대기에 노출하지 않도록 아산화 질소(N_2O)와 희가스를 도입하여 절연막 표면에 플라즈마 처리를 행하여도 좋다. 적어도 아산화 질소(N_2O)와 희가스를 도입하여 절연막 표면에 행하여지는 플라즈마 처리는 절연막의

성막보다 후에 행한다. 상기 프로세스 순서를 거친 절연막은 막 두께가 얇고, 예를 들어 100 nm 미만이어도 신뢰성을 확보할 수 있다.

- [0052] 게이트 절연막(113)을 형성할 때, 체임버에 도입하는 모노실란 가스(SiH_4)와 아산화 질소(N_2O)의 유량비는 1 : 10에서 1 : 200의 범위로 한다. 또한, 체임버에 도입하는 회가스로서는, 헬륨, 아르곤, 크립톤, 크세논 등을 이용할 수 있지만, 그 중에서도 저렴한 아르곤을 이용하는 것이 바람직하다.
- [0053] 또한, 고밀도 플라즈마 CVD 장치에 의하여 얻을 수 있는 절연막은 단차 피복성이 우수하고, 막 두께도 정확히 제어할 수 있다.
- [0054] 상기 프로세스 순서를 거친 절연막은 종래의 평행 평판형의 PCVD 장치에서 얻어지는 절연막과는 크게 상이하고, 같은 에천트를 이용하여 에칭 속도를 비교한 경우에, 종래의 평행 평판형의 PCVD 장치에서 얻어지는 절연막의 10% 이상 또는 20% 이상 늦어, 고밀도 플라즈마 CVD 장치에서 얻을 수 있는 절연막은 치밀한 막이라고 할 수 있다.
- [0055] 본 실시형태에서는 게이트 절연막(113)으로서 고밀도 플라즈마 CVD 장치에 의한 막 두께 100 nm의 산화 질화 규소막(SiO_xN_y 라고도 함, 단, $x > y > 0$)을 이용한다.
- [0056] 게이트 절연막(113)을 형성하는 다른 수단으로서, 스퍼터링법을 이용하여도 좋다. 물론, 게이트 절연막(113)은 이와 같은 산화 실리콘막으로 한정되는 것이 아니라, 산화 질화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 탄탈막 등의 다른 절연막을 이용하여, 이들 재료로부터 이루어지는 단층 또는 적층 구조로서 형성하여도 좋다.
- [0057] 또한, 산화물 반도체를 성막하기 전에, 스퍼터링 가스에 아르곤을 이용하여 역스퍼터링을 행하고, 게이트 절연막(113)의 표면에 부착한 먼지를 제거하는 것이 바람직하다. 또한, 스퍼터링 가스를 아르곤을 대신하여 질소, 헬륨 등을 이용하여도 좋다. 또한, 아르곤에 산소, 수소, N_2O , Cl_2 , 또는 CF_4 등을 더한 스퍼터링 가스를 이용하여도 좋다.
- [0058] 다음에, 게이트 절연막(113) 위에 산화물 반도체막을 성막한다. 산화물 반도체를 반도체층에 이용한 트랜지스터는 아몰퍼스 실리콘을 이용하는 것보다 전계 효과 이동도를 높일 수 있다. 또한, 산화물 반도체로서는 예를 들어, 산화 아연(ZnO), 산화 주석(SnO_2) 등도 이용할 수 있다. 또한, ZnO 에 In이나 Ga 등을 첨가할 수 있다.
- [0059] 산화물 반도체막에는 화학식 $\text{InMO}_3(\text{ZnO})_m(m > 0)$ 으로 표기되는 박막을 이용할 수 있다. 여기에서, M은 Ga, Al, Mn 및 Co에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 구체적으로 M은 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등으로 한다.
- [0060] 이 산화물 반도체막에는 사원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 삼원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 이원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체나, In-Ga-O계 산화물 반도체, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 이용할 수 있다. 또한, 상기 산화물 반도체에 SiO_2 를 포함하여도 좋다. 여기에서, In-Ga-Zn-O계 산화물 반도체란, 인듐(In), 갈륨(Ga), 아연(Zn)을 가지는 산화물이란 의미이고, 그 화학량론 조성비는 특별히 상관하지 않는다. 또한, In과 Ga와 Zn 이외의 원소를 포함하여도 좋다. 또한, 산화물 반도체의 에너지 갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상인 것이 바람직하다.
- [0061] 여기에서는, 산화물 반도체로서 In-Ga-Zn-O계 막을 이용한다. 여기에서는, 몰수비로 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 또는, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ 로 한 타겟을 이용하여 스퍼터링법으로 성막한다. 기판과 타겟의 사이의 거리를 100 mm, 압력 0.6 Pa, 직류(DC) 전원 0.5 kW, 산소(산소유량비율 100%)분위기 하에서 성막한다. 또한, 펄스 직류(DC) 전원을 이용하면, 성막 시에 발생하는 분상 물질(파티클, 먼지라고도 함)이 경감되고, 막 두께 분포도 균일하게 되기 때문에 바람직하다.
- [0062] 이 경우에, 처리실 내의 잔류 수분을 제거하면서 산화물 반도체막을 성막하는 것이 바람직하다. 산화물 반도체막에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다.

- [0063] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 분자 펌프에 콜드 트랩을 가한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은 예를 들어, 수소 원자나, 물(H₂O) 등 수소 원자를 포함하는 화합물 등이 배기되기 때문에, 이 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다.
- [0064] 다음으로, 제 2 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 산화물 반도체층(103)을 형성한다. 또한, 다음에 행하는 산화물 반도체층으로의 제 1 가열 처리는, 섬 형상의 산화물 반도체층에 가공하기 전의 산화물 반도체막에 행할 수 있다. 이 단계에서의 단면도를 도 3(B)에 나타낸다.
- [0065] 다음으로, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 425℃ 이상 750℃ 이하로 한다. 또한, 425℃ 이상이라면 가열 처리 시간은 1시간 이하가 좋지만, 425℃ 미만이라면 가열 처리 시간은 1시간 이상 행하기로 한다. 여기에서는, 가열 처리 장치 중 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기 하에서 가열 처리를 행한 후, 대기에 노출되지 않고, 같은 노(爐)에 고순도의 산소 가스, 고순도의 N₂O 가스, 또는 초건조 에어(이슬점이 -40℃ 이하, 바람직하게는 -60℃ 이하)를 도입하여 냉각을 행한다. 이 때, 도입하는 가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 가스 중의 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 한다.
- [0066] 또한, 본 명세서에서는 질소, 또는 희가스 등의 불활성 기체 분위기 하에서의 가열 처리를 탈수화 또는 탈수소화를 위한 가열 처리라고 칭한다. 본 명세서에서는 이 가열 처리에 의하여 H₂로서 이탈시키는 것만을 탈수소화라고 칭하는 것이 아니라, H, OH 등이 이탈하는 것을 포함하여 탈수화 또는 탈수소화라고 편의상 칭하도록 한다.
- [0067] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의하여, 피처리물을 가열하는 장치이다. 또한, LRTA 장치는 램프뿐만 아니라, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의하여, 피처리물을 가열하는 장치를 구비하여도 좋다. GRTA란 고온 가스를 이용하여 가열 처리를 행하는 방법이다. 가스에는 아르곤 등의 희가스나 질소 등의 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 이용된다. 이와 같이 RTA법을 이용하여, 600℃ 이상 750℃ 이하의 온도에서 몇 분간 가열 처리를 행하여도 좋다.
- [0068] 또한, 탈수화 또는 탈수소화를 행하는 제 1 가열 처리 후에 200℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 300℃ 이하의 온도에서 산소 가스 또는 N₂O 가스분위기 하에서의 가열 처리를 행하여도 좋다.
- [0069] 산화물 반도체층을 400℃ 이상 750℃ 이하의 온도에서 열처리함으로써, 산화물 반도체층의 탈수화, 탈수소화도모되고, 그 후의 물(H₂O)의 재흡착을 막을 수 있다. 탈수화 또는 탈수소화와 동시에 i형의 산화물 반도체층은 산소 결핍형이 되어 저저항화, 즉 n형화(n⁻, n⁺ 등)한다. n형화한 산화물 반도체층에 접하는 산화물 절연막을 형성하면, 산화물 반도체층은 산소 과잉인 상태가 되고, 다시 i형이 되어 고저항화한다. 이와 같은 산화물 반도체층을 이용한 트랜지스터는 그 스레숄드 전압값이 정(正)인, 소위 노멀리 오프 특성을 나타낸다. 표시 장치 등의 반도체 장치에 이용하는 트랜지스터는, 게이트 전압이 0V에 가능한 가까운 정의 스레숄드 전압인 것이 바람직하다. 액티브 매트릭스형의 표시 장치에 있어서는, 회로를 구성하는 트랜지스터의 전기 특성이 중요하고, 이 전기 특성이 표시 장치의 기능을 좌우한다. 특히, 트랜지스터의 스레숄드 전압은 중요하다. 트랜지스터의 스레숄드 전압값이 부(負)이라면, 게이트 전압이 0V라도 소스 전극과 드레인 전극의 사이에 전류가 흐르는, 소위 노멀리 온 특성이 되고, 이 트랜지스터에서 구성된 회로를 제어하는 것이 곤란하다. 또한, 스레숄드 전압값이 정이어서도, 그 절대치가 높은 트랜지스터의 경우에는, 구동 전압이 부족하여 스위칭 동작 자체가 되지 않을 수도 있다. n채널형의 트랜지스터의 경우는, 게이트 전압에 정의 전압을 인가하고 나서 비로소 채널이 형성되어, 드레인 전류가 흐르기 시작하는 트랜지스터인 것이 바람직하다. 구동 전압을 높게 하지 않으면 채널이 형성되지 않은 트랜지스터나, 부의 전압 상태에서도 채널이 형성되어 드레인 전류가 흐르는 트랜지스터

는 회로에 이용하는 트랜지스터로서는 부적합하다.

- [0070] 또한, 제 1 가열 처리에서는 질소, 또는 헬륨, 네온, 아르곤 등의 회가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 여기에서, 가열 처리 장치에 도입하는 질소 또는 헬륨, 네온, 아르곤 등의 회가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상으로 하는 것이 바람직하다.
- [0071] 여기에서, 수소 등의 불순물을 제거함으로써 i형화 또는 실질적으로 i형화된 산화물 반도체(고순도화된 산화물 반도체)는 계면 준위, 계면 전하에 대하여 극히 민감하기 때문에, 산화물 반도체와 게이트 절연막과의 계면은 중요하다. 그렇기 때문에 고순도화된 산화물 반도체에 접하는 게이트 절연막(GI)은 고품질화가 요구된다.
- [0072] 예를 들어, 앞에 설명한 마이크로파(2.45 GHz)를 이용한 고밀도 플라즈마 CVD법은 치밀하고 절연 내압이 높은 고품질의 절연막을 형성할 수 있다. 고순도화된 산화물 반도체와 고품질 게이트 절연막이 밀접함으로써, 계면 준위 밀도는 저감하여 계면 특성이 양호하게 된다. 물론, 게이트 절연막으로서 양질의 절연막을 형성할 수 있다면, 스퍼터링법이나 플라즈마 CVD법 등 다른 성막 방법을 적용할 수 있다. 또한, 성막 후의 열처리에 의하여 게이트 절연막의 막질, 산화물 반도체와의 계면 특성이 개선되는 절연막이어도 좋다. 어느 것이든, 게이트 절연막으로서의 막질이 양호한 것은 물론, 산화물 반도체와의 계면 준위 밀도를 저감하여, 양호한 계면을 형성할 수 있는 것이면 좋다.
- [0073] 또한, 온도가 85℃이고, 게이트에 인가된 전압이 2×10^6 V/cm인 조건 하에서, 12시간의 게이트 바이어스·열 스트레스 시험(BT 시험)에서, 불순물이 산화물 반도체에 많이 포함되어 있으면, 불순물과 산화물 반도체의 주성분과의 결합이, 강전계(B: 바이어스)와 고온(T: 온도)에 의하여 절단되고, 생성된 미결합수(dangling bond)가 스레슬드 전압(V_{th})의 드리프트를 유발하게 된다. 이에 대하여, 본 발명은 산화물 반도체의 불순물, 특히 수소나 물 등을 극력 제거하고, 상기와 같이 게이트 절연막과의 계면 특성을 양호하게 하게 함으로써, BT 시험에 대하여도 안정된 박막 트랜지스터를 얻을 수 있게 한다.
- [0074] 다음에, 산화물 반도체막 위에 금속 재료로 이루어지는 도전막을 스퍼터링법이나 진공 증착법으로 형성한다. 도전막의 재료로서는 알루미늄, 크롬, 탄탈, 티타늄, 몰리브덴, 텅스텐에서 선택된 원소, 또는 상기 원소를 성분으로 하는 합금이나, 상기 원소를 조합한 합금 등을 들 수 있다. 또한, 200℃ 이상 600℃ 이하의 열처리를 행하는 경우에는, 이 온도 범위에서 수행된 열 처리를 건디는 충분한 내열성을 도전막에 가지게 하는 것이 바람직하다. Al만을 사용하는 것은 내열성이 떨어지고, 또한 부식하기 쉬움 등의 문제점이 있으므로 내열성 도전성 재료와 조합하여 형성한다. 이와 같이 내열성 도전성 재료로는 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐에서 선택된 원소, 또는 상기 원소를 성분으로 하는 합금이나, 상기 원소를 조합한 합금, 또는 상기 원소를 성분으로 하는 질화물 등이 있다.
- [0075] 여기에서는, 도전막으로서 티타늄막의 단층 구조를 이용한다. 도전막은 2층 구조이어도 좋고, 알루미늄막 위에 티타늄막을 적층하여도 좋다. 또한, 도전막으로서 티타늄막 위에 네오디뮴을 포함하는 알루미늄(A1-Nd)막을 적층하고, 또한 그 위에 티타늄막을 성막하는 3층 구조로 하여도 좋다. 그 외, 도전막에 실리콘을 포함하는 알루미늄막의 단층 구조를 이용하여도 좋다.
- [0076] 다음에, 제 3 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 도전막이 되는 제 2 배선(102A) 및 제 3 배선(102B)을 형성한다. 이 때, 에칭 방법으로서 습식 에칭 또는 건식 에칭을 이용한다. 예를 들어, 암모니아 과수 혼합물(31 중량% 과산화 수소수: 28 중량% 암모니아수 : 물=5:2:2)을 이용한 습식 에칭에 의하여, 티타늄막의 도전막을 에칭하여 제 2 배선(102A) 및 제 3 배선(102B)을 선택적으로 에칭하여 산화물 반도체층(103)을 잔존시킬 수 있다. 이 단계에서의 단면도를 도 3(C)에 나타낸다.
- [0077] 또한, 에칭 조건에 따라 다르지만 제 3 포토리소그래피 공정에서 산화물 반도체층의 노출 영역이 에칭되는 경우가 있다. 그 경우, 제 2 배선(102A) 및 제 3 배선(102B) 사이에 끼워진 영역의 산화물 반도체층(103)은, 제 1 배선(101) 위에서 제 2 배선(102A) 및 제 3 배선(102B)이 겹치는 영역의 산화물 반도체층에 비하여, 막 두께가 얇아진다.
- [0078] 다음으로, 게이트 절연막(113), 산화물 반도체층(103), 제 2 배선(102A), 제 3 배선(102B) 위에 산화물 절연층(114)을 형성한다. 이 단계에서, 산화물 반도체층(103)의 일부는 산화물 절연층(114)과 접한다.
- [0079] 산화물 절연층(114)은 적어도 1 nm 이상의 막 두께로 하고, 산화물 절연층에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 본 실시형태에서는 산화물 절연층으로서 산화 규소막을 스퍼

터링법으로 성막한다. 성막 시의 기판 온도는 실온 이상 300℃ 이하로 하면 좋고, 본 실시형태에서는 100℃로 한다. 산화 규소막의 스퍼터링법에 의한 성막은 회가스(대표적으로는 아르곤) 및 산소의 한쪽의 분위기 하, 또는 양쪽이 혼합된 분위기 하에서 행할 수 있다. 또한, 성막용 타겟으로서 산화 규소 타겟 또는 규소 타겟을 이용할 수 있다. 예를 들어, 규소 타겟을 이용하여, 산소 및 회가스 분위기 하에서 스퍼터링법에 의하여 산화 규소막을 형성할 수 있다. 산소 결핍 상태가 되어 저저항화하는 산화물 반도체층에 접하여 형성하는 산화물 절연층으로서, 수분, 수소 이온, OH⁻ 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하고, 대표적으로는 산화 규소막, 질화 산화 규소막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등을 이용한다. 또한, 인(P)나 붕소(B)를 도핑한 성막용 타겟을 이용하여, 인(P)나 붕소(B)가 첨가된 산화물 절연층을 형성할 수 있다.

[0080] 본 실시형태에서는, 순도가 6N이고, B(붕소)로 도핑된 주상(柱狀) 다결정 규소 타겟(저항값 0.01 Ωcm)을 이용하고, 기판과 타겟의 사이와의 거리(T-S 간 거리)를 89 mm, 압력 0.4 Pa, 직류(DC)전원 6 kW, 산소(산소 유량 비율 100%) 분위기 하에서, 펄스 DC 스퍼터링법에 의하여 산화물 절연층(114)을 성막한다. 막 두께는 300 nm으로 한다.

[0081] 또한, 산화물 절연층(114)은 산화물 반도체층의 채널 형성 영역이 되는 영역 위에 접하여 형성되고, 채널 보호층으로서의 기능도 가진다.

[0082] 이 경우에서 처리실 내의 잔류 수분을 제거하면서 산화물 절연층(114)을 성막하는 것이 바람직하다. 이는 산화물 반도체층(103) 및 산화물 절연층(114)에 수소, 수산기 또는 수분이 포함되도록 하기 위함이다.

[0083] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서 터보 분자 펌프에 콜드 트랩을 가한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은 예를 들어, 수소 원자나, 물(H₂O) 등 수소 원자를 포함하는 화합물 등이 배기되기 때문에, 이 성막실에서 성막한 산화물 절연층(114)에 포함되는 불순물의 농도를 저감할 수 있다.

[0084] 다음으로, 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 불활성 가스 분위기 하에서 행한다. 예를 들어, 질소 분위기 하에서 250℃, 1시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 행하면, 산화물 반도체층(103)의 일부가 산화물 절연층(114)과 접한 상태에서 가열된다.

[0085] 제 1 가열 처리에서 수소의 이탈과 동시에 산소 결핍 상태가 되어 저저항화된 산화물 반도체층(103)이 산화물 절연층(114)과 접한 상태에서 제 2 가열 처리가 실시되면, 산화물 절연층(114)이 접한 영역이 산소 과잉인 상태가 된다. 그 결과, 산화물 반도체층(103)의 산화물 절연층(114)이 접하는 영역에서, 산화물 반도체층(103)의 깊이 방향으로 향하여, 고저항화(i형화)가 진행된다.

[0086] 또한, 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 행하여도 좋다. 예를 들어, 150℃에서 10시간 가열 처리를 행한다. 이 가열 처리는 일정한 가열 온도를 보유하여 가열하여도 좋고, 실온에서부터, 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도에서부터 실온까지의 강온을 복수회 반복해서 행하여도 좋다. 또한, 그 가열 처리를 산화물 절연막의 형성 전에, 감압 하에서 행하여도 좋다. 감압 하에서 가열 처리를 행하면, 열 처리 시간을 단축할 수 있다. 이 가열 처리에 의하여, 산화물 반도체층으로부터 산화물 절연층 중에 수소가 넣어져서, 노멀리 오프가 되는 박막 트랜지스터를 얻을 수 있다. 따라서 반도체 장치의 신뢰성이 향상된다.

[0087] 다음으로, 제 4 포토리소그래피 공정 및 에칭 공정에 의하여, 산화물 절연층(114)에 개구부(121)를 형성하고, 투광성을 가지는 도전막을 성막한다. 투광성을 가지는 도전막의 재료로는, 산화 인듐(In₂O₃)이나 인듐 주석 산화물(In₂O₃-SnO₂, 이하 ITO라고 약기함) 등을 스퍼터링법이나 진공 증착법 등을 이용하여 형성한다. 투광성을 가지는 도전막 외의 재료로서, 질소를 포함시킨 Al-Zn-O계막, 즉 Al-Zn-O-N계막이나, 질소를 포함시킨 Zn-O계막이나, 질소를 포함시킨 Sn-Zn-O계막을 이용하여도 좋다. 또한, Al-Zn-O-N계막의 아연의 조성비(원자%)는, 47 원자% 이하로 하고, 막 중의 알루미늄의 조성비(원자%)보다 크고, 막 중의 알루미늄의 조성비(원자%)는, 막 중의 질소의 조성비(원자%)보다 크다. 이와 같이 재료의 에칭 처리는 염산계의 용액에 의하여 행한다. 하지만, 특히 ITO의 에칭은 잔사가 발생하기 쉬우므로, 에칭 가공성을 개선하기 위하여 인듐 아연 산화물(In₂O₃-ZnO)을 이용하여도 좋다.

[0088] 또한, 투광성을 가지는 도전막의 조성비의 단위는 원자%로 하고, 전자선 마이크로애널라이저(EPMA : Electron

Probe X-ray MicroAnalyzer)를 이용한 분석에 의하여 평가하기로 한다.

- [0089] 다음에, 제 5 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 화소 전극(105)을 형성한다. 이 단계에서의 단면도를 도 3(D)에 나타낸다.
- [0090] 이렇게 하여, 오프 전류가 낮은 박막 트랜지스터(106)를 가지는 화소를 제작할 수 있다. 그리고, 이 화소를 매트릭스 모양으로 배치하여 화소부를 구성함으로써 액티브 매트릭스형의 액정 표시 장치를 제작하기 위한 한쪽의 기관으로 할 수 있다. 본 명세서에서는 편의상 이와 같은 기관을 액티브 매트릭스 기관이라고 칭한다.
- [0091] 또한, 액티브 매트릭스형의 액정 표시 장치에 있어서는, 매트릭스 모양에 배치된 화소 전극을 구동함으로써, 화면 위에 표시 패턴이 형성된다. 자세히는 선택된 화소 전극과 이 화소 전극에 대응하는 대향(counter) 전극과의 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극과의 사이에 배치된 액정층의 광학 변조가 행해져, 이 광학 변조가 표시 패턴으로서 관찰자에게 인식된다. 액정 소자 등의 표시 소자는 화소 전극(105) 위에 형성된다.
- [0092] 이상 설명한 바와 같이, 용량 소자를 생략하는 본 실시형태에서 나타낸 구성으로 함으로써, 산화물 반도체를 이용한 박막 트랜지스터를 구비하는 화소를 제작할 때에, 개구율의 향상을 도모할 수 있다. 따라서, 고정밀한 표시부를 가지는 액정 표시 장치로 할 수 있다.
- [0093] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0095] (실시형태 2)
- [0096] 본 발명의 일 양태는 산화물 반도체 중에서 캐리어의 공여체(도너 또는 억셉터)가 될 수 있는 불순물을 극히 적은 레벨까지 제거함으로써, 진성 또는 실질적으로 진성인 산화물 반도체가 만들어지고, 이 산화물 반도체를 박막 트랜지스터에 적용한다. 본 실시형태에서는, 평가용 소자 그룹(TEG라고도 함)을 이용하는 오프 전류의 측정값에 대하여 이하에 설명한다.
- [0097] 도 4에 $L/W=3\mu\text{m}/50\mu\text{m}$ 의 박막 트랜지스터를 200개 병렬로 접속하고, $L/W=3\mu\text{m}/10000\mu\text{m}$ 으로 한 박막 트랜지스터의 초기 특성을 나타낸다. 또한, 상면도를 도 5(A)에 나타내고, 그 일부를 확대한 상면도를 도 5(B)에 나타낸다. 도 5(B)의 점선으로 둘러싼 영역이 $L/W=3\mu\text{m}/50\mu\text{m}$, $L_{OV}=1.5\mu\text{m}$ 의 1단 분의 박막 트랜지스터이다. 박막 트랜지스터의 초기 특성을 측정하기 위하여, 기관 온도를 실온으로 하고, 소스-드레인 사이 전압(이하, 드레인 전압 또는 V_d 라고 함)이 10V에서, 소스-게이트 사이 전압(이하, 게이트 전압 또는 V_g 라고 함)을 $-20\text{V} \sim +20\text{V}$ 까지 변화시켰을 때의 소스-드레인 전류(이하, 드레인 전류 또는 I_d 라고 함)의 변화 특성, 즉 V_g-I_d 특성을 측정하였다. 또한, 도 4에서는 V_g 를 $-20\text{V} \sim +5\text{V}$ 까지의 범위로 나타낸다.
- [0098] 도 4에 나타낸 바와 같이 채널 폭(W)이 $10000\mu\text{m}$ 인 박막 트랜지스터는, V_d 가 1V 및 10V에서 오프 전류는 $1 \times 10^{-13} [\text{A}]$ 이하로 되어 있고, 측정기(반도체 파라미터 애널라이저, Agilent 4156C; Agilent Technologies사 제작)의 분해능(100 fA) 이하로 되어 있다.
- [0099] 측정된 박막 트랜지스터의 제작 방법에 대하여 설명한다.
- [0100] 먼저, 유리 기관 위에 베이스층으로서, CVD법에 의하여 질화 규소막을 형성하고, 질화 규소막 위에 산화 질화 규소막을 형성하였다. 그리고, 산화 질화 규소막 위에 게이트 전극층으로서 스퍼터링법에 의하여 텅스텐층을 형성하였다. 여기에서, 텅스텐층을 선택적으로 에칭하여 게이트 전극층을 형성하였다.
- [0101] 다음에, 게이트 전극층 위에 게이트 절연층으로서 CVD법에 의하여 두께 100 nm의 산화 질화 규소막을 형성하였다.
- [0102] 다음에, 게이트 절연층 위에, 스퍼터링법에 의하여 In-Ga-Zn-O계 금속 산화물 타겟(몰수비로, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1 : 1 : 2$)을 이용하여, 두께 50 nm의 산화물 반도체막을 형성하였다. 그리고, 산화물 반도체막을 선택적으로 에칭하고, 섬 형상의 산화물 반도체층을 형성하였다.
- [0103] 다음에, 산화물 반도체층을 클린 오븐에서 질소 분위기 하, 450°C , 1시간의 제 1 열처리를 행하였다.
- [0104] 다음에, 산화물 반도체층 위에 소스 전극층 및 드레인 전극층이 되는 티타늄층(두께 150 nm)을 스퍼터링법에 의하여 형성하였다. 그리고, 티타늄층을 선택적으로 에칭하여 소스 전극층 및 드레인 전극층을 형성하고, 채널

길이(L)가 3 μm, 채널 폭(W)이 50 μm인 박막 트랜지스터를 200개를 병렬 접속으로 함으로써, L/W=3 μm/10000 μm인 박막 트랜지스터를 얻었다.

- [0105] 다음에, 산화물 반도체층에 접하도록 보호 절연층으로서 리액티브 스퍼터링법에 의하여 산화 규소막을 막 두께 300 nm으로 형성하였다. 그리고, 산화 규소막을 선택적으로 에칭하여, 게이트 전극층, 소스 전극층 및 드레인 전극층 위에 개구부를 형성하였다. 그 후, 질소 분위기 하, 250℃에서 1시간, 제 2 열처리를 행하였다.
- [0106] 그리고, Vg-Id 특성을 측정하기 전에 150℃, 10시간의 가열을 행하였다.
- [0107] 이상의 공정에 의하여, 보텀 게이트형의 박막 트랜지스터를 제작하였다.
- [0108] 도 4에 나타낸 바와 같이 박막 트랜지스터의 오프 전류가, 1×10^{-13} [A] 정도인 것은, 상기 제작 공정에 있어서 산화물 반도체층 중에서의 수소 농도를 충분히 저감시킬 수 있기 때문이다. 산화물 반도체층 중의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 또한, 산화물 반도체층 중의 수소 농도 측정은 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 행한다.
- [0109] 또한, In-Ga-Zn-O계 산화물 반도체를 이용한 예를 나타내었지만, 특별히 한정되지 않고, 다른 산화물 반도체 재료, 예를 들어, 사원계 금속 산화물 막인 In-Sn-Ga-Zn-O막이나, 삼원계 금속 산화물 막인 In-Ga-Zn-O막, In-Sn-Zn-O막, In-Al-Zn-O막, Sn-Ga-Zn-O막, Al-Ga-Zn-O막, Sn-Al-Zn-O막이나, 이원계 금속 산화물 막인 In-Zn-O막, Sn-Zn-O막, Al-Zn-O막, Zn-Mg-O막, Sn-Mg-O막, In-Mg-O막이나, In-O막, Sn-O막, Zn-O막 등의 산화물 반도체막을 이용할 수 있다. 또한, 산화물 반도체 재료로서, AlOx를 2.5~10 wt% 혼입한 In-Al-Zn-O계 산화물 반도체나, SiOx를 2.5~10 wt% 혼입한 In-Zn-O계를 이용할 수도 있다.
- [0110] 또한, 캐리어 측정기로 측정되는 산화물 반도체층의 캐리어 농도는 실리콘의 진성 캐리어 농도 1.45×10^{10} /cm³ 와 동등, 또는 그 이하인 것이 바람직하다. 구체적으로는, 5×10^{14} /cm³ 이하, 바람직하게는 5×10^{12} /cm³ 이하이다. 즉, 산화물 반도체층의 캐리어 농도는 한없이 제로에 가깝게 할 수 있다.
- [0111] 또한, 박막 트랜지스터의 채널 길이(L)를 10 nm 이상 1000 nm 이하로 하는 것도 가능하고, 회로의 동작 속도를 고속화할 수 있고, 오프 전류값이 극히 작기 때문에, 소비 전력을 더 적게 할 수 있다.
- [0112] 또한, 박막 트랜지스터의 오프 상태에 있어서, 산화물 반도체층은 절연체로 간주하여 회로 설계를 행할 수 있다.
- [0113] 이어서, 본 실시형태에서 제작한 박막 트랜지스터에 대하여 오프 전류의 온도 특성을 평가하였다. 온도 특성은 박막 트랜지스터가 사용되는 최종 제품의 내환경성이나, 성능의 유지 등을 고려하는 데에 중요하다. 당연하지만, 변화량이 작을수록 바람직하고, 제품 설계의 자유도가 증가했다.
- [0114] 온도 특성은 항온조(恒溫槽)를 이용하여, -30℃, 0℃, 25℃, 40℃, 60℃, 80℃, 100℃ 및 120℃ 각각의 온도에서 박막 트랜지스터를 형성한 기관을 일정 온도로 하고, 드레인 전압을 6 V, 게이트 전압을 -20 V~+20 V까지 변화시켜서 Vg-Id 특성을 취득하였다.
- [0115] 도 6(A)에 나타낸 것은, 상기 각각의 온도에서 측정한 Vg-Id 특성을 겹쳐 쓰기한 것이고, 점선으로 둘러싸인 오프 전류의 영역을 확대한 것을 도 6(B)에 나타낸다. 도면 중의 화살표로 나타낸 우단(右端)의 곡선이 -30℃, 좌단(左端)이 120℃에서 취득한 곡선이고, 그 외의 온도에서 취득한 곡선은, 그 사이에 위치한다. 온 전류의 온도 의존성은 거의 보이지 않는다. 한편, 오프 전류는 확대도인 도 6(B)에서도 알 수 있는 바와 같이, 게이트 전압이 20 V 근방을 제외하고, 모든 온도에서 측정기의 분해능 근방의 1×10^{-12} [A] 이하로 되어 있고, 온도 의존성도 보이지 않는다. 즉, 120℃의 고온에서도, 오프 전류가 1×10^{-12} [A]를 유지하고 있고, 채널 폭(W)이 10000 μm인 것을 고려하면, 오프 전류가 상당히 작은 것을 알 수 있다.
- [0116] 고순도화된 산화물 반도체(purified OS)를 이용한 박막 트랜지스터는 오프 전류의 온도 의존성이 거의 나타나지 않는다. 이것은, 도 9(A)의 에너지 밴드도에서 나타낸 바와 같이, 산화물 반도체가 고순도화 됨으로써, 도전형이 한없이 진성형에 가까워지고, 페르미 준위가 금지된 밴드의 중앙에 위치하기 때문에, 온도 의존성을 나타내지 않게 된다고 할 수 있다. 또한, 이것은 산화물 반도체의 에너지 갭이 3 eV 이상이고, 열여기 캐리어가 극히 적은 것에도 기인한다. 또한, 소스 영역 및 드레인 영역은 축퇴한 상태가 되므로, 역시 온도 의존성이 나타나

지 않는 요인이 된다. 박막 트랜지스터의 동작은 축퇴한 소스 영역으로부터 산화물 반도체에 주입된 캐리어에 의한 것이 대부분이고, 캐리어 밀도의 온도 의존성이 없기 때문에 상기 특성(오프 전류의 온도 의존성 없음)을 설명할 수 있다. 또한, 이 극히 낮은 오프 전류에 대하여, 이하에 에너지 밴드도를 이용하여 설명한다.

- [0117] 도 8은 산화물 반도체를 이용한 역스태거형의 박막 트랜지스터의 종단면도이다. 게이트 전극(GE1) 위에 게이트 절연막(GI)을 통하여 산화물 반도체층(OS)이 형성되고, 그 위에 소스 전극(S) 및 드레인 전극(D)이 형성된다.
- [0118] 도 9는 도 8에 나타난 A-A' 단면에서의 에너지 밴드 도면(모식도)이다. 도 9(A)는 소스와 드레인 사이의 전압을 등전위($V_D=0V$)로 한 경우를 나타내고, 도 9(B)는 소스에 대하여 드레인에 정의 전위($V_D>0V$)를 가한 경우를 나타낸다.
- [0119] 도 10은 도 8의 B-B' 단면에서의 에너지 밴드도(모식도)이다. 도 10(A)는 게이트(G1)에 정의 전위($+V_G$)가 인가된 상태를 보여주는 것으로, 즉 박막 트랜지스터가 소스와 드레인 사이에 캐리어(전자)가 흐르는 온 상태임을 나타낸다. 또한, 도 10(B)는 게이트(G1)에 부의 전위($-V_G$)가 인가된 상태를 보여주는 것으로, 즉 박막 트랜지스터가 오프 상태(소수 캐리어는 흐르지 않음)에 있는 경우를 나타낸다.
- [0120] 도 11은 진공 준위와 금속의 일함수(Φ_M) 사이의 관계와, 진공 준위와 산화물 반도체의 전자 친화력(χ) 사이의 관계를 나타낸다.
- [0121] 상온에서 금속 중의 전자는 축퇴하고, 페르미 준위는 전도대 내에 위치한다. 한편, 종래의 산화물 반도체는 일반적으로 n형이고, 그 경우의 페르미 준위(E_F)는, 밴드 갭 중앙에 위치하는 진성 페르미 준위(E_i)에서 떨어져, 전도대에 가깝게 위치한다. 또한, 산화물 반도체에 있어서 함유되는 수소의 일부는 도너가 되고, 산화물 반도체가 n형화하는 하나의 요인인 것으로 알려져 있다.
- [0122] 이것에 대하여 본 발명에 관한 산화물 반도체는 n형 불순물인 수소를 산화물 반도체로부터 제거하고, 산화물 반도체의 주성분이 아닌 불순물이 극력 포함되지 않도록 고순도화함으로써 진성(i형)으로 하거나, 또는 진성형에 가깝게 한 것이다. 즉, 불순물을 첨가하여 i형화할 뿐만 아니라, 수소나 물 등의 불순물을 극력 제거함으로써, 고순도화된 i형(진성 반도체) 또는 그것에 가까운 것을 특징으로 한다. 그렇게 함으로써, 페르미 준위(E_F)는 진성 페르미 준위(E_i)와 같은 레벨까지 할 수 있다.
- [0123] 산화물 반도체의 밴드 갭(E_g)이 3.15 eV인 경우, 전자 친화력(χ)은 4.3 eV 라고 한다. 소스 전극 및 드레인 전극을 구성하는 티타늄의 일함수는 산화물 반도체의 전자 친화력(χ)과 거의 같다. 티타늄이 소스 전극 및 드레인 전극을 구성하는 경우, 금속-산화물 반도체 계면에 있어서는 쇼트키 전자 장벽은 형성되지 않는다.
- [0124] 즉, 금속의 일함수(Φ_M)와 산화물 반도체의 전자 친화력(χ)이 거의 같을 경우, 양자가 접촉하면 도 9(A)에 나타난 바와 같이 에너지 밴드 도면(모식도)이 나타나게 된다.
- [0125] 도 9(B)에서 검은 동그라미(●)는 전자를 나타내고, 드레인에 정의 전위가 인가되면, 전자는 배리어(h)를 넘어 산화물 반도체에 주입되고, 드레인으로 향하여 흐른다. 이 경우, 배리어(h)의 높이는 게이트 전압과 드레인 전압에 의존하여 변화하지만, 정의 드레인 전압이 인가된 경우에는, 배리어(h)의 높이가 전압 인가가 없는 경우의 도 9(A)의 배리어의 높이보다 작은, 즉 밴드 갭(E_g)의 1/2보다 작은 값이 된다.
- [0126] 이 때 전자는 도 9(A)에 나타난 바와 같이 게이트 절연막과 고순도화된 산화물 반도체의 계면에 있어서의, 산화물 반도체 층의 에너지적으로 안정적인 최하부로 이동한다.
- [0127] 또한, 도 9(B)에서, 게이트(G1)에 부의 전위(역바이어스)가 인가되면, 소수 캐리어인 홀의 개수는 실질적으로 제로이기 때문에, 전류는 한없이 제로에 가까운 값이 된다.
- [0128] 예를 들어, 박막 트랜지스터의 채널 폭(W)이 $1 \times 10^4 \mu m$ 이고 채널 길이가 $3 \mu m$ 의 소자이어도, 오프 전류가 $10^{-13} A$ 이하이고, 0.1 V/dec인 서브 스레숄드(subthreshold) 스윙값(S Δ)(게이트 절연막 두께 100 nm)이 얻어진다.
- [0129] 또한, 도 19에 실리콘 반도체를 이용한 경우의 트랜지스터의 밴드 구조를 나타낸다. 실리콘 반도체의 진성 캐리어 농도는 $1.45 \times 10^{10} / cm^3$ (300 K)이고, 실온에 서도 캐리어가 존재한다. 이것은, 실온에서도, 열여기 캐리어가 존재하는 것을 의미한다. 실용적으로는 인 또는 붕소 등의 불순물이 첨가된 실리콘 웨이퍼가 사용되기 때문에, 실제로는 $1 cm^3$ 당 1×10^{14} (개) 이상의 캐리어가 실리콘 반도체에 존재하고, 이것이 소스-드레인 사이의 전

도에 기여한다. 또한, 실리콘 반도체의 밴드 갭은 1.12 eV이므로, 실리콘 반도체를 이용한 트랜지스터는 온도에 의존하여 오프 전류가 크게 변동하는 것이 된다.

[0130] 따라서, 단순히 밴드 갭이 넓은 산화물 반도체를 트랜지스터에 적용할 뿐만 아니라, 산화물 반도체의 주성분 이외의 불순물이 극력 포함되지 않도록 고순도화함으로써, 캐리어 농도를 $1 \times 10^{14} / \text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 이하가 되도록 함으로써, 실용적인 동작 온도에서 열적으로 여기되는 캐리어를 제외하고, 소스 측으로부터 주입되는 캐리어에 의해서만 트랜지스터를 동작시킬 수 있다. 그것에 의하여, 오프 전류를 1×10^{-13} A 이하까지 낮출 수 있는 동시에, 온도 변화에 의하여 오프 전류가 거의 변화하지 않는 극히 안정적으로 동작하는 트랜지스터를 얻을 수 있다.

[0131] 이와 같이 오프 전류값이 극히 작은 박막 트랜지스터를 이용하여, 기억 회로(기억 소자) 등을 제작한 경우, 오프 전류값이 작고 거의 리크가 없기 때문에, 기억 데이터를 보유하는 시간을 길게 할 수 있다. 마찬가지로 액정 표시 장치 등에서는 저장 용량 소자로부터 박막 트랜지스터를 통한 누설(leakage)이 억제되기 때문에, 보조 용량 소자를 형성하지 않고 액정 용량 소자에서만 화소의 전위를 보유할 수 있다.

[0132] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0134] (실시형태 3)

[0135] 본 실시형태에 있어서는 액정 표시 장치에 적용할 수 있는 화소의 구성 및 화소의 동작에 대하여 설명한다.

[0136] 도 12(A)는 액정 표시 장치에 적용할 수 있는 화소 구성의 일례를 나타낸 도면이다. 화소(3880)는 트랜지스터(3881), 액정 소자(3882) 및 용량 소자(3883)를 가진다. 트랜지스터(3881)의 게이트는 배선(3885)과 전기적으로 접속된다. 트랜지스터(3881)의 제 1 단자는 배선(3884)과 전기적으로 접속된다. 트랜지스터(3881)의 제 2 단자는 액정 소자(3882)의 제 1 단자와 전기적으로 접속된다. 액정 소자(3882)의 제 2 단자는 배선(3887)과 전기적으로 접속된다. 용량 소자(3883)의 제 1 단자는 액정 소자(3882)의 제 1 단자와 전기적으로 접속된다. 용량 소자(3883)의 제 2 단자는 배선(3886)과 전기적으로 접속된다.

[0137] 배선(3884)은 신호선으로서 기능시킬 수 있다. 신호선은 화소의 외부로부터 입력된 신호 전압을 화소(3880)에 전달하기 위한 배선이다. 배선(3885)은 주사선으로서 기능시킬 수 있다. 주사선은 트랜지스터(3881)의 온 오프를 제어하기 위한 배선이다. 배선(3886)은 용량 소자선으로서 기능시킬 수 있다. 용량 소자선은 용량 소자(3883)의 제 2 단자에 소정의 전압을 가하기 위한 배선이다. 트랜지스터(3881)는 스위치로서 기능시킬 수 있다. 용량 소자(3883)는 보조 용량 소자로서 기능시킬 수 있다. 용량 소자는 스위치가 오프 상태에서도, 신호 전압이 액정 소자(3882)에 계속 가해지도록 하기 위한 보조 용량 소자이다. 배선(3887)은 대향 전극으로서 기능시킬 수 있다. 대향 전극은 액정 소자(3882)의 제 2 단자에 소정의 전압을 더하기 위한 배선이다. 또한, 각각의 배선이 가지게 할 수 있는 기능은 이것에 한정되지 않고, 여러 가지 기능을 가질 수 있다. 예를 들어, 용량 소자선에 인가하는 전압을 변화시킴으로써, 액정 소자에 인가되는 전압을 조절할 수 있다.

[0138] 도 12(B)는 액정 표시 장치에 적용할 수 있는 화소 구성의 다른 일례를 나타낸 도면이다. 도 12(B)에 나타낸 화소 구성예는 도 12(A)에 나타낸 화소 구성예와 비교하여 배선(3887)이 생략되고, 또한, 액정 소자(3882)의 제 2 단자와 용량 소자(3883)의 제 2 단자가 전기적으로 접속된다는 점이 상이한 것 외에는, 도 12(A)에 나타낸 화소 구성예와 마찬가지로의 구성이다. 도 12(B)에 나타낸 화소 구성예는 액정 소자가 가로 전계 모드(IPS 모드, FFS 모드를 포함)인 경우에 적용할 수 있다. 왜냐하면, 액정 소자가 가로 전계 모드인 경우, 액정 소자(3882)의 제 2 단자 및 용량 소자(3883)의 제 2 단자를 동일 기관 위에 형성시킬 수 있기 때문에, 액정 소자(3882)의 제 2 단자와 용량 소자(3883)의 제 2 단자를 전기적으로 접속시키기 용이하기 때문이다. 도 12(B)에 나타낸 바와 같이 화소 구성으로 함으로써, 배선(3887)을 생략할 수 있으므로, 제조 공정을 간략화할 수 있어, 제조 원가를 저감할 수 있다.

[0139] 여기에서, 도 13에 실시형태 1에서 설명한 박막 트랜지스터를 이용한 화소부의 구성을 나타낸다. 도 13(A)는 도 12(A)의 구성으로부터 용량 소자(3883)를 생략한 구성이다. 또한, 도 13(B)는 도 12(B)로부터 용량 소자(3883)를 생략한 구성이고, 액정 소자의 제 2 단자는 공통 배선(889)에 접속된다. 실시형태 2에 설명한 바와 같이, 오프 전류가 충분히 낮은 박막 트랜지스터를 이용함으로써, 액정 소자에 병렬한 용량 소자(보조 용량 소자)를 형성하지 않고 액정 용량 소자만으로 전위를 보유하는 것이 가능하게 된다. 물론, 상기 비교예와 마찬가지로 용량 소자를 형성하여도 좋고, 그 사이즈를 작게 할 수도 있다. 또한, 액정 소자의 용량보다도 작은 보조

용량 소자의 용량을 형성할 수도 있다. 이후, 본 실시형태에서는 용량 소자를 생략한 화소 구성으로 설명한다.

[0140] 도 14(A)는 도 13(A)에 나타난 화소 구성이 매트릭스 모양으로 복수 배치된 경우의 회로 구성을 나타낸 도면이다. 도 14(A)에 나타난 회로 구성은 표시부가 가지는 복수의 화소 중, 4 개의 화소를 빼내어 나타낸 도면이다. 그리고, i 열 j 행(i, j 는 자연수)에 위치하는 화소를 화소(880 $_{i, j}$)로 표기하고, 화소(880 $_{i, j}$)에는, 배선(884 $_{i, j}$), 배선(885 $_{j, i}$)이 각각 전기적으로 접속된다. 마찬가지로, 화소(880 $_{i+1, j}$)에 대해서는, 배선(884 $_{i+1, j}$), 배선(885 $_{j, i+1}$)과 전기적으로 접속된다. 마찬가지로, 화소(880 $_{i, j+1}$)에 대해서는 배선(884 $_{i, j+1}$), 배선(885 $_{j+1, i}$)과 전기적으로 접속된다. 마찬가지로, 화소(880 $_{i+1, j+1}$)에 대해서는, 배선(884 $_{i+1, j+1}$), 배선(885 $_{j+1, i+1}$)과 전기적으로 접속된다. 또한, 각 배선은 같은 열 또는 행에 속하는 복수의 화소에 의하여 공유될 수 있다. 또한, 도 14(A)에 나타난 화소 구성에서 배선(887)은 대향 전극이고, 대향 전극은 모든 화소에 있어서 공통이므로, 배선(887)에 대해서는 자연수 i 또는 j 에 의한 표기는 행하지 않기로 한다. 또한, 도 13(B)에 나타난 화소 구성을 이용할 수 있기 때문에, 배선(887)이 기재된 구성이어도 배선(887)은 필수가 아니라, 다른 배선과 공유되는 것 등에 의하여 생략될 수 있다.

[0141] 도 14(A)에 나타난 화소 구성은 여러 가지 방법에 의하여 구동될 수 있다. 특히, 교류 구동이라고 불리는 방법에 의하여 화소가 구동됨으로써, 액정 소자의 열화(번 인(burn-in))가 억제될 수 있다. 도 14(B)는 교류 구동 중 하나인, 도트 반전 구동이 행해지는 경우의, 도 14(A)에 나타난 화소 구성에 있어서의 각 배선에 인가되는 전압의 타이밍 차트를 나타낸 도면이다. 도트 반전 구동이 행하여짐으로써, 교류 구동이 행하여지는 경우에 시인되는 플리커(깜빡임)를 억제할 수 있다. 또한, 도 14(B)에는 배선(885 $_{j, i}$)에 입력되는 신호(985 $_{j, i}$), 배선(885 $_{j+1, i}$)에 입력되는 신호(985 $_{j+1, i}$), 배선(884 $_{i, j}$)에 입력되는 신호(984 $_{i, j}$), 배선(884 $_{i+1, j}$)에 입력되는 신호(984 $_{i+1, j}$)를 나타낸다.

[0142] 도 14(A)에 나타난 화소 구성에 있어서, 배선(885 $_{j, i}$)과 전기적으로 접속된 화소에서의 스위치는 1 프레임 기간 중의 제 j 게이트 선택 기간에서 선택 상태(온 상태)가 되고, 그 이외의 기간에서는 비선택 상태(오프 상태)가 된다. 그리고, 제 j 게이트 선택 기간 후에, 제 $j+1$ 게이트 선택 기간이 형성된다. 이와 같이 순차 주사가 행해짐으로써, 1 프레임 기간 내에 모든 화소가 순서대로 선택 상태가 된다. 도 14(B)에 나타난 타이밍 차트에서는 전압이 높은 상태(하이 레벨)가 됨으로써, 이 화소에서의 스위치가 선택 상태가 되고, 전압이 낮은 상태(로 레벨)이 됨으로써 비선택 상태가 된다.

[0143] 도 14(B)에 나타난 타이밍 차트에서는, 제 k 프레임(k 는 자연수)의 제 j 게이트 선택 기간에 있어서, 신호선으로서 사용하는 배선(884 $_{i, j}$)에 정의 신호 전압이 인가되고, 배선(884 $_{i+1, j}$)에 부의 신호 전압이 인가된다. 그리고, 제 k 프레임의 제 $j+1$ 게이트 선택 기간에 있어서, 배선(884 $_{i, j+1}$)에 부의 신호 전압이 인가되고, 배선(884 $_{i+1, j+1}$)에 정의 신호 전압이 인가된다. 그 후에도, 각각의 신호선은, 게이트 선택 기간마다 극성이 반전한 신호가 번갈아서 인가된다. 그 결과, 제 k 프레임에서는, 화소(880 $_{i, j}$)와 화소(880 $_{i+1, j+1}$)에 정의 신호 전압, 화소(880 $_{i+1, j}$)와 화소(880 $_{i, j+1}$)에는 부의 신호 전압이 각각 인가된다. 그리고, 제 $k+1$ 프레임에서는, 각각의 화소에 있어서, 제 k 프레임에서 기입된 신호 전압과는 반대의 극성의 신호 전압이 기입된다. 그 결과, 제 $k+1$ 프레임에서는 화소(880 $_{i, j}$)에는 부의 신호 전압, 화소(880 $_{i+1, j}$)에는 정의 신호 전압, 화소(880 $_{i, j+1}$)에는 정의 신호 전압, 화소(880 $_{i+1, j+1}$)에는 부의 신호 전압이 각각 인가된다. 이와 같이, 같은 프레임에서는 인접하는 화소끼리에서 상이한 극성의 신호 전압이 인가되고, 또한, 각각의 화소에서는 1 프레임 마다 신호 전압의 극성이 반전되는 구동 방법이 도트 반전 구동이다. 도트 반전 구동에 의하여, 액정 소자의 열화를 억제하면서, 표시되는 화상 전체 또는 일부가 균일한 경우에 시인되는 플리커를 저감할 수 있다. 또한, 타이밍 차트에서는 배선(884)의 신호 전압의 극성만이 표시되어 있지만, 실제로는, 표시된 극성에 있어서 여러 가지 신호 전압값을 취할 수 있다. 또한, 여기에서는 1 도트(1 화소)마다 극성을 반전시키는 경우에 대하여 서술하였지만, 이것에 한정되지 않고, 복수의 화소마다 극성을 반전시킬 수도 있다. 예를 들어, 2 게이트 선택 기간마다 기입하는 신호 전압의 극성을 반전시킴으로써, 신호 전압의 기입에 드는 소비 전력을 저감시킬 수 있다. 그 외에도, 1 열마다 극성을 반전시키는 것(소스 라인 반전), 또는 1 행마다 극성을 반전시키는 것(게이트 라인 반전)도 있을 수 있다.

[0144] 또한, 이 때 화소부에 오버 드라이브 전압을 인가하고, 액정 소자의 응답 속도를 높여 잔상을 억제하는, 소위 오버 드라이브 구동을 이용하여도 좋다. 이에 의하여 동영상을 비쳤을 때의 그 움직임이 선명하게 할 수 있다.

[0145] 특히, 본 발명의 일 양태와 같이 액정 소자에 병렬한 용량 소자를 형성하지 않는 경우에는 데이터의 화소로의 기입이 끝난 후에 액정 상태 변화와 동시에 유전율이 변화하고, 액정 자체의 용량이 변화하여 화소에서 보유한 전위를 변하게 하는 경우도 있기 때문에, 오버 드라이브 구동은 유효한 구동 방법이 된다.

- [0146] 다음에, 액정 소자가 MVA 모드 또는 PVA 모드 등으로 대표되는, 수직 배향(VA) 모드인 경우에 특히 바람직한 화소 구성 및 그 구동 방법에 대하여 설명한다. VA 모드는 제조 시의 러빙 공정이 불필요하고, 흑표시 시의 광이 새는 것이 적고, 구동 전압이 낮은 등의 우수한 특징을 가지지만, 화면을 비스듬한 곳에서 보면 화질이 열화하게 되는(시야각이 좁음) 문제점도 가진다. VA 모드의 시야각을 넓게 하기 위해서는, 도 15(A) 및 도 15(B)에 나타낸 바와 같이, 1 화소에 복수의 부화소(서브 픽셀)를 가지는 화소 구성으로 하는 것이 유효하다. 도 15(A) 및 도 15(B)에 나타낸 화소 구성은 화소가 2개의 부화소(제 1 부화소(1080-1), 제 2 부화소(1080-2))를 포함하는 경우의 일례를 나타낸 것이다. 또한, 1개의 화소에 있어서의 부화소의 수는 2개로 한정되지 않고, 여러 가지 수의 부화소를 이용할 수 있다. 부화소의 수가 클수록, 보다 시야각을 넓게 할 수 있다. 복수의 부화소는 서로 동일한 회로 구성으로 할 수 있고, 여기에서는, 모든 부화소가 도 13(A)에 나타낸 회로 구성과 동일한 것으로 하여 설명한다. 또한, 제 1 부화소(1080-1)는 트랜지스터(1081-1), 액정 소자(1082-1)를 가짐으로써, 각각의 접속 관계는 도 13(A)에 나타낸 회로 구성에 준한 것으로, 마찬가지로, 제 2 부화소(1080-2)는 트랜지스터(1081-2), 액정 소자(1082-2)를 가지는 것으로 하고, 각각의 접속 관계는 도 13(A)에 나타낸 회로 구성에 준하는 것으로 한다.
- [0147] 도 15(A)에 나타낸 화소 구성은 1 화소를 구성하는 2개의 부화소에 대하여, 주사선으로서 이용하는 배선(1085)을 2개(배선(1085-1), 배선(1085-2)) 가지고, 신호선으로서 이용하는 배선(1084)을 1개 가지는 구성을 나타낸 것이다. 이와 같이, 신호선을 2개의 부화소에서 공용함으로써, 개구율을 향상시킬 수 있고, 또한, 신호선 구동 회로를 간단한 것으로 할 수 있으므로 제조 원가가 저감되고, 또한, 액정 패널과 구동 회로(IC)의 접속 횟수를 저감할 수 있으므로, 수율을 향상시킬 수 있다. 도 15(B)에 나타낸 화소 구성은 1 화소를 구성하는 2개의 부화소에 대하여, 주사선으로서 이용하는 배선(1085)을 1개 가지고, 신호선으로서 이용하는 배선(1084)을 2개(배선(1084-1), 배선(1084-2)) 가지는 구성을 나타낸 것이다. 이와 같이, 주사선을 2개의 부화소에서 공용함으로써, 개구율을 향상시킬 수 있고, 전체의 주사선 개수를 더욱 저감할 수 있으므로, 고정밀한 액정 패널에서도 화소 1개 당의 게이트선 선택 기간을 충분히 길게 할 수 있고, 각각의 화소에 적절한 신호 전압을 기입할 수 있다.
- [0148] 도 16(A) 및 도 16(B)는 도 15(B)에 나타낸 화소 구성에 있어서, 액정 소자를 화소 전극의 형상으로 바꿔 놓으며, 각 소자의 전기적 접속 상태를 모식적으로 나타낸 예이다. 도 16(A)에 있어서, 제 1 화소 전극(1088-1)은 도 15(B)에서의 액정 소자(1082-1)의 제 1 단자에 상당하고, 제 2 화소 전극(1088-2)은 도 15(B)에 있어서의 액정 소자(1082-2)의 제 1 단자에 상당한다. 즉, 제 1 화소 전극(1088-1)은 트랜지스터(1081-1)의 소스 또는 드레인의 한쪽과 전기적으로 접속되고, 제 2 화소 전극(1088-2)은 트랜지스터(1081-2)의 소스 또는 드레인의 한쪽과 전기적으로 접속된다. 한편, 도 16(B)에 있어서, 화소 전극과 트랜지스터의 접속 관계를 도 16(A)의 것과 반대로 한다. 즉, 제 1 화소 전극(1088-1)은 트랜지스터(1081-2)의 소스 또는 드레인의 한쪽과 전기적으로 접속되고, 제 2 화소 전극(1088-2)은 트랜지스터(1081-1)의 소스 또는 드레인의 한쪽과 전기적으로 접속되도록 한다. 또한, 도시하지 않지만, 각각의 화소 전극은 액정을 통하여 대향 전극과 접속되고, 액정 소자를 형성한다.
- [0149] 다음에, 본 발명의 일 양태에 있어서의 산화물 반도체층을 이용한 박막 트랜지스터에 의하여, 어느 정도 액정 표시 장치의 각 화소에서의 개구율이 향상하는가에 대하여 개산(概算)을 견적한다.
- [0150] 화소의 개구율을 견적하기 위한 파라미터로서는, 산화물 반도체층을 이용한 박막 트랜지스터의 누설 전류를 1×10^{-13} (A), 패널 사이즈를 3.4 인치, 표시하는 계조를 256 계조, 입력하는 전압을 10 V, 1 프레임을 1/60초에서 표시를 행하기로 한다. 또한, 게이트 절연막의 유전율을 3.7(F/m), 막 두께를 1×10^{-7} (m)으로 하여 설명한다.
- [0151] 먼저 화소수 $540 \times \text{RGB} \times 960$ 의 패널(제 1 패널이라 함)에 상기 파라미터를 적용했을 때의 용량 소자의 면적 및 개구율에 대하여 개산을 견적한다. 이 패널에 있어서, 화소 사이즈가 $26(\mu\text{m}) \times 78(\mu\text{m})$, 즉 $2.03 \times 10^{-9}(\text{m}^2)$ 가 된다. 이 중, 배선 및 박막 트랜지스터가 차지하는 영역을 제외한 면적은 $1.43 \times 10^{-9}(\text{m}^2)$ 가 되고, 배선 및 박막 트랜지스터가 차지하는 영역의 면적은 $6.00 \times 10^{-10}(\text{m}^2)$ 가 된다.
- [0152] 제 1 패널에서 보조 용량 소자가 필요로 하는 최저한의 용량값은 산화물 반도체층을 가지는 박막 트랜지스터를 구비한 화소에서, 4.25×10^{-14} (F)가 된다. 이 경우, 용량 소자가 필요로 하는 면적이 $1.30 \times 10^{-10}(\text{m}^2)$ 가 되고, 화소에서 용량 소자가 차지하는 면적의 비율이 6.4(%), 개구율이 64.0(%)가 된다.
- [0153] 또한, 화소수 $480 \times \text{RGB} \times 640$ 의 패널(제 2 패널이라 함)에 상기 파라미터를 적용했을 때의 용량 소자의 면적 및

개구율에 대하여 개산을 견적한다. 이 패널에 있어서는, 화소 사이즈가 $36(\mu\text{m}) \times 108(\mu\text{m})$, 즉 $3.89 \times 10^9(\text{m}^2)$ 가 된다. 이 중에, 배선 및 박막 트랜지스터가 차지하는 영역을 제외한 면적은 $3.29 \times 10^9(\text{m}^2)$ 가 되고, 배선 및 박막 트랜지스터가 차지하는 영역의 면적은 $6.00 \times 10^{10}(\text{m}^2)$ 가 된다.

[0154] 제 2 패널에서서 보조 용량 소자가 필요로 하는 최저한의 용량값은 산화물 반도체층을 가지는 박막 트랜지스터를 구비한 화소에서, $4.25 \times 10^{-14}(\text{F})$ 가 된다. 이 경우, 용량 소자가 필요로 하는 면적이 $1.30 \times 10^{-10}(\text{m}^2)$ 가 되고, 화소에서 용량 소자가 차지하는 면적의 비율이 3.3(%), 개구율이 81.2(%)가 된다.

[0155] 이들 제 1 패널 및 제 2 패널에 대하여, 본 발명의 일 양태에 있어서의 산화물 반도체층을 가지는 박막 트랜지스터를 이용함으로써, 용량 소자선이 삭감되고, 화소 전극(105)이 차지하는 영역을 넓일 수 있다. 산출된 개구율은 제 1 패널에서 70.4%, 제 2 패널에서 84.5%이고, 용량 소자를 생략함으로써 대폭 개구율이 향상되는 것을 알 수 있다.

[0156] 본 실시형태의 화소에 있어서도, 상기 제 1 실시예 및 제 2 실시예의 구성과 조합함으로써, 산화물 반도체를 이용한 박막 트랜지스터를 구비하는 화소를 제작할 때에, 개구율의 향상을 도모할 수 있다.

[0157] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0159] (실시형태 4)

[0160] 본 실시형태에 있어서는, 상기 실시예 1 내지 제 3 실시예 중 어느 하나에서 설명한 액정 표시 장치를 구하는 전자기기의 예에 대하여 설명한다.

[0161] 도 17(A)는 휴대형 게임기이고, 케이스(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 기록 매체 판독부(9672) 등을 가질 수 있다. 도 17(A)에 나타난 휴대형 게임기는 기록 매체에 기록된 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능, 다른 휴대형 게임기와 무선 통신을 행한 정보를 공유하는 기능 등을 가질 수 있다. 또한, 도 17(A)에 나타난 휴대형 게임기가 가지는 기능은 이것으로 한정되지 않고, 여러 가지 기능을 가질 수 있다.

[0162] 도 17(B)은 디지털 카메라이고, 케이스(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 셔터 버튼(9676), 수상부(9677) 등을 가질 수 있다. 도 17(B)에 나타난 텔레비전 수상 기능이 있는 디지털 카메라는 정지 화면을 촬영하는 기능, 및/또는 동영상 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 안테나를 통하여 여러 가지 정보를 취득하는 기능, 촬영한 화상, 또는 안테나를 통하여 취득한 정보를 저장하는 기능, 촬영한 화상, 또는 안테나를 통하여 취득한 정보를 표시부에 표시하는 기능 등 다양한 기능을 가질 수 있다. 또한, 도 17(B)에 나타난 텔레비전 수신 기능이 있는 디지털 카메라가 가지는 기능은 이것에 한정되지 않고, 여러 가지 기능을 가질 수 있다.

[0163] 도 17(C)은 텔레비전 수상기이고, 케이스(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636) 등을 가질 수 있다. 도 17(C)에 나타난 텔레비전 수상기는 텔레비전용 전파를 처리하여 화상 신호로 변환하는 기능, 화상 신호를 처리하여 표시에 적합한 신호로 변환하는 기능, 화상 신호의 프레임 주파수를 변환하는 기능 등을 가질 수 있다. 또한, 도 17(C)에 나타난 텔레비전 수상기가 가지는 기능은 이것에 한정되지 않고, 여러 가지 기능을 가질 수 있다.

[0164] 도 18(A)는 컴퓨터이고, 케이스(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 포인팅 디바이스(9681), 외부 접속 포트(9680) 등을 가질 수 있다. 도 18(A)에 나타난 컴퓨터는 여러 가지 정보(정지 화면, 동영상, 텍스트 화상 등)을 표시부에 표시하는 기능, 여러 가지 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 또는 유선 통신 등의 통신 기능, 통신 기능을 이용하여 여러 가지 컴퓨터 네트워크에 접속하는 기능, 통신 기능을 이용하여 여러 가지 데이터의 송신 또는 수신을 행하는 기능 등을 가질 수 있다. 또한, 도 18(A)에 나타난 컴퓨터가 가지는 기능은 이것에 한정되지 않고, 여러 가지 기능을 가질 수 있다.

[0165] 도 18(B)는 휴대 전화이고, 케이스(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 마이크(9638) 등을 가질 수 있다. 도 18(B)에 나타난 휴대 전화는 여러 가지 정보(정지 화면, 동영상, 텍스트 화상 등)을 표시부에 표시하는 기능, 캘린더, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 여러 가지 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다. 또한, 도

18(B)에 나타낸 휴대 전화가 가지는 기능은 그것에 한정되지 않고, 여러 가지 기능을 가질 수 있다.

- [0166] 도 18(C)는 전자 페이퍼 단말(E-book 또는 e-book reader라고도 함)이고, 케이스(9630), 표시부(9631), 조작 키(9635) 등을 가질 수 있다. 도 18(C)에 나타낸 전자 페이퍼는 여러 가지 정보(정지 화면, 동영상, 텍스트 화상 등)을 표시부에 표시하는 기능, 캘린더, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 여러 가지 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다. 또한, 도 18(C)에 나타낸 전자 페이퍼가 가지는 기능은 이것에 한정되지 않고, 여러 가지 기능을 가질 수 있다.
- [0167] 본 실시형태에서 설명한 전자기기는 표시부를 구성하는 복수의 화소에 있어서, 개구율의 향상이 도모될 수 있는 액정 표시 장치를 이용할 수 있다.
- [0168] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0169] 본 출원은 2009년 10월 21일에 일본국 특허청에 출원되고, 그 전문이 본 명세서에 참조로 통합된 일련 번호가 2009-242787인 일본 특허 출원에 기초하고 있다.

부호의 설명

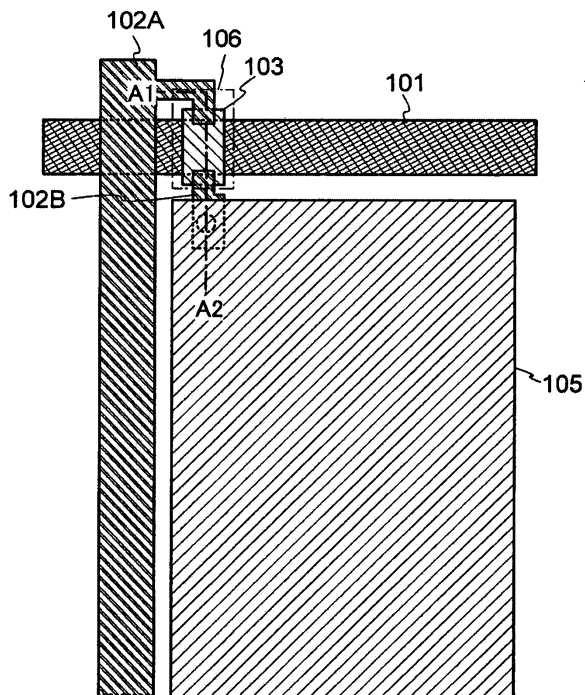
- [0170] 101 : 배선 102A : 배선
- 102B : 배선 103 : 산화물 반도체층
- 105 : 화소 전극 106 : 박막 트랜지스터
- 111 : 기관 112 : 베이스막
- 113 : 게이트 절연막 114 : 산화물 절연층
- 121 : 개구부 700 : 기관
- 701 : 화소 702 : 화소부
- 703 : 주사선 구동 회로 704 : 신호선 구동 회로
- 880 : 화소 884 : 배선
- 885 : 배선 887 : 배선
- 889 : 공통 배선 984 : 신호
- 985 : 신호 1080 : 부화소
- 1081 : 트랜지스터 1082 : 액정 소자
- 1084 : 배선 1085 : 배선
- 1088 : 화소 전극 2101 : 배선
- 2102A : 배선 2102B : 배선
- 2103 : 산화물 반도체층 2104 : 용량 소자선
- 2105 : 화소 전극 2106 : 박막 트랜지스터
- 2111 : 기관 2112 : 베이스막
- 2113 : 게이트 절연막 2114 : 산화물 절연층
- 3880 : 화소 3881 : 트랜지스터
- 3882 : 액정 소자 3883 : 용량 소자
- 3884 : 배선 3885 : 배선
- 3886 : 배선 3887 : 배선

- 9630 : 케이스 9631 : 표시부
- 9633 : 스피커 9635 : 조작 키
- 9636 : 접속 단자 9638 : 마이크로폰
- 9672 : 기록 매체 삽입 관독부 9676 : 셔터 버튼
- 9677 : 수상부 9680 : 외부 접속 포트
- 9681 : 포인팅 디바이스

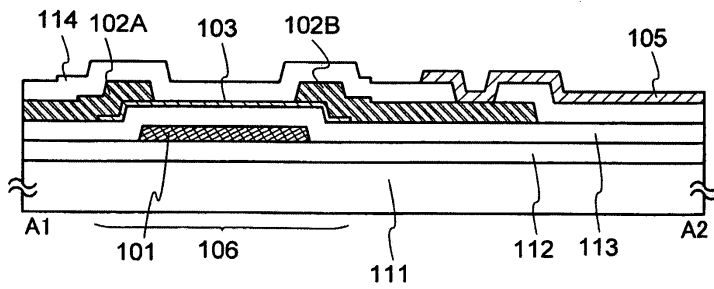
도면

도면1

(A)

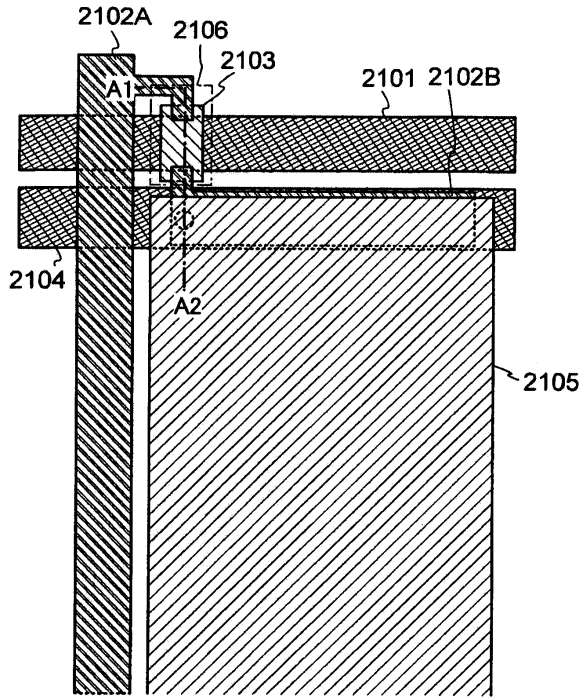


(B)

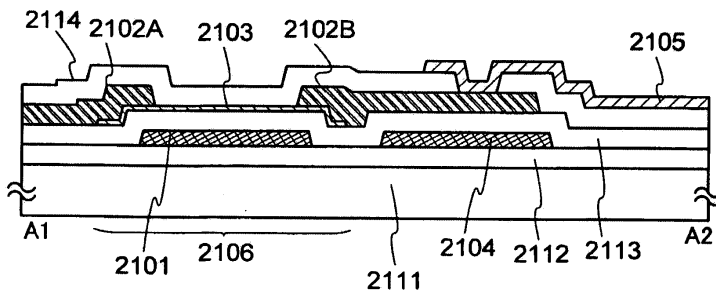


도면2

(A)

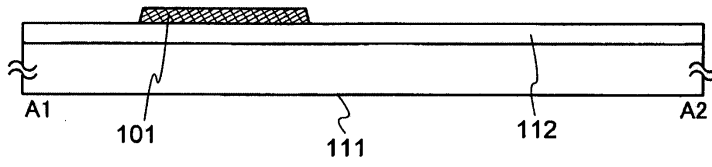


(B)

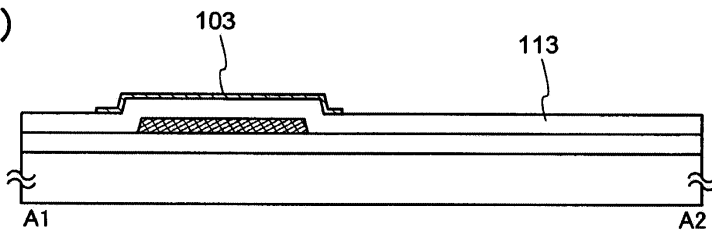


도면3

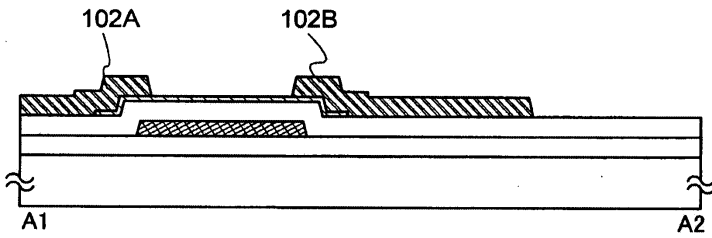
(A)



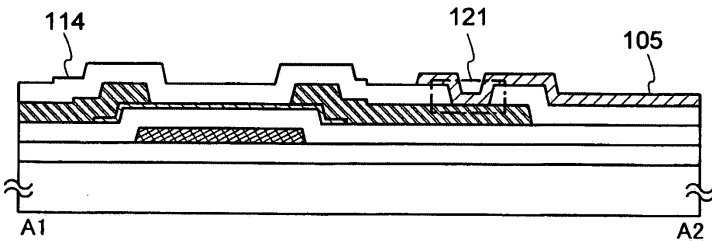
(B)



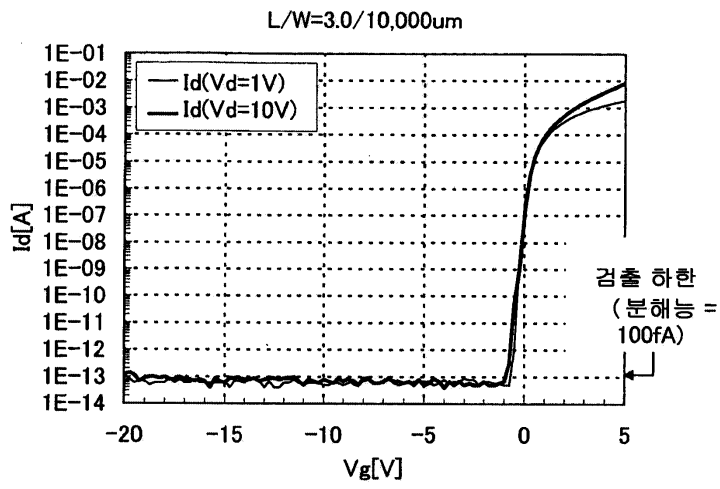
(C)



(D)

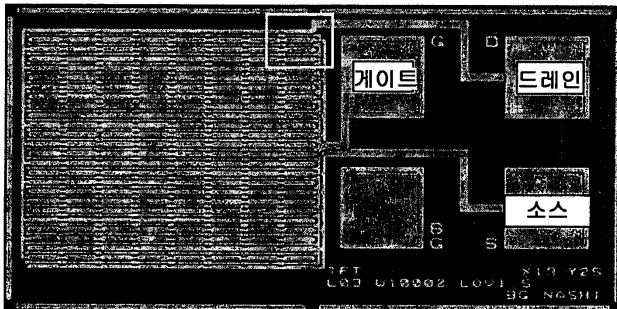


도면4

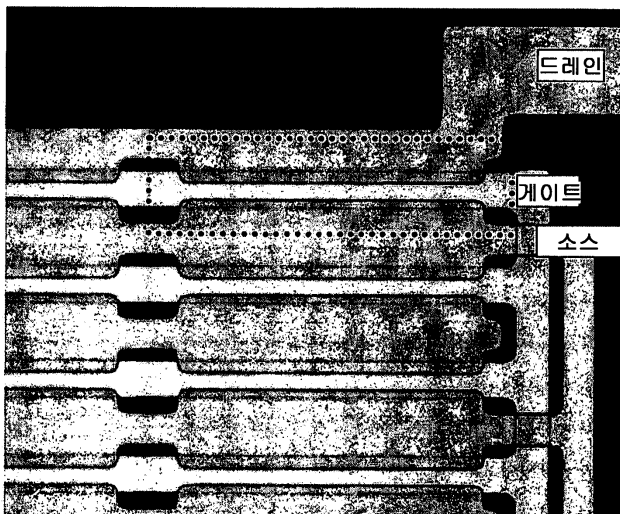


도면5

(A)

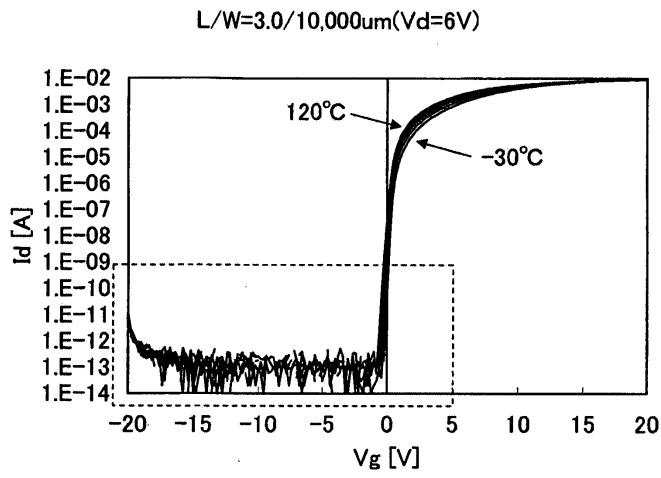


(B)

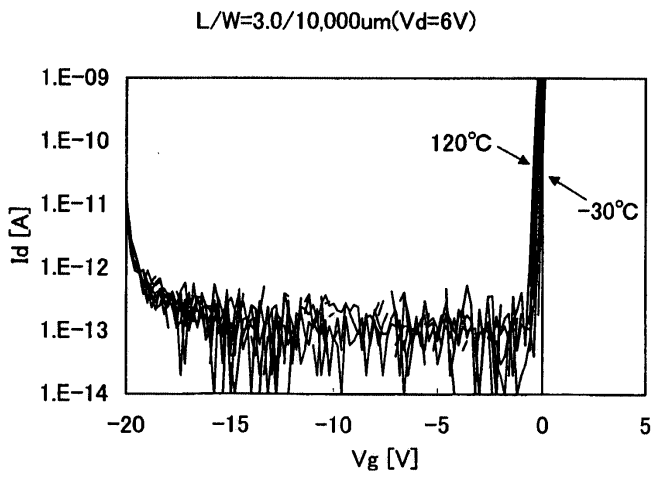


도면6

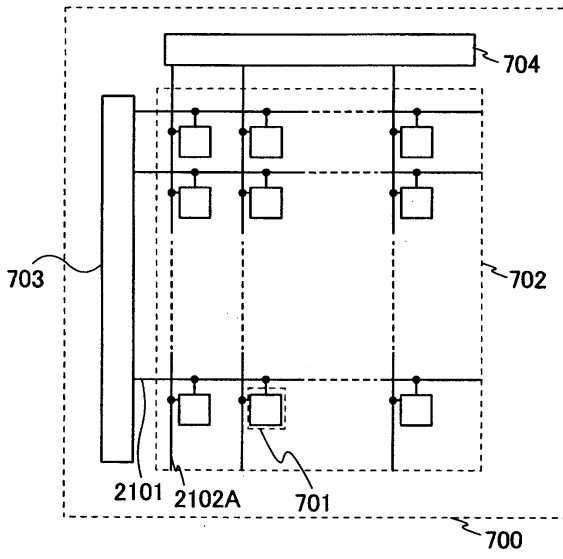
(A)



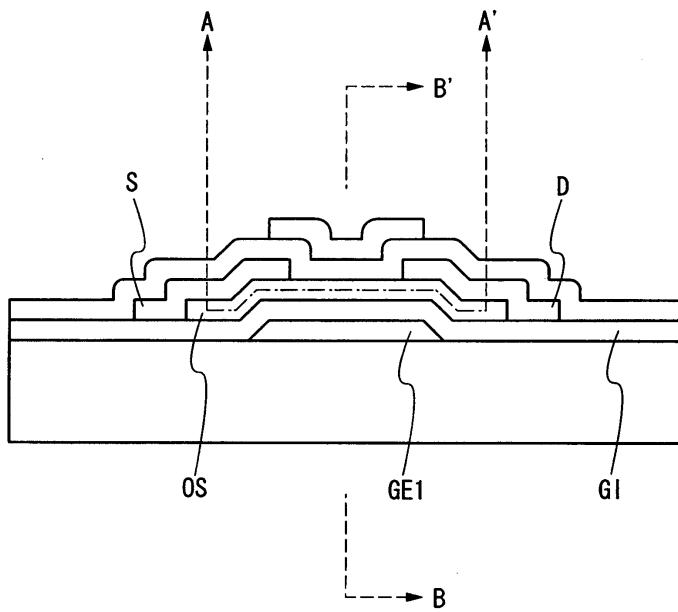
(B)



도면7

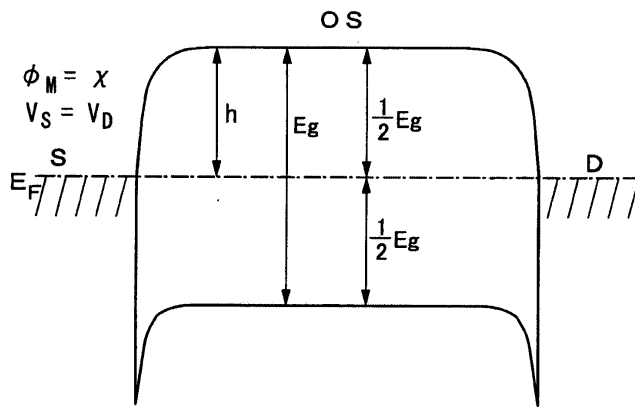


도면8

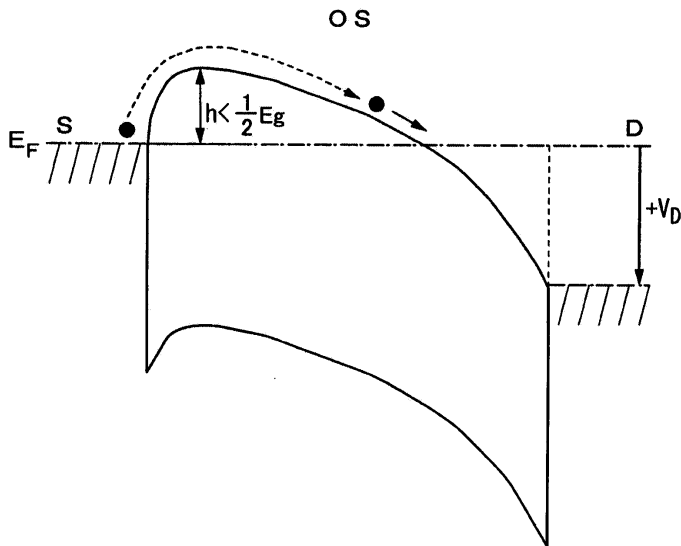


도면9

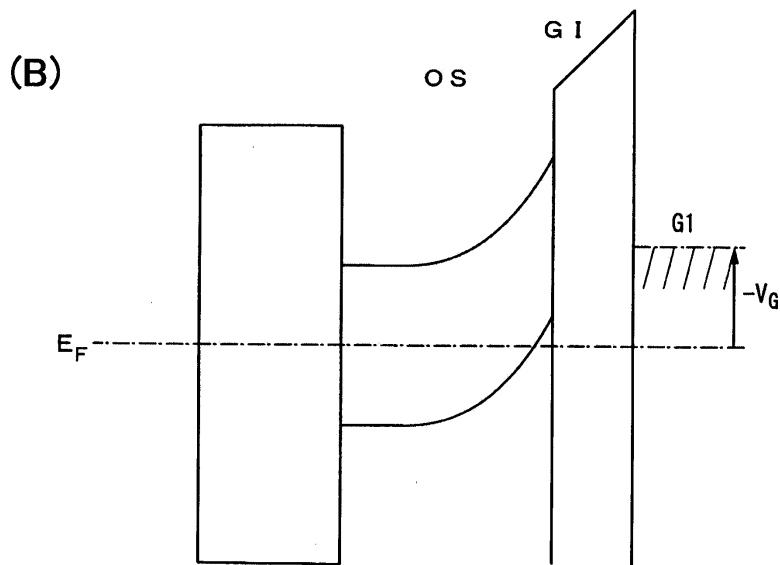
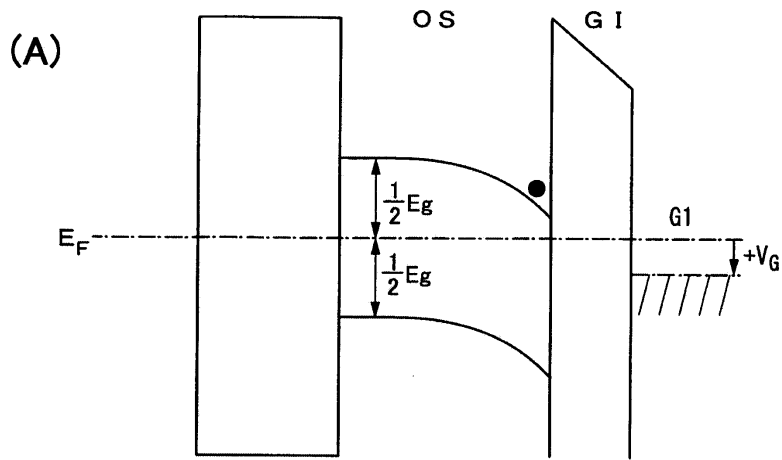
(A)



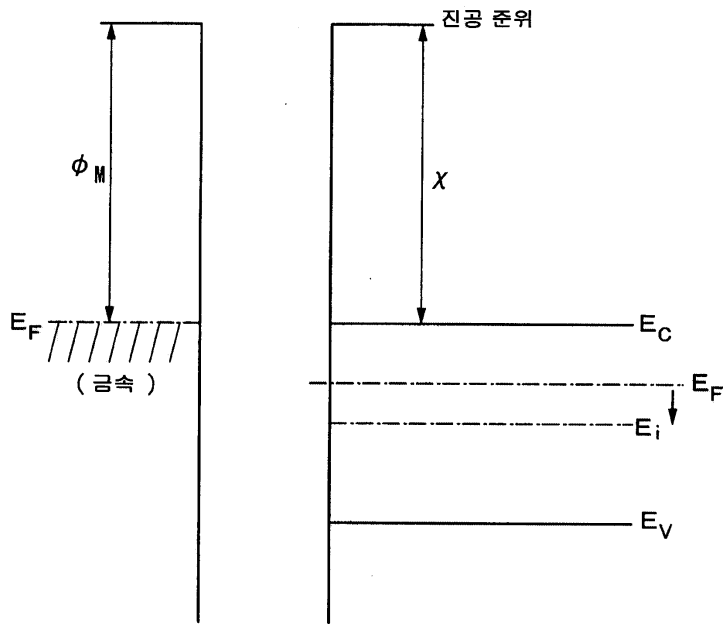
(B)



도면10

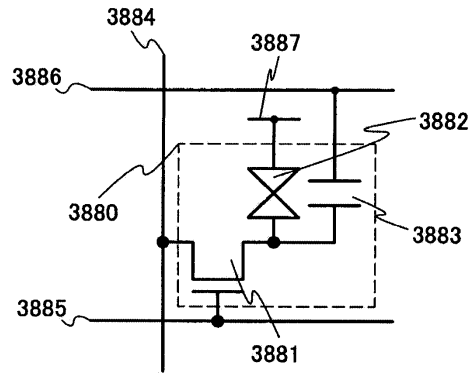


도면11

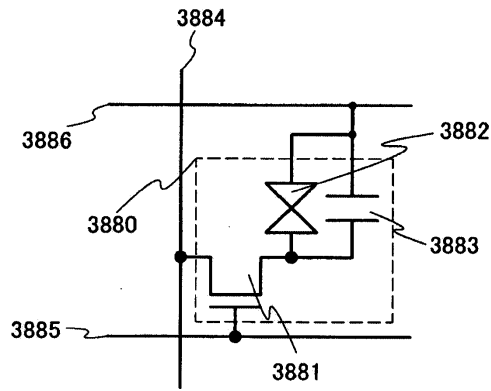


도면12

(A)

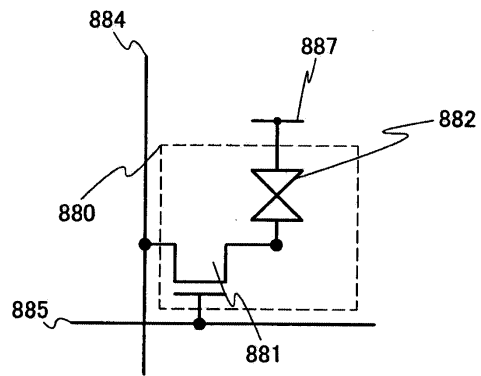


(B)

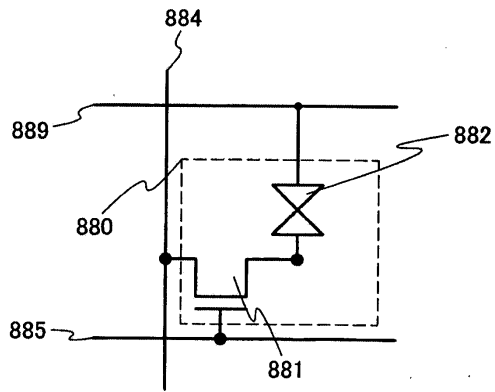


도면13

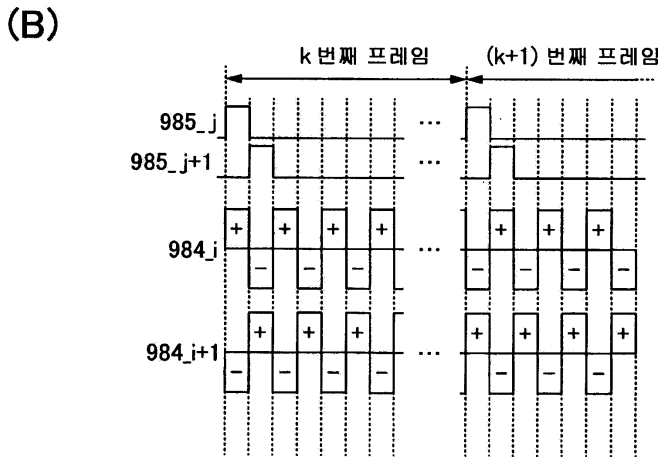
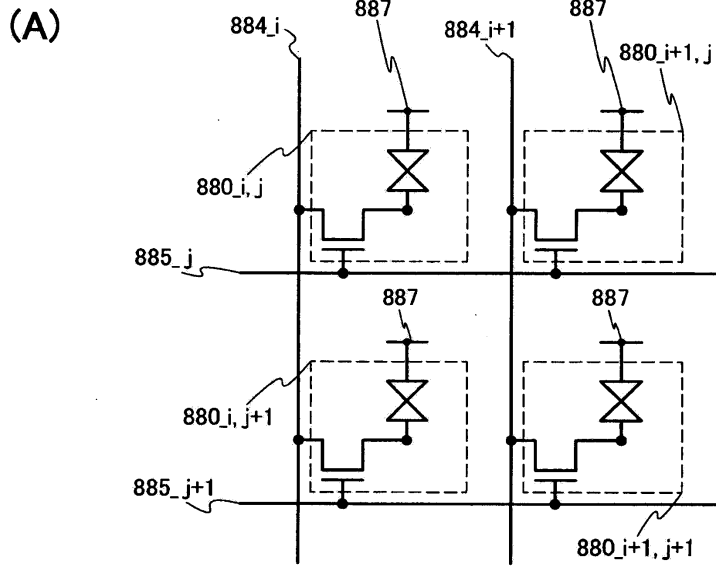
(A)



(B)

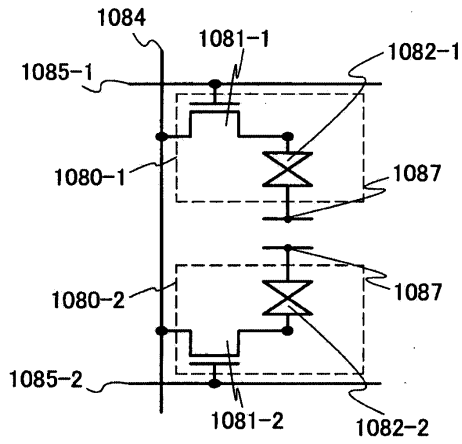


도면14

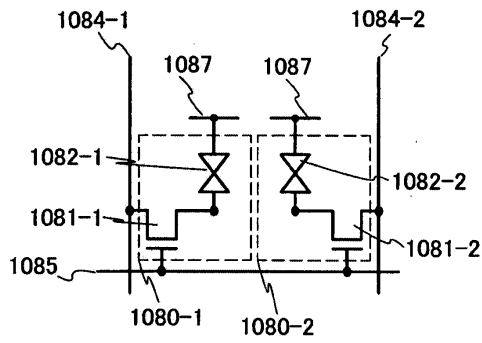


도면15

(A)

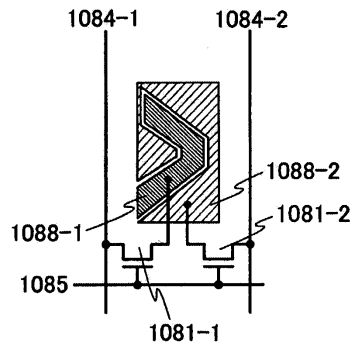


(B)

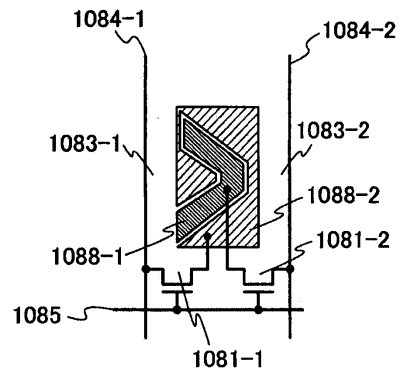


도면16

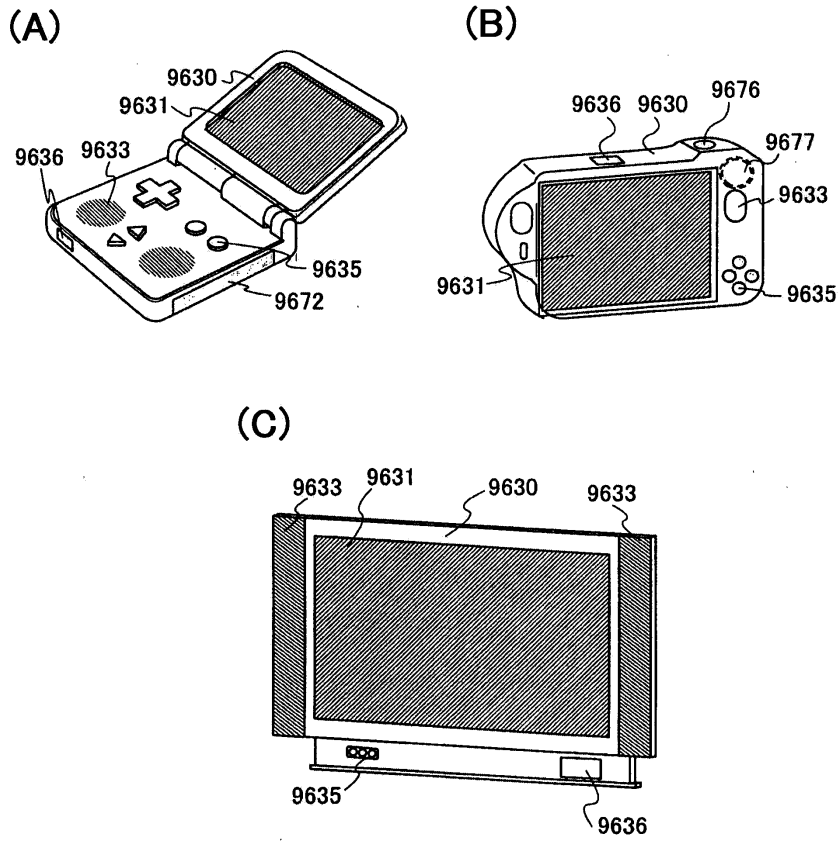
(A)



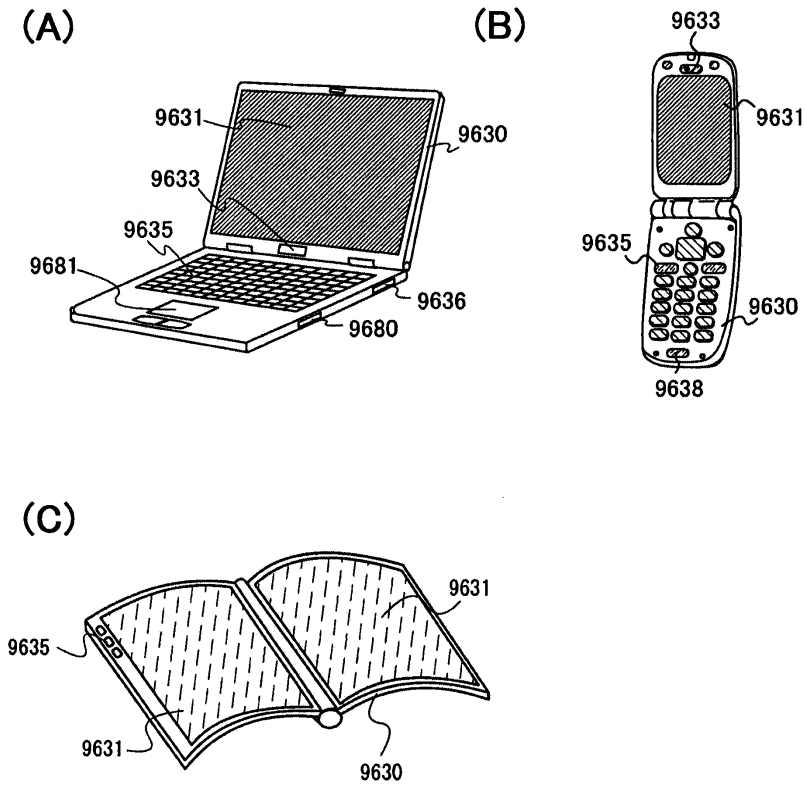
(B)



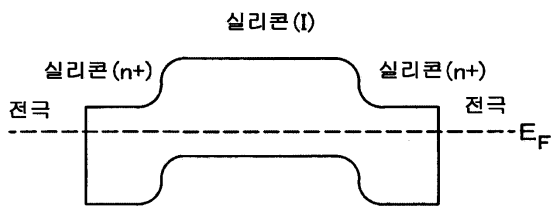
도면17



도면18



도면19



专利名称(译)	标题：具有液晶显示器的液晶显示装置和电子设备		
公开(公告)号	KR1020170130641A	公开(公告)日	2017-11-28
申请号	KR1020177033588	申请日	2010-09-29
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	SHISHIDO HIDEAKI 시시도히데아키 YAMAZAKI SHUNPEI 야마자키순페이 ARASAWA RYO 아라사와료		
发明人	시시도히데아키 야마자키순페이 아라사와료		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1362 G09G3/36 H01L27/12 H01L29/786		
CPC分类号	G02F1/136213 G02F1/13624 G02F2001/134345 G02F2201/40 G09G3/3614 G09G3/3648 G09G2300/0426 G09G2300/0439 H01L27/1225 H01L29/78609 H01L29/7869 G02F1/1368 G09G3/36 G02F1/133345 G02F1/134336 G02F1/13439 G02F1/136286 G02F2201/123 G09G3/3677 G09G2300/0465 H01L27/124 H01L27/1255 H01L27/127 H01L29/24 H01L29/4908 H01L29/78696		
代理人(译)	黄的.		
优先权	2009242787 2009-10-21 JP		
外部链接	Espacenet		

摘要(译)

对于配备有使用本发明的氧化物半导体的薄膜晶体管的像素，通过提供用于计划孔径比的改善的液晶显示器来实现。与栅极绝缘层和氧化物半导体层的与栅电极重叠形成的部分重叠的源电极，以及栅电极和氧化物半导体层以及具有漏电极的薄膜晶体管形成在它们之间。安装在像素中的信号线和像素电极以及薄膜晶体管的截止电流为 1×10^{-13} A或更小，并且可以不形成液晶装置上的行中的电容元件和将液晶电容器件和薄膜晶体管的电位保持在液晶显示器中，其中没有形成与像素电极连接的像素电容元件。

