



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0079627
(43) 공개일자 2017년07월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) G02F 1/1343 (2006.01)
G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/136 (2013.01)
G02F 1/1368 (2013.01)
(21) 출원번호 10-2015-0190390
(22) 출원일자 2015년12월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
권오선
서울특별시 중랑구 검체로30길 42, 101동 306호(면목동, 면목마젤란21아파트)
(74) 대리인
박장원

전체 청구항 수 : 총 13 항

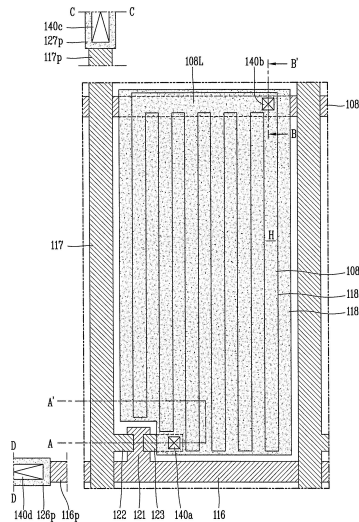
(54) 발명의 명칭 **프린지-필드 스위칭 액정표시장치 및 그 제조방법**

(57) 요약

본 발명의 프린지-필드 스위칭(Fringe Field Switching; FFS) 액정표시장치 및 그 제조방법은 공통전극과 화소전극을 증착하기 전에 보호막에 역 방향의 테이퍼를 가진 트렌치(trench)를 형성함으로써 공통전극과 화소전극을 한번의 마스크공정으로 형성하는 것을 특징으로 한다.

이에 의하면, 본 발명은 공정이 단순화되어 수율이 향상되는 동시에 비용이 절감되며, 공통전극과 화소전극이 자기정렬(self align) 구조를 가짐에 따라 공정편차가 발생하지 않아 액정패널의 화질품위가 향상되는 효과를 제공한다.

대표도 - 도4



(52) CPC특허분류
G02F 2001/134372 (2013.01)

명세서

청구범위

청구항 1

기판 위의 박막 트랜지스터;

상기 박막 트랜지스터 위에, 역 방향의 테이퍼(taper)를 가진 다수의 트렌치(trench)가 구비된 보호막; 및

상기 보호막 위의 다수의 슬릿을 가진 화소전극 및 상기 트렌치 내의 공통전극을 포함하는 프린지-필드 스위칭 액정표시장치.

청구항 2

제 1 항에 있어서, 상기 박막 트랜지스터는 드레인전극을 포함하여 구성되며,

상기 드레인전극은 상기 보호막에 구비된 제 1 콘택홀을 통해 상기 화소전극에 전기적으로 접속하는 프린지-필드 스위칭 액정표시장치.

청구항 3

제 2 항에 있어서, 상기 제 1 콘택홀은 상기 보호막 내에 정 방향의 테이퍼를 가지는 프린지-필드 스위칭 액정표시장치.

청구항 4

제 1 항에 있어서, 상기 트렌치는 상기 화소전극의 슬릿 하부에 위치하는 프린지-필드 스위칭 액정표시장치.

청구항 5

제 1 항에 있어서, 상기 트렌치는 상기 공통전극의 두께보다 큰 깊이를 가지는 프린지-필드 스위칭 액정표시장치.

청구항 6

제 1 항에 있어서, 상기 공통전극의 일단은 연결라인에 의해 서로 연결되며,

상기 연결라인은 상기 보호막에 구비된 다른 트렌치 내에 구비되는 프린지-필드 스위칭 액정표시장치.

청구항 7

제 6 항에 있어서, 상기 기판 위의 공통라인을 추가로 포함하며,

상기 공통라인은 게이트절연막과 상기 보호막에 구비된 제 2 콘택홀을 통해 상기 연결라인에 전기적으로 접속하는 프린지-필드 스위칭 액정표시장치.

청구항 8

기판 위에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 위에, 역 방향의 테이퍼를 가진 다수의 트렌치가 구비된 보호막을 형성하는 단계; 및

상기 보호막 위에 다수의 슬릿을 가진 화소전극을 형성하며, 상기 트렌치 내에 공통전극을 형성하는 단계를 포함하는 프린지-필드 스위칭 액정표시장치의 제조방법.

청구항 9

제 8 항에 있어서, 상기 보호막을 형성하는 단계는,

상기 박막 트랜지스터가 형성된 상기 기판 위에 절연막을 증착하는 단계;

마스크공정을 통해 상기 절연막의 두께 일부를 선택적으로 제거하여 화소영역에 상기 다수의 트랜치를 형성하는 단계; 및

다른 마스크공정을 통해 상기 절연막의 일부영역을 선택적으로 제거하여 상기 박막 트랜지스터의 드레인전극의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계를 포함하여 구성되는 프린지-필드 스위칭 액정표시장치의 제조 방법.

청구항 10

제 8 항에 있어서, 상기 보호막을 형성하는 단계는,

상기 박막 트랜지스터가 형성된 상기 기판 위에 절연막을 증착하는 단계; 및

슬릿을 포함하는 하프-톤 마스크를 통해 화소영역에 상기 다수의 트랜치를 형성하는 동시에, 상기 박막 트랜지스터의 드레인전극의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계를 포함하여 구성되는 프린지-필드 스위칭 액정표시장치의 제조방법.

청구항 11

제 9 항 및 제 10 항 중 어느 한 항에 있어서, 상기 제 1 콘택홀은 상기 보호막 내에 정 방향의 테이퍼를 가지도록 형성되는 프린지-필드 스위칭 액정표시장치의 제조방법.

청구항 12

제 8 항에 있어서, 상기 트랜치는 상기 화소전극의 슬릿 하부에 형성되는 프린지-필드 스위칭 액정표시장치의 제조방법.

청구항 13

제 8 항에 있어서, 상기 트랜치는 상기 공통전극의 두께보다 큰 깊이를 가지도록 형성되는 프린지-필드 스위칭 액정표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 프린지-필드 스위칭 액정표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 마스크 수를 감소시켜 제조공정을 단순화하는 동시에 대형 모델에서도 적용 가능한 프린지-필드 스위칭 액정표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

[0003] 액정표시장치는 크게 컬러필터(color filter) 기판과 어레이(array) 기판 및 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

[0004] 이하, 도면을 참조하여 일반적인 액정표시장치에 대해서 상세히 설명한다.

[0005] 도 1은 일반적인 액정표시장치의 구조를 개략적으로 보여주는 분해사시도이다.

[0006] 도 1을 참조하면, 일반적인 액정표시장치는 크게 컬러필터 기판(5)과, 어레이 기판(10) 및 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.

[0007] 컬러필터 기판(5)은 적색과, 녹색 및 청색을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 액

정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.

- [0008] 어레이 기관(10)은 종횡으로 배열되어 다수의 화소영역(P)을 정의하는 다수의 게이트라인(16)과 데이터라인(17), 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(Thin Film Transistor; TFT)(T) 및 화소영역(P)에 형성된 화소전극(18)으로 이루어져 있다.
- [0009] 이와 같이 구성된 컬러필터 기관(5)과 어레이 기관(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정패널을 구성하며, 이때 컬러필터 기관(5)과 어레이 기관(10)의 합착은 컬러필터 기관(5) 또는 어레이 기관(10)에 형성된 합착키(미도시)를 통해 이루어진다.
- [0010] 액정표시장치에 일반적으로 사용되는 구동방식으로 네마틱상의 액정분자를 기관에 대해 수직 방향으로 구동시키는 트위스티드 네마틱(Twisted Nematic; TN) 방식이 있다.
- [0011] 트위스티드 네마틱 방식의 액정표시장치는 시야각이 90도 정도로 좁다는 단점을 가지고 있다. 이것은 액정분자의 굴절률 이방성(refractive anisotropy)에 기인하는 것으로 기관과 수평하게 배향된 액정분자가 액정패널에 전압이 인가될 때 기관과 거의 수직한 방향으로 배향되기 때문이다.
- [0012] 이에 액정분자를 기관에 대해 수평한 방향으로 구동시켜 시야각을 170도 이상으로 향상시킨 인-플레인 스위칭(In Plane Switching; IPS) 방식의 액정표시장치가 있으며, 이를 상세히 설명하면 다음과 같다.
- [0013] 도 2는 일반적인 프린지-필드 스위칭 액정표시장치의 어레이 기관 일부를 개략적으로 보여주는 단면도이다.
- [0014] 인-플레인 스위칭 중 프린지-필드 스위칭(Fringe Field Switching; FFS) 방식의 액정표시장치는 화소전극과 공통전극 사이에 형성되는 프린지 필드가 슬릿을 관통하여 화소영역 및 화소전극 상에 위치하는 액정분자를 구동시킴으로써 화상을 구현하는 방식이다.
- [0015] 이때, 도 2에는 설명의 편의를 위해 화소부와, 데이터패드부 및 게이트패드부를 포함하는 하나의 화소를 보여주고 있다.
- [0016] 도 2를 참조하면, 일반적인 프린지-필드 스위칭 액정표시장치는 투명한 어레이 기관(10) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(미도시)과, 데이터라인(17) 및 게이트라인과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터로 이루어진다.
- [0017] 박막 트랜지스터는 게이트라인에 연결된 게이트전극(21), 데이터라인(17)에 연결된 소오스전극(22) 및 화소전극(18)에 연결된 드레인전극(23)으로 구성된다. 또한, 박막 트랜지스터는 게이트전극(21)과 소오스/드레인전극(22, 23) 사이의 절연을 위한 게이트절연막(15a) 및 게이트전극(21)에 공급되는 게이트전압에 의해 소오스전극(22)과 드레인전극(23) 사이에 전도채널(conductive channel)을 형성하는 액티브층(24)을 포함한다.
- [0018] 액티브층(24)의 소오스/드레인영역은 오믹-콘택층(ohmic contact layer)(25)을 통해 소오스/드레인전극(22, 23)과 오믹-콘택을 형성한다.
- [0019] 이때, 데이터라인(17) 하부에는 액티브층(24)을 구성하는 비정질 실리콘 박막 및 오믹-콘택층(25)을 구성하는 n+ 비정질 실리콘 박막으로 이루어진 제 1 비정질 실리콘 박막패턴(24') 및 제 1 n+ 비정질 실리콘 박막패턴(25')이 형성된다.
- [0020] 화소영역 내에는 박스형태의 공통전극(8)과 화소전극(18)이 형성되어 있으며, 이때 화소전극(18)은 공통전극(8)과 함께 프린지 필드를 발생시키기 위해 화소전극(18) 내에 다수의 슬릿(18s)을 포함한다.
- [0021] 이때, 화소전극(18)은 층간절연막(15b, 15c)과 보호막(15d)에 형성된 콘택홀을 통해 드레인전극(23)과 전기적으로 접속한다.
- [0022] 이와 같이 구성된 어레이 기관(10)의 가장자리 영역에는 데이터라인(17)과 게이트라인에 전기적으로 접속하는 데이터패드전극(27p)과 게이트패드전극(26p)이 각각 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 데이터신호와 주사신호를 각각 데이터라인(17)과 게이트라인에 전달하게 된다.
- [0023] 즉, 데이터라인(17)과 게이트라인은 구동회로부 쪽으로 연장되어 각각 해당하는 데이터패드라인(17p)과 게이트패드라인(16p)에 연결된다. 이때, 데이터패드라인(17p) 및 게이트패드라인(16p)은 데이터패드라인(17p) 및 게이트패드라인(16p)에 각각 전기적으로 접속된 데이터패드전극패턴(27p')과 데이터패드전극(27p) 및 게이트패드전극패턴(26p')과 게이트패드전극(26p)을 통해 구동회로부로부터 각각 데이터신호와 주사신호를 인가 받는다.
- [0024] 이때, 데이터패드라인(17p) 하부에는 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어진 제 2 비정질

실리콘 박막패턴(24") 및 제 2 n+ 비정질 실리콘 박막패턴(25")이 형성된다.

- [0025] 이와 같이 구성되는 프린지-필드 스위칭 액정표시장치는 기존의 트위스티드 네마틱 방식에 비해 시야각과 투과율이 향상된 장점을 가지고 있으나, 기본적으로 박막 트랜지스터를 포함하는 어레이 기관의 제작에 6 ~ 7번의 마스크공정(즉, 포토리소그래피(photolithography)공정)을 필요로 하므로 생산성 면에서 마스크 수를 줄이는 방법이 요구되어지고 있다.
- [0026] 도 3a 내지 도 3f는 도 2에 도시된 어레이 기관의 제조공정을 순차적으로 보여주는 단면도이다.
- [0027] 도 3a를 참조하면, 어레이 기관(10) 위에 포토리소그래피공정(제 1 마스크공정)을 이용하여 도전성 금속물질로 이루어진 게이트전극(21)과, 게이트라인(미도시) 및 게이트패드라인(16p)을 형성한다.
- [0028] 다음으로, 도 3b를 참조하면, 게이트전극(21)과, 게이트라인 및 게이트패드라인(16p)이 형성된 어레이 기관(10) 전면(entire surface)에 차례대로 게이트절연막(15a), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 도전성 금속물질을 증착한다.
- [0029] 이후, 포토리소그래피공정(제 2 마스크공정)을 이용하여 비정질 실리콘 박막과, n+ 비정질 실리콘 박막 및 도전성 금속물질을 선택적으로 패터닝함으로써 게이트전극(21) 위에 게이트절연막(15a)이 개재된 상태에서 비정질 실리콘 박막으로 이루어진 액티브층(24)을 형성하며, 액티브층(24) 상부에 도전성 금속물질로 이루어진 소오스 전극(22)과 드레인전극(23)을 형성한다.
- [0030] 이때, 제 2 마스크공정을 통해 어레이 기관(10)의 데이터라인 영역에 도전성 금속물질로 이루어진 데이터라인(17)을 형성하며, 어레이 기관(10)의 데이터패드부에 도전성 금속물질로 이루어진 데이터패드라인(17p)을 형성한다.
- [0031] 이때, 액티브층(24) 상부에는 n+ 비정질 실리콘 박막으로 이루어지며, 액티브층(24)의 소오스/드레인영역과 소오스/드레인전극(22, 23) 사이를 오믹-콘택 시키는 오믹-콘택층(25)이 형성된다.
- [0032] 데이터라인(17) 하부에는 각각 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며, 데이터라인(17)과 실질적으로 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(24') 및 제 1 n+ 비정질 실리콘 박막패턴(25')이 형성된다.
- [0033] 데이터패드라인(17p) 하부에는 각각 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며, 데이터패드라인(17p)과 실질적으로 동일한 형태로 패터닝된 제 2 비정질 실리콘 박막패턴(24") 및 제 2 n+ 비정질 실리콘 박막패턴(25")이 형성된다.
- [0034] 다음으로, 도 3c를 참조하면, 어레이 기관(10) 전면에서 제 1 층간절연막(15b)과 제 2 층간절연막(15c)을 형성한 후, 포토리소그래피공정(제 3 마스크공정)을 이용하여 게이트절연막(15a)과, 제 1 층간절연막(15b) 및 제 2 층간절연막(15c)의 일부영역을 선택적으로 패터닝함으로써 드레인전극(23)의 일부를 노출시키는 제 1 콘택홀(40a)과, 데이터패드라인(17p) 및 게이트패드라인(16p)의 일부를 각각 노출시키는 제 2 콘택홀(40b) 및 제 3 콘택홀(40c)을 형성한다.
- [0035] 이때, 제 2 층간절연막(15c)은 포토 아크릴로 이루어진다.
- [0036] 이후, 도 3d를 참조하면, 어레이 기관(10) 전면에서 투명한 도전성 금속물질을 증착한 후, 포토리소그래피공정(제 4 마스크공정)을 이용하여 선택적으로 패터닝함으로써 화소부 전체에 걸쳐 투명한 도전성 금속물질로 이루어진 공통전극(8)을 형성한다.
- [0037] 이때, 제 4 마스크공정을 통해 투명한 도전성 금속물질을 선택적으로 패터닝함으로써 데이터패드부 및 게이트패드부에 각각 데이터패드라인(17p) 및 게이트패드라인(16p)과 전기적으로 접속하는 데이터패드전극패턴(27p') 및 게이트패드전극패턴(26p')을 형성한다.
- [0038] 다음으로, 도 3e를 참조하면, 어레이 기관(10) 전면에서 보호막(15d)을 형성한 후, 포토리소그래피공정(제 5 마스크공정)을 이용하여 보호막(15d)의 일부영역을 선택적으로 패터닝함으로써 드레인전극(23)과, 데이터패드전극패턴(27p') 및 게이트패드전극패턴(26p')의 일부를 각각 노출시키는 제 4 콘택홀(40d)과, 제 5 콘택홀(40e) 및 제 6 콘택홀(40f)을 형성한다.
- [0039] 이후, 도 3f를 참조하면, 어레이 기관(10) 전면에서 투명한 도전성 금속물질을 증착한 후, 포토리소그래피공정(제 6 마스크공정)을 이용하여 선택적으로 패터닝하여 화소영역에 제 4 콘택홀(40d)을 통해 드레인전극(23)과 전기

적으로 접속하는 화소전극(18)을 형성한다.

- [0040] 또한, 제 6 마스크공정을 통해 투명한 도전성 금속물질을 선택적으로 패터닝함으로써 데이터패드부 및 게이트패드부에 각각 제 5 콘택홀(40e) 및 제 6 콘택홀(40f)을 통해 데이터패드전극패턴(27p') 및 게이트패드전극패턴(26p')과 전기적으로 접속하는 데이터패드전극(27p) 및 게이트패드전극(26p)을 형성한다.
- [0041] 이때, 화소전극(18)은 그 하부의 공통전극(8)과 함께 프린지 필드를 발생시키기 위해 화소전극(18) 내에 다수의 슬릿(18s)을 포함한다.
- [0042] 이와 같이 일반적인 프린지-필드 스위칭 액정표시장치는 공통전극(8)과 화소전극(18) 사이에 상하 전계를 형성하기 위해 보호막(15d)을 사이에 두고 서로 다른 층에 공통전극(8)과 화소전극(18)을 형성하여야 하며, 이에 따라 인-플레인 스위칭 액정표시장치에 비해 2번의 마스크공정이 더 필요하게 된다.
- [0043] 마스크공정은 마스크에 그려진 패턴을 박막이 증착된 기판 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포와, 노광 및 현상공정 등 다수의 공정으로 이루어지며, 다수의 포토리소그래피공정은 생산 수율을 떨어뜨리는 단점이 있다.
- [0044] 특히, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크 수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승한다.
- [0045] 또한, 전술한 일반적인 프린지-필드 스위칭 액정표시장치의 경우에는 스토리지 커패시터(storage capacitor)가 공통전극(8)과 화소전극(18) 사이에 구성되어 있어 일반적인 인-플레인 스위칭 액정표시장치에 비해 스토리지 커패시터의 용량이 3배 이상 되기 때문에 TV 등 대형 모델에 적용하기 불리하다는 단점이 있다.
- [0046] 이에 비해 인-플레인 스위칭 액정표시장치는 스토리지 커패시터를 별도로 형성하는 구조로 대형 모델에는 적용이 용이하나, 초고해상도로 기술이 발전함에 따라 대형 모델에서도 작은 사이즈의 화소 구현이 필요해지는데, 이때 스토리지 커패시터가 하나의 화소에서 차지하는 영역이 매우 커지게 되어 개구율이 크게 감소하는 문제가 있다.

발명의 내용

해결하려는 과제

- [0047] 본 발명은 상기한 문제를 해결하기 위한 것으로, 4 ~ 5번의 마스크공정으로 어레이 기판을 제작할 수 있는 프린지-필드 스위칭 액정표시장치 및 그 제조방법을 제공하는데 목적이 있다.
- [0048] 본 발명의 다른 목적은 대형 모델에서도 적용 가능한 프린지-필드 스위칭 액정표시장치 및 그 제조방법을 제공하는데 있다.
- [0049] 본 발명의 또 다른 목적은 공통전극과 화소전극이 자기정렬(self align) 구조를 가져 공정편차가 발생하지 않는 프린지-필드 스위칭 액정표시장치 및 그 제조방법을 제공하는데 있다.
- [0050] 기타, 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

- [0051] 상기한 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 프린지-필드 스위칭 액정표시장치는 기판 위의 박막 트랜지스터와, 상기 박막 트랜지스터 위에, 역 방향의 테이퍼(taper)를 가진 다수의 트렌치(trench)가 구비된 보호막 및 상기 보호막 위의 다수의 슬릿을 가진 화소전극 및 상기 트렌치 내의 공통전극을 포함하여 구성될 수 있다.
- [0052] 이때, 상기 박막 트랜지스터는 드레인전극을 포함하여 구성되며, 상기 드레인전극은 상기 보호막에 구비된 제 1 콘택홀을 통해 상기 화소전극에 전기적으로 접속할 수 있다.
- [0053] 이때, 상기 제 1 콘택홀은 상기 보호막 내에 정 방향의 테이퍼를 가질 수 있다.
- [0054] 상기 트렌치는 상기 화소전극의 슬릿 하부에 위치할 수 있다.
- [0055] 상기 트렌치는 상기 공통전극의 두께보다 큰 깊이를 가질 수 있다.
- [0056] 상기 공통전극의 일단은 연결라인에 의해 서로 연결되며, 상기 연결라인은 상기 보호막에 구비된 다른 트렌치

내에 구비될 수 있다.

- [0057] 이때, 상기 기판 위의 공통라인을 추가로 포함하며, 상기 공통라인은 게이트절연막과 상기 보호막에 구비된 제 2 콘택홀을 통해 상기 연결라인에 전기적으로 접속할 수 있다.
- [0058] 본 발명의 일 실시예에 따른 프린지-필드 스위칭 액정표시장치의 제조방법은 기판 위에 박막 트랜지스터를 형성하는 단계와, 상기 박막 트랜지스터 위에, 역 방향의 테이퍼를 가진 다수의 트렌치가 구비된 보호막을 형성하는 단계 및 상기 보호막 위에 다수의 슬릿을 가진 화소전극을 형성하며, 상기 트렌치 내에 공통전극을 형성하는 단계를 포함하여 구성될 수 있다.
- [0059] 이때, 상기 보호막을 형성하는 단계는, 상기 박막 트랜지스터가 형성된 상기 기판 위에 절연막을 증착하는 단계와, 마스크공정을 통해 상기 절연막의 두께 일부를 선택적으로 제거하여 화소영역에 상기 다수의 트렌치를 형성하는 단계 및 다른 마스크공정을 통해 상기 절연막의 일부영역을 선택적으로 제거하여 상기 박막 트랜지스터의 드레인전극의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계를 포함하여 구성될 수 있다.
- [0060] 또는, 상기 보호막을 형성하는 단계는, 상기 박막 트랜지스터가 형성된 상기 기판 위에 절연막을 증착하는 단계 및 슬릿을 포함하는 하프-톤 마스크를 통해 화소영역에 상기 다수의 트렌치를 형성하는 동시에, 상기 박막 트랜지스터의 드레인전극의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계를 포함하여 구성될 수 있다.
- [0061] 이때, 상기 제 1 콘택홀은 상기 보호막 내에 정 방향의 테이퍼를 가지도록 형성될 수 있다.
- [0062] 상기 트렌치는 상기 화소전극의 슬릿 하부에 형성될 수 있다.
- [0063] 상기 트렌치는 상기 공통전극의 두께보다 큰 깊이를 가지도록 형성될 수 있다.

발명의 효과

- [0064] 상술한 바와 같이, 본 발명의 일 실시예에 따른 프린지-필드 스위칭 액정표시장치 및 그 제조방법은 공통전극과 화소전극을 한번의 마스크공정으로 형성함으로써 공정이 단순화되어 수율이 향상되는 동시에 비용이 절감되는 효과를 제공한다.
- [0065] 본 발명의 일 실시예에 따른 프린지-필드 스위칭 액정표시장치 및 그 제조방법은 프린지-필드 스위칭 특성을 보이면서도 인-플레인 스위칭 방식의 스토리지 커패시터 구조를 가짐에 따라 대형 모델에도 적용할 수 있는 효과를 제공한다.
- [0066] 본 발명의 일 실시예에 따른 프린지-필드 스위칭 액정표시장치 및 그 제조방법은 공통전극과 화소전극이 자기정렬 구조를 가짐에 따라 공정편차가 발생하지 않아 액정패널의 화질품위를 향상시키는 효과를 제공한다.

도면의 간단한 설명

- [0067] 도 1은 일반적인 액정표시장치의 구조를 개략적으로 보여주는 분해사시도.
- 도 2는 일반적인 프린지-필드 스위칭 액정표시장치의 어레이 기판 일부를 개략적으로 보여주는 단면도.
- 도 3a 내지 도 3f는 도 2에 도시된 어레이 기판의 제조공정을 순차적으로 보여주는 단면도.
- 도 4는 본 발명의 제 1 실시예에 따른 프린지-필드 스위칭 액정표시장치의 어레이 기판 일부를 개략적으로 보여주는 평면도.
- 도 5a는 도 4에 도시된 본 발명의 제 1 실시예에 따른 프린지-필드 스위칭 액정표시장치의 어레이 기판에 있어, A-A'선 및 B-B'선에 따라 절단한 단면을 개략적으로 보여주는 도면.
- 도 5b는 도 4에 도시된 본 발명의 제 1 실시예에 따른 프린지-필드 스위칭 액정표시장치의 어레이 기판에 있어, C-C선 및 D-D선에 따라 절단한 단면을 개략적으로 보여주는 도면.
- 도 6a 내지 도 6c는 전압에 따른 투과율 특성을 예로 들어 보여주는 그래프.
- 도 7a 내지 도 7d는 도 4에 도시된 어레이 기판의 제조공정을 순차적으로 보여주는 평면도.
- 도 8a 내지 도 8d는 도 5a에 도시된 어레이 기판의 제조공정을 순차적으로 보여주는 단면도.
- 도 9a 내지 도 9d는 도 5b에 도시된 어레이 기판의 제조공정을 순차적으로 보여주는 단면도.

도 10a 내지 도 10c는 도 8c에 도시된 제 3 마스크공정을 구체적으로 보여주는 단면도.

도 11a 및 도 11b는 본 발명의 제 2 실시예에 따른 프린지-필드 스위칭 액정표시장치의 어레이 기관 일부를 개략적으로 보여주는 단면도.

도 12a 내지 도 12d는 도 11a에 도시된 어레이 기관의 제조공정을 순차적으로 보여주는 단면도.

도 13a 내지 도 13d는 도 11b에 도시된 어레이 기관의 제조공정을 순차적으로 보여주는 단면도.

도 14a 내지 도 14f는 도 12c에 도시된 제 3 마스크공정을 구체적으로 보여주는 단면도.

발명을 실시하기 위한 구체적인 내용

- [0068] 이하, 첨부한 도면을 참조하여 본 발명에 따른 프린지-필드 스위칭 액정표시장치 및 그 제조방법의 바람직한 실시예를 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [0069] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장될 수 있다.
- [0070] 소자(element) 또는 층이 다른 소자 또는 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않는 것을 나타낸다.
- [0071] 공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시, 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다.
- [0072] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며, 따라서 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0073] 도 4는 본 발명의 제 1 실시예에 따른 프린지-필드 스위칭 액정표시장치의 어레이 기관 일부를 개략적으로 보여주는 평면도이다.
- [0074] 이때, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만, 설명을 간단하게 하기 위해 도 4에는 화소부와, 데이터패드부 및 게이트패드부를 포함하는 하나의 화소를 예로 보여주고 있다.
- [0075] 도 5a는 도 4에 도시된 본 발명의 제 1 실시예에 따른 프린지-필드 스위칭 액정표시장치의 어레이 기관에 있어, A-A'선 및 B-B'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.
- [0076] 또한, 도 5b는 도 4에 도시된 본 발명의 제 1 실시예에 따른 프린지-필드 스위칭 액정표시장치의 어레이 기관에 있어, C-C선 및 D-D선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.
- [0077] 그리고, 도 6a 내지 도 6c는 전압에 따른 투과율 특성을 예로 들어 보여주는 그래프이다.
- [0078] 이때, 도 6a는 기존의 인-플레인 스위칭 액정표시장치에 대한 전압에 따른 투과율 특성을 보여주고, 도 6b는 기존의 프린지-필드 스위칭 액정표시장치에 대한 전압에 따른 투과율 특성을 보여주며, 도 6c는 본 발명에 따른 신규 프린지-필드 스위칭 액정표시장치에 대한 전압에 따른 투과율 특성을 예로 들어 보여준다.
- [0079] 도 4와, 도 5a 및 도 5b를 참조하면, 본 발명의 제 1 실시예에 따른 프린지-필드 스위칭 액정표시장치는 어레이 기관(110) 위에 중형으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)을 포함하여 구성될

수 있다.

- [0080] 이때, 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 화소영역 내에는 수평전계를 발생시켜 액정(미도시)을 구동시키는 다수의 슬릿(118s)을 가진 화소전극(118)과 핑거(finger) 형태의 공통전극(108)이 형성될 수 있다.
- [0081] 박막 트랜지스터는 게이트라인(116)에 연결된 게이트전극(121), 데이터라인(117)에 연결된 소오스전극(122) 및 화소전극(118)에 전기적으로 접속된 드레인전극(123)으로 구성될 수 있다. 또한, 박막 트랜지스터는 게이트전극(121)에 공급되는 게이트 전압에 의해 소오스전극(122)과 드레인전극(123) 간에 전도채널을 형성하는 액티브층(124)을 포함할 수 있다.
- [0082] 소오스전극(122)의 일부는 일 방향으로 연장되어 데이터라인(117)의 일부를 구성할 수 있으며, 드레인전극(123)의 일부는 화소영역 쪽으로 연장되어 제 1 콘택홀(140a)을 통해 화소전극(118)에 전기적으로 접속할 수 있다.
- [0083] 액티브층(124)의 소오스/드레인영역은 오믹-콘택층(125n)을 통해 소오스/드레인전극(122, 123)과 오믹-콘택을 형성할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0084] 이때, 데이터라인(117) 하부에는 액티브층(124)을 구성하는 비정질 실리콘 박막 및 오믹-콘택층(125)을 구성하는 n+ 비정질 실리콘 박막으로 이루어진 제 1 비정질 실리콘 박막패턴(120') 및 제 1 n+ 비정질 실리콘 박막패턴(125')이 형성될 수 있다.
- [0085] 전술한 바와 같이 화소영역 내에는 수평전계를 발생시키기 위한 다수의 슬릿(118s)을 가진 화소전극(118)과 공통전극(108)이 형성되어 있는데, 이때 공통전극(108)은 화소영역 내에 핑거 형태로 형성될 수 있다, 그리고, 화소전극(118)은 화소영역 전체에 사각형 형태로 형성되는 동시에 화소영역 내에 다수의 슬릿(118s)을 가지도록 형성되는 것을 특징으로 한다.
- [0086] 다만, 본 발명이 전술한 공통전극(108)과 화소전극(118)의 구조에 한정되는 것은 아니며, 일 예로 본 발명은 하부에 화소전극이 형성되고 상부에 다수의 슬릿을 가진 공통전극이 형성되는 경우에도 적용 가능하다.
- [0087] 본 발명의 제 1 실시예에 따른 공통전극(108)은 화소전극(118) 하부의 보호막(115b)에 구비된 트렌치(H) 내에 형성되는 것을 특징으로 하며, 이때 트렌치(H)는 화소전극(118)의 슬릿(118s) 하부에 위치하는 것을 특징으로 한다.
- [0088] 이와 같이 트렌치(H)가 구비된 보호막(115b) 상부 표면에 도전막을 증착하여, 트렌치(H) 내에 공통전극(108)을 형성하는 동시에 트렌치(H)를 제외한 보호막(115b) 위에 화소전극(118)을 형성하게 되면 공통전극(108)과 화소전극(118)이 자기정렬(self align) 구조를 구성하게 된다. 이에 따라 공정편차가 발생하지 않으며, 따라서 기존의 액정패널의 얼룩이나, 투과율 저하, 잔상 등의 불량이 방지되어 액정패널의 화질품위를 향상시키는 효과를 제공한다.
- [0089] 즉, 일 예로 액정패널의 경우 액정의 구동에 직접적인 관련이 있는 공통전극(108)과 화소전극(118)에 의해 얼룩 수준이 크게 변화하는데, 본 발명에 의하면 공통전극(108)과 화소전극(118) 사이에 공정편차가 발생하지 않아 액정패널의 얼룩이 방지될 수 있다.
- [0090] 이러한 트렌치(H)는 그 내부에 공통전극(108)이 화소전극(118)과 분리된 상태로 형성되도록 보호막(115b) 내에 역 방향의 테이퍼(reverse taper)를 가지도록 형성될 수 있다. 일 예로, 스퍼터링(sputtering)에 의한 증착 방식은 직진성을 가지며 도전막이 증착될 수 있어 보호막(115b) 내에 역 방향의 테이퍼를 가진 트렌치(H)가 존재하는 경우 보호막(115b) 상부의 화소전극(118)과 트렌치(H) 내의 공통전극(108)은 서로 분리될 수 있다.
- [0091] 이때, 공통전극(108)과 화소전극(118)이 서로 분리되기 위해서 보호막(115b) 내에 트렌치(H)는 공통전극(108)의 두께보다 큰 깊이를 가져야 한다.
- [0092] 트렌치(H)는 데이터라인(117)에 대해 실질적으로 동일한 방향으로 다수개 배치될 수 있으며, 따라서 공통전극(108) 역시 데이터라인(117)에 대해 실질적으로 동일한 방향으로 다수개 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 트렌치(H)와 공통전극(108)은 게이트라인(116)에 대해 실질적으로 동일한 방향으로 다수개 배치될 수도 있다.
- [0093] 이와 같이 본 발명에 따른 공통전극(108)은 화소전극(118)의 슬릿(118s) 하부에 화소전극(118)과 번갈아 배치되어 수평전계를 발생시키는데, 도 6a 내지 도 6c를 참조하면 본 발명에 따른 액정표시장치는 정상적인 구동이 가능하며, 특히 프린지-필드 스위칭 방식과 유사한 특성을 보이고 있음을 알 수 있다.

- [0094] 또한, 구동 효율 측면에서는 더욱 유리한데, 기존의 인-플레인 스위칭 및 프린지-필드 스위칭 방식의 경우 구동 전압이 약 4.7V 및 4.2V인데 비해, 본 발명에 따른 신규 프린지-필드 스위칭 방식의 경우 약 3.9V로 감소한 것을 알 수 있다.
- [0095] 이와 같이 본 발명의 제 1 실시예에 따른 프린지-필드 스위칭 액정표시장치는 공통전극(108)과 화소전극(118) 사이에 절연층이 존재하지 않아 잔상특성이 개선됨으로써 액정패널의 화질이 향상되는 효과를 제공한다.
- [0096] 또한, 본 발명의 제 1 실시예에 따른 프린지-필드 스위칭 액정표시장치는 구동 전압이 감소되는 한편 공통전극(108)과 화소전극(118)이 오버랩(overlap)되지 않아 대형 모델에 적용할 수 있는 효과를 가진다.
- [0097] 이때, 공통전극(108)은 적어도 일단이 연결라인(108L)에 의해 서로 연결될 수 있으며, 연결라인(108L)은 게이트라인(116)에 대해 실질적으로 동일한 방향으로 배치될 수 있다. 이러한 연결라인(108L)은 보호막(115b) 내에 구비된 다른 트렌치 내에 형성될 수 있으며, 연결라인(108L)의 일부는 게이트절연막(115a)과 보호막(115b)에 형성된 제 2 콘택홀(140b)을 통해 그 하부의 공통라인(1081)에 연결되어 공통전압을 인가 받을 수 있다.
- [0098] 공통라인(1081)은 게이트라인(116)에 대해 실질적으로 동일한 방향으로 배치될 수 있다.
- [0099] 이때, 제 1 콘택홀(140a)과 제 2 콘택홀(140b)은, 트렌치(H)와는 달리 제 1 콘택홀(140a)과 제 2 콘택홀(140b) 내에서 분리되지 않도록 보호막(115b) 내에 정 방향의 테이퍼를 가지도록 형성될 수 있다.
- [0100] 이와 같이 구성된 어레이 기판(110)의 가장자리 영역에는 데이터라인(117)과 게이트라인(116)에 각각 전기적으로 접속하는 데이터패드전극(127p)과 게이트패드전극(126p)이 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 데이터신호와 주사신호를 각각 데이터라인(117)과 게이트라인(116)에 전달할 수 있다.
- [0101] 즉, 데이터라인(117)과 게이트라인(116)은 구동회로부 쪽으로 연장되어 각각 해당하는 데이터패드라인(117p)과 게이트패드라인(116p)에 연결되며, 데이터패드라인(117p)과 게이트패드라인(116p)은 각각 제 3 콘택홀(140c)과 제 4 콘택홀(140d)을 통해 전기적으로 접속된 데이터패드전극(127p)과 게이트패드전극(126p)을 통해 구동회로부로부터 데이터신호와 주사신호를 인가 받을 수 있다.
- [0102] 이때, 데이터패드라인(117p) 하부에는 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어진 제 2 비정질 실리콘 박막패턴(120") 및 제 2 n+ 비정질 실리콘 박막패턴(125")이 형성될 수 있다.
- [0103] 여기서, 본 발명의 제 1 실시예에 따른 프린지-필드 스위칭 액정표시장치는 공통전극(108)과 화소전극(118)을 증착하기 전에 보호막(115b)에 역 방향의 테이퍼를 가진 트렌치(H)를 형성함으로써 공통전극(108)과 화소전극(118)을 한번의 마스크공정으로 형성할 수 있는데, 이를 다음의 프린지-필드 스위칭 액정표시장치의 제조방법을 통해 상세히 설명한다.
- [0104] 도 7a 내지 도 7d는 도 4에 도시된 어레이 기판의 제조공정을 순차적으로 보여주는 평면도이다.
- [0105] 도 8a 내지 도 8d는 도 5a에 도시된 어레이 기판의 제조공정을 순차적으로 보여주는 단면도로써, 화소부의 어레이 기판을 제조하는 공정을 보여준다.
- [0106] 그리고, 도 9a 내지 도 9d는 도 5b에 도시된 어레이 기판의 제조공정을 순차적으로 보여주는 단면도로써, 데이터패드부와 게이트패드부의 어레이 기판을 제조하는 공정을 보여준다.
- [0107] 도 7a와, 도 8a 및 도 9a를 참조하면, 유리wa와 같은 투명한 절연물질로 이루어진 어레이 기판(110)의 화소부에 게이트전극(121)과, 게이트라인(116) 및 공통라인(1081)을 형성하며, 어레이 기판(110)의 게이트패드부에 게이트패드라인(116p)을 형성한다.
- [0108] 이때, 게이트전극(121), 게이트라인(116), 공통라인(1081) 및 게이트패드라인(116p)은 제 1 도전막을 어레이 기판(110) 전면에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성할 수 있다.
- [0109] 여기서, 제 1 도전막으로 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 제 1 도전막은 저저항 도전물질이 두 가지 이상 적층된 다층구조로 형성할 수 있다.
- [0110] 다음으로, 도 7b와, 도 8b 및 도 9b를 참조하면, 게이트전극(121), 게이트라인(116), 공통라인(1081) 및 게이트패드라인(116p)이 형성된 어레이 기판(110) 전면에 제 1 절연막, 즉 게이트절연막(115a), 비정질 실리콘 박막,

n+ 비정질 실리콘 박막 및 제 2 도전막을 형성한다.

- [0111] 이때, 제 2 도전막은 소오스전극과, 드레인전극 및 데이터라인을 구성하기 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 이루어질 수 있다. 또한, 제 2 도전막은 저저항 도전물질이 두 가지 이상 적층된 다층구조로 형성할 수 있다.
- [0112] 이후, 포토리소그래피공정(제 2 마스크공정)을 통해 비정질 실리콘 박막과, n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거함으로써 어레이 기판(110)의 화소부에 비정질 실리콘 박막으로 이루어진 액티브층(124)을 형성하며, 액티브층(124) 상부에 제 2 도전막으로 이루어진 소오스전극(122)과 드레인전극(123)을 형성한다.
- [0113] 이때, 제 2 마스크공정을 통해 어레이 기판(110)의 데이터라인 영역에 제 2 도전막으로 이루어진 데이터라인(117)을 형성하는 동시에 어레이 기판(110)의 데이터패드부에 제 2 도전막으로 이루어진 데이터패드라인(117p)을 형성할 수 있다.
- [0114] 이때, 액티브층(124) 상부에는 n+ 비정질 실리콘 박막으로 이루어지며 액티브층(124)의 소오스/드레인영역과 소오스/드레인전극(122, 123) 사이를 오믹-콘택 시키는 오믹-콘택층(125n)이 형성될 수 있다.
- [0115] 또한, 데이터라인(117) 하부에는 비정질 실리콘 박막과 n+ 비정질 실리콘 박막으로 이루어지며 데이터라인(117)과 실질적으로 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(120')과 제 1 n+ 비정질 실리콘 박막패턴(125')이 형성될 수 있다.
- [0116] 그리고, 데이터패드라인(117p) 하부에는 비정질 실리콘 박막과 n+ 비정질 실리콘 박막으로 이루어지며 데이터패드라인(117p)과 실질적으로 동일한 형태로 패터닝된 제 2 비정질 실리콘 박막패턴(120'')과 제 2 n+ 비정질 실리콘 박막패턴(125'')이 형성될 수 있다.
- [0117] 여기서, 본 발명의 제 1 실시예에 따른 액티브층(124)과, 소오스/드레인전극(122, 123) 및 데이터라인(117)은 하프-톤 마스크를 이용함으로써 한번의 마스크공정(제 2 마스크공정)을 통해 동시에 형성할 수 있는데, 다만 본 발명이 이에 한정되는 것은 아니며 액티브층(124) 및 소오스/드레인전극(122, 123)과 데이터라인(117)은 두 번의 마스크공정을 통해 형성할 수도 있다.
- [0118] 다음으로, 도 7c와 도 8c 및 도 9c를 참조하면, 액티브층(124)과, 소오스/드레인전극(122, 123) 및 데이터라인(117)이 형성된 어레이 기판(110) 전면에는 제 2 절연막, 즉 보호막(115b)을 형성한다.
- [0119] 이후, 포토리소그래피공정(제 3 마스크공정)을 통해 제 2 절연막(115b)의 두께 일부를 선택적으로 제거함으로써 화소영역에 다수의 트렌치(H)를 형성할 수 있다.
- [0120] 이후, 포토리소그래피공정(제 4 마스크공정)을 통해 제 2 절연막(115b)의 일부영역을 선택적으로 제거함으로써 어레이 기판(110)의 화소부와, 데이터패드부 및 게이트패드부에 각각 드레인전극(123)과 공통라인(1081), 데이터패드라인(117p) 및 게이트패드라인(116p)의 일부를 노출시키는 제 1 콘택홀(140a)과 제 2 콘택홀(140b), 제 3 콘택홀(140c) 및 제 4 콘택홀(140d)을 형성할 수 있다.
- [0121] 이때, 트렌치(H)는 데이터라인(117)에 대해 실질적으로 평행한 방향으로 형성될 수 있으며, 그 일단이 게이트라인(116)에 대해 실질적으로 평행한 방향으로 형성된 다른 트렌치에 의해 연결될 수 있다. 또한, 적어도 하나의 트렌치(H) 일단은 제 2 콘택홀(140b) 내에 형성될 수 있다.
- [0122] 이때, 제 1 콘택홀(140a)과 제 2 콘택홀(140b), 제 3 콘택홀(140c) 및 제 4 콘택홀(140d)은 제 2 절연막(115b) 내에 정 방향의 테이퍼를 가지도록 형성되는 반면에 트렌치(H)는 제 2 절연막(115b) 내에 역 방향의 테이퍼를 가지도록 형성될 수 있다.
- [0123] 이러한 다수의 콘택홀(140a, 140b, 140c, 140d) 및 트렌치(H)는 두 번의 마스크공정을 통해 서로 다른 깊이와 테이퍼 방향을 가지도록 형성될 수 있는데, 이를 다음의 도면을 참조하여 상세히 설명한다.
- [0124] 도 10a 내지 도 10c는 도 8c에 도시된 제 3 마스크공정을 구체적으로 보여주는 단면도이다.
- [0125] 도 10a를 참조하면, 액티브층(124)과, 소오스/드레인전극(122, 123) 및 데이터라인(117)이 형성된 어레이 기판(110) 전면에는 제 2 절연막(115b)을 형성한다.
- [0126] 이후, 도 10b를 참조하면, 제 3 마스크공정을 통해 제 2 절연막(115b)의 두께 일부를 선택적으로 제거함으로써 화소영역에 다수의 트렌치(H)를 형성한다.

- [0127] 이때, 트렌치(H)는 데이터라인(117)에 대해 실질적으로 평행한 방향으로 형성될 수 있으며, 그 일단이 게이트라인(116)에 대해 실질적으로 평행한 방향으로 형성된 다른 트렌치에 의해 연결될 수 있다.
- [0128] 트렌치(H)는 공통전극과 화소전극이 서로 분리되기 위해서 제 2 절연막(115b) 내에 역 방향의 테이퍼를 가지도록 형성될 수 있으며, 공통전극의 두께보다 큰 깊이를 가지도록 형성될 수 있다.
- [0129] 이후, 도 10c를 참조하면, 제 4 마스크공정을 통해 제 2 절연막(115b)의 일부영역을 선택적으로 제거함으로써 어레이 기관(110)의 화소부와, 데이터패드부 및 게이트패드부에 각각 드레인전극(123)과 공통라인(1081), 데이터패드라인(117p) 및 게이트패드라인(116p)의 일부를 노출시키는 제 1 콘택홀(140a)과 제 2 콘택홀(140b), 제 3 콘택홀(140c) 및 제 4 콘택홀(140d)을 형성한다.
- [0130] 이때, 제 1 콘택홀(140a)과 제 2 콘택홀(140b), 제 3 콘택홀(140c) 및 제 4 콘택홀(140d)은 제 2 절연막(115b) 내에 정 방향의 테이퍼를 가지도록 형성될 수 있다.
- [0131] 또한, 적어도 하나의 트렌치(H) 일단은 제 2 콘택홀(140b) 내에 형성될 수 있다. 이 경우 트렌치(H)와 제 2 콘택홀(140b)이 겹치는 부분에서는 제 2 절연막(115b)에 역 방향의 테이퍼와 정 방향의 테이퍼가 함께 형성될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 다른 형태의 테이퍼가 형성될 수도 있다.
- [0132] 이와 같이 본 발명의 제 1 실시예에서는 두 번의 마스크공정을 통해 서로 다른 깊이와 테이퍼 방향을 가지도록 다수의 콘택홀(140a, 140b, 140c, 140d) 및 트렌치(H)를 형성하는 경우를 예로 들고 있으나, 본 발명이 이에 한정되는 것은 아니다. 슬릿(slit)을 포함하는 하프-톤 마스크를 이용함으로써 한번의 마스크공정으로 다수의 콘택홀 및 트렌치를 형성할 수도 있으며, 이는 후술하는 본 발명의 제 2 실시예를 통해 상세히 설명될 것이다.
- [0133] 또한, 본 발명의 제 1 실시예에서는 트렌치(H)를 형성한 후에 다수의 콘택홀(140a, 140b, 140c, 140d)을 형성하는 경우를 예로 들고 있으나, 본 발명이 이에 한정되는 것은 아니며, 다수의 콘택홀(140a, 140b, 140c, 140d)을 형성한 후에 트렌치(H)를 형성할 수도 있다.
- [0134] 다음으로, 도 7d와, 도 8d 및 도 9d를 참조하면, 다수의 콘택홀(140a, 140b, 140c, 140d) 및 트렌치(H)가 형성된 제 2 절연막(115b) 전면에 투명한 도전물질로 이루어진 제 3 도전막을 형성한다.
- [0135] 이후, 포토리소그래피공정(제 5 마스크공정)을 이용하여 제 3 도전막을 선택적으로 패터닝함으로써 화소영역 내에 다수의 슬릿(118s)을 가진 화소전극(118)을 형성하는 동시에, 트렌치(H) 내에 다수의 공통전극(108) 및 연결라인(108L)을 형성한다.
- [0136] 이때, 화소전극(118)은 제 1 콘택홀(140a)을 통해 드레인전극(123)과 전기적으로 접속하며, 화소영역 전체에 사각형 형태로 형성될 수 있다.
- [0137] 또한, 공통전극(108)은 화소전극(118) 하부의 트렌치(H) 내에 형성될 수 있으며, 이때 트렌치(H)는 화소전극(118)의 슬릿(118s) 하부에 위치하는 것을 특징으로 한다.
- [0138] 공통전극(108)은 적어도 일단이 연결라인(108L)에 의해 서로 연결될 수 있으며, 연결라인(108L)은 게이트라인(116)에 대해 실질적으로 동일한 방향으로 배치될 수 있다.
- [0139] 연결라인(108L)의 일부는 제 2 콘택홀(140b)을 통해 공통라인(1081)에 연결되어 공통전압을 인가 받을 수 있다.
- [0140] 이와 같이 트렌치(H)가 구비된 제 2 절연막(115b) 상부 표면에 제 3 도전막을 증착하여, 트렌치(H) 내에 공통전극(108)을 형성하는 동시에 트렌치(H)를 제외한 화소영역의 제 2 절연막(115b) 위에 화소전극(118)을 형성하게 되면 공통전극(108)과 화소전극(118)이 자기정렬 구조를 구성하게 된다.
- [0141] 이때, 제 5 마스크공정을 이용하여 제 3 도전막을 선택적으로 패터닝함으로써 데이터패드부 및 게이트패드부에 각각 제 3 콘택홀(140c) 및 제 4 콘택홀(140d)을 통해 데이터패드라인(117p) 및 게이트패드라인(116p)에 전기적으로 접속하는 데이터패드전극(127p) 및 게이트패드전극(126p)을 형성할 수 있다.
- [0142] 제 3 도전막은 공통전극(108)과 화소전극(118) 및 데이터패드전극(127p)과 게이트패드전극(126p)을 형성하기 위해 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전물질로 이루어질 수 있다.
- [0143] 한편, 전술한 바와 같이 슬릿을 포함하는 하프-톤 마스크를 이용함으로써 다수의 콘택홀 및 트렌치를 한번의 마스크공정으로 형성할 수 있으며, 이를 도면을 참조하여 상세히 설명한다.

- [0144] 도 11a 및 도 11b는 본 발명의 제 2 실시예에 따른 프린지-필드 스위칭 액정표시장치의 어레이 기관 일부를 개략적으로 보여주는 단면도이다.
- [0145] 이때, 도 11a는 화소부 어레이 기관의 단면을 보여주며, 도 11b는 데이터패드부 및 게이트패드부 어레이 기관의 단면을 예로 들어 보여준다.
- [0146] 도 11a 및 도 11b를 참조하면, 본 발명의 제 2 실시예에 따른 프린지-필드 스위칭 액정표시장치는 어레이 기관(210) 위에 중첩으로 배열되어 화소영역을 정의하는 게이트라인(미도시)과 데이터라인(217)을 포함하여 구성될 수 있다.
- [0147] 이때, 게이트라인과 데이터라인(217)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 화소영역 내에는 수평전계를 발생시켜 액정(미도시)을 구동시키는 다수의 슬릿(218s)을 가진 화소전극(218)과 핑거 형태의 공통전극(208)이 형성될 수 있다.
- [0148] 이때, 박막 트랜지스터는 게이트라인에 연결된 게이트전극(221), 데이터라인(217)에 연결된 소오스전극(222) 및 화소전극(218)에 전기적으로 접속된 드레인전극(223)으로 구성될 수 있다. 또한, 박막 트랜지스터는 게이트전극(221)에 공급되는 게이트 전압에 의해 소오스전극(222)과 드레인전극(223) 간에 전도채널을 형성하는 액티브층(224)을 포함할 수 있다.
- [0149] 소오스전극(222)의 일부는 일 방향으로 연장되어 데이터라인(217)의 일부를 구성할 수 있으며, 드레인전극(223)의 일부는 화소영역 쪽으로 연장되어 제 1 콘택홀을 통해 화소전극(218)에 전기적으로 접속할 수 있다.
- [0150] 액티브층(224)의 소오스/드레인영역은 오믹-콘택층(225n)을 통해 소오스/드레인전극(222, 223)과 오믹-콘택을 형성할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0151] 이때, 데이터라인(217) 하부에는 액티브층(224)을 구성하는 비정질 실리콘 박막 및 오믹-콘택층(225)을 구성하는 n+ 비정질 실리콘 박막으로 이루어진 제 1 비정질 실리콘 박막패턴(220') 및 제 1 n+ 비정질 실리콘 박막패턴(225')이 형성될 수 있다.
- [0152] 전술한 바와 같이 화소영역 내에는 수평전계를 발생시키기 위한 다수의 슬릿(218s)을 가진 화소전극(218)과 공통전극(208)이 형성되어 있는데, 이때 공통전극(208)은 화소영역 내에 핑거 형태로 형성될 수 있다, 그리고, 화소전극(218)은 화소영역 전체에 사각형 형태로 형성되는 동시에 화소영역 내에 다수의 슬릿(218s)을 가지도록 형성되는 것을 특징으로 한다.
- [0153] 다만, 본 발명이 전술한 공통전극(208)과 화소전극(218)의 구조에 한정되는 것은 아니며, 일 예로 본 발명은 하부에 화소전극이 형성되고 상부에 다수의 슬릿을 가진 공통전극이 형성되는 경우에도 적용 가능하다.
- [0154] 전술한 본 발명의 제 1 실시예와 실질적으로 동일하게 본 발명의 제 2 실시예에 따른 공통전극(208)은 화소전극(218) 하부의 보호막(215b)에 구비된 트렌치(H) 내에 형성되는 것을 특징으로 하며, 트렌치(H)는 화소전극(218)의 슬릿(218s) 하부에 위치하는 것을 특징으로 한다.
- [0155] 전술한 바와 같이 트렌치(H)가 구비된 보호막(215b) 상부 표면에 도전막을 증착하여, 트렌치(H) 내에 공통전극(208)을 형성하는 동시에 트렌치(H)를 제외한 보호막(215b) 위에 화소전극(218)을 형성하게 되면 공통전극(208)과 화소전극(218)이 자기정렬 구조를 구성하게 된다. 이에 따라 공정편차가 발생하지 않으며, 따라서 기존의 액정패널의 얼룩이나, 투과율 저하, 잔상 등의 불량이 방지되어 액정패널의 화질품위를 향상시키는 효과를 제공한다.
- [0156] 이러한 트렌치(H)는 그 내부에 공통전극(208)이 화소전극(218)과 분리된 상태로 형성되도록 보호막(215b) 내에 역 방향의 테이퍼를 가지도록 형성될 수 있다. 일 예로, 스퍼터링에 의한 증착 방식은 직진성을 가지며 도전막이 증착될 수 있어 보호막(215b) 내에 역 방향의 테이퍼를 가진 트렌치(H)가 존재하는 경우 보호막(215b) 상부의 화소전극(218)과 트렌치(H) 내의 공통전극(208)은 서로 분리될 수 있다.
- [0157] 이때, 공통전극(208)과 화소전극(218)이 서로 분리되기 위해서 보호막(215b) 내에 트렌치(H)는 공통전극(208)의 두께보다 큰 깊이를 가져야 한다.
- [0158] 트렌치(H)는 데이터라인(217)에 대해 실질적으로 동일한 방향으로 다수개 배치될 수 있으며, 따라서 공통전극(208) 역시 데이터라인(217)에 대해 실질적으로 동일한 방향으로 다수개 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 트렌치(H)와 공통전극(208)은 게이트라인에 대해 실질적으로 동일한 방향으로 다수개 배

치될 수도 있다.

- [0159] 전술한 바와 같이 본 발명의 제 2 실시예에 따른 프린지-필드 스위칭 액정표시장치는 공통전극(208)과 화소전극(218) 사이에 절연층이 존재하지 않아 잔상특성이 개선됨으로써 액정패널의 화질이 향상되는 효과를 제공한다.
- [0160] 또한, 본 발명의 제 2 실시예에 따른 프린지-필드 스위칭 액정표시장치는 구동 전압이 감소되는 한편 공통전극(208)과 화소전극(218)이 오버랩 되지 않아 대형 모델에 적용할 수 있는 효과를 가진다.
- [0161] 이때, 공통전극(208)은 적어도 일단이 연결라인(208L)에 의해 서로 연결될 수 있으며, 연결라인(208L)은 게이트라인에 대해 실질적으로 동일한 방향으로 배치될 수 있다. 이러한 연결라인(208L)은 보호막(215b) 내에 구비된 다른 트렌치 내에 형성될 수 있으며, 연결라인(208L)의 일부는 게이트절연막(215a)과 보호막(215b)에 형성된 제 2 콘택홀을 통해 그 하부의 공통라인(2081)에 연결되어 공통전압을 인가 받을 수 있다.
- [0162] 공통라인(2081)은 게이트라인에 대해 실질적으로 동일한 방향으로 배치될 수 있다.
- [0163] 이때, 제 1 콘택홀과 제 2 콘택홀은, 트렌치(H)와는 달리 제 1 콘택홀과 제 2 콘택홀 내에서 분리되지 않도록 보호막(215b) 내에 정 방향의 테이퍼를 가지도록 형성될 수 있다.
- [0164] 이와 같이 구성된 어레이 기관(210)의 가장자리 영역에는 데이터라인(217)과 게이트라인에 각각 전기적으로 접속하는 데이터패드전극(227p)과 게이트패드전극(226p)이 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 데이터신호와 주사신호를 각각 데이터라인(217)과 게이트라인에 전달할 수 있다.
- [0165] 즉, 데이터라인(217)과 게이트라인은 구동회로부 쪽으로 연장되어 각각 해당하는 데이터패드라인(217p)과 게이트패드라인(216p)에 연결되며, 데이터패드라인(217p)과 게이트패드라인(216p)은 각각 제 3 콘택홀과 제 4 콘택홀을 통해 전기적으로 접속된 데이터패드전극(227p)과 게이트패드전극(226p)을 통해 구동회로부로부터 데이터신호와 주사신호를 인가 받을 수 있다.
- [0166] 이때, 데이터패드라인(217p) 하부에는 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어진 제 2 비정질 실리콘 박막패턴(220") 및 제 2 n+ 비정질 실리콘 박막패턴(225")이 형성될 수 있다.
- [0167] 여기서, 본 발명의 제 2 실시예에 따른 프린지-필드 스위칭 액정표시장치는 전술한 본 발명의 제 1 실시예와 실질적으로 동일하게, 공통전극(208)과 화소전극(218)을 증착하기 전에 보호막(215b)에 역 방향의 테이퍼를 가진 트렌치(H)를 형성함으로써 공통전극(208)과 화소전극(218)을 한번의 마스크공정으로 형성할 수 있다. 또한, 본 발명의 제 2 실시예에 따른 프린지-필드 스위칭 액정표시장치는 슬릿을 포함하는 하프-톤 마스크를 이용함으로써 보호막(215b)에 역 방향의 테이퍼를 가진 트렌치(H)와 정 방향의 테이퍼를 가진 다수의 콘택홀을 한번의 마스크공정으로 형성할 수 있는데, 이를 다음의 프린지-필드 스위칭 액정표시장치의 제조방법을 통해 상세히 설명한다.
- [0168] 도 12a 내지 도 12d는 도 11a에 도시된 어레이 기관의 제조공정을 순차적으로 보여주는 단면도로서, 화소부의 어레이 기관을 제조하는 공정을 보여준다.
- [0169] 그리고, 도 13a 내지 도 13d는 도 11b에 도시된 어레이 기관의 제조공정을 순차적으로 보여주는 단면도로서, 데이터패드부와 게이트패드부의 어레이 기관을 제조하는 공정을 보여준다.
- [0170] 도 12a 및 도 13a를 참조하면, 유리(10)와 같은 투명한 절연물질로 이루어진 어레이 기관(210)의 화소부에 게이트전극(221)과, 게이트라인(미도시) 및 공통라인(2081)을 형성하며, 어레이 기관(210)의 게이트패드부에 게이트패드라인(216p)을 형성한다.
- [0171] 이때, 게이트전극(221), 게이트라인, 공통라인(2081) 및 게이트패드라인(216p)은 제 1 도전막을 어레이 기관(210) 전면에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성할 수 있다.
- [0172] 여기서, 제 1 도전막으로 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 제 1 도전막은 저저항 도전물질이 두 가지 이상 적층된 다층 구조로 형성할 수 있다.
- [0173] 다음으로, 도 12b 및 도 13b를 참조하면, 게이트전극(221), 게이트라인, 공통라인(2081) 및 게이트패드라인(216p)이 형성된 어레이 기관(210) 전면에 제 1 절연막, 즉 게이트절연막(215a), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 형성한다.
- [0174] 이때, 제 2 도전막은 소오스전극과, 드레인전극 및 데이터라인을 구성하기 위해 알루미늄, 알루미늄 합금, 텅스

텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 이루어질 수 있다. 또한, 제 2 도전막은 저저항 도전물질이 두 가지 이상 적층된 다층구조로 형성할 수 있다.

- [0175] 이후, 포토리소그래피공정(제 2 마스크공정)을 통해 비정질 실리콘 박막과, n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거함으로써 어레이 기판(210)의 화소부에 비정질 실리콘 박막으로 이루어진 액티브층(224)을 형성하며, 액티브층(224) 상부에 제 2 도전막으로 이루어진 소오스전극(222)과 드레인전극(223)을 형성한다.
- [0176] 이때, 제 2 마스크공정을 통해 어레이 기판(210)의 데이터라인 영역에 제 2 도전막으로 이루어진 데이터라인(217)을 형성하는 동시에 어레이 기판(210)의 데이터패드부에 제 2 도전막으로 이루어진 데이터패드라인(217p)을 형성할 수 있다.
- [0177] 이때, 액티브층(224) 상부에는 n+ 비정질 실리콘 박막으로 이루어지며 액티브층(224)의 소오스/드레인영역과 소오스/드레인전극(222, 223) 사이를 오믹-콘택 시키는 오믹-콘택층(225n)이 형성될 수 있다.
- [0178] 또한, 데이터라인(217) 하부에는 비정질 실리콘 박막과 n+ 비정질 실리콘 박막으로 이루어지며 데이터라인(217)과 실질적으로 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(220')과 제 1 n+ 비정질 실리콘 박막패턴(225')이 형성될 수 있다.
- [0179] 그리고, 데이터패드라인(217p) 하부에는 비정질 실리콘 박막과 n+ 비정질 실리콘 박막으로 이루어지며 데이터패드라인(217p)과 실질적으로 동일한 형태로 패터닝된 제 2 비정질 실리콘 박막패턴(220'')과 제 2 n+ 비정질 실리콘 박막패턴(225'')이 형성될 수 있다.
- [0180] 여기서, 본 발명의 제 2 실시예에 따른 액티브층(224)과, 소오스/드레인전극(222, 223) 및 데이터라인(217)은 하프-톤 마스크를 이용함으로써 한번의 마스크공정(제 2 마스크공정)을 통해 동시에 형성할 수 있는데, 다만 본 발명이 이에 한정되는 것은 아니며 액티브층(224) 및 소오스/드레인전극(222, 223)과 데이터라인(217)은 두 번의 마스크공정을 통해 형성할 수도 있다.
- [0181] 다음으로, 도 12c 및 도 13c를 참조하면, 액티브층(224)과, 소오스/드레인전극(222, 223) 및 데이터라인(217)이 형성된 어레이 기판(210) 전면에는 제 2 절연막, 즉 보호막(215b)을 형성한다.
- [0182] 이후, 포토리소그래피공정(제 3 마스크공정)을 통해 제 2 절연막(215b)의 두께 일부를 선택적으로 제거함으로써 화소영역에 다수의 트렌치(H)를 형성할 수 있다.
- [0183] 이와 함께, 제 3 마스크공정을 통해 제 2 절연막(215b)의 일부영역을 선택적으로 제거함으로써 어레이 기판(210)의 화소부와, 데이터패드부 및 게이트패드부에 각각 드레인전극(223)과 공통라인(2081), 데이터패드라인(217p) 및 게이트패드라인(216p)의 일부를 노출시키는 제 1 콘택홀(240a)과 제 2 콘택홀(240b), 제 3 콘택홀(240c) 및 제 4 콘택홀(240d)을 형성할 수 있다.
- [0184] 이때, 트렌치(H)는 데이터라인(217)에 대해 실질적으로 평행한 방향으로 형성될 수 있으며, 그 일단이 게이트라인(216)에 대해 실질적으로 평행한 방향으로 형성된 다른 트렌치에 의해 연결될 수 있다. 또한, 적어도 하나의 트렌치(H) 일단은 제 2 콘택홀(240b) 내에 형성될 수 있다.
- [0185] 이때, 제 1 콘택홀(240a)과 제 2 콘택홀(240b), 제 3 콘택홀(240c) 및 제 4 콘택홀(240d)은 제 2 절연막(215b) 내에 정 방향의 테이퍼를 가지도록 형성되는 반면에 트렌치(H)는 제 2 절연막(215b) 내에 역 방향의 테이퍼를 가지도록 형성될 수 있다.
- [0186] 이러한 다수의 콘택홀(240a, 240b, 240c, 240d) 및 트렌치(H)는 슬릿을 포함하는 하프-톤 마스크를 이용함으로써 한번의 마스크공정을 통해 서로 다른 깊이와 테이퍼 방향을 가지도록 형성될 수 있는데, 이를 다음의 도면을 참조하여 상세히 설명한다.
- [0187] 도 14a 내지 도 14f는 도 12c에 도시된 제 3 마스크공정을 구체적으로 보여주는 단면도이다.
- [0188] 도 14a를 참조하면, 액티브층(224)과, 소오스/드레인전극(222, 223) 및 데이터라인(217)이 형성된 어레이 기판(210) 전면에는 제 2 절연막(215b)을 형성한다.
- [0189] 이후, 도 14b를 참조하면, 제 2 절연막(215b)이 형성된 어레이 기판(210) 위에 포토레지스트와 같은 감광성물질로 이루어진 감광막(250)을 형성한 후 본 발명의 제 2 실시예에 따른 하프-톤 마스크(260)를 통해 감광막(250)에 선택적으로 광을 조사한다.

- [0190] 이때, 하프-톤 마스크(260)에는 조사된 광을 모두 투과시키는 제 1 투과영역(I)과, 광의 일부만 투과시키고 일부는 차단하는 제 2 투과영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 콘택홀을 형성하기 위한 제 1 투과영역(I) 주위에는 소정의 슬릿영역(IV)이 마련되어 있는 것을 특징으로 한다.
- [0191] 이때, 슬릿영역(IV)은 하프-톤 마스크(260) 이용 시 콘택홀에서 전극이 분리되는 것을 방지하고자 구비되며, 이에 따라 2차 건식각 후에도 콘택홀의 제 2 절연막(215b) 내에 정 방향의 테이퍼가 형성될 수 있다.
- [0192] 이러한 하프-톤 마스크(260)를 투과한 광만이 제 2 감광막(250)에 조사되게 된다.
- [0193] 이어서, 하프-톤 마스크(260)를 통해 노광된 감광막(250)을 현상하고 나면, 도 14c에 도시된 바와 같이, 차단영역(III)과, 제 2 투과영역(II) 및 슬릿영역(IV)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 제 1 감광막패턴(250a) 내지 제 3 감광막패턴(250c)이 남아있게 되고, 모든 광이 투과된 제 1 투과영역(I)에는 감광막이 완전히 제거되어 제 2 절연막(215b) 표면이 노출된다.
- [0194] 이때, 차단영역(III)에 형성된 제 1 감광막패턴(250a)과 슬릿영역(IV)에 형성된 제 3 감광막패턴(250c)은 제 2 투과영역(II)을 통해 형성된 제 2 감광막패턴(250b)보다 두껍게 형성된다. 또한, 제 1 투과영역(I)을 통해 광이 모두 투과된 영역에는 감광막이 완전히 제거되는데, 이것은 포지티브 타입의 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 타입의 포토레지스트를 사용하여도 무방하다.
- [0195] 이후, 도 14d를 참조하면, 제 1 감광막패턴(250a) 내지 제 3 감광막패턴(250c)을 마스크로 하여, 제 2 절연막(215b)의 일부영역을 선택적으로 제거하면, 어레이 기판(210)의 화소부에 드레인전극(223)과 공통라인(2081)의 일부를 노출시키는 제 1 콘택홀(240a)과 제 2 콘택홀(240b)이 형성된다.
- [0196] 또한, 어레이 기판(210)의 데이터패드부와 게이트패드부에 데이터패드라인(217p)과 게이트패드라인(216p)의 일부를 노출시키는 제 3 콘택홀(240c)과 제 4 콘택홀(240d)이 형성된다(도 13c 참조).
- [0197] 이때, 제 1 콘택홀(240a)과 제 2 콘택홀(240b), 제 3 콘택홀(240c) 및 제 4 콘택홀(240d)은 제 2 절연막(215b) 내에 정 방향의 테이퍼를 가지도록 형성될 수 있다.
- [0198] 이후, 제 1 감광막패턴(250a) 내지 제 3 감광막패턴(250c)의 두께 일부를 제거하는 애싱공정을 진행하게 되면, 도 14e에 도시된 바와 같이, 제 2 투과영역(II)의 제 2 감광막패턴이 완전히 제거된다.
- [0199] 이때, 제 1 감광막패턴 및 제 3 감광막패턴은 제 2 감광막패턴의 두께만큼이 제거된 제 4 감광막패턴(250a') 및 제 5 감광막패턴(250c')으로 차단영역(III) 및 슬릿영역(IV)에 대응하는 영역에만 남아있게 된다.
- [0200] 다음으로, 도 14f를 참조하면, 제 4 감광막패턴(250a') 및 제 5 감광막패턴(250c')을 마스크로 하여, 제 2 절연막(215b)의 일부 두께를 선택적으로 제거하면, 화소영역에 다수의 트렌치(H)가 형성된다.
- [0201] 이때, 트렌치(H)는 데이터라인(217)에 대해 실질적으로 평행한 방향으로 형성될 수 있으며, 그 일단이 게이트라인에 대해 실질적으로 평행한 방향으로 형성된 다른 트렌치에 의해 연결될 수 있다.
- [0202] 트렌치(H)는 후에 형성되는 공통전극과 화소전극이 서로 분리되기 위해서 제 2 절연막(215b) 내에 역 방향의 테이퍼를 가지도록 형성될 수 있으며, 공통전극의 두께보다 큰 깊이를 가지도록 형성될 수 있다.
- [0203] 또한, 적어도 하나의 트렌치(H) 일단은 제 2 콘택홀(240b) 내에 형성될 수 있다. 이 경우 트렌치(H)와 제 2 콘택홀(240b)이 겹치는 부분에서는 제 2 절연막(215b)에 역 방향의 테이퍼와 정 방향의 테이퍼가 함께 형성될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 다른 형태의 테이퍼가 형성될 수도 있다.
- [0204] 또한, 제 1 콘택홀(240a) 주위의 슬릿영역(IV)에서는 노광의 제어로 제 2 절연막(215b)의 2차 건식각 후에도 정 방향의 테이퍼가 유지될 수 있다.
- [0205] 다음으로, 도 12d 및 도 13d를 참조하면, 다수의 콘택홀(240a, 240b, 240c, 240d) 및 트렌치(H)가 형성된 제 2 절연막(215b) 전면에 투명한 도전물질로 이루어진 제 3 도전막을 형성한다.
- [0206] 이후, 포토리소그래피공정(제 4 마스크공정)을 이용하여 제 3 도전막을 선택적으로 패터닝함으로써 화소영역 내에 다수의 슬릿(218s)을 가진 화소전극(218)을 형성하는 동시에, 트렌치(H) 내에 다수의 공통전극(208) 및 연결라인(208L)을 형성한다.
- [0207] 이때, 화소전극(218)은 제 1 콘택홀(240a)을 통해 드레인전극(223)과 전기적으로 접속하며, 화소영역 전체에 사각형 형태로 형성될 수 있다.

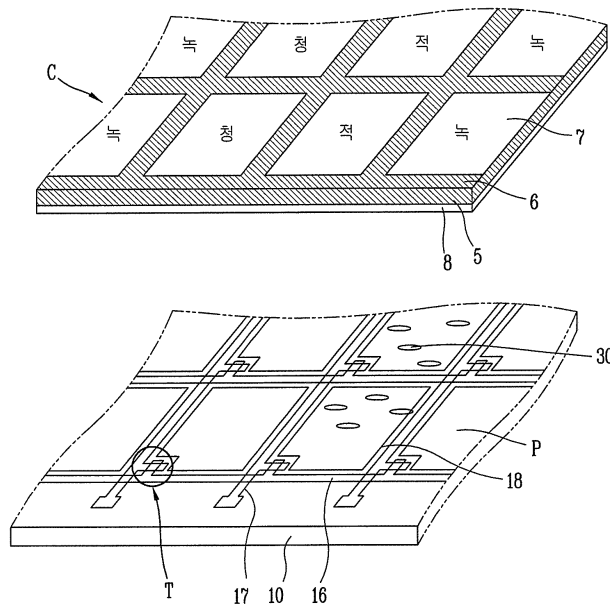
- [0208] 또한, 공통전극(208)은 화소전극(218) 하부의 트렌치(H) 내에 형성될 수 있으며, 이때 트렌치(H)는 화소전극(218)의 슬릿(218s) 하부에 위치하는 것을 특징으로 한다.
- [0209] 공통전극(208)은 적어도 일단이 연결라인(208L)에 의해 서로 연결될 수 있으며, 연결라인(208L)은 게이트라인에 대해 실질적으로 동일한 방향으로 배치될 수 있다.
- [0210] 연결라인(208L)의 일부는 제 2 콘택홀(240b)을 통해 공통라인(2081)에 연결되어 공통전압을 인가 받을 수 있다.
- [0211] 이와 같이 트렌치(H)가 구비된 제 2 절연막(215b) 상부 표면에 제 3 도전막을 증착하여, 트렌치(H) 내에 공통전극(208)을 형성하는 동시에 트렌치(H)를 제외한 화소영역의 제 2 절연막(215b) 위에 화소전극(218)을 형성하게 되면 공통전극(208)과 화소전극(218)이 자기정렬 구조를 구성하게 된다.
- [0212] 이때, 제 4 마스크공정을 이용하여 제 3 도전막을 선택적으로 패터닝함으로써 데이터패드부 및 게이트패드부에 각각 제 3 콘택홀(240c) 및 제 4 콘택홀(240d)을 통해 데이터패드라인(217p) 및 게이트패드라인(216p)에 전기적으로 접속하는 데이터패드전극(227p) 및 게이트패드전극(226p)을 형성할 수 있다.
- [0213] 제 3 도전막은 공통전극(208)과 화소전극(218) 및 데이터패드전극(227p)과 게이트패드전극(226p)을 형성하기 위해 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투과율이 뛰어난 투명한 도전물질로 이루어질 수 있다.
- [0214] 이와 같이 구성된 본 발명에 따른 어레이 기판은 화상표시 영역의 외곽에 형성된 실린트에 의해 컬러필터 기판과 대향하여 합착되게 되는데, 이때 컬러필터 기판에는 박막 트랜지스터와, 게이트라인 및 데이터라인으로 빛이 새는 것을 방지하는 블랙매트릭스와 적색과, 녹색 및 청색의 컬러를 구현하기 위한 컬러필터가 형성되어 있다.
- [0215] 이때, 컬러필터 기판과 어레이 기판의 합착은 컬러필터 기판 또는 어레이 기판에 형성된 합착키를 통해 이루어진다.
- [0216] 또한, 이와 같이 구성된 본 발명에 따른 프린지-필드 스위칭 액정표시장치는 액티브층으로 비정질 실리콘 박막을 이용한 경우를 예로 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며, 본 발명은 액티브층으로 다결정 실리콘 박막이나 산화물 반도체, 또는 유기물 반도체를 이용한 경우에도 적용된다.
- [0217] 또한, 본 발명은 액정표시장치뿐만 아니라 박막 트랜지스터를 이용하여 제작하는 다른 표시장치, 예를 들면 구동 트랜지스터에 유기발광다이오드가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.
- [0218] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정해질 수 있다.

부호의 설명

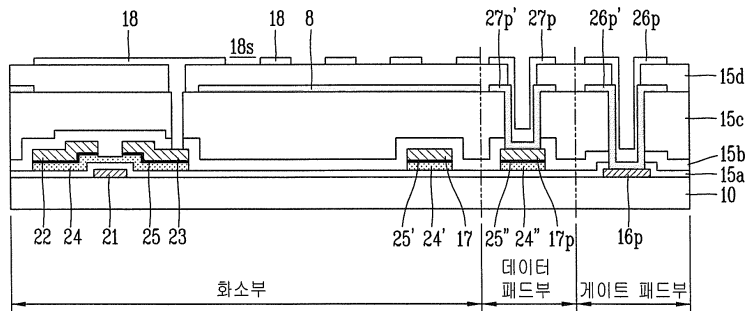
- [0219] 108,208 : 공통전극 115a,215a : 제 1 절연막
- 115b,215b : 제 2 절연막 118,218 : 화소전극
- 118s,218s : 슬릿 121,221 : 게이트전극
- 122,222 : 소오스전극 123,223 : 드레인전극
- 124,224 : 액티브층 H :트렌치

도면

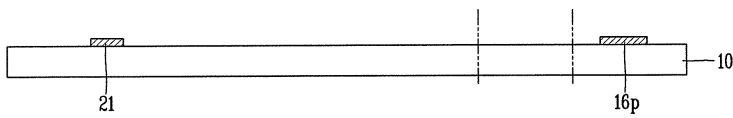
도면1



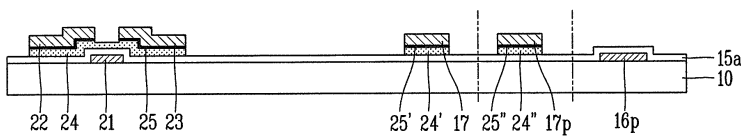
도면2



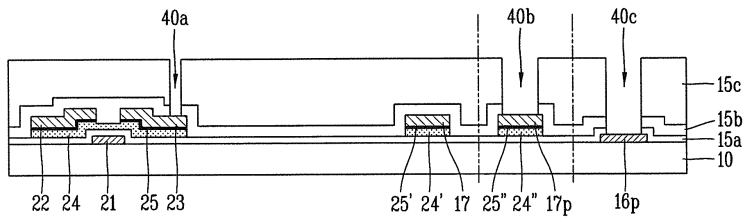
도면3a



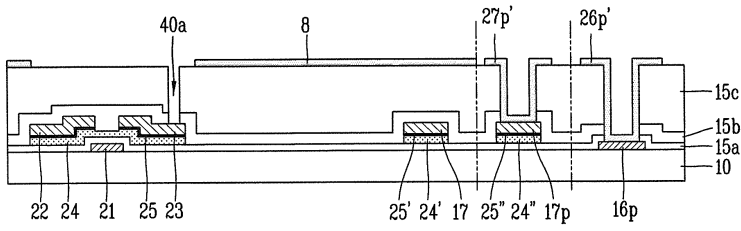
도면3b



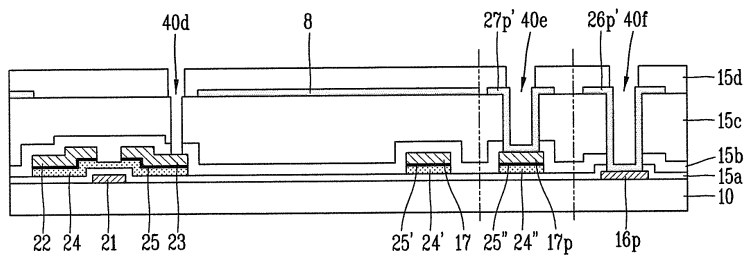
도면3c



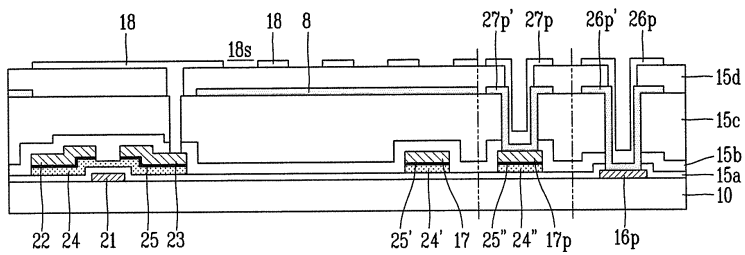
도면3d



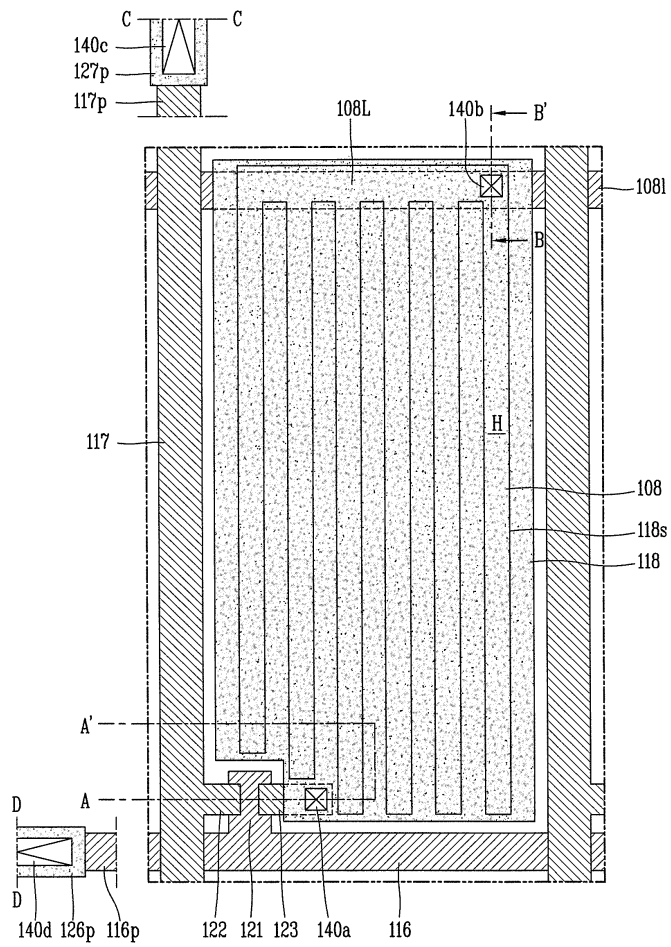
도면3e



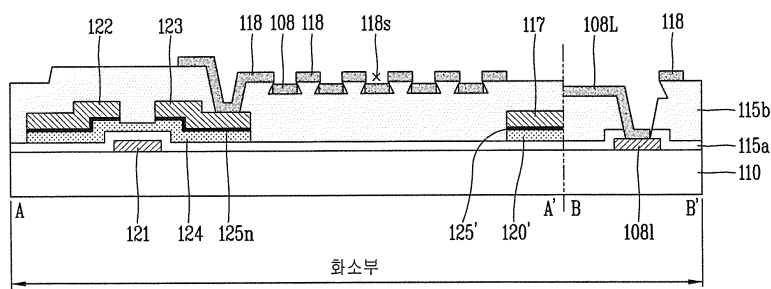
도면3f



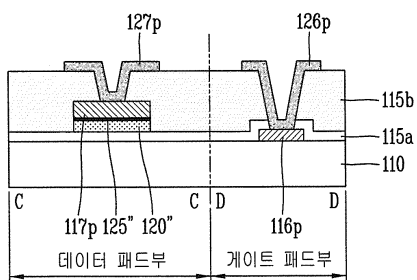
도면4



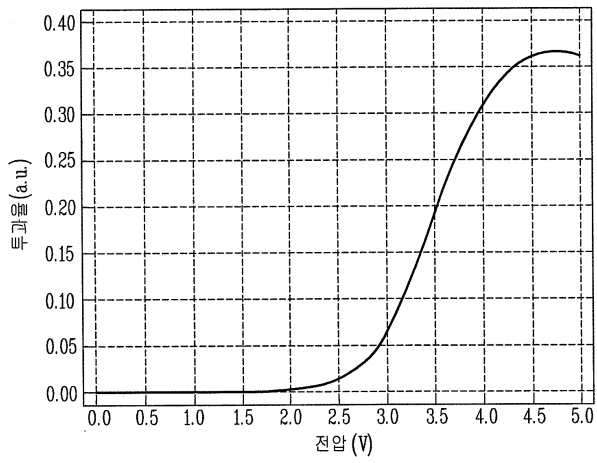
도면5a



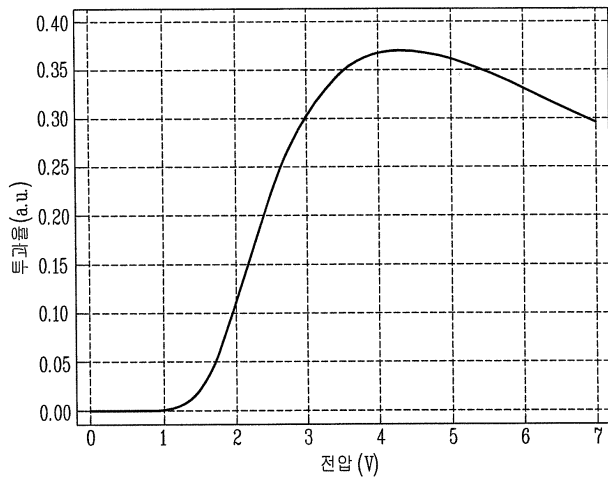
도면5b



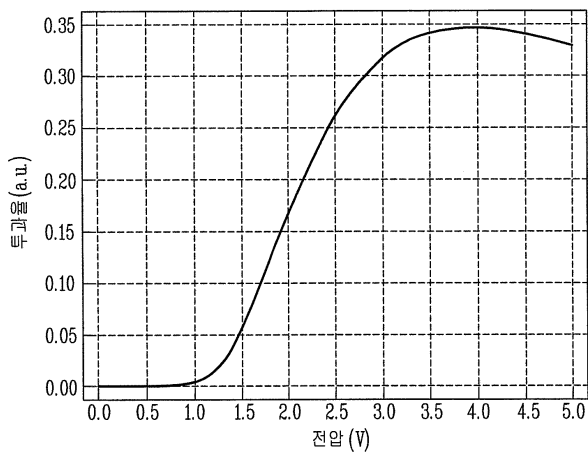
도면6a



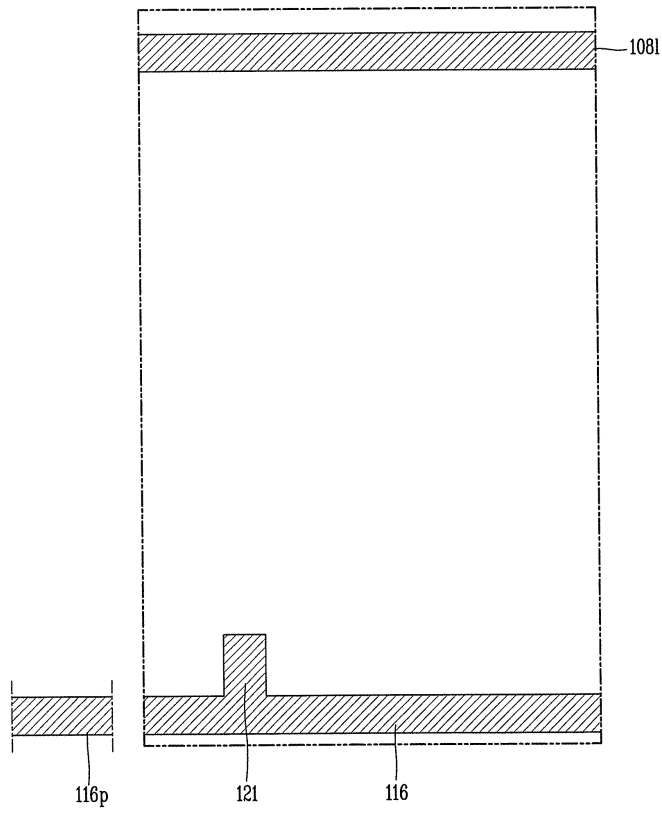
도면6b



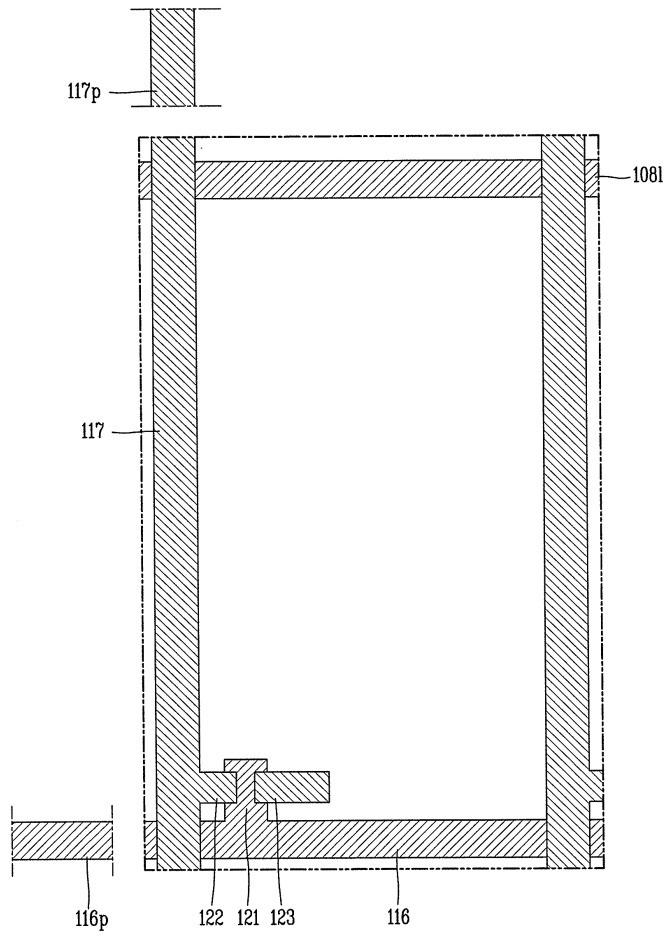
도면6c



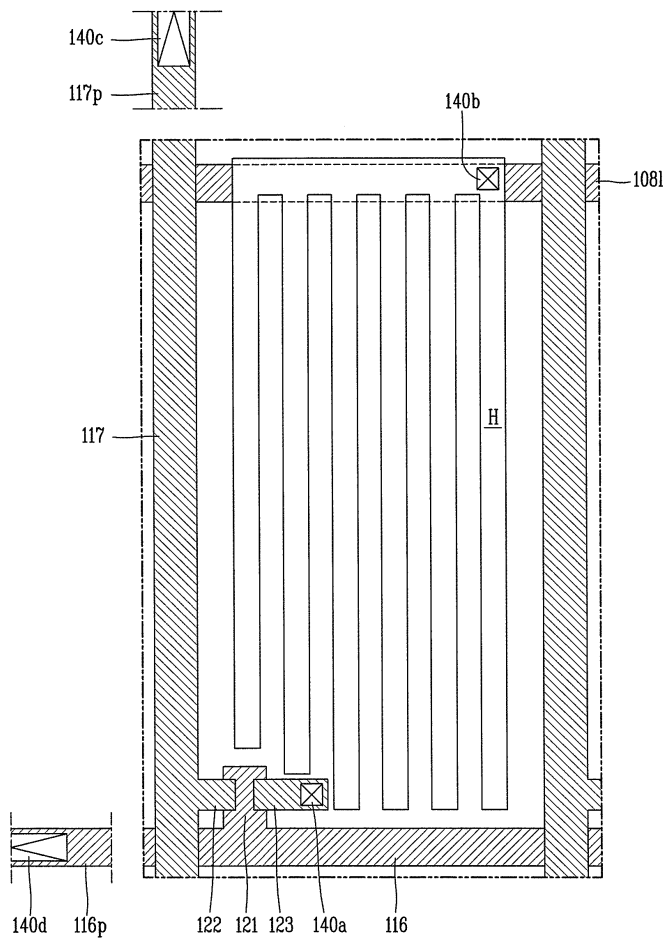
도면7a



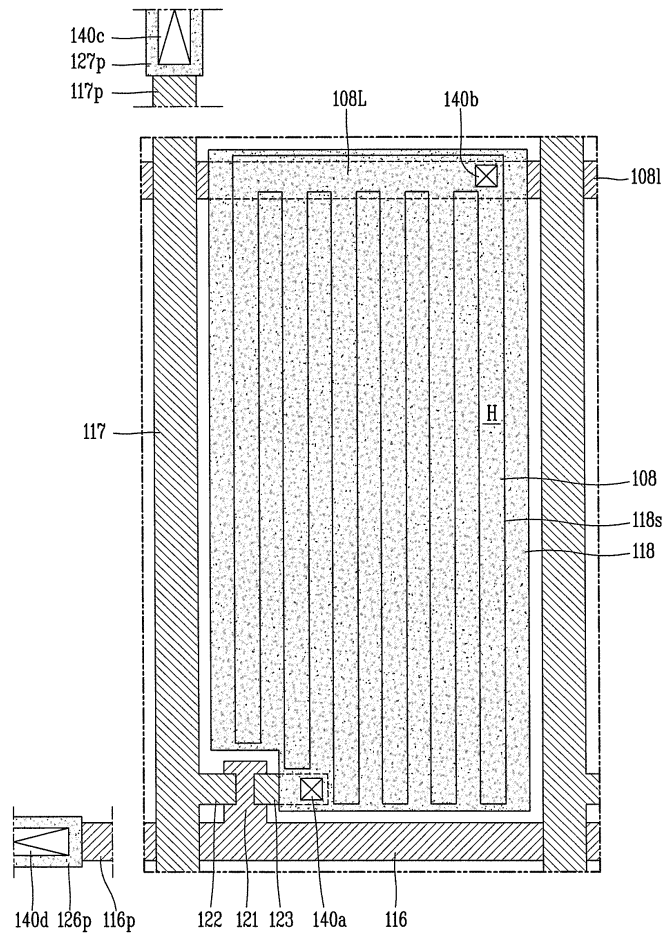
도면7b



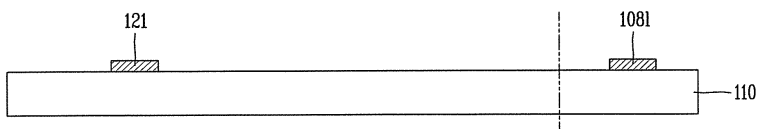
도면7c



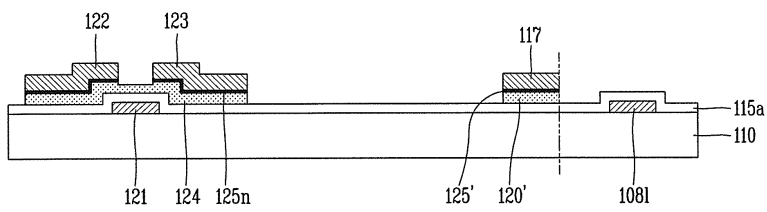
도면7d



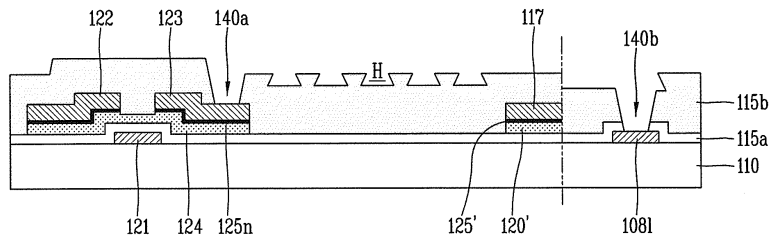
도면8a



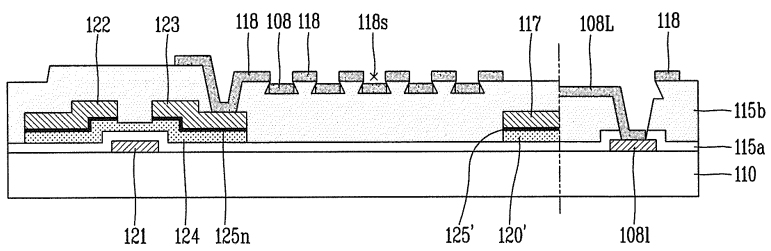
도면8b



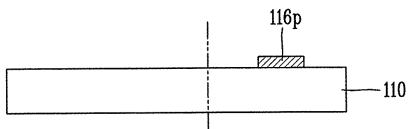
도면8c



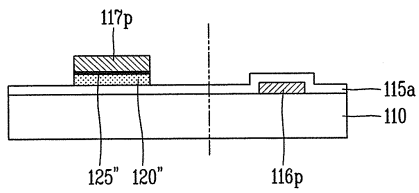
도면8d



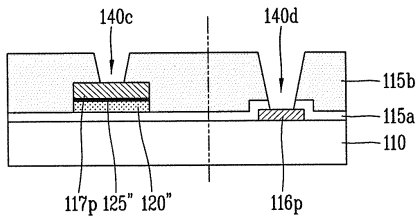
도면9a



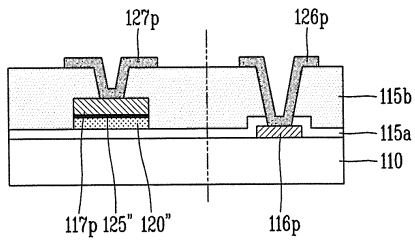
도면9b



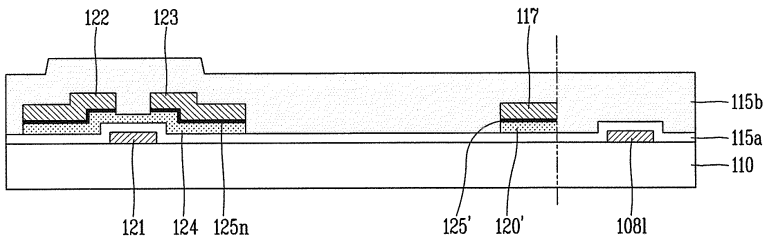
도면9c



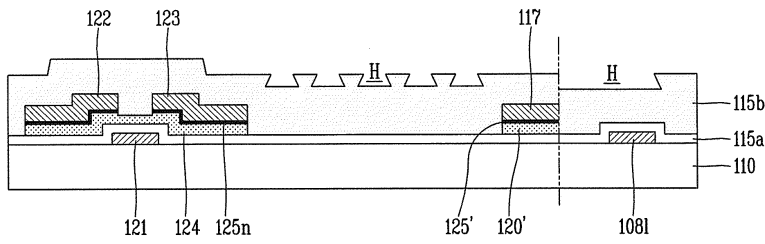
도면9d



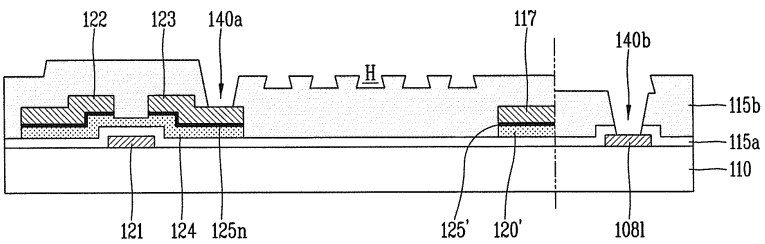
도면10a



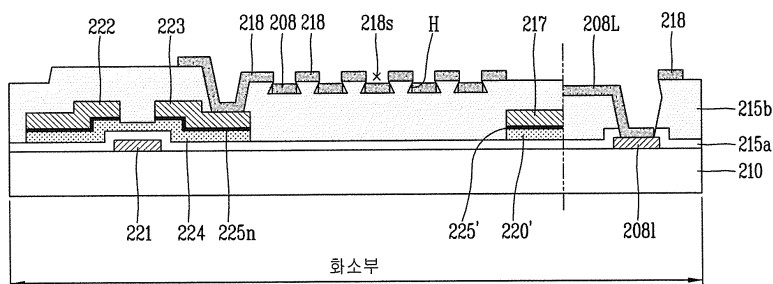
도면10b



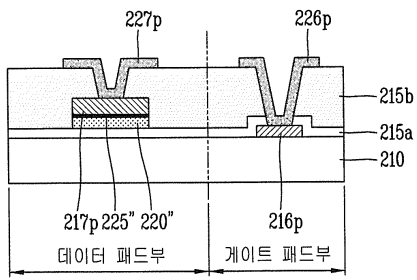
도면10c



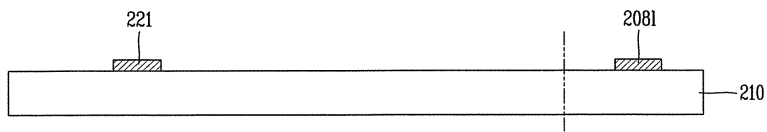
도면11a



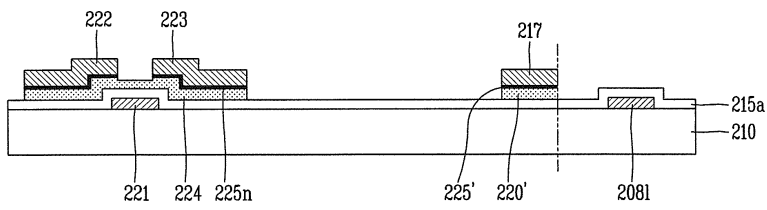
도면11b



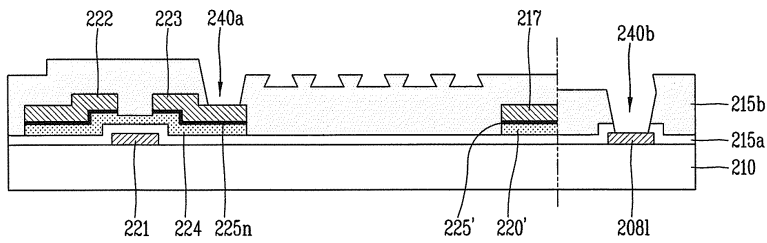
도면12a



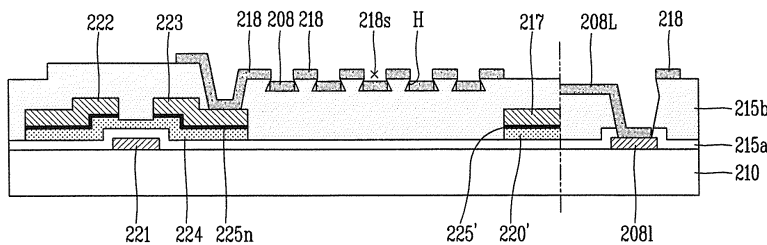
도면12b



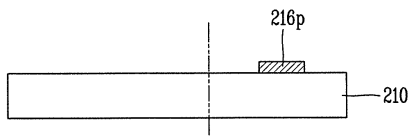
도면12c



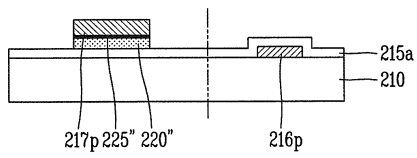
도면12d



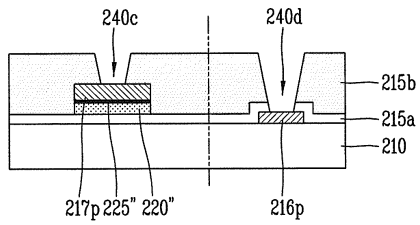
도면13a



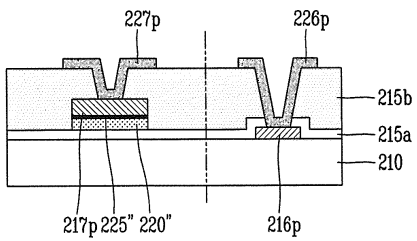
도면13b



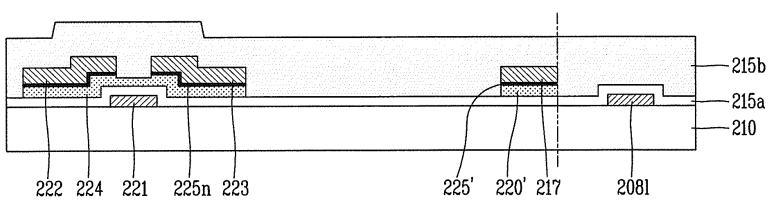
도면13c



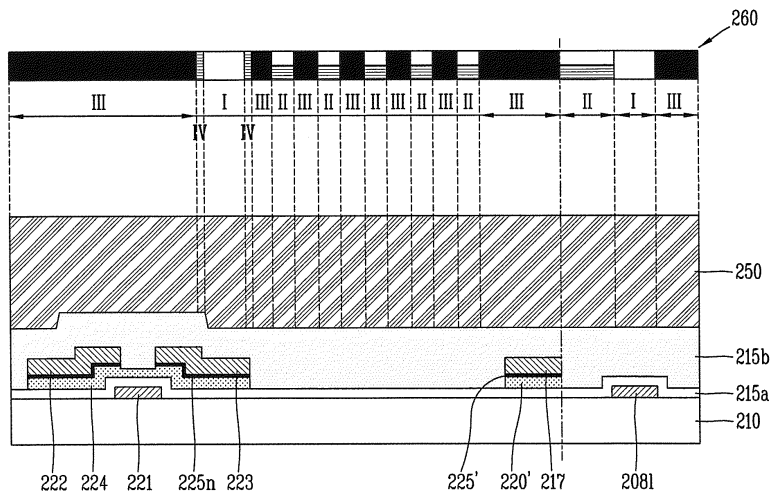
도면13d



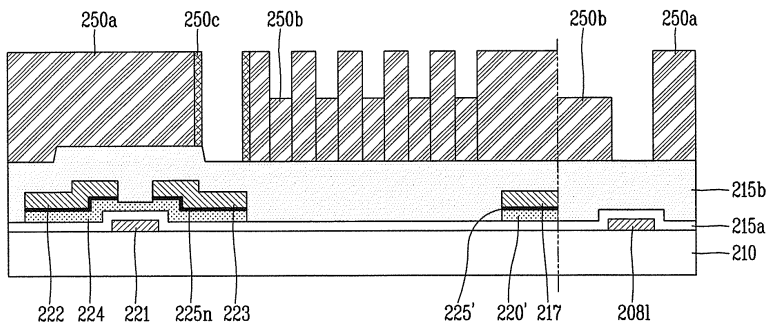
도면14a



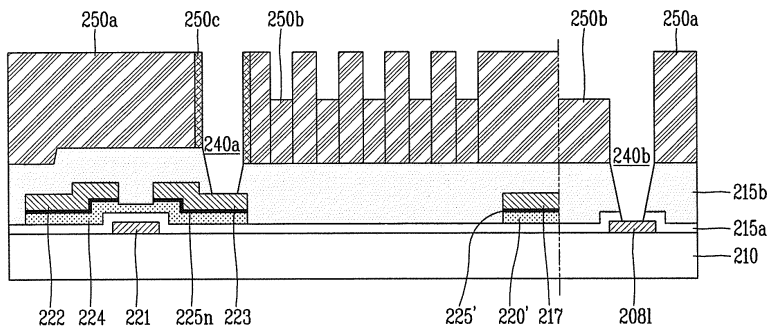
도면14b



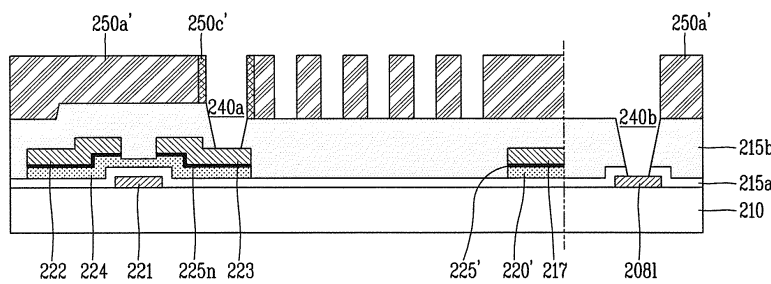
도면14c



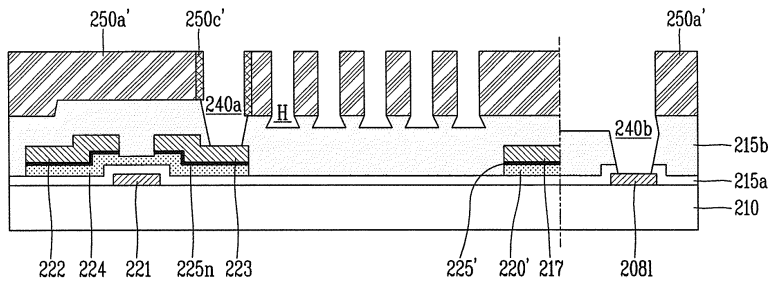
도면14d



도면14e



도면14f



| | | | |
|----------------|--------------------------------------|---------|------------|
| 专利名称(译) | 标题：边缘场切换液晶显示装置及其制造方法 | | |
| 公开(公告)号 | KR1020170079627A | 公开(公告)日 | 2017-07-10 |
| 申请号 | KR1020150190390 | 申请日 | 2015-12-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | KWON OHSUN 권오선 | | |
| 发明人 | 권오선 | | |
| IPC分类号 | G02F1/136 G02F1/1343 G02F1/1368 | | |
| CPC分类号 | G02F1/136 G02F1/1368 G02F2001/134372 | | |
| 代理人(译) | 박장원 | | |
| 外部链接 | Espacenet | | |

摘要(译)

通过在边缘场切换 (边缘场切换：FFS) 之前在保护膜上形成具有向后方向的锥形的沟槽，液晶显示装置和制造本发明的液晶显示装置的方法将公共电极和像素电极沉积到公共电极和像素电极形成一个掩模工艺。据此，本发明的目的是提供简化工艺的效果，并且由于公共电极和像素电极具有自对准结构并且图像-液晶面板的质量等级得到改善。

