



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0016567  
(43) 공개일자 2017년02월14일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01)

(52) CPC특허분류  
G09G 3/3614 (2013.01)  
G09G 3/3648 (2013.01)

(21) 출원번호 10-2015-0109748  
(22) 출원일자 2015년08월03일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
김태훈  
경기도 파주시 월롱면 엘씨디로 201 E동 115호 (덕은리, 정다운마을)

김규진  
경기도 파주시 월롱면 엘씨디로 201 F동 1208호 (덕은리, 정다운마을)

(74) 대리인  
특허법인로얄

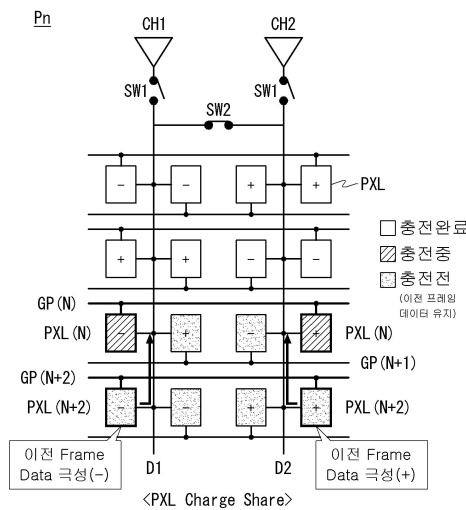
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 액정표시장치와 그 구동방법

(57) 요약

본 발명에 따른 액정표시장치는 표시패널의 위치에 따른 차지 셰어링 효율 편차를 최소화하기 위한 것으로, 다수의 픽셀들이 구비된 표시패널과, 이웃한 출력 채널마다 반대 극성의 데이터전압을 출력하는 데이터 구동회로를 포함한다. 데이터 구동회로는 각 출력 채널을 데이터라인에 연결하는 제1 스위치와, 이웃한 데이터라인들을 서로 연결하는 제2 스위치를 갖는다. 상기 제1 스위치가 오프 스위칭되고 상기 제2 스위치가 온 스위칭되는 차지 셰어링 기간에서 제1 픽셀의 픽셀전극과 제2 픽셀의 픽셀전극이 동일한 데이터라인을 통해 서로 쇼트된다.

대표도 - 도8



(52) CPC특허분류  
G09G 2330/021 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

다수의 픽셀들이 구비된 표시패널; 및

이웃한 출력 채널마다 반대 극성의 데이터전압을 출력하고, 각 출력 채널을 데이터라인에 연결하는 제1 스위치와, 이웃한 데이터라인들을 서로 연결하는 제2 스위치를 갖는 데이터 구동회로를 구비하고,

상기 제1 스위치가 오프 스위칭되고 상기 제2 스위치가 온 스위칭되는 차지 웨어링 기간에서 제1 픽셀의 픽셀전극과 제2 픽셀의 픽셀전극이 동일한 데이터라인을 통해 서로 쇼트되고,

상기 제1 픽셀은 제1 게이트라인에 연결되며 제1 극성의 데이터전압을 충전하기 위한 픽셀이고, 상기 제2 픽셀은 상기 제1 게이트라인보다 스캔 순서가 늦은 게이트라인들 중 어느 하나에 연결되며 이전 프레임에서 충전된 상기 제1 극성의 데이터전압을 유지하는 픽셀인 액정표시장치.

#### 청구항 2

제 1 항에 있어서,

동일한 출력 채널을 통해 출력되는 데이터전압의 극성이 수직 2 도트 인버전 방식에 따라 반전되는 경우,

상기 제1 픽셀은 제N 게이트라인(N은 자연수)에 연결된 제N 픽셀로 선택되고, 상기 제2 픽셀은 제N+2 게이트라인에 연결된 제N+2 픽셀로 선택되는 액정표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 제N 게이트라인에 제N 스캔 신호를 공급하고, 상기 제N+2 게이트라인에 제N+2 스캔 신호를 공급하는 게이트 구동회로를 더 구비하고,

상기 제N 스캔 신호와 상기 제N+2 스캔 신호는 각각, 픽셀 차지 웨어링 제1 펄스와, 상기 제1 펄스에 이은 픽셀 충전용 제2 펄스를 포함하고,

상기 차지 웨어링 기간에서, 상기 제N 스캔 신호의 제2 펄스는 상기 제N+2 스캔 신호의 제1 펄스와 중첩되는 액정표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 차지 웨어링 기간에서 상기 제1 픽셀의 픽셀전극 및 상기 제2 픽셀의 픽셀전극과 함께 상기 동일한 데이터라인을 통해 쇼트되는 픽셀전극을 갖는 제3 픽셀을 더 구비하고,

상기 제3 픽셀은 상기 제2 픽셀이 연결된 게이트라인보다 스캔 순서가 더 늦은 게이트라인에 연결되며 이전 프레임에서 충전된 상기 제1 극성의 데이터전압을 유지하는 픽셀인 액정표시장치.

#### 청구항 5

제 4 항에 있어서,

상기 데이터 구동회로의 동일한 출력 채널을 통해 출력되는 데이터전압의 극성이 수직 2 도트 인버전 방식에 따라 반전되는 경우,

상기 제1 픽셀은 제N 게이트라인(N은 기수 및 우수 중 어느 하나)에 연결된 제N 픽셀로 선택되고, 상기 제2 픽셀은 제N+2 게이트라인에 연결된 제N+2 픽셀로 선택되며, 상기 제3 픽셀은 제N+3 게이트라인에 연결된 제N+3 픽셀로 선택되는 액정표시장치.

**청구항 6**

제 5 항에 있어서,

상기 제N 게이트라인에 제N 스캔 신호를 공급하고, 상기 제N+2 게이트라인에 제N+2 스캔 신호를 공급하며, 상기 제N+3 게이트라인에 제N+3 스캔 신호를 공급하는 게이트 구동회로를 더 구비하고,

상기 제N 스캔 신호와 상기 제N+2 스캔 신호와 상기 제N+3 스캔 신호는 각각, 픽셀 차지 웨어용 제1 펄스와, 상기 제1 펄스에 이은 픽셀 충전용 제2 펄스를 포함하고,

상기 차지 웨어링 기간에서, 상기 제N 스캔 신호의 제2 펄스는 상기 제N+2 스캔 신호의 제1 펄스 및 상기 제N+3 스캔 신호의 제1 펄스와 중첩되는 액정표시장치.

**청구항 7**

제 1 항에 있어서,

상기 데이터 구동회로의 동일한 출력 채널을 통해 출력되는 데이터전압의 극성이 수직 1 도트 인버전 방식에 따라 반전되는 경우,

상기 제1 픽셀은 제N 게이트라인(N은 자연수)에 연결된 제N 픽셀로 선택되고, 상기 제2 픽셀은 제N+1 게이트라인에 연결된 제N+1 픽셀로 선택되는 액정표시장치.

**청구항 8**

제 7 항에 있어서,

상기 제N 게이트라인에 제N 스캔 신호를 공급하고, 상기 제N+1 게이트라인에 제N+1 스캔 신호를 공급하는 게이트 구동회로를 더 구비하고,

상기 제N 스캔 신호와 상기 제N+1 스캔 신호는 각각, 픽셀 차지 웨어용 제1 펄스와, 상기 제1 펄스에 이은 픽셀 충전용 제2 펄스를 포함하고,

상기 차지 웨어링 기간에서, 상기 제N 스캔 신호의 제2 펄스는 상기 제N+1 스캔 신호의 제1 펄스와 중첩되는 액정표시장치.

**청구항 9**

다수의 픽셀들이 구비된 표시패널과, 이웃한 출력 채널마다 반대 극성의 데이터전압을 출력하고, 각 출력 채널을 데이터라인에 연결하는 제1 스위치와, 이웃한 데이터라인들을 서로 연결하는 제2 스위치를 갖는 데이터 구동회로를 구비한 액정표시장치의 구동방법에 있어서,

차지 웨어링 기간 동안 상기 제1 스위치를 오프 스위칭시키고 상기 제2 스위치를 온 스위칭시키는 단계; 및

상기 차지 웨어링 기간에서 동일한 데이터라인을 통해 제1 픽셀의 픽셀전극과 제2 픽셀의 픽셀전극을 서로 쇼트시키는 단계를 포함하고,

상기 제1 픽셀은 제1 게이트라인에 연결되며 제1 극성의 데이터전압을 충전하기 위한 픽셀이고, 상기 제2 픽셀은 상기 제1 게이트라인보다 스캔 순서가 늦은 게이트라인들 중 어느 하나에 연결되며 이전 프레임에서 충전된 상기 제1 극성의 데이터전압을 유지하는 픽셀인 액정표시장치의 구동방법.

**청구항 10**

제 9 항에 있어서,

동일한 출력 채널을 통해 출력되는 데이터전압의 극성을 수직 2 도트 인버전 방식에 따라 반전시키는 단계를 더 포함하고,

상기 제1 픽셀은 제N 게이트라인(N은 자연수)에 연결된 제N 픽셀로 선택되고, 상기 제2 픽셀은 제N+2 게이트라인에 연결된 제N+2 픽셀로 선택되는 액정표시장치의 구동방법.

**청구항 11**

제 10 항에 있어서,

상기 제N 게이트라인에 제N 스캔 신호를 공급하고, 상기 제N+2 게이트라인에 제N+2 스캔 신호를 공급하는 단계를 더 포함하고,

상기 제N 스캔 신호와 상기 제N+2 스캔 신호는 각각, 픽셀 차지 웨어용 제1 펄스와, 상기 제1 펄스에 이은 픽셀 충전용 제2 펄스를 포함하고,

상기 차지 웨어링 기간에서, 상기 제N 스캔 신호의 제2 펄스는 상기 제N+2 스캔 신호의 제1 펄스와 중첩되는 액정표시장치의 구동방법.

**청구항 12**

제 9 항에 있어서,

상기 차지 웨어링 기간에서 상기 동일한 데이터라인을 통해 제1 픽셀의 픽셀전극과 제2 픽셀의 픽셀전극을 서로 쇼트시키는 단계에서는 제3 픽셀의 픽셀전극을 상기 데이터라인에 더 쇼트시키고,

상기 제3 픽셀은 상기 제2 픽셀이 연결된 게이트라인보다 스캔 순서가 더 늦은 게이트라인에 연결되며 이전 프레임에서 충전된 상기 제1 극성의 데이터전압을 유지하는 픽셀인 액정표시장치의 구동방법.

**청구항 13**

제 12 항에 있어서,

동일한 출력 채널을 통해 출력되는 데이터전압의 극성을 수직 2 도트 인버전 방식에 따라 반전시키는 단계를 더 포함하고,

상기 제1 픽셀은 제N 게이트라인(N은 기수 및 우수 중 어느 하나)에 연결된 제N 픽셀로 선택되고, 상기 제2 픽셀은 제N+2 게이트라인에 연결된 제N+2 픽셀로 선택되며, 상기 제3 픽셀은 제N+3 게이트라인에 연결된 제N+3 픽셀로 선택되는 액정표시장치의 구동방법.

**청구항 14**

제 13 항에 있어서,

상기 제N 게이트라인에 제N 스캔 신호를 공급하고, 상기 제N+2 게이트라인에 제N+2 스캔 신호를 공급하며, 상기 제N+3 게이트라인에 제N+3 스캔 신호를 공급하는 단계를 더 포함하고,

상기 제N 스캔 신호와 상기 제N+2 스캔 신호와 상기 제N+3 스캔 신호는 각각, 픽셀 차지 웨어용 제1 펄스와, 상기 제1 펄스에 이은 픽셀 충전용 제2 펄스를 포함하고,

상기 차지 웨어링 기간에서, 상기 제N 스캔 신호의 제2 펄스는 상기 제N+2 스캔 신호의 제1 펄스 및 상기 제N+3 스캔 신호의 제1 펄스와 중첩되는 액정표시장치의 구동방법.

**청구항 15**

제 9 항에 있어서,

동일한 출력 채널을 통해 출력되는 데이터전압의 극성을 수직 1 도트 인버전 방식에 따라 반전시키는 단계를 더 포함하고,

상기 제1 픽셀은 제N 게이트라인(N은 자연수)에 연결된 제N 픽셀로 선택되고, 상기 제2 픽셀은 제N+1 게이트라인에 연결된 제N+1 픽셀로 선택되는 액정표시장치의 구동방법.

**청구항 16**

제 15 항에 있어서,

상기 제N 게이트라인에 제N 스캔 신호를 공급하고, 상기 제N+1 게이트라인에 제N+1 스캔 신호를 공급하는 단계를 더 포함하고,

상기 제N 스캔 신호와 상기 제N+1 스캔 신호는 각각, 픽셀 차지 웨어용 제1 펄스와, 상기 제1 펄스에 이은 픽셀

충전용 제2 펄스를 포함하고,

상기 차지 웨어링 기간에서, 상기 제N 스캔 신호의 제2 펄스는 상기 제N+1 스캔 신호의 제1 펄스와 중첩되는 액정표시장치의 구동방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 차지 웨어링(charge sharing)을 수행하는 액정표시장치에 관한 것이다.

**배경 기술**

[0002] 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)가 각각의 액정셀마다 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 선명한 화질로 영상을 표시할 수 있어 많은 제품에 적용되고 있다.

[0003] 액정표시장치는 직류 옵션 성분을 감소시키고 액정의 열화를 줄이기 위하여, 인버전(inversion) 방식을 채용하여 프레임 단위로, 그리고 일정 개수의 액정셀들 단위로 데이터전압의 극성을 반전시킨다. 데이터전압의 극성은 공통전압을 기준으로 결정되며, 정극성(+) 데이터전압은 공통전압보다 높고, 부극성(-) 데이터전압은 공통전압보다 낮다. 이러한 인버전 방식을 구현하기 위해서는 데이터 구동회로에서 출력되는 데이터전압의 극성이 일정 기간을 주기로 정극성(+)에서 부극성(-), 또는 부극성(-)에서 정극성(+)으로 반전되어야 하므로, 데이터전압의 스윙폭이 커지고 데이터 구동회로에서 소모되는 소비전력이 커진다. 아울러, 극성 반전시 데이터전압의 큰 스윙폭으로 인해 데이터전압이 데이터라인에 충전되는 시간이 길어진다.

[0004] 이러한 문제를 해결하기 위하여, 도 1 내지 도 2b와 같이 데이터전압(Vdata)의 충전을 위한 1 수평기간(1H) 내에 차지 웨어링 기간(T2)을 마련하고, 차지 웨어링 기간(T2) 동안 모든 데이터라인들(D1~D6)을 쇼트시키는 이른바 차지 웨어링 기술이 제안된 바 있다. 1 수평기간(1H) 내에서 차지 웨어링 기간(T2)을 제외한 나머지 기간이 데이터 충전 기간(T1)이 된다. 데이터 충전 기간(T1)은 소스 출력 인에이블신호(Source output enable signal, SOE)가 제1 로직 레벨(예컨대, 로우 레벨)로 입력되는 구간으로 선택될 수 있고, 차지 웨어링 기간(T2)은 소스 출력 인에이블신호(SOE)가 제2 로직 레벨(예컨대, 하이 레벨)로 입력되는 구간으로 선택될 수 있다.

[0005] 데이터 구동회로의 출력단에는 출력 채널들(CH1~CH6)과 데이터라인들(D1~D6) 사이의 전기적 접속을 제어하는 제1 스위치들(SW1)과, 서로 이웃한 데이터라인들(D1~D6) 사이의 전기적 접속을 제어하는 제2 스위치들(SW2)이 구비되어 있다. 차지 웨어링 기간(T2)에서, 제1 스위치들(SW1)은 오프 스위칭되고 제2 스위치들(SW2)은 온 스위칭되어, 데이터라인들(D1~D1)이 서로 쇼트시키고, 데이터라인들(D1~D1)의 전위가 공통전압(Vcom) 레벨 근처로 변하게 된다. 데이터 충전 기간(T1)에서, 제1 스위치들(SW1)은 온 스위칭되고 제2 스위치들(SW2)은 오프 스위칭되어, 출력 채널들(CH1~CH6)로부터의 데이터전압들이 데이터라인들(D1~D1)에 충전된다. 데이터 충전 기간(T1)에 앞서 정극성 전하와 부극성 전하가 서로 웨어링되면, 프리 차지(Pre-charge)의 효과를 얻을 수 있다.

[0006] 그런데, 이러한 차지 웨어링 기술에서는 데이터라인의 상하 위치에 따라 RC 딜레이 편차로 인해 차지 웨어링되는 정도가 달라질 수 있다. 다시 말해, 도 3과 같이 데이터 구동회로의 출력단에서 가까운 부분(예컨대, 표시패널의 상단부)에서는 차지 웨어링 효과가 큰 반면에, 데이터 구동회로의 출력단에서 먼 부분(예컨대, 표시패널의 하단부)에서는 차지 웨어링 효과가 작을 수 있다. 표시패널의 위치에 따라 차지 웨어링 효율이 달라지면 데이터 충전 편차가 생길 수 있다. 이러한 문제는 대면적 표시장치에서 두드러지게 나타난다.

**발명의 내용**

**해결하려는 과제**

[0007] 따라서, 본 발명의 목적은 표시패널의 위치에 따른 차지 웨어링 효율 편차를 최소화할 수 있도록 한 액정표시장치와 그 구동방법을 제공하는 데 있다.

**과제의 해결 수단**

[0008] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 픽셀들이 구비된 표시패널과, 이웃한 출력 채널마다 반대 극성의 데이터전압을 출력하는 데이터 구동회로를 포함한다. 데이터 구동회로는 각

출력 채널을 데이터라인에 연결하는 제1 스위치와, 이웃한 데이터라인들을 서로 연결하는 제2 스위치를 갖는다. 상기 제1 스위치가 오프 스위칭되고 상기 제2 스위치가 온 스위칭되는 차지 쉐어링 기간에서 제1 픽셀의 픽셀전극과 제2 픽셀의 픽셀전극이 동일한 데이터라인을 통해 서로 쇼트된다. 상기 제1 픽셀은 제1 게이트라인에 연결되며 제1 극성의 데이터전압을 충전하기 위한 픽셀이고, 상기 제2 픽셀은 상기 제1 게이트라인보다 스캔 순서가 늦은 게이트라인들 중 어느 하나에 연결되며 이전 프레임에서 충전된 상기 제1 극성의 데이터전압을 유지하는 픽셀이다.

[0009] 동일한 출력 채널을 통해 출력되는 데이터전압의 극성이 수직 2 도트 인버전 방식에 따라 반전되는 경우, 상기 제1 픽셀은 제N 게이트라인(N은 자연수)에 연결된 제N 픽셀로 선택되고, 상기 제2 픽셀은 제N+2 게이트라인에 연결된 제N+2 픽셀로 선택된다.

[0010] 이 액정표시장치는 상기 제N 게이트라인에 제N 스캔 신호를 공급하고, 상기 제N+2 게이트라인에 제N+2 스캔 신호를 공급하는 게이트 구동회로를 더 구비한다. 상기 제N 스캔 신호와 상기 제N+2 스캔 신호는 각각, 픽셀 차지 쉐어링 제1 펄스와, 상기 제1 펄스에 이은 픽셀 충전용 제2 펄스를 포함하고, 상기 차지 쉐어링 기간에서, 상기 제N 스캔 신호의 제2 펄스는 상기 제N+2 스캔 신호의 제1 펄스와 중첩된다.

[0011] 이 액정표시장치는 상기 차지 쉐어링 기간에서 상기 제1 픽셀의 픽셀전극 및 상기 제2 픽셀의 픽셀전극과 함께 상기 동일한 데이터라인을 통해 쇼트되는 픽셀전극을 갖는 제3 픽셀을 더 구비한다. 상기 제3 픽셀은 상기 제2 픽셀이 연결된 게이트라인보다 스캔 순서가 더 늦은 게이트라인에 연결되며 이전 프레임에서 충전된 상기 제1 극성의 데이터전압을 유지하는 픽셀이다.

[0012] 상기 데이터 구동회로의 동일한 출력 채널을 통해 출력되는 데이터전압의 극성이 수직 2 도트 인버전 방식에 따라 반전되는 경우, 상기 제1 픽셀은 제N 게이트라인(N은 기수)에 연결된 제N 픽셀로 선택되고, 상기 제2 픽셀은 제N+2 게이트라인에 연결된 제N+2 픽셀로 선택되며, 상기 제3 픽셀은 제N+3 게이트라인에 연결된 제N+3 픽셀로 선택된다.

[0013] 이 액정표시장치는 상기 제N 게이트라인에 제N 스캔 신호를 공급하고, 상기 제N+2 게이트라인에 제N+2 스캔 신호를 공급하며, 상기 제N+3 게이트라인에 제N+3 스캔 신호를 공급하는 게이트 구동회로를 더 구비한다. 상기 제N 스캔 신호와 상기 제N+2 스캔 신호와 상기 제N+3 스캔 신호는 각각, 픽셀 차지 쉐어링 제1 펄스와, 상기 제1 펄스에 이은 픽셀 충전용 제2 펄스를 포함한다. 상기 차지 쉐어링 기간에서, 상기 제N 스캔 신호의 제2 펄스는 상기 제N+2 스캔 신호의 제1 펄스 및 상기 제N+3 스캔 신호의 제1 펄스와 중첩된다.

[0014] 상기 데이터 구동회로의 동일한 출력 채널을 통해 출력되는 데이터전압의 극성이 수직 1 도트 인버전 방식에 따라 반전되는 경우, 상기 제1 픽셀은 제N 게이트라인(N은 자연수)에 연결된 제N 픽셀로 선택되고, 상기 제2 픽셀은 제N+1 게이트라인에 연결된 제N+1 픽셀로 선택된다.

[0015] 이 액정표시장치는 상기 제N 게이트라인에 제N 스캔 신호를 공급하고, 상기 제N+1 게이트라인에 제N+1 스캔 신호를 공급하는 게이트 구동회로를 더 구비한다. 상기 제N 스캔 신호와 상기 제N+1 스캔 신호는 각각, 픽셀 차지 쉐어링 제1 펄스와, 상기 제1 펄스에 이은 픽셀 충전용 제2 펄스를 포함한다. 상기 차지 쉐어링 기간에서, 상기 제N 스캔 신호의 제2 펄스는 상기 제N+1 스캔 신호의 제1 펄스와 중첩된다.

[0016] 또한, 본 발명의 실시예에 따른 액정표시장치의 구동방법은, 다수의 픽셀들이 구비된 표시패널과, 이웃한 출력 채널마다 반대 극성의 데이터전압을 출력하고, 각 출력 채널을 데이터라인에 연결하는 제1 스위치와, 이웃한 데이터라인들을 서로 연결하는 제2 스위치를 갖는 데이터 구동회로를 구비한 액정표시장치의 구동방법에 있어서, 차지 쉐어링 기간 동안 상기 제1 스위치를 오프 스위칭시키고 상기 제2 스위치를 온 스위칭시키는 단계와, 상기 차지 쉐어링 기간에서 동일한 데이터라인을 통해 제1 픽셀의 픽셀전극과 제2 픽셀의 픽셀전극을 서로 쇼트시키는 단계를 포함한다. 상기 제1 픽셀은 제1 게이트라인에 연결되며 제1 극성의 데이터전압을 충전하기 위한 픽셀이고, 상기 제2 픽셀은 상기 제1 게이트라인보다 스캔 순서가 늦은 게이트라인들 중 어느 하나에 연결되며 이전 프레임에서 충전된 상기 제1 극성의 데이터전압을 유지하는 픽셀이다.

### 발명의 효과

[0017] 본 발명은 차지 쉐어링 기간 동안 데이터라인들뿐만 아니라 일부 픽셀들을 서로 쇼트시킴으로써 표시패널의 위치에 따른 차지 쉐어링 효율 편차를 최소화할 수 있다.

[0018] 나아가, 본 발명은 차지 쉐어링 기간 동안 데이터라인들뿐만 아니라 일부 픽셀들을 서로 쇼트시켜 프리차지 시킴으로써 대면적 및 고해상도 패널에서 부족한 충전 시간을 보완할 수 있다.

**도면의 간단한 설명**

- [0019] 도 1 내지 도 2b는 종래 차지 웨어링 기술을 보여주는 도면들.
- 도 3은 종래 차지 웨어링 기술의 문제점을 보여주는 도면.
- 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도.
- 도 5 및 도 6은 도 4에 도시된 픽셀 어레이의 다양한 예를 보여주는 도면들.
- 도 7은 본 발명의 일 실시예에 따라 차지 웨어링 효율 편차를 최소화할 수 있는 소스 출력 인에이블 신호와 스캔 신호들의 구동 타이밍을 보여주는 도면.
- 도 8은 도 7에 따른 제N 차지 웨어링 기간에서 제N 픽셀의 픽셀전극과 제N+2 픽셀의 픽셀전극이 동일한 데이터 라인을 통해 서로 쇼트되는 것을 보여주는 도면.
- 도 9는 도 7의 스캔 신호들에 따른 데이터라인, 제N 픽셀, 및 제N+2 픽셀의 충전 상태를 보여주는 도면.
- 도 10은 도 7에 따른 제N+2 데이터 충전 기간에서 제N+2 픽셀에 데이터가 충전되는 것을 보여주는 도면.
- 도 11 및 도 12는 도 7과 같은 스캔 신호들을 생성하기 위한 게이트 구동회로의 일 구성과 그에 따른 게이트 제어신호들의 구동 타이밍을 보여주는 도면들.
- 도 13 및 도 14는 도 7과 같은 스캔 신호들을 생성하기 위한 게이트 구동회로의 다른 구성과 그에 따른 게이트 제어신호들의 구동 타이밍을 보여주는 도면들.
- 도 15는 본 발명의 다른 실시예에 따라 차지 웨어링 효율 편차를 최소화할 수 있는 소스 출력 인에이블 신호와 스캔 신호들의 구동 타이밍을 보여주는 도면.
- 도 16은 도 15에 따른 제N 차지 웨어링 기간에서 제N 픽셀의 픽셀전극, 제N+2 픽셀의 픽셀전극 및 제N+3 픽셀전극이 동일한 데이터라인을 통해 서로 쇼트되는 것을 보여주는 도면.
- 도 17은 도 16과 같은 스캔 신호들을 생성하기 위한 게이트 구동회로의 일 구성을 보여주는 도면들.
- 도 18은 수직 1 도트 인버전 방식에 따라 극성이 반전되는 데이터전압을 충전하는 패널 어레이의 일부를 보여주는 도면.
- 도 19는 본 발명의 또 다른 실시예에 따라 차지 웨어링 효율 편차를 최소화할 수 있는 소스 출력 인에이블 신호와 스캔 신호들의 구동 타이밍을 보여주는 도면.
- 도 20은 도 19에 따른 제N 차지 웨어링 기간에서 제N 픽셀의 픽셀전극과 제N+1 픽셀의 픽셀전극이 동일한 데이터라인을 통해 서로 쇼트되는 것을 보여주는 도면.
- 도 21은 도 20의 스캔 신호들에 따른 데이터라인, 제N 픽셀, 및 제N+1 픽셀의 충전 상태를 보여주는 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 이하, 도 4 내지 도 21을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0021] 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다. 그리고, 도 5 및 도 6은 도 4에 도시된 픽셀 어레이의 다양한 예를 보여주는 도면들이다.
- [0022] 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다. 데이터 구동회로(12)는 다수의 소스 드라이브 IC들(Integrated Circuit)을 포함한다. 게이트 구동회로(13)는 다수의 게이트 드라이브 IC들을 포함할 수 있다.
- [0023] 표시패널(10)은 두 장의 유리기판 사이에 액정층이 형성된다. 표시패널(10)은 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배치된 액정셀들(C1c)을 포함한다.
- [0024] 표시패널(10)의 하부 유리기판에는 픽셀 어레이가 형성된다. 픽셀 어레이는 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)의 교차부에 형성된 액정셀들(C1c), 액정셀들의 픽셀전극(1)에 접속된 TFT들, 및 스토리지 커패시터(Cst)를 포함한다. 픽셀 어레이는 도 5 및 도 6과 같이 다양한 형태로 구현될 수 있다. 액정셀들(C1c)은 TFT에 접속되어 픽셀전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 표시패널(10)의 상부 유리기판 상에

는 블랙매트릭스, 컬러필터 등이 형성된다. 표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0025] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 픽셀전극(1)과 함께 하부 유리기관 상에 형성된다.

[0026] 본 발명에서 적용 가능한 표시패널(10)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드라도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0027] 타이밍 컨트롤러(11)는 시스템 보드(14)로부터 입력된 입력 영상의 디지털 비디오 데이터(RGB)를 데이터 구동회로(12)에 공급한다. 타이밍 컨트롤러(11)는 시스템 보드(14)로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 데이터 구동회로(12)의 동작 타이밍과 데이터전압의 수직 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다. 타이밍 컨트롤러(11)는 60Hz의 프레임 주파수로 입력되는 디지털 비디오 데이터가  $60 \times i$  ( $i$ 는 양의 정수) Hz의 프레임 주파수로 액정표시패널의 픽셀 어레이(PA)에서 재생될 수 있도록 게이트 타이밍 제어신호와 데이터 타이밍 제어신호의 주파수를  $60 \times i$  Hz의 프레임 주파수 기준으로 체배할 수 있다.

[0028] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 스캔 신호를 발생하는 게이트 드라이브 IC에 인가되어 첫 번째 스캔 신호가 발생되도록 그 게이트 드라이브 IC를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로서 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다. 게이트 스타트 펄스(GSP)와 게이트 출력 인에이블신호(GOE)는 필요에 따라서 다수 개로 구성될 수도 있다.

[0029] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 수직 극성제어신호(Polarity : POL), 수평 극성제어신호, 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(12)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 수직 극성제어신호(POL)는 소스 드라이브 IC들 각각으로부터 순차적으로 출력되는 데이터전압들의 수직 극성을 제어한다. 수평 극성제어신호는 소스 드라이브 IC들 각각의 옵션단자에 공급되어 소스 드라이브 IC들 각각으로부터 동시에 출력되는 데이터전압들의 수평 극성을 제어한다. 수직 극성제어신호(POL)는 수직 2 도트 인버전 방식으로 데이터 구동회로(12)를 제어할 때 2 수평기간 주기로 논리가 반전되고, 수직 1 도트 인버전 방식으로 데이터 구동회로(12)를 제어할 때 1 수평기간 주기로 논리가 반전된다. 수평 극성제어신호는 수평 2 도트 인버전으로 데이터 구동회로(12)를 제어할 때 하이 논리로 발생되며, 수평 1 도트 인버전으로 데이터 구동회로(12)를 제어할 때 로우 논리가 발생될 수 있다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(12)의 출력 타이밍을 제어한다. 데이터 구동회로(12)에 입력될 디지털 비디오 데이터가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.

[0030] 데이터 구동회로(12)의 소스 드라이브 IC들 각각은 쉬프트 레지스터, 래치, 디지털-아날로그 변환기, 출력 버퍼 등을 포함한다. 데이터 구동회로(12)는 타이밍 컨트롤러(11)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 그리고 데이터 구동회로(12)는 수직 극성제어신호(POL)에 응답하여 디지털 비디오 데이터(RGB)를 아날로그 정극성/부극성 감마보상전압으로 변환하여 데이터전압의 극성을 반전시키고, 수평 극성제어신호에 따라 결정된 수평 도트 인버전의 극성패턴을 갖는 데이터전압들을 동시에 출력한다.

[0031] 데이터전압들의 출력 타이밍은 소스 출력 인에이블신호(SOE)에 따라 제어된다. 소스 출력 인에이블신호(SOE)가 제1 논리 레벨(예컨대, 하이 논리 레벨)로 유지되는 기간에서 데이터 구동회로(12)로부터 데이터전압의 출력은 차단된다. 반면, 소스 출력 인에이블신호(SOE)가 제2 논리 레벨(예컨대, 로우 논리 레벨)로 유지되는 기간, 즉

데이터 충전 기간에서 데이터 구동회로(12)로부터 데이터전압의 출력은 허용된다. 여기서, 차지 웨어링 기간은 데이터전압의 출력은 차단되는 수평 블랭크 기간 내에 위치할 수 있으며, 수평 블랭크 기간은 이웃한 데이터 충전 기간들 사이마다 위치한다.

[0032] 게이트 구동회로(13)는 쉬프트 레지스터와 레벨 쉬프터를 이용하여 게이트 타이밍 제어신호들에 따라 스캔 신호를 게이트라인들(G1~Gn)에 순차적으로 공급한다. 스캔 신호 각각은 멀티 펄스를 갖는다.

[0033] 스캔 신호 각각은 픽셀 차지 웨어용 제1 펄스와, 상기 제1 펄스에 이은 픽셀 충전용 제2 펄스를 포함한다. 차지 웨어링 기간에서 제1 스캔 신호의 제2 펄스는 상기 제1 스캔 신호보다 늦은 제2 스캔 신호의 제1 펄스와 중첩된다. 그에 따라, 현재 프레임에서 제1 스캔 신호의 제2 펄스에 응답하여 제1 극성의 데이터전압을 충전하기 위한 제1 픽셀의 픽셀전극과, 이전 프레임에서 충전된 제1 극성의 데이터전압을 유지하는 제2 픽셀의 픽셀전극이 상기 차지 웨어링 기간에서 동일한 데이터라인을 통해 서로 쇼트됨으로써, 픽셀 차지 웨어를 통한 차지 웨어 효과가 증대되어 표시 패널(10)의 위치에 따른 차지 웨어링 효율 편차가 최소화될 수 있다. 차지 웨어링 기간에서 데이터라인들은 서로 쇼트되기 때문에 데이터라인들의 전위는 공통전압(Vcom) 근처로 수렴된다. 이러한 차지 웨어링 기간에서 제2 픽셀의 픽셀전극은 해당 데이터라인과 쇼트되기 때문에 제2 픽셀의 픽셀 전위도 공통전압(Vcom) 근처로 프리 차지된다. 프리 차지는 대면적 및 고해상도 패널에서 부족한 충전 시간을 보완해 준다.

[0034] 도 5 및 도 6은 픽셀 어레이의 다양한 예들을 보여 주는 등가 회로들이다.

[0035] 도 5의 픽셀 어레이는 대부분의 액정표시장치에서 적용되는 픽셀 어레이로써 데이터라인들(D1~D6)과 게이트라인들(G1~G4)의 교차 영역에 형성된 다수의 픽셀들을 포함한다. 이 픽셀 어레이에서 적색 픽셀(R), 녹색 픽셀(G) 및 청색 픽셀(B) 각각은 컬럼 방향을 따라 배치된다. TFT 각각은 게이트라인(G1~G4)으로부터의 스캔신호에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 픽셀전극에 공급한다. 각 데이터라인(D1~D6)에 연결된 픽셀들은 수직 1 도트 인버전 방식으로 극성이 변하는 데이터전압을 충전할 수 있다.

[0036] 도 6에 도시된 픽셀 어레이는 도 5에 도시된 픽셀 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/2로 줄일 수 있고, 필요한 소스 드라이브 IC들의 개수도 1/2로 줄일 수 있다. 이 픽셀 어레이에서 적색 픽셀(R), 녹색 픽셀(G) 및 청색 픽셀(B) 각각은 컬럼 방향을 따라 배치된다. 도 5에 도시된 픽셀 어레이에서 1 픽셀은 컬럼 방향과 직교하는 라인방향을 따라 이웃하는 적색 픽셀(R), 녹색 픽셀(G) 및 청색 픽셀(G)을 포함한다. 도 5에 도시된 픽셀 어레이에서 좌우로 이웃하는 액정셀들은 동일한 데이터라인을 공유하여 그 데이터라인을 통해 시분할 방식으로 공급되는 데이터전압을 연속으로 충전한다. 데이터라인(D1~D4)의 좌측에 배치된 액정셀과 TFT를 각각 제1 액정셀과 제1 TFT(T1)로 정의하고, 데이터라인(D1~D4)의 우측에 배치된 액정셀과 TFT를 각각 제2 액정셀과 제2 TFT(T2)로 정의하여 TFT들의 접속관계를 설명하면 다음과 같다. 제1 TFT(T1)는 기수 게이트라인(G1, G3, G5, G7)으로부터의 스캔신호에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제1 액정셀의 픽셀전극에 공급한다. 제1 TFT(T1)의 게이트전극은 기수 게이트라인(G1, G3, G5, G7)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제1 TFT(T1)의 소스전극은 제1 액정셀의 픽셀전극에 접속된다. 제2 TFT(T2)는 우수 게이트라인(G2, G4, G6, G8)로부터의 스캔신호에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제2 액정셀의 픽셀전극에 공급한다. 제2 TFT(T2)의 게이트전극은 우수 게이트라인(G2, G4, G6, G8)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제2 TFT(T2)의 소스전극은 제2 액정셀의 픽셀전극에 접속된다. 각 데이터라인(D1~D4)에 연결된 픽셀들은 수직 2 도트 인버전 방식으로 극성이 변하는 데이터전압을 충전할 수 있다.

[0037] 도 7은 본 발명의 일 실시예에 따라 차지 웨어링 효율 편차를 최소화할 수 있는 소스 출력 인에이블 신호와 스캔 신호들의 구동 타이밍을 보여준다. 도 8은 도 7에 따른 제N 차지 웨어링 기간에서 제N 픽셀의 픽셀전극과 제N+2 픽셀의 픽셀전극이 동일한 데이터라인을 통해 서로 쇼트되는 것을 보여준다. 도 9는 도 7의 스캔 신호들에 따른 데이터라인, 제N 픽셀, 및 제N+2 픽셀의 충전 상태를 보여준다. 그리고, 도 10은 도 7에 따른 제N+2 데이터 충전 기간에서 제N+2 픽셀에 데이터가 충전되는 것을 보여준다.

[0038] 도 7 내지 도 10은 도 6과 같이 수직 2 도트 인버전 방식에 따라 데이터전압의 극성이 반전되는 경우에 대한 차지 웨어링 효율 편차를 최소화할 수 있는 일 방안이다.

[0039] 도 7 내지 도 10을 참조하면, 차지 웨어링 기간과 데이터 충전 기간은 소스 출력 인에이블 신호(SOE)와 스캔신호(GP)에 따라 결정된다.

- [0040] 도 7 및 도 8과 같이 차지 웨어링 기간에서 제1 픽셀의 픽셀전극과 제2 픽셀의 픽셀전극이 동일한 데이터라인을 통해 서로 쇼트되는 경우, 제1 픽셀은 제N 게이트라인(N은 자연수)에 연결된 제N 픽셀(PXL(N))로 선택되고, 제2 픽셀은 제N+2 게이트라인에 연결된 제N+2 픽셀(PXL(N+2))로 선택될 수 있다. 이때, 이 차지 웨어링 기간은 제N 차지 웨어링 기간(Pn)이 된다. 여기서, 제N 픽셀(PXL(N))은 제1 극성의 데이터전압을 충전하기 위한 픽셀로서 충전 중인 픽셀로 정의되고, 제N+2 픽셀(PXL(N+2))은 이전 프레임에 충전된 제1 극성의 데이터전압을 유지하는 픽셀로서 충전 전의 픽셀로 정의된다. 제N 게이트라인에는 제N 스캔 신호(GP(N))가 공급되고, 제N+2 게이트라인에는 제N+2 스캔 신호(GP(N+2))가 공급된다. 제N 스캔 신호(GP(N))와 제N+2 스캔 신호(GP(N+2))는 각각 픽셀 차지 웨어링 제1 펄스(P1)와, 제1 펄스(P1)에 이은 픽셀 충전용 제2 펄스(P2)를 포함한다. 그리고, 제N 차지 웨어링 기간(Pn)에서, 제N 스캔 신호(GP(N))의 충전용 제2 펄스(P2)는 제N+2 스캔 신호(GP(N+2))의 픽셀 차지 웨어링 제1 펄스(P1)와 중첩된다.
- [0041] 도 8과 같이 제N 차지 웨어링 기간(Pn)에서, 이웃한 제1 데이터라인(D1)과 제2 데이터라인(D2)는 서로 쇼트된다. 그리고, 제N 차지 웨어링 기간(Pn)에서, 제N 픽셀(PXL(N))과 제N+2 픽셀(PXL(N+2))은 동일한 제1 데이터라인(D1)에 쇼트됨과 동시에, 동일한 제2 데이터라인(D2)에 쇼트된다. 현재 프레임에서 제N 픽셀(PXL(N))이 부극성(-)의 데이터전압을 충전하는 경우, 제1 데이터라인(D1)을 통해 제N 픽셀(PXL(N))과 쇼트되는 제N+2 픽셀(PXL(N+2))에는 이전 프레임에서 충전된 부극성(-)의 데이터전압이 유지되어 있다. 또한, 현재 프레임에서 제N 픽셀(PXL(N))이 정극성(+)의 데이터전압을 충전하는 경우, 제2 데이터라인(D2)을 통해 제N 픽셀(PXL(N))과 쇼트되는 제N+2 픽셀(PXL(N+2))에는 이전 프레임에서 충전된 정극성(+)의 데이터전압이 유지되어 있다. 이처럼, 제N 차지 웨어링 기간(Pn)에서, 데이터라인들과 일부 픽셀들의 쇼트로 인해 픽셀 차지 웨어링과 픽셀 프리차징이 구현된다.
- [0042] 도 9와 같이 제1 데이터라인(D1)은 제N 차지 웨어링 기간(Pn)에서 공통전압(Vcom)에 가까운 전위로 변환 후, 제N 데이터 충전 기간(Tn)에서 부극성(-)의 전위로 변환한다. 제1 데이터라인(D1)에 연결된 제N 픽셀(PXL(N))은 제N-2 차지 웨어링 기간(미도시)에서 프리차지된 상태를 제N 차지 웨어링 기간(Pn) 직전까지 유지한 후, 제N 차지 웨어링 기간(Pn)에서부터 시작하여 제N 데이터 충전 기간(Tn)을 통해 부극성(-)의 데이터전압을 충전한다. 도 10과 같이 제1 데이터라인(D1)에 연결된 제N+2 픽셀(PXL(N+2))은 제N 차지 웨어링 기간(Pn)에서 프리차지된 상태를 제N+2 차지 웨어링 기간(Pn+2) 직전까지 유지한 후, 제N+2 차지 웨어링 기간(Pn+2)에서부터 시작하여 제N+2 데이터 충전 기간(Tn+2)을 통해 정극성(+)의 데이터전압을 충전한다.
- [0043] 한편, 도면에 도시되어 있지는 않지만, 제2 데이터라인(D2)은 제N 차지 웨어링 기간(Pn)에서 공통전압(Vcom)에 가까운 전위로 변환 후, 제N 데이터 충전 기간(Tn)에서 정극성(+)의 전위로 변환한다. 제2 데이터라인(D2)에 연결된 제N 픽셀(PXL(N))은 제N-2 차지 웨어링 기간에서 프리차지된 상태를 제N 차지 웨어링 기간(Pn) 직전까지 유지한 후, 제N 차지 웨어링 기간(Pn)에서부터 시작하여 제N 데이터 충전 기간(Tn)을 통해 정극성(+)의 데이터전압을 충전한다. 도 10과 같이 제2 데이터라인(D2)에 연결된 제N+2 픽셀(PXL(N+2))은 제N 차지 웨어링 기간(Pn)에서 프리차지된 상태를 제N+2 차지 웨어링 기간(Pn+2) 직전까지 유지한 후, 제N+2 차지 웨어링 기간(Pn+2)에서부터 시작하여 제N+2 데이터 충전 기간(Tn+2)을 통해 부극성(-)의 데이터전압을 충전한다.
- [0044] 도 11 및 도 12는 도 7과 같은 스캔 신호들을 생성하기 위한 게이트 구동회로의 일 구성과 그에 따른 게이트 제어신호들의 구동 타이밍을 보여준다.
- [0045] 도 11 및 도 12를 참조하면, 게이트 구동회로(13)는 게이트 쉬프트 클럭(GSC)에 따라 게이트 스타트 펄스(GSP)를 순차적으로 지연시켜 출력하는 다수의 플립 플롭들(F/F)과, 플립 플롭들(F/F)로부터 출력들을 게이트 출력 인에이블신호(GOE1~GOE3) 중 어느 하나로 마스킹하여 스캔 신호들(GP(N)~GP(N+3))을 생성하는 앤드 게이트들(AND)을 포함한다.
- [0046] 게이트 구동회로(13)는 위상이 순차 지연되며 이웃하여 중첩되는 제1 내지 제3 게이트 출력 인에이블신호(GOE1~GOE3)를 마스킹 신호로 이용하여 도 12와 같은 스캔 신호들(GP(N)~GP(N+3))을 생성한다. 도 12에서, 제N 스캔 신호(GP(N))와 제N+2 스캔 신호(GP(N+2))는 각각 픽셀 차지 웨어링 제1 펄스(P1)와, 제1 펄스(P1)에 이은 픽셀 충전용 제2 펄스(P2)를 포함하고, 제N 차지 웨어링 기간(Pn)에서, 제N 스캔 신호(GP(N))의 충전용 제2 펄스(P2)는 제N+2 스캔 신호(GP(N+2))의 픽셀 차지 웨어링 제1 펄스(P1)와 중첩된다.
- [0047] 도 13 및 도 14는 도 7과 같은 스캔 신호들을 생성하기 위한 게이트 구동회로의 다른 구성과 그에 따른 게이트 제어신호들의 구동 타이밍을 보여준다.
- [0048] 도 11 및 도 12에서는 한 개의 스캔 신호를 생성하기 위해 한 개의 플립 플롭과 한 개의 앤드 게이트가 필요한

반면, 도 13 및 도 14에서는 한 개의 스캔 신호를 생성하기 위해 두 개의 플립 플롭과 한 개의 오아(OR) 게이트가 필요하다.

[0049] 게이트 구동회로(13)는 픽셀 차지 웨어용 제1 펄스(P1)와 픽셀 충전용 제2 펄스(P2)를 포함한 제N 스캔 신호(GP(N))를 생성하기 위해, 제1 플립 플롭(F/F1), 제2 플립 플롭(F/F2), 및 오아 게이트를 구비한다. 제1 플립 플롭(F/F1)은 도 14와 같은 제1 게이트 펄스(GSP1), 게이트 쉬프트 클럭(GSC), 및 제1 게이트 출력 인에이블 신호(GOE1)를 기반으로 픽셀 충전용 제2 펄스(P2)를 생성한다. 제2 플립 플롭(F/F2)은 도 14와 같은 제2 게이트 펄스(GSP2), 게이트 쉬프트 클럭(GSC), 및 제2 게이트 출력 인에이블 신호(GOE2)를 기반으로 픽셀 차지 웨어용 제1 펄스(P1)를 생성한다. 오아 게이트는 제2 플립 플롭(F/F2)로부터의 픽셀 차지 웨어용 제1 펄스(P1)와 제1 플립 플롭(F/F1)으로부터의 픽셀 충전용 제2 펄스(P2)를 논리합하여 제N 스캔 신호(GP(N))를 생성한다.

[0050] 도 15는 본 발명의 다른 실시예에 따라 차지 웨어링 효율 편차를 최소화할 수 있는 소스 출력 인에이블 신호와 스캔 신호들의 구동 타이밍을 보여준다. 그리고, 도 16은 도 15에 따른 제N 차지 웨어링 기간에서 제N 픽셀의 픽셀전극, 제N+2 픽셀의 픽셀전극 및 제N+3 픽셀전극이 동일한 데이터라인을 통해 서로 쇼트되는 것을 보여준다.

[0051] 도 15 및 도 16은 도 6과 같이 수직 2 도트 인버전 방식에 따라 데이터전압의 극성이 반전되는 경우에 대한 차지 웨어링 효율 편차를 최소화할 수 있는 다른 방안이다. 이 방안은 제N 픽셀을 충전할 때 제N+2 픽셀과 제N+3 픽셀을 동시에 데이터라인에 연결하여 픽셀 차지 효과 및 프리차지 효과를 높인다. 이 픽셀 차지 방안은 동일 프레임 내에서 데이터전압의 수직 극성이 바뀌는 일부 픽셀들(예컨대, 제N 픽셀(N은 기수 및 우수 중 어느 하나))에 대해서만 적용되고, 동일 프레임 내에서 데이터전압의 수직 극성이 바뀌지 않는 나머지 픽셀들(예컨대, 제N+1 픽셀)에 대해서는 적용되지 않는다.

[0052] 구체적으로 설명하면, 차지 웨어링 기간과 데이터 충전 기간은 소스 출력 인에이블 신호(SOE)와 스캔신호(GP)에 따라 결정된다. 본 발명은 차지 웨어링 기간에서 제1 픽셀의 픽셀전극 및 제2 픽셀의 픽셀전극과 함께 동일한 데이터라인을 통해 쇼트되는 픽셀전극을 갖는 제3 픽셀을 더 구비할 수 있다. 이때, 제3 픽셀은 제2 픽셀이 연결된 게이트라인보다 스캔 순서가 더 늦은 게이트라인에 연결되며 이전 프레임에서 충전된 제1 극성의 데이터전압을 유지한다.

[0053] 도 15 및 도 16과 같이 차지 웨어링 기간에서 제1 픽셀의 픽셀전극, 제2 픽셀의 픽셀전극, 및 제3 픽셀의 픽셀전극이 동일한 데이터라인을 통해 서로 쇼트되는 경우, 제1 픽셀은 제N 게이트라인에 연결된 제N 픽셀(PXL(N))로 선택되고, 제2 픽셀은 제N+2 게이트라인에 연결된 제N+2 픽셀(PXL(N+2))로 선택되며, 제3 픽셀은 제N+3 게이트라인에 연결된 제N+3 픽셀(PXL(N+3))로 선택될 수 있다. 이때, 이 차지 웨어링 기간은 제N 차지 웨어링 기간(Pn)이 된다. 여기서, 제N 픽셀(PXL(N))은 제1 극성의 데이터전압을 충전하기 위한 픽셀로서 충전 중인 픽셀로 정의되고, 제N+2 픽셀(PXL(N+2))과 제N+3 픽셀(PXL(N+3))은 이전 프레임에 충전된 제1 극성의 데이터전압을 유지하는 픽셀로서 충전 전의 픽셀로 정의된다. 제N 게이트라인에는 제N 스캔 신호(GP(N))가 공급되고, 제N+2 게이트라인에는 제N+2 스캔 신호(GP(N+2))가 공급되며, 제N+3 게이트라인에는 제N+3 스캔 신호(GP(N+3))가 공급된다. 제N 내지 제N+3 스캔 신호(GP(N), GP(N+2), GP(N+3))는 각각 픽셀 차지 웨어용 제1 펄스(P1)와, 제1 펄스(P1)에 이은 픽셀 충전용 제2 펄스(P2)를 포함한다. 그리고, 제N 차지 웨어링 기간(Pn)에서, 제N 스캔 신호(GP(N))의 충전용 제2 펄스(P2)는 제N+2 및 제N+3 스캔 신호(GP(N+2), GP(N+3))의 픽셀 차지 웨어용 제1 펄스(P1)와 중첩된다.

[0054] 도 16과 같이 제N 차지 웨어링 기간(Pn)에서, 이웃한 제1 데이터라인(D1)과 제2 데이터라인(D2)은 서로 쇼트된다. 그리고, 제N 차지 웨어링 기간(Pn)에서, 제N 픽셀(PXL(N))과 제N+2 픽셀(PXL(N+2))과 제N+3 픽셀(PXL(N+3))은 동일한 제1 데이터라인(D1)에 쇼트됨과 동시에, 동일한 제2 데이터라인(D2)에 쇼트된다. 현재 프레임에서 제N 픽셀(PXL(N))이 정극성(+)의 데이터전압을 충전하는 경우, 제1 데이터라인(D1)을 통해 제N 픽셀(PXL(N))과 쇼트되는 제N+2 픽셀(PXL(N+2))과 제N+3 픽셀(PXL(N+3))에는 이전 프레임에서 충전된 부극성(+)의 데이터전압이 유지되어 있다. 또한, 현재 프레임에서 제N 픽셀(PXL(N))이 부극성(-)의 데이터전압을 충전하는 경우, 제2 데이터라인(D2)을 통해 제N 픽셀(PXL(N))과 쇼트되는 제N+2 픽셀(PXL(N+2))과 제N+3 픽셀(PXL(N+3))에는 이전 프레임에서 충전된 부극성(-)의 데이터전압이 유지되어 있다. 이처럼, 제N 차지 웨어링 기간(Pn)에서, 데이터라인들과 일부 픽셀들의 쇼트로 인해 픽셀 차지 웨어링과 픽셀 프리차지가 구현된다.

[0055] 도 17은 도 16과 같은 스캔 신호들을 생성하기 위한 게이트 구동회로의 일 구성을 보여준다.

[0056] 도 17을 참조하면, 게이트 구동회로(13)는 게이트 쉬프트 클럭(GSC)에 따라 게이트 스타트 펄스(GSP)를 순차적

으로 지연시켜 출력하는 다수의 플립 플롭들(F/F)과, 플립 플롭들(F/F)로부터 출력들을 게이트 출력 인에이블 신호(GOE1~GOE4) 중 어느 하나로 마스킹하여 스캔 신호들(GP(N)~GP(N+3))을 생성하는 앤드 게이트들(AND)을 포함한다.

- [0057] 게이트 구동회로(13)는 위상이 순차 지연되며 이웃하여 중첩되는 제1 내지 제4 게이트 출력 인에이블 신호(GOE1~GOE4)를 마스킹 신호로 이용하여 스캔 신호들(GP(N)~GP(N+3))을 생성한다.
- [0058] 도 18은 수직 1 도트 인버전 방식에 따라 극성이 반전되는 데이터전압을 충전하는 패널 어레이의 일부를 보여준다. 도 19는 본 발명의 또 다른 실시예에 따라 차지 웨어링 효율 편차를 최소화할 수 있는 소스 출력 인에이블 신호와 스캔 신호들의 구동 타이밍을 보여준다. 도 20은 도 19에 따른 제N 차지 웨어링 기간에서 제N 픽셀의 픽셀전극과 제N+1 픽셀의 픽셀전극이 동일한 데이터라인을 통해 서로 쇼트되는 것을 보여준다. 그리고, 도 21은 도 20의 스캔 신호들에 따른 데이터라인, 제N 픽셀, 및 제N+1 픽셀의 충전 상태를 보여준다.
- [0059] 도 18 내지 도 21은 도 5와 같이 수직 1 도트 인버전 방식에 따라 데이터전압의 극성이 반전되는 경우에 대한 차지 웨어링 효율 편차를 최소화할 수 있는 일 방안이다.
- [0060] 도 18 내지 도 21을 참조하면, 차지 웨어링 기간과 데이터 충전 기간은 소스 출력 인에이블 신호(SOE)와 스캔 신호(GP)에 따라 결정된다.
- [0061] 도 19 및 도 20과 같이 차지 웨어링 기간에서 제1 픽셀의 픽셀전극과 제2 픽셀의 픽셀전극이 동일한 데이터라인을 통해 서로 쇼트되는 경우, 제1 픽셀은 제N 게이트라인에 연결된 제N 픽셀(PXL(N))로 선택되고, 제2 픽셀은 제N+1 게이트라인에 연결된 제N+1 픽셀(PXL(N+1))로 선택될 수 있다. 이때, 이 차지 웨어링 기간은 제N 차지 웨어링 기간(Pn)이 된다. 여기서, 제N 픽셀(PXL(N))은 제1 극성의 데이터전압을 충전하기 위한 픽셀로서 충전 중인 픽셀로 정의되고, 제N+1 픽셀(PXL(N+1))은 이전 프레임에 충전된 제1 극성의 데이터전압을 유지하는 픽셀로서 충전 전의 픽셀로 정의된다. 제N 게이트라인에는 제N 스캔 신호(GP(N))가 공급되고, 제N+1 게이트라인에는 제N+1 스캔 신호(GP(N+1))가 공급된다. 제N 스캔 신호(GP(N))와 제N+1 스캔 신호(GP(N+1))는 각각 픽셀 차지 웨어링 제1 펄스(P1)와, 제1 펄스(P1)에 이은 픽셀 충전용 제2 펄스(P2)를 포함한다. 그리고, 제N 차지 웨어링 기간(Pn)에서, 제N 스캔 신호(GP(N))의 충전용 제2 펄스(P2)는 제N+1 스캔 신호(GP(N+1))의 픽셀 차지 웨어링 제1 펄스(P1)와 중첩된다.
- [0062] 도 20과 같이 제N 차지 웨어링 기간(Pn)에서, 이웃한 제1 내지 제3 데이터라인(D1~D3)은 서로 쇼트된다. 그리고, 제N 차지 웨어링 기간(Pn)에서, 제N 픽셀(PXL A)과 제N+1 픽셀(PXL B)은 동일한 제1 데이터라인(D1)에 쇼트된다. 현재 프레임에서 제N 픽셀(PXL A)이 정극성(+)의 데이터전압을 충전하는 경우, 제1 데이터라인(D1)을 통해 제N 픽셀(PXL A)과 쇼트되는 제N+1 픽셀(PXL B)에는 이전 프레임에서 충전된 정극성(+)의 데이터전압이 유지되어 있다. 또한, 현재 프레임에서 제N 픽셀(PXL A)이 부극성(-)의 데이터전압을 충전하는 경우, 제2 데이터라인(D2)을 통해 제N 픽셀(PXL A)과 쇼트되는 제N+1 픽셀(PXL B)에는 이전 프레임에서 충전된 부극성(-)의 데이터전압이 유지되어 있다. 이처럼, 제N 차지 웨어링 기간(Pn)에서, 데이터라인들과 일부 픽셀들의 쇼트로 인해 픽셀 차지 웨어링과 픽셀 프리차징이 구현된다.
- [0063] 도 21과 같이 제1 데이터라인(D1)에 연결된 제N 픽셀(PXL A)은 제N-1 차지 웨어링 기간(미도시)에서 프리차지된 상태를 제N 차지 웨어링 기간(Pn) 직전까지 유지한 후, 제N 차지 웨어링 기간(Pn)에서부터 시작하여 제N 데이터 충전 기간(Tn)을 통해 정극성(+)의 데이터전압을 충전한다. 그리고, 제1 데이터라인(D1)에 연결된 제N+2 픽셀(PXL B)은 제N 차지 웨어링 기간(Pn)에서 프리차지된 상태를 제N+1 차지 웨어링 기간(미도시) 직전까지 유지한 후, 제N+1 차지 웨어링 기간에서부터 시작하여 제N+1 데이터 충전 기간(미도시)을 통해 부극성(-)의 데이터전압을 충전한다.
- [0064] 한편, 도면에 도시되어 있지는 않지만, 제2 데이터라인(D2)에 연결된 제N 픽셀(PXL A)은 제N-1 차지 웨어링 기간(미도시)에서 프리차지된 상태를 제N 차지 웨어링 기간(Pn) 직전까지 유지한 후, 제N 차지 웨어링 기간(Pn)에서부터 시작하여 제N 데이터 충전 기간(Tn)을 통해 부극성(-)의 데이터전압을 충전한다. 그리고, 제2 데이터라인(D2)에 연결된 제N+2 픽셀(PXL B)은 제N 차지 웨어링 기간(Pn)에서 프리차지된 상태를 제N+1 차지 웨어링 기간(미도시) 직전까지 유지한 후, 제N+1 차지 웨어링 기간에서부터 시작하여 제N+1 데이터 충전 기간(미도시)을 통해 정극성(+)의 데이터전압을 충전한다.
- [0065] 상술한 바와 같이, 본 발명은 차지 웨어링 기간 동안 데이터라인들뿐만 아니라 일부 픽셀들을 서로 쇼트시킴으로써 표시패널의 위치에 따른 차지 웨어링 효율 편차를 최소화할 수 있다.
- [0066] 나아가, 본 발명은 차지 웨어링 기간 동안 데이터라인들뿐만 아니라 일부 픽셀들을 서로 쇼트시켜 프리차지 시

킴으로써 대면적 및 고해상도 패널에서 부족한 충전 시간을 보완할 수 있다.

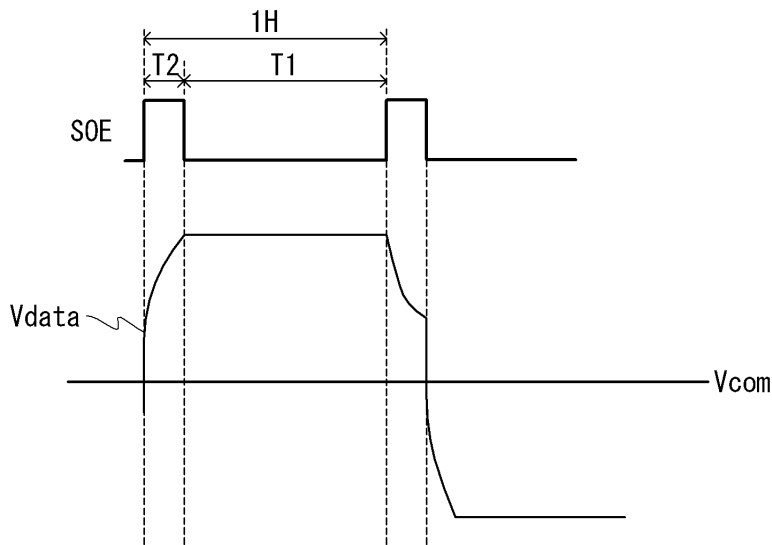
[0067] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

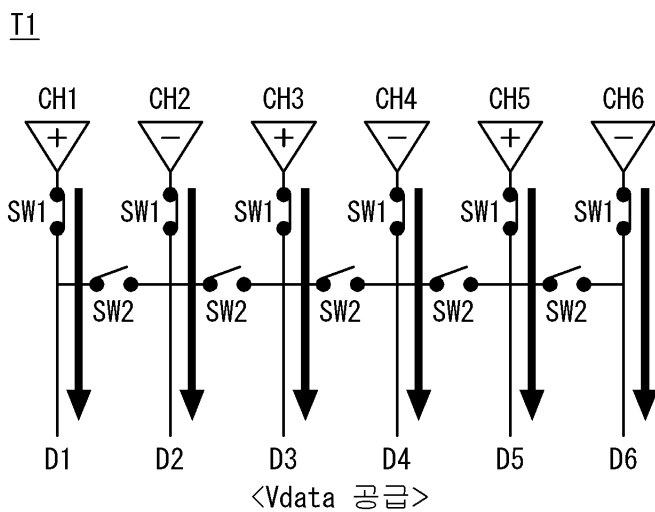
[0068] 10 : 액정표시패널 11 : 타이밍 컨트롤러  
12 : 데이터 구동회로 13 : 게이트 구동회로

**도면**

**도면1**

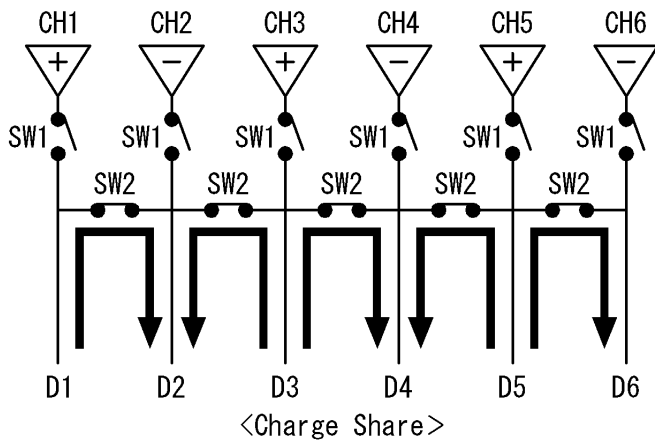


**도면2a**

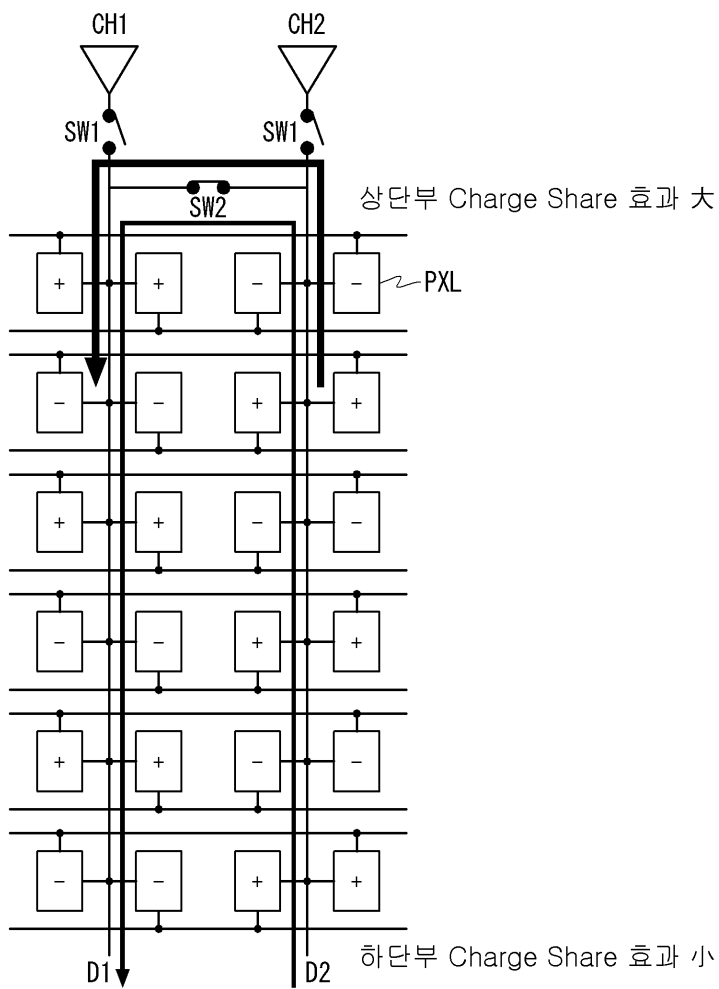


도면2b

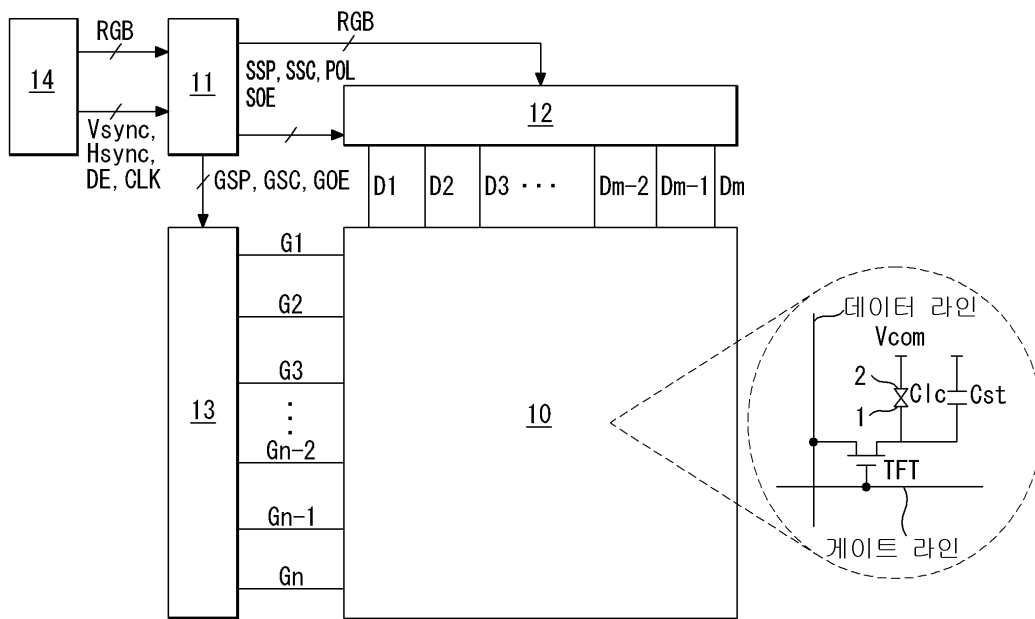
I2



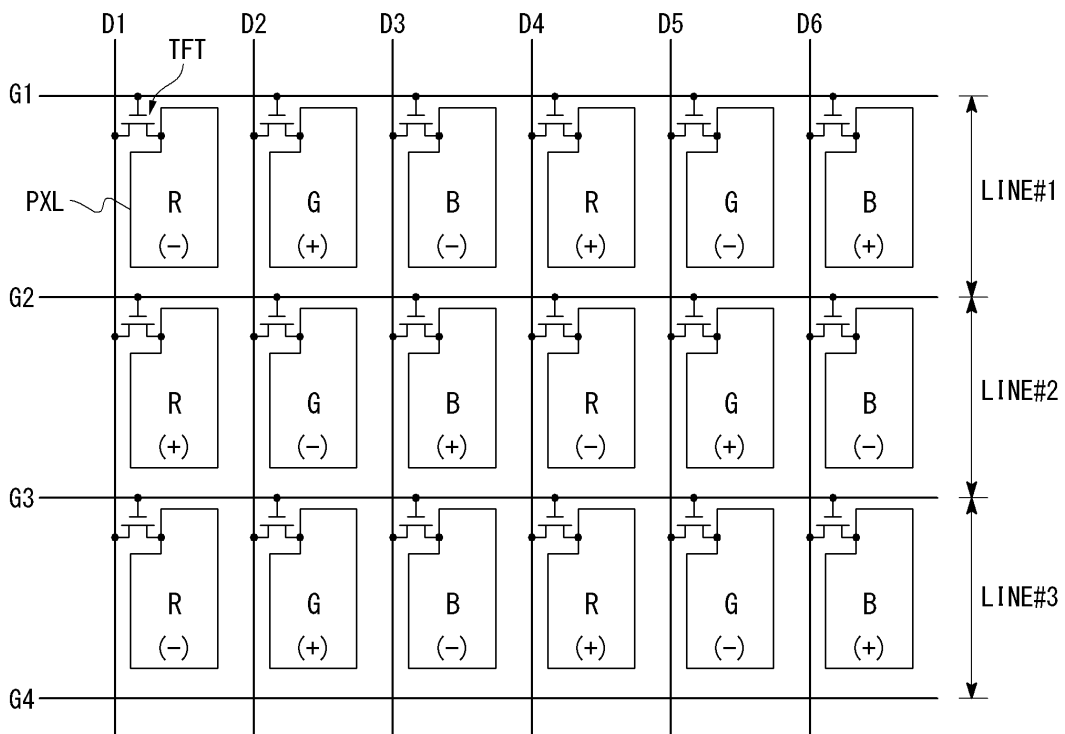
도면3



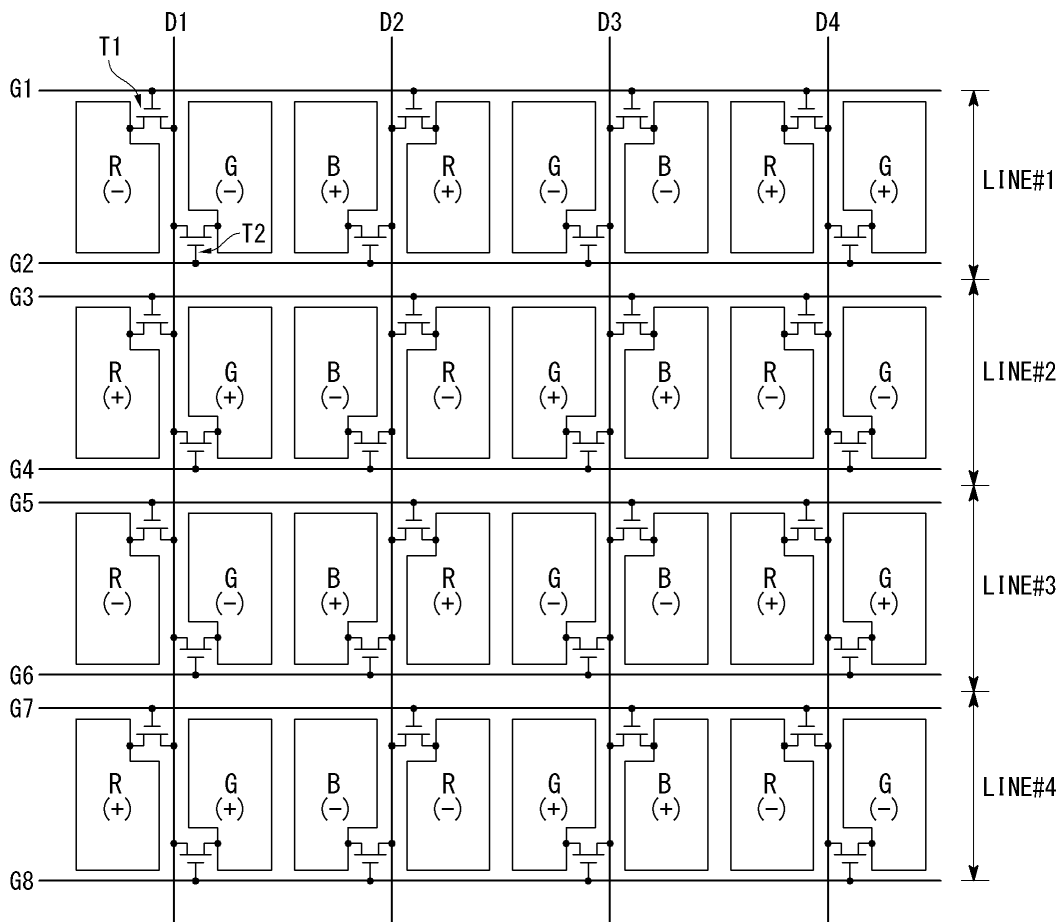
도면4



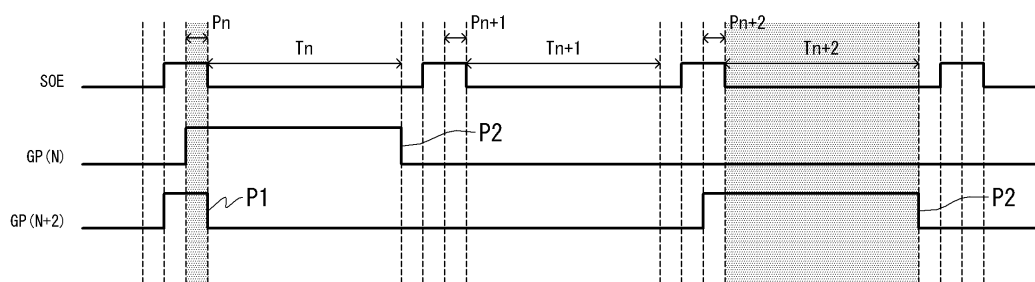
도면5



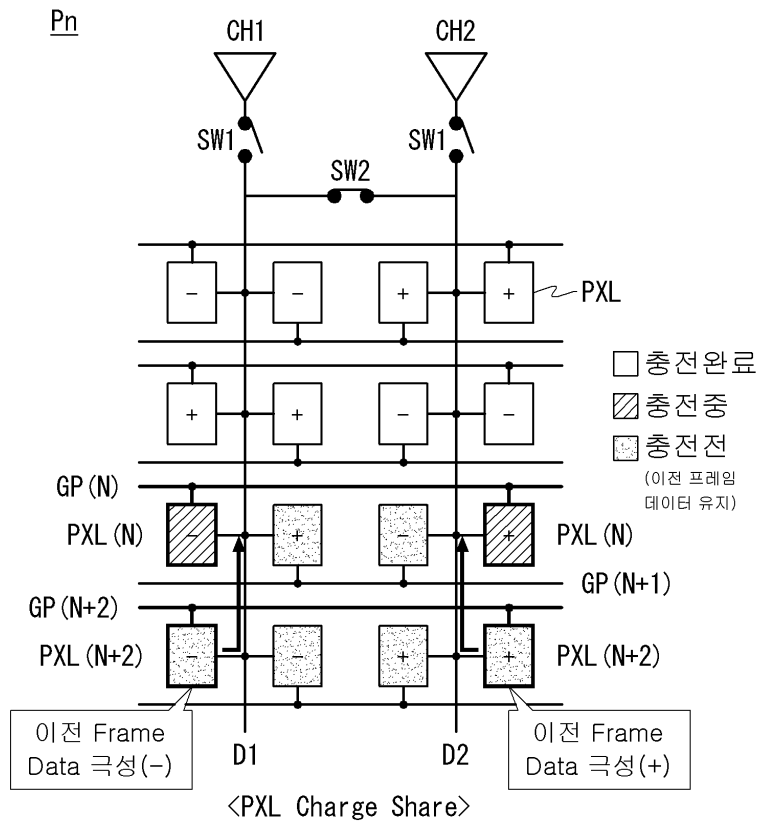
도면6



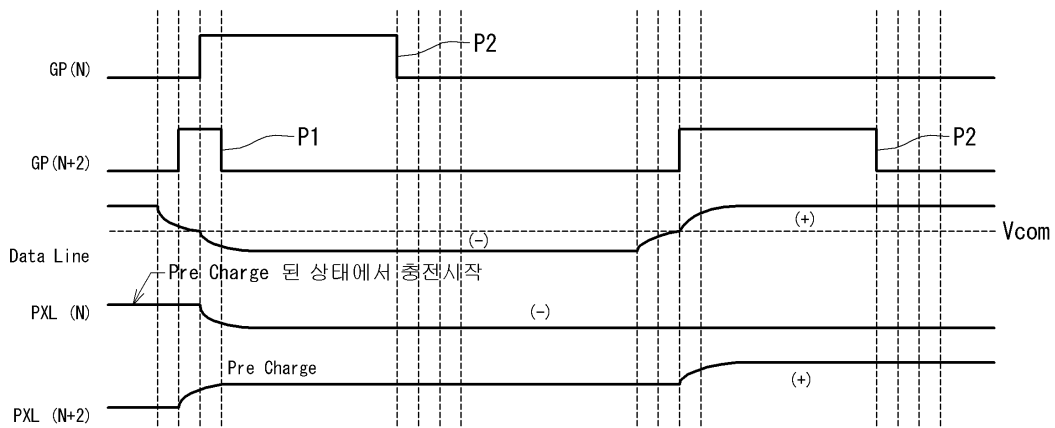
도면7



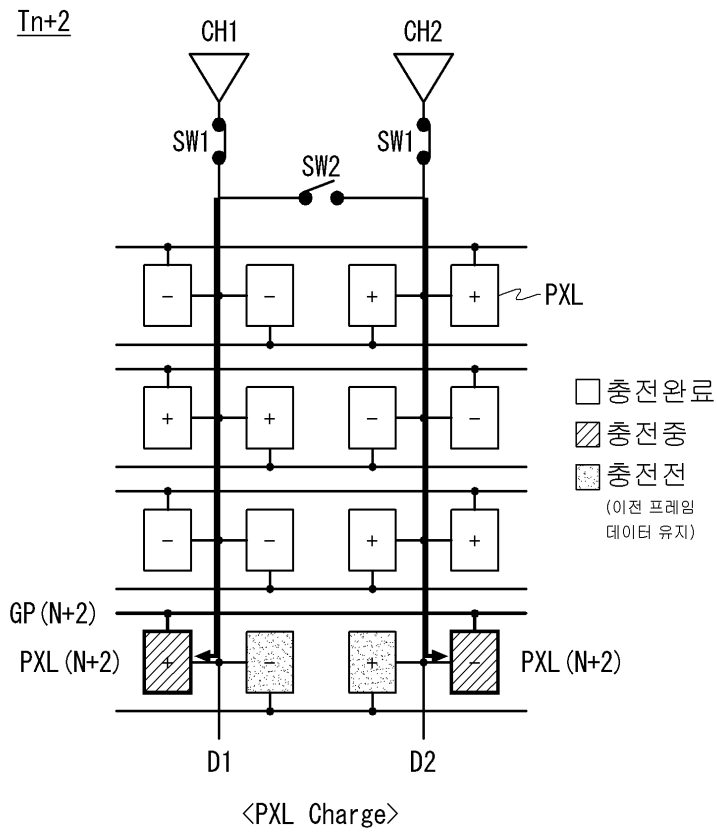
도면8



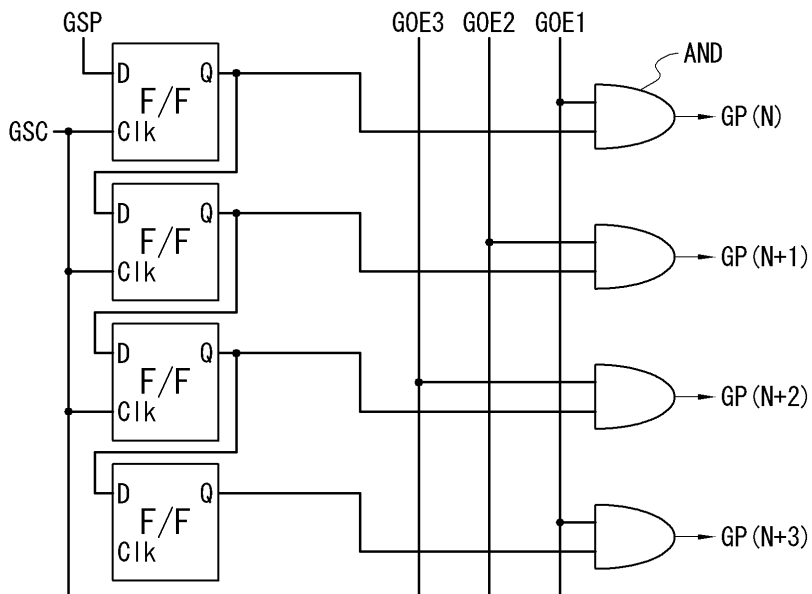
도면9



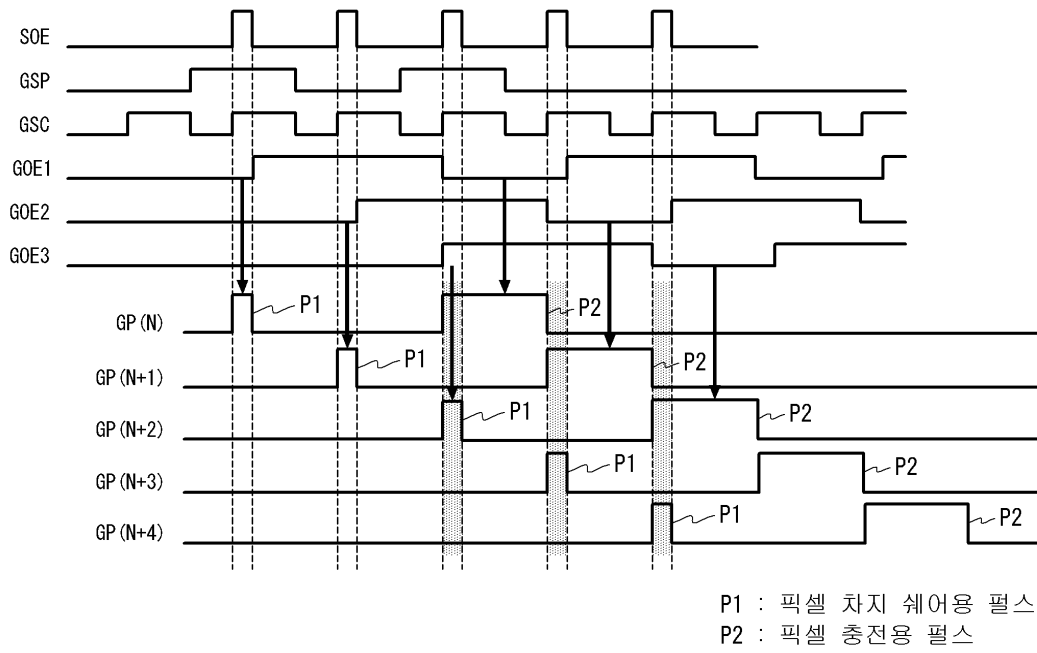
도면10



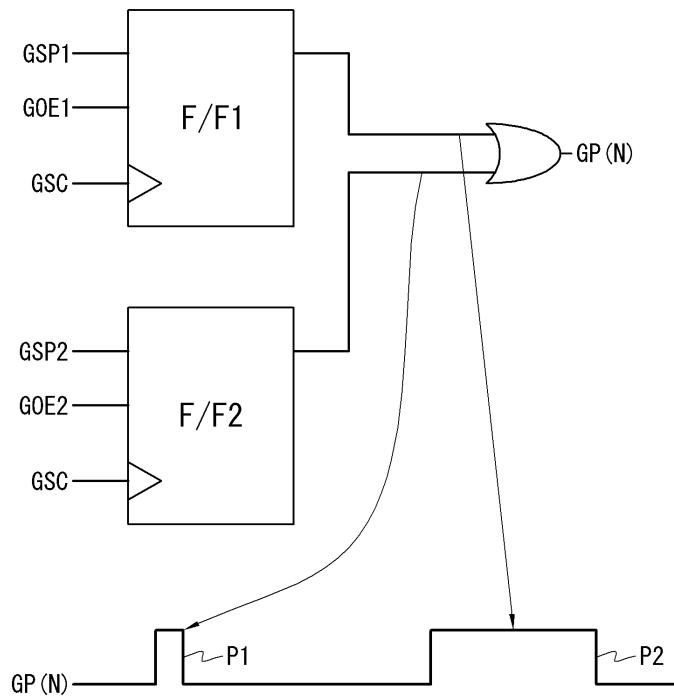
도면11



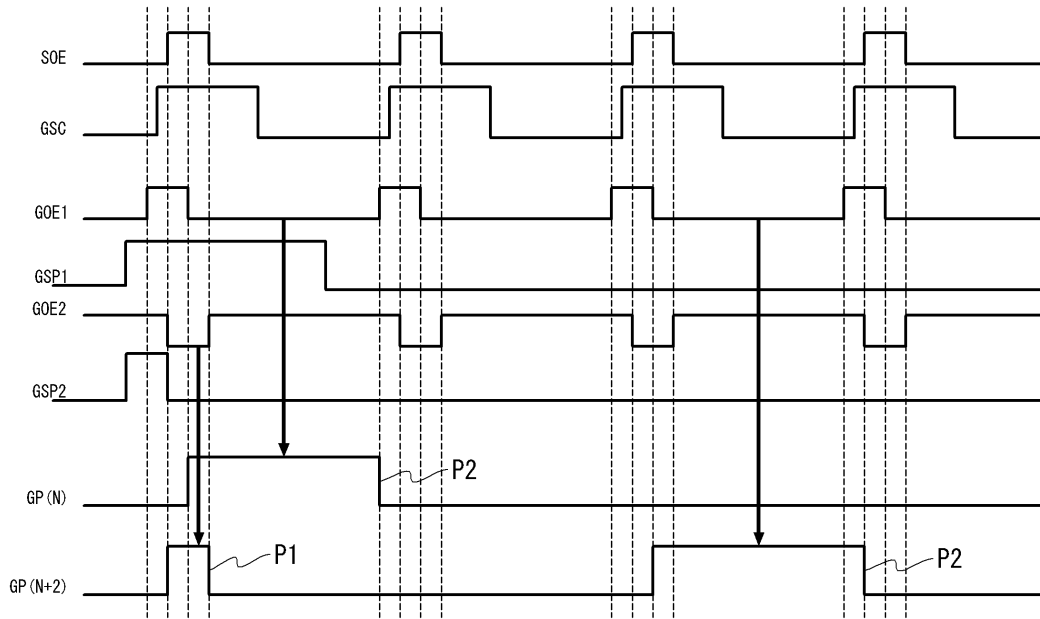
도면12



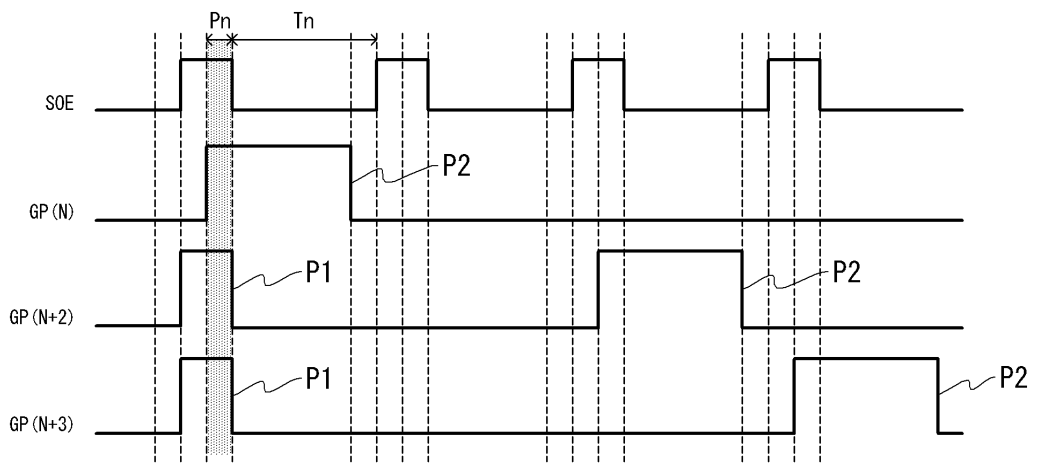
도면13



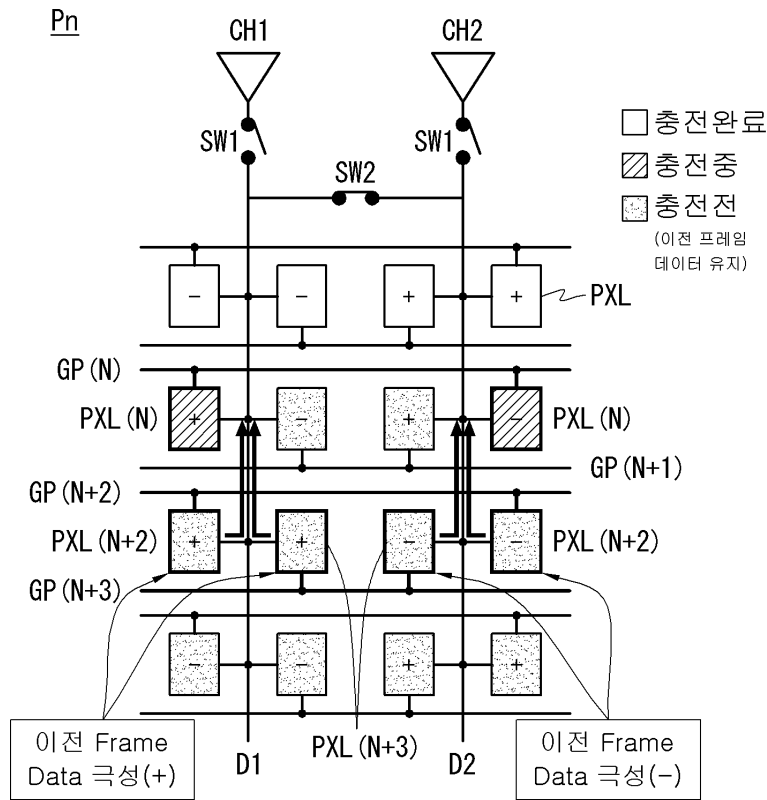
도면14



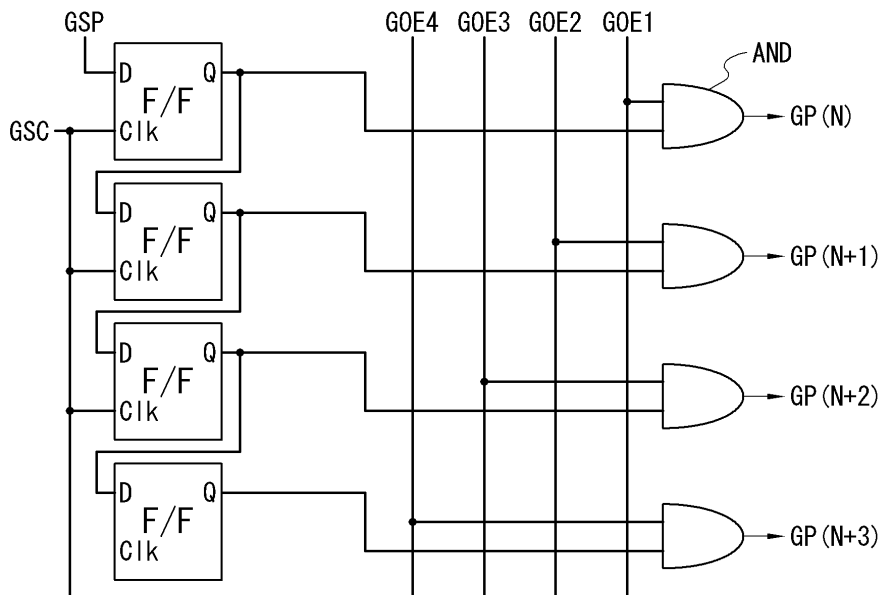
도면15



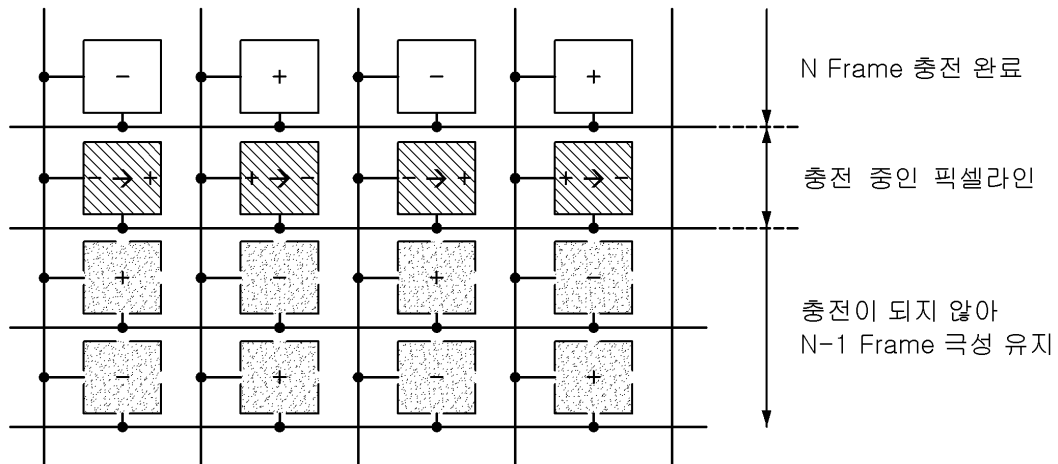
도면16



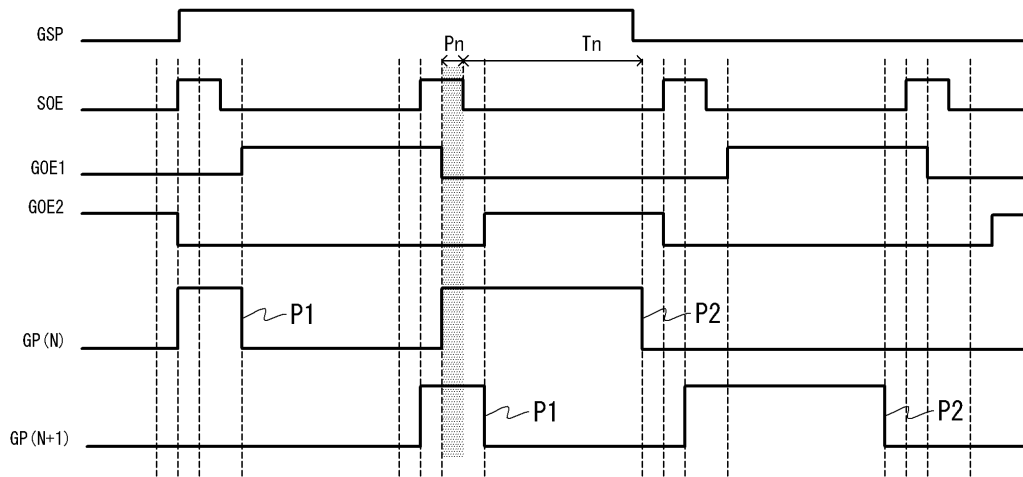
도면17



도면18

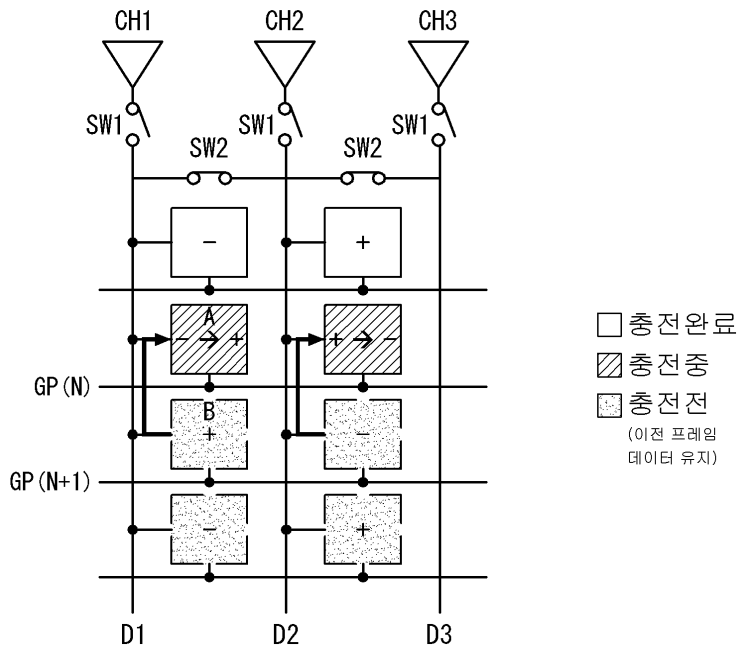


도면19

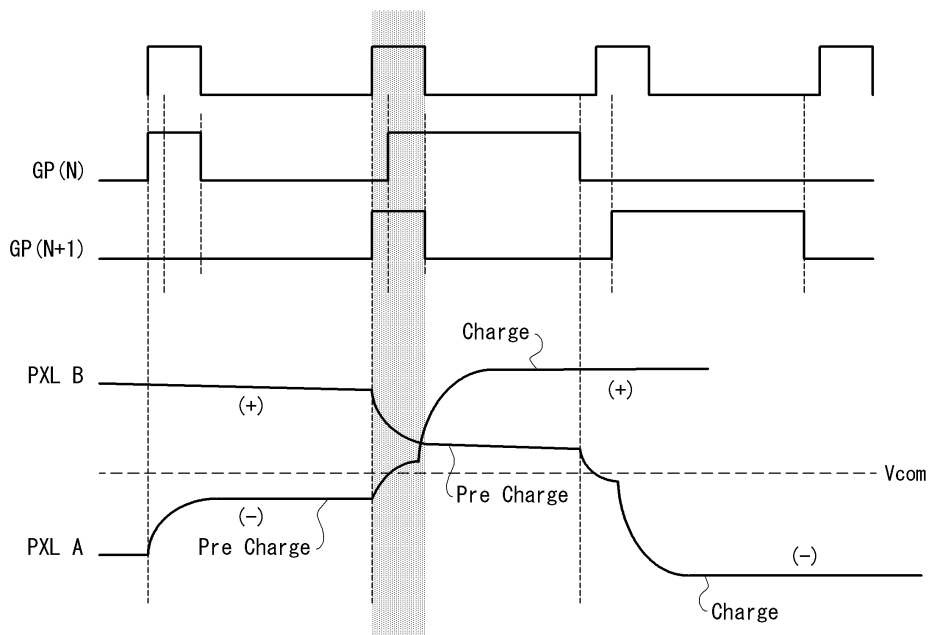


도면20

Pn



도면21



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020170016567A</a>	公开(公告)日	2017-02-14
申请号	KR1020150109748	申请日	2015-08-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM TAE HUN 김태훈 KIM KYU JIN 김규진		
发明人	김태훈 김규진		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3614 G09G3/3648 G09G2330/021		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的液晶显示装置是用于根据显示面板的位置最小化电荷共享效率变化的液晶显示装置，包括具有多个像素的显示面板，数据驱动电路它包括。数据驱动电路具有用于将每个输出通道连接到数据线的第一开关和用于将相邻数据线彼此连接的第二开关。在第一开关被断开并且第二开关被接通切换的电荷共享时段中，第一像素的像素电极和第二像素的像素电极通过相同的数据线彼此短路。

