

(52) CPC특허분류

G02F 1/133514 (2013.01)

G02F 1/134309 (2013.01)

G02F 1/1368 (2013.01)

명세서

청구범위

청구항 1

표시부 및 비표시부를 포함하는 하부 기관;
 상기 하부 기관과 대향하는 상부 기관;
 상기 하부 기관과 상부 기관 사이에 위치한 액정층;
 상기 하부 기관의 표시부에 위치한 게이트 라인 및 데이터 라인;
 상기 하부 기관의 화소 영역을 정의하는 차광층;
 상기 하부 기관의 화소 영역에 위치한 화소 전극;
 상기 하부 기관의 표시부에 위치하여, 상기 게이트 라인, 상기 데이터 라인 및 상기 화소 전극에 연결된 화소 트랜지스터;
 상기 하부 기관의 비표시부에 위치한 구동 트랜지스터;
 상기 화소 트랜지스터 및 구동 트랜지스터 상에 위치한 제 1 보호막;
 상기 제 1 보호막 상에서 상기 화소 트랜지스터 및 구동 트랜지스터 중 적어도 하나와 중첩하며, 전기적으로 플로팅된 차단막; 및,
 상기 차단막 상에 위치한 제 2 보호막을 포함하는 액정 표시장치.

청구항 2

제 1 항에 있어서,
 상기 차단막은 상기 화소 트랜지스터 및 상기 구동 트랜지스터 중 어느 하나의 채널과 중첩하는 액정 표시장치.

청구항 3

제 2 항에 있어서,
 상기 차단막은 상기 화소 트랜지스터 및 상기 구동 트랜지스터 중 어느 하나의 채널보다 더 큰 크기를 갖는 액정 표시장치.

청구항 4

제 2 항에 있어서,
 상기 차단막은 상기 화소 트랜지스터 및 상기 구동 트랜지스터 중 어느 하나의 반도체층보다 더 큰 크기를 갖는 액정 표시장치.

청구항 5

제 1 항에 있어서,
 상기 차단막은 상기 화소 트랜지스터의 채널과 중첩하는 제 1 차단막 및 상기 구동 트랜지스터의 채널을 중첩하는 제 2 차단막을 포함하는 액정 표시장치.

청구항 6

제 5 항에 있어서,
 상기 제 1 차단막은 상기 화소 트랜지스터의 채널보다 더 큰 크기를 갖는 액정 표시장치.

청구항 7

제 5 항에 있어서,

상기 제 1 차단막은 상기 화소 트랜지스터의 반도체층보다 더 큰 크기를 갖는 액정 표시장치.

청구항 8

제 5 항에 있어서,

상기 제 2 차단막은 상기 구동 트랜지스터의 채널보다 더 큰 크기를 갖는 액정 표시장치.

청구항 9

제 5 항에 있어서,

상기 제 2 차단막은 상기 구동 트랜지스터의 반도체층보다 더 큰 크기를 갖는 액정 표시장치.

청구항 10

제 5 항에 있어서,

상기 제 1 차단막은 상기 제 2 차단막과 분리된 액정 표시장치.

청구항 11

제 1 항에 있어서,

상기 차단막은 상기 제 1 보호막과 직접 접촉하는 액정 표시장치.

청구항 12

제 1 항에 있어서,

상기 제 1 보호막 및 상기 제 2 보호막은 무기 절연물질로 이루어진 액정 표시장치.

청구항 13

제 1 항에 있어서,

상기 제 1 보호막과 상기 제 2 보호막 사이에 위치하여, 상기 화소 전극과 중첩하는 공통 전극을 더 포함하는 액정 표시장치.

청구항 14

제 13 항에 있어서,

상기 공통 전극은 상기 차단막과 동일한 층상에 배치되는 액정 표시장치.

청구항 15

제 1 항에 있어서,

상기 제 1 보호막과 상기 공통 전극 사이에 위치하여 상기 화소 전극과 중첩하는 컬러 필터를 더 포함하는 액정 표시장치.

청구항 16

제 1 항에 있어서,

상기 상부 기판 상에 위치하여 상기 화소 전극과 중첩하는 컬러 필터를 더 포함하는 액정 표시장치.

청구항 17

제 1 항에 있어서,

상기 차광층은 상기 화소 영역을 제외한 하부 기관의 전면을 덮으며 상기 제 2 보호막 상에 위치하는 액정 표시 장치.

청구항 18

제 1 항에 있어서,

상기 차광층은 상기 화소 영역을 제외한 상부 기관의 전면에 위치하는 액정 표시장치.

청구항 19

제 1 항에 있어서,

상기 화소 전극은,

줄기 전극; 및

상기 줄기 전극에서 분기된 복수의 가지 전극들을 포함하는 액정 표시장치.

청구항 20

제 19 항에 있어서,

상기 줄기 전극에서 상기 화소 영역의 외부로 연장되어 상기 화소 트랜지스터에 연결된 연결 전극을 더 포함하는 액정 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 특히 표시 패널의 두께를 줄일 수 있는 액정 표시장치에 대한 것이다.

배경 기술

[0002] 액정 표시장치(liquid crystal display, LCD)는 현재 가장 널리 사용되고 있는 평판 표시장치(flat panel display, FPD) 중 하나로서 전극이 형성되어 있는 두 장의 기관과 그 사이에 삽입되어 있는 액정층으로 이루어진다. 액정 표시장치는 두 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시장치이다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 표시패널의 두께를 줄일 수 있는 액정 표시장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0004] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치는, 표시부 및 비표시부를 포함하는 하부 기관; 하부 기관과 대향하는 상부 기관; 하부 기관과 상부 기관 사이에 위치한 액정층; 하부 기관의 표시부에 위치한 게이트 라인 및 데이터 라인; 하부 기관의 화소 영역을 정의하는 차광층; 하부 기관의 화소 영역에 위치한 화소 전극; 하부 기관의 표시부에 위치하여, 게이트 라인, 데이터 라인 및 화소 전극에 연결된 화소 트랜지스터; 하부 기관의 비표시부에 위치한 구동 트랜지스터; 화소 트랜지스터 및 구동 트랜지스터 상에 위치한 제 1 보호막; 제 1 보호막 상에서 화소 트랜지스터 및 구동 트랜지스터 중 적어도 하나와 중첩하며, 전기적으로 플로팅된 차단막; 및, 차단막 상에 위치한 제 2 보호막을 포함한다.

[0005] 차단막은 화소 트랜지스터 및 구동 트랜지스터 중 어느 하나의 채널과 중첩한다.

[0006] 차단막은 화소 트랜지스터 및 구동 트랜지스터 중 어느 하나의 채널보다 더 큰 크기를 갖는다.

[0007] 차단막은 화소 트랜지스터 및 구동 트랜지스터 중 어느 하나의 반도체층보다 더 큰 크기를 갖는다.

- [0008] 차단막은 화소 트랜지스터의 채널과 중첩하는 제 1 차단막 및 상기 구동 트랜지스터의 채널을 중첩하는 제 2 차단막을 포함한다.
- [0009] 제 1 차단막은 화소 트랜지스터의 채널보다 더 큰 크기를 갖는다.
- [0010] 제 1 차단막은 화소 트랜지스터의 반도체층보다 더 큰 크기를 갖는다.
- [0011] 제 2 차단막은 구동 트랜지스터의 채널보다 더 큰 크기를 갖는다.
- [0012] 제 2 차단막은 구동 트랜지스터의 반도체층보다 더 큰 크기를 갖는다.
- [0013] 제 1 차단막은 제 2 차단막과 분리되어 있다.
- [0014] 차단막은 제 1 보호막과 직접 접촉한다.
- [0015] 제 1 보호막 및 제 2 보호막은 무기 절연물질로 이루어진다.
- [0016] 액정 표시장치는 제 1 보호막과 제 2 보호막 사이에 위치하여, 화소 전극과 중첩하는 공통 전극을 더 포함한다.
- [0017] 공통 전극은 차단막과 동일한 층상에 배치된다.
- [0018] 제 1 보호막과 공통 전극 사이에 위치하여 화소 전극과 중첩하는 컬러 필터를 더 포함한다.
- [0019] 상부 기판 상에 위치하여 화소 전극과 중첩하는 컬러 필터를 더 포함한다.
- [0020] 차광층은 화소 영역을 제외한 하부 기판의 전면을 덮으며 제 2 보호막 상에 위치한다.
- [0021] 차광층은 화소 영역을 제외한 상부 기판의 전면에 위치한다.
- [0022] 화소 전극은, 줄기 전극; 및 줄기 전극에서 분기된 복수의 가지 전극들을 포함한다.
- [0023] 줄기 전극에서 화소 영역의 외부로 연장되어 화소 트랜지스터에 연결된 연결 전극을 더 포함한다.

발명의 효과

- [0024] 본 발명은 다음과 같은 효과를 제공한다.
- [0025] 첫째, 제 1 보호막과 제 2 보호막 사이에 유기막이 없으므로 표시 패널의 두께가 줄어들 수 있다.
- [0026] 둘째, 화소 트랜지스터 및 구동 트랜지스터와 중첩하도록 제 1 보호막과 제 2 보호막 사이에 차단막이 위치하므로 제 2 보호막으로부터의 수분이 화소 트랜지스터 및 구동 트랜지스터로 유입되는 것이 방지된다.
- [0027] 셋째, 차단막들이 서로 분리되어 있으므로 차단막들과 그 하부에 위치한 막들 간의 커플링 현상이 최소화될 수 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 한 실시예에 따른 액정 표시장치의 평면도이다.
- 도 2는 도 1에 도시된 하나의 화소에 대한 상세 구성도이다.
- 도 3은 도 2의 I-I'의 선을 따라 자른 단면도이다.
- 도 4는 도 3의 공통 전극의 평면도이다.
- 도 5는 도 1에 도시된 게이트 구동부의 블록 구성도이다.
- 도 6은 도 5에 도시된 제 1 스테이지의 회로도이다.
- 도 7은 도 6에 도시된 제 1 내지 제 3 제어 라인들과 오프 전압 라인의 평면도이다.
- 도 8은 도 6에 도시된 제 1 스테이지 회로의 일부 영역의 평면도이다.
- 도 9는 도 8의 I-I' 선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시

예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0030] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0031] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0032] 본 명세서에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 그에 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0033] 본 명세서에서 제 1, 제 2, 제 3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소들로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않고, 제 1 구성 요소가 제 2 또는 제 3 구성 요소 등으로 명명될 수 있으며, 유사하게 제 2 또는 제 3 구성 요소도 교호적으로 명명될 수 있다.
- [0034] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0035] 도 1은 본 발명의 한 실시예에 따른 액정 표시장치의 평면도이다.
- [0036] 본 발명의 한 실시예에 따른 액정 표시장치(500)는 표시 패널(105), 상부 패널(도 3의 200), 게이트 구동부(266), 데이터 구동부(271) 및 구동 회로 기관(400)을 포함한다.
- [0037] 표시 패널(105)은 매트릭스(matrix) 형태로 배열된 복수의 화소들(PX11-PXnm)이 위치한 표시부(105a), 그 표시부(105a)를 둘러싸는 비표시부(105b), 복수의 게이트 라인들(GL1-GLn), 복수의 게이트 라인들(GL1-GLn)과 교차하는 복수의 데이터 라인들(DL1-DLm), 제어신호 배선부(CLS) 및 오프 전압라인(VSSL)을 포함한다.
- [0038] 게이트 라인들(GL1-GLn)은 게이트 구동부(266)에 연결된다. 게이트 라인들(GL1-GLn)은 게이트 구동부(266)로부터 순차적으로 발생하는 게이트 신호들을 차례로 입력받는다.
- [0039] 데이터 라인들(DL1-DLm)은 데이터 구동부(271)에 연결된다. 데이터 라인들(DL1-DLm)은 데이터 구동부(271)로부터 아날로그 형태의 데이터 전압들을 입력 받는다.
- [0040] 화소들(PX11-PXnm)은 게이트 라인들(GL1-GLn)과 데이터 라인들(DL1-DLm)이 교차하는 영역에 위치한다. 화소들(PX11-PXnm)은 서로 교차하는 m개의 열들 및 n개의 행들로 배열될 수 있다. m 및 n은 0보다 큰 정수이다.
- [0041] 화소들(PX11-PXnm)은 각각 대응하는 게이트 라인들(GL1-GLn)과 데이터 라인들(DL1-DLm)에 연결된다. 화소는 게

이트 라인으로부터의 게이트 신호에 응답하여 데이터 라인으로부터 데이터 전압을 공급 받는다. 화소는 데이터 전압에 대응하는 계조를 표시한다.

- [0042] 제어신호 배선부(CLS)는 최 좌측의 연성 회로기판(320_1)을 통해 게이트 구동부(266)에 연결된다. 제어 신호 배선부(CLS)는 구동회로 기관(400)에 실장된 타이밍 컨트롤러(도시되지 않음)로부터 제어 신호들을 수신한다. 제어 신호들은 제어신호 배선부(CLS)를 통해 게이트 구동부(266)에 제공된다. 오프 전압 라인(VSSL)은 최 좌측의 연성 회로기판(320_1)을 통해 게이트 구동부(266)에 연결된다. 오프 전압 라인(VSSL)은 구동회로 기관(400)에 실장된 전압 생성부(도시되지 않음)로부터 오프 전압을 수신할 수 있다. 오프 전압은 오프 전압 라인(VSSL)을 통해 게이트 구동부(266)에 공급된다.
- [0043] 게이트 구동부(266)는 표시부의 일측에 인접한 비표시부(105b)에 배치될 수 있다. 구체적으로 게이트 구동부(266)는 표시부(105a)의 좌측에 인접한 비표시부(105b)에 실장 될 수 있다. 게이트 구동부(266)는 제어신호 배선부(CLS)를 통해 제공된 제어신호들을 이용하여 게이트 신호들을 순차적으로 생성하고, 이 게이트 신호들을 게이트 라인들(GL1-GLn)로 공급한다. 게이트 라인들은 최 상측에 위치한 게이트 라인부터 최 하측에 위치한 게이트 라인까지 순차적으로 구동된다.
- [0044] 데이터 구동부(271)는 타이밍 컨트롤러로부터 데이터 신호들을 제공받고, 데이터 신호들에 대응하는 아날로그 데이터 전압들을 생성한다. 데이터 구동부(271)는 데이터 전압들을 데이터 라인들(DL1-DLm)을 통해 화소들(PX11-PXnm)에 공급한다. 데이터 구동부(271)는 복수의 소스 구동칩들(310_1-310_k)을 포함한다. k는 0보다 크고 m보다 작은 정수이다. 소스 구동칩들(310_1-310_k)은 대응하는 연성회로기판들(320_1-320_k) 상에 실장된다. 소스 구동칩들(310_1-310_k)은 구동 회로 기관(400)과 표시부(105a)의 상부에 인접한 비표시부(105b) 사이에 연결된다.
- [0045] 한편, 소스 구동칩들(310_1-310_k)은 표시부(105a)의 상부에 인접한 비표시부(105b)에 칩 온 글래스(COG: Chip on Glass) 방식으로 실장 될 수 있다.
- [0046] 도 2는 도 1에 도시된 하나의 화소에 대한 상세 구성도이고, 도 3은 도 2의 I-I'의 선을 따라 자른 단면도이다.
- [0047] 도 2 및 도 3을 참고하면, 표시 패널(105)은 서로 마주보는 하부 패널(100) 및 상부 패널(200)과 그 사이에 위치한 액정층(300)을 포함한다.
- [0048] 하부 패널(100)은, 도 2 및 도 3에 도시된 바와 같이, 하부 기관(101), 게이트 라인(GL), 게이트 절연막(111), 반도체층(113), 저항성 접촉층(ohmic contact, 115), 소스 전극(SE), 드레인 전극(DE), 화소 트랜지스터(TFT), 데이터 라인(DL), 제 1 보호막(120), 컬러 필터(125), 공통 전극(130), 제 2 보호막(220), 화소 전극(144) 및 블랙 매트릭스(315)를 포함한다.
- [0049] 하부 기관(101)은 투명한 유리 또는 플라스틱 등으로 이루어진 절연 기관이 될 수 있다.
- [0050] 도 1에 도시된 바와 같이, 게이트 라인(GL)은 하부 기관(101) 상에 위치한다. 게이트 라인(GL)은 서로 다른 폭을 갖는 라인부(411) 및 전극부(GE; 이하 게이트 전극)를 포함한다. 예를 들어, 게이트 전극(GE)이 라인부(411)보다 더 큰 폭을 가질 수 있다. 라인부(411) 및 전극부(GE)는 일체로 구성된다.
- [0051] 도시되지 않았지만, 게이트 라인(GL)은, 다른 층 또는 게이트 구동부(266)와의 접속을 위해, 이의 접속 부분(예를 들어, 끝 부분)이 이의 다른 부분보다 더 큰 면적을 가질 수 있다.
- [0052] 게이트 라인(GL)은 알루미늄(Al)이나 알루미늄 합금과 같은 알루미늄 계열의 금속, 또는 은(Ag)이나 은 합금과 같은 은 계열의 금속, 또는 구리(Cu)나 구리 합금과 같은 구리 계열의 금속, 또는 몰리브덴(Mo)이나 몰리브덴 합금과 같은 몰리브덴 계열의 금속으로 만들어질 수 있다. 또는, 게이트 라인(GL)은, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 중 어느 하나로 만들어질 수 있다. 한편, 게이트 라인(GL)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.
- [0053] 게이트 절연막(111)은 게이트 라인(GL) 상에 위치한다. 이때, 게이트 절연막(111)은 그 게이트 라인(GL)을 포함한 하부 기관(101)의 전면(全面)에 형성된다. 게이트 절연막(111)은 질화 규소(SiNx) 또는 산화 규소(SiOx) 등으로 만들어질 수 있다. 게이트 절연막(111)은 물리적 성질이 다른 적어도 두 개의 절연층들을 포함하는 다중막 구조를 가질 수 있다.
- [0054] 반도체층(113)은 게이트 절연막(111) 상에 위치한다. 이때, 반도체층(113)은 게이트 전극(GE)과 중첩한다. 반도체층(113)은 비정질 규소 또는 다결정 규소 또는 IGZO(Indium Gallium Zinc Oxide) 등으로 만들어질 수 있다.

- [0055] 저항성 접촉층(115)은 반도체층(113) 상에 위치한다. 저항성 접촉층(115)은 인(phosphorus)과 같은 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소와 같은 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉층(115)은 쌍을 이루어 반도체층(113) 상에 위치할 수 있다.
- [0056] 드레인 전극(DE) 및 소스 전극(SE)은 저항성 접촉층(115) 상에 위치한다.
- [0057] 드레인 전극(DE)은 데이터 라인(DL)으로부터 분기된 것으로, 도 1에 도시된 바와 같이, 이 드레인 전극(DE)은 게이트 전극(GE)을 향해 돌출된 형태를 갖는다. 이때, 드레인 전극(DE)은 소스 전극(SE)의 일부를 둘러싸는 역 C자 형상을 이룰 수 있다. 드레인 전극(DE)의 적어도 일부는 반도체층(113) 및 게이트 전극(GE)과 중첩된다. 한편, 이 드레인 전극(DE)은 역 C자 대신, C자, U자 및 역 U자 중 어느 하나의 형태를 가질 수 있다.
- [0058] 드레인 전극(DE)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막과 저저항 도전막을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(또는 몰리브덴 합금) 하부막과 알루미늄 (또는 알루미늄 합금) 상부막의 이중막, 몰리브덴 (또는 몰리브덴 합금) 하부막과 알루미늄 (또는 알루미늄 합금) 중간막과 몰리브덴 (또는 몰리브덴 합금) 상부막의 삼중막을 들 수 있다. 한편, 이 드레인 전극(DE)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- [0059] 소스 전극(SE)의 일측은 연결 전극(145)을 통해 화소 전극(144)에 연결된다. 소스 전극(SE)의 타측은 연결 전극(145)과 중첩하고, 소스 전극(SE)의 타측은 반도체층(113) 및 게이트 전극(GE)과 중첩된다.
- [0060] 소스 전극(SE) 역시 전술된 드레인 전극(DE)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 소스 전극(SE)과 드레인 전극(DE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0061] 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)은 반도체층(113)과 함께 박막 트랜지스터(TFT)를 이룬다. 이때 이 박막 트랜지스터(TFT)의 채널(channel)은 소스 전극(SE)과 드레인 전극(DE) 사이의 반도체층(113) 부분에 형성된다. 채널 부분에 해당하는 반도체층(113) 부분은 그 반도체층(113)의 다른 부분은 비하여 더 낮은 두께를 갖는다.
- [0062] 데이터 라인(DL)은 영상 데이터 신호를 전달한다. 데이터 라인(DL)은 게이트 절연막(111) 상에 형성된다. 도시되지 않았지만, 데이터 라인(DL)은, 다른 층 또는 외부 구동회로와의 접속을 위해, 이의 접속 부분(예를 들어, 끝 부분)이 이의 다른 부분보다 더 큰 면적을 가질 수 있다.
- [0063] 데이터 라인(DL)은 게이트 라인(GL)과 교차한다. 데이터 라인(DL)은 지그재그 형상을 갖는다. 이때, 액정 표시 장치의 최대 투과율을 얻기 위해, 데이터 라인(DL)의 절곡부에 켜기 형상의 돌출부가 위치할 수 있다. 여기서, 데이터 라인(DL)은 돌출부와 이 돌출부의 양측에 각각 위치한 라인부들로 구분될 수 있는 바, 돌출부의 끼임각은 라인부들 사이의 끼임각보다 더 작다.
- [0064] 데이터 라인(DL) 역시 전술된 드레인 전극(DE)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 데이터 라인(DL)과 드레인 전극(DE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0065] 제 1 보호막(120)은 데이터 라인(DL), 드레인 전극(DE) 및 소스 전극(SE) 상에 위치한다. 이때, 제 1 보호막(120)은 그 데이터 라인(DL), 드레인 전극(DE) 및 소스 전극(SE)을 포함한 하부 기관(101)의 전면(全面)에 형성된다.
- [0066] 제 1 보호막(120)은 질화 규소(SiNx) 또는 산화 규소(SiOx)와 같은 무기 절연물로 만들어질 수 있다. 이와 같이 제 1 보호막(120)이 무기 절연물로 만들어질 경우, 그 무기 절연물로서 감광성(photosensitivity)을 가지며 유전 상수(dielectric constant)가 약 4.0인 것이 사용될 수 있다.
- [0067] 한편, 제 1 보호막(120)은 유기막 및 무기막을 포함하는 다중막 구조를 가질 수도 있다. 이와 같이 제 1 보호막(120)이 다중막 구조를 가질 경우, 우수한 절연 특성이 확보될 수 있으며, 또한 노출된 반도체층(113) 부분의 손상이 최소화될 수 있다.
- [0068] 제 1 보호막(120)의 두께는 약 5000Å 이상일 수 있고, 약 6000 Å 내지 약 8000 Å 일 수 있다.
- [0069] 제 1 보호막(120)은 이의 일부를 관통하는 하부 콘택홀(160a)을 갖는 바, 이 하부 콘택홀(160a)을 통해 소스 전극(SE)의 일부가 노출된다.
- [0070] 컬러 필터(125)는 제 1 보호막(120) 상에 위치한다. 구체적으로, 컬러 필터(125)는 하부 기관(101)의 화소 영역

(P)에 대응되는 제 1 보호막(125) 상에 위치한다. 컬러 필터(125)는 적색 컬러 필터, 녹색 컬러 필터 및 청색 컬러 필터를 포함할 수 있다.

[0071] 공통 전극(130)은 외부로부터 공통 전압을 공급받는다. 공통 전극(130)은 제 1 보호막(120) 및 컬러 필터(125) 상에 위치한다. 공통 전극(130)은 하부 기관(101)의 표시부(100a) 전면(全面)에 위치한다. 도 4를 참조로 하여 공통 전극(130)을 더 구체적으로 설명한다.

[0072] 도 4는 도 3의 공통 전극(130)의 평면도로서, 도 4에는 공통 전극(130)의 일부만이 도시되어 있다.

[0073] 공통 전극(130)은, 도 4에 도시된 바와 같이, 이의 일부를 관통하는 2개의 개구부들(404, 405)을 갖는다.

[0074] 하나의 개구부(404)는 하부 콘택홀(160a) 바로 위에 위치한다. 이 개구부(404)는 하부 콘택홀(160a) 및 이후 설명할 상부 콘택홀(160b)을 둘러쌀 수 있을 만큼 충분히 큰 크기를 갖는다. 개구부(404) 및 하부 콘택홀(160a)을 통해 소스 전극(SE)의 일부가 노출된다.

[0075] 다른 하나의 개구부(405)는 이후 설명할 차단막(435)과 공통 전극(130)을 서로 분리하는 역할을 한다.

[0076] 공통 전극(130)은 ITO(Indium tin oxide) 또는 IZO(Indium zinc oxide) 등의 투명한 도전 물질로 만들어질 수 있다. 이때, ITO는 다결정 또는 단결정의 물질일 수 있으며, 또한 IZO 역시 다결정 또는 단결정의 물질일 수 있다.

[0077] 차단막(435)은 제 1 보호막(120) 상에 위치한다. 차단막(435)은 제 1 보호막(120)과 직접 접촉한다. 여기서, 차단막(435)은 제 1 보호막(120) 상에서 화소 트랜지스터(TFT)와 중첩한다. 예를 들어, 차단막(435)은 화소 트랜지스터(TFT)의 채널(118)과 중첩할 수 있다. 이때, 차단막(435)은 화소 트랜지스터(TFT)의 채널(118)보다 더 크거나 또는 이와 동일한 크기를 가질 수 있다. 다른 예로서, 차단막(435)은 화소 트랜지스터(TFT)의 반도체층(113)보다 더 크거나 또는 이와 동일한 크기를 가질 수도 있다.

[0078] 차단막(435)은 전술된 공통 전극(130)에 사용되는 물질로 만들어질 수 있다. 또한, 차단막(435)은 공통 전극(130)과 동일한 층상에 위치할 수 있다. 또한, 차단막(435)과 공통 전극(130)은 동일한 마스크 공정으로 동시에 형성될 수 있다. 이때, 도 4에 도시된 바와 같이, 차단막(435)과 공통 전극(130)은 서로 분리되어 있다.

[0079] 차단막(435)은 전기적으로 플로팅(floating)된 상태로 유지된다. 다시 말하여, 차단막(435)에 어떠한 전기적인 신호도 인가되지 않는다.

[0080] 차단막(435)은 이후 설명할 제 2 보호막(220)으로부터 발생된 수소가 화소 트랜지스터(TFT)의 채널로 유입되는 것을 방지한다. 즉, 제 1 보호막(120)과 제 2 보호막(220) 사이에 유기막이 없기 때문에 제 2 보호막(220)으로부터 발생된 과도한 양의 수소가 제 1 보호막(120)을 통과하여 화소 트랜지스터(TFT)로 침투할 수 있는 바, 차단막(435)은 그러한 과도한 양의 수소가 화소 트랜지스터의 채널로 유입되는 것을 방지한다.

[0081] 제 2 보호막(220)은 공통 전극(130) 및 차단막(435) 상에 위치한다. 즉, 제 2 보호막(220)은 공통 전극(130) 및 차단막(435)을 포함한 하부 기관(101)의 전면(全面)에 형성된다.

[0082] 제 2 보호막(220)은 전술된 제 1 보호막(120)에 사용되는 물질로 만들어질 수 있다.

[0083] 제 2 보호막(220)은 이의 일부를 관통하는 상부 콘택홀(160b)을 갖는 바, 이 상부 콘택홀(160b)은 전술된 개구부의 바로 위에 위치한다. 이 개구부를 통해 하부 콘택홀(160a)과 상부 콘택홀(160b)이 연결되어 하나의 소스 콘택홀(160)을 형성한다.

[0084] 제 2 보호막(220)은 전술된 제 1 보호막(120)에 사용되는 물질로 만들어질 수 있다.

[0085] 한편, 소스 콘택홀(160)은 다음과 같은 방법으로 형성될 수 있다. 즉, 제 1 보호막(120) 및 컬러 필터(125) 상에 공통 전극(130)이 형성된 후, 포토리쓰그라피(photo lithography) 및 식각 공정을 통해 그 공통 전극(130)의 일부가 제거되어 개구부(404)가 형성된다. 이 개구부(404)를 통해 제 1 보호막(120)이 드러난다. 이후, 그 개구부(404)가 형성된 공통 전극(130)을 포함한 하부 기관(101)의 전면(全面)에 제 2 보호막(220)이 형성된다. 이때, 제 2 보호막(220)의 일부가 개구부(404)를 통해 노출된 제 1 보호막(120)과 접촉한다. 다음으로, 포토리쓰그라피 공정 및 식각 공정을 통해 개구부에 위치한 제 2 보호막(220)과 제 1 보호막(120) 부분이 한꺼번에 제거되면서 소스 콘택홀(160)이 형성된다. 이때, 소스 콘택홀(160)은 개구부(404)보다 충분히 작아야 한다. 그렇게 되어야만, 개구부(404)의 내벽에 해당하는 공통 전극(130)의 노출면이 제 2 보호막(220)에 의해 충분히 가려질 수 있다. 이는 이후 그 소스 콘택홀(160)에 삽입되는 화소 전극(144)과 공통 전극(130) 간의 단락을 방지하

기 위함이다.

- [0086] 화소 전극(144)은 공통 전극(130)과 함께 수평 전계를 생성한다. 화소 전극(144)은 제 2 보호막(220) 상에 위치한다. 구체적으로, 화소 전극(144)은 하부 기관(101)의 화소 영역(P)에 대응되는 제 2 보호막(220) 상에 위치하는 바, 이때 화소 전극(144)은 공통 전극(130)과 중첩한다.
- [0087] 화소 전극(144)은 줄기 전극(144a)과 이 줄기 전극(144a)으로부터 분기된 복수의 가지 전극(144b)들을 포함한다. 복수의 가지 전극(144b)들은 일정 간격 이격되어 배치된다.
- [0088] 선형 전극인 가지 전극(144b)들과 면형 전극인 공통 전극(130) 사이에 수평 전계가 발생된다. 각 가지 전극(144b)은 데이터 라인(DL)과 실질적으로 동일한 방향으로 연장 된다. 각 가지 전극(144b)은 데이터 라인(DL)의 일부와 동일한 형상을 갖는다.
- [0089] 또한, 각 가지 전극(144b)은 켜기 형태의 돌출부를 가질 수 있다. 각 가지 전극(144b)의 돌출부는 실질적으로 데이터 라인(DL)의 돌출부와 동일한 형상을 갖는다.
- [0090] 한편, 가지 전극(144b)들은 화소 영역(P)의 외부로 더 연장될 수도 있다.
- [0091] 화소 전극(144)은 ITO(Indium tin oxide) 또는 IZO(Indium zinc oxide) 등의 투명한 도전 물질로 만들어질 수 있다. 이때, ITO는 다결정 또는 단결정의 물질일 수 있으며, 또한 IZO 역시 다결정 또는 단결정의 물질일 수 있다.
- [0092] 연결 전극(145)은 화소 전극(144)과 화소 트랜지스터(TFT)를 서로 연결한다. 연결 전극(145)은 화소 전극(144)과 일체로 구성된다. 연결 전극(145)은 화소 전극(144)의 줄기 전극(144a)으로부터 연장되어 화소 트랜지스터(TFT)의 드레인 전극(TFT) 상에 위치한다. 연결 전극(145)은 소스 콘택홀(160)을 통해 소스 전극(SE)에 연결된다.
- [0093] 연결 전극(145)은 전술된 화소 전극(144)과 동일한 물질로 만들어질 수 있다. 연결 전극(145)과 화소 전극(144)은 일체로 구성될 수 있다.
- [0094] 한편, 도 3에 도시된 바와 같이, 화소 전극(144)과 개구부의 내벽을 형성하는 공통 전극(130)의 노출면 사이에 제 2 보호막(220)의 일부(441)가 위치하는 바, 이에 의해 화소 전극(144)과 공통 전극(130) 간의 단락이 방지될 수 있다.
- [0095] 블랙 매트릭스(315)는 화소 전극(144), 연결 전극(145) 및 제 2 보호막(220) 상에 위치한다. 블랙 매트릭스(315)는 화소 영역(P)이 아닌 영역으로부터 광이 방출되는 것을 차단한다. 즉, 블랙 매트릭스(315)는 비화소 영역에서의 빛샘을 방지한다. 이를 위해, 블랙 매트릭스(315)는 화소 영역(P)에 대응하여 개구부를 갖는 바, 그 화소 영역(P)을 제외한 영역을 모두 가린다. 구체적으로, 하부 기관(101)의 표시부(100a) 중 화소 영역(P)을 제외한 부분과 그 하부 기관(101)의 비표시부(100b)는 블랙 매트릭스(315)에 의해 가려진다.
- [0096] 한편, 도시되지 않았지만, 화소 전극(144), 연결 전극(145), 제 2 보호막(220) 및 블랙 매트릭스(315) 상에 하부 배향막이 위치할 수 있다. 하부 배향막은 수직 배향막일 수 있고, 광반응 물질을 포함하는 배향막일 수 있다.
- [0097] 하부 배향막은 폴리 아믹산(Polyamic acid), 폴리 실록산(Polysiloxane) 및 폴리 이미드(Polyimide) 중 어느 하나의 물질로 이루어질 수 있다
- [0098] 상부 패널(200)은 상부 기관(201)을 포함한다. 상부 기관(201)은 투명한 유리 또는 플라스틱 등으로 이루어진 절연 기관이 될 수 있다.
- [0099] 한편, 도시되지 않았지만, 상부 패널(200)은 상부 배향막을 더 포함할 수 있다. 상부 배향막은 상부 기관 상에 위치한다.
- [0100] 상부 배향막은 전술된 하부 배향막과 동일한 물질로 이루어질 수 있다.
- [0101] 하부 기관(101)과 상부 기관(102) 간의 마주보는 면들을 각각 해당 기관의 상부면으로 정의하고, 그 상부면들의 반대편에 위치한 면들을 각각 해당 기관의 하부면으로 정의할 때, 하부 기관(101)의 하부면에 상부 편광판이 더 위치하고, 상부 기관(201)의 하부면에 하부 편광판이 더 위치할 수 있다.
- [0102] 상부 편광판의 투과축과 하부 편광판의 투과축은 직교하는 바, 이들 중 하나의 투과축과 게이트 라인(GL)의 라인부(411)는 서로 나란하게 배열된다. 한편, 표시장치는 상부 편광판 및 하부 편광판 중 어느 하나만을 포함할

수도 있다.

- [0103] 한편, 컬러 필터(125)는 하부 패널(100)이 아닌 상부 패널(200)에 위치할 수도 있다. 이와 같은 경우, 컬러 필터(125)는 상부 기관(201)의 화소 영역에 위치한다.
- [0104] 액정층(300)은 양의 유전율 이방성을 가지는 네마틱(nematic) 액정 물질을 포함할 수 있다. 액정층(300)의 액정 분자는 그 장축 방향이 상부 패널(200) 및 하부 패널(100) 중 어느 하나에 평행하게 배열되어 있고, 그 방향이 하부 패널(100)의 배향막의 러빙 방향으로부터 상부 패널(200)에 이르기까지 나선상으로 90도 비틀린 구조를 가질 수 있다. 또는, 네마틱 액정 물질 대신, 액정층(300)은 수직 배향된 액정 물질들을 포함할 수도 있다.
- [0105] 컬럼 스페이서(398)는 하부 패널과 상부 패널 사이에 위치하여, 이 하부 패널과 상부 패널 사이의 간격(셀 갭(cell gap))을 일정하게 유지시킨다.
- [0106] 컬럼 스페이서(398)는 BCB(Benzocyclobutene), 포토 아크릴(photo acryl) 등의 유기 절연 물질 또는 실리콘 질화물, 실리콘 산화물 등의 무기 절연 물질로 이루어질 수 있다.
- [0107] 한편, 차단막(435)은 게이트 구동부(266)에 위치할 수도 있다. 다시 말하여, 차단막(435)은 전술된 표시부(100a) 및 비표시부(100b)의 게이트 구동부(266) 중 적어도 한 곳에 위치할 수 있다. 이하, 도 5내지 도 9를 참고로 하여 게이트 구동부(266)에 위치한 차단막을 상세히 설명한다.
- [0108] 도 5는 도 1에 도시된 게이트 구동부의 블록 구성도이다.
- [0109] 게이트 구동부(266)는, 도 5에 도시된 바와 같이, 쉬프트 레지스터(210)를 포함한다. 쉬프트 레지스터(210)는 종속적으로 연결된 제 1 내지 제 n+1 스테이지들(SRC1-SRCn+1)을 포함한다. 제 1 내지 제 n 스테이지들(SRC1-SRCn)은 구동 스테이지로 정의되고, 제 n+1 스테이지(SRCn+1)는 더미(dummy) 스테이지로 정의될 수 있다. 제 1 내지 제 n 스테이지(SRC1-SRCn)는 제 1 내지 제 n 게이트 라인(GL1,...,GLn)에 연결된다. 제 1 내지 제 n 스테이지(SRC1-SRCn)는 제 1 내지 제 n 게이트 라인으로 제 1 내지 제 게이트 신호들을 순차적으로 출력한다.
- [0110] 스테이지(SRC1-SRCn+1)들은 각각 제 1 클럭 단자(CK1), 제 2 클럭 단자(CK2), 오프 전압 단자(VSS), 리셋 단자(RE), 제어 단자(CT), 캐리 단자(CR), 출력 단자(OUT), 및 입력 단자(IN)를 포함한다.
- [0111] 제 1 클럭 단자(CK1) 및 제 2 클럭 단자(CK2)에는 서로 반대 위상의 클럭 신호가 입력된다. 예를 들어, 홀수 번째 스테이지들(SRC1, SRC3,..., SRCn-1)의 각 제 1 클럭 단자(CK1)에는 제 1 클럭 신호(CKV)가 입력되고, 그리고 그 홀수 번째 스테이지들(SRC1, SRC3,..., SRCn-1)의 각 제 2 클럭 단자(CK2)에는 제 2 클럭 신호(CKVB)가 입력되는 바, 이 제 2 클럭 신호(CKVB)는 제 1 클럭 신호(CKV)에 대하여 180도 반전된 반대 위상을 갖는다. 반대로 짝수 번째 스테이지들(SRC2, SRC4,..., SRCn)의 각 제 1 클럭 단자(CK1)에는 제 2 클럭 신호(CKVB)가 입력되고, 그 짝수 번째 스테이지들(SRC2, SRC4,..., SRCn)의 각 제 2 클럭 단자(CK2)에는 제 1 클럭 신호(CKV)가 입력된다.
- [0112] 제 1 스테이지(SRC1)의 입력단자(IN)와 더미 스테이지(SRCn+1)의 제어 단자(CT)에는 수직 개시 신호(STV)가 입력된다. 제 2 내지 제 n+1 스테이지들(SRC2-SRCn+1)의 입력 단자들(IN)에는 각각 이전 스테이지의 캐리 단자(CR)로부터 출력된 캐리 신호가 입력된다. 캐리 단자(CR)로부터 출력되는 캐리 신호는 다음 스테이지를 구동시키는 역할을 수행한다. 제 1 내지 제 n 스테이지들(SRC1-SRCn)의 제어 단자들(CT)에는 각각 다음 스테이지의 출력 단자(OUT)를 통해 출력되는 게이트 신호가 입력된다. 스테이지들(SRC1-SRCn+1)의 오프 전압 단자들(VSS)에는 오프 전압(VOFF)(또는 접지 전압)이 입력된다. 스테이지들(SRC1-SRCn+1)의 리셋 단자들(RE)에는 더미 스테이지(SRCn+1)의 캐리 단자(CR)에서 출력되는 캐리 신호가 공통으로 입력된다.
- [0113] 제 1 및 제 2 클럭 신호들(CKV, CKVB)은 하이 레벨인 경우 화소를 구동할 수 있는 게이트 온 전압이고 로우 레벨인 경우 게이트 오프 전압일 수 있다. 스테이지들(SRC1-SRCn+1)의 출력 단자들(OUT)은 제 1 클럭 단자(CK1)로 제공되는 클럭 신호의 하이 레벨 구간을 출력한다. 예를 들어, 홀수 번째 스테이지들(SRC1, SRC3,..., SRCn-1)의 출력 단자들(OUT)은 제 1 클럭 신호(CKV)의 하이 레벨 구간을 출력하고, 짝수 번째 스테이지들(SRC2, SRC4,..., SRCn)의 출력 단자들(OUT)은 제 2 클럭 신호(CKVB)의 하이 레벨 구간을 출력할 수 있다. 스테이지들(SRC1-SRCn+1)의 캐리 단자들(CR)은 출력 단자(OUT)로부터 출력되는 클럭 신호와 동일한 클럭 신호에 기초한 캐리 신호를 출력한다.
- [0114] 오프 전압 라인(VSSL)은 스테이지들(SRC1-SRCn+1)의 오프 전압 단자들(VSS)에 연결된다. 오프 전압 라인(VSSL)은 오프 전압(VOFF)을 전송한다. 제어신호 배선부(CLS)는 수직 개시 신호(STV)를 수신하는 제 1 제어 라인(LS1), 제 1 클럭 신호(CKV)를 수신하는 제 2 제어 라인(LS2), 제 2 클럭 신호(CKVB)를 수신하는 제 3 제어 라

인(LS3)을 포함할 수 있다.

- [0115] 제 1 제어 라인(LS1)은 첫 번째 스테이지(SRC1)의 입력단자(IN)와 더미 스테이지(SRCn+1)의 제어 단자(CT)에 전기적으로 연결된다. 제 1 제어 라인(LS1)은 수직 개시 신호(STV)를 전송한다.
- [0116] 제 2 제어라인(LS2)은 홀수 번째 스테이지들(SRC1, SRC3, ..., SRCn-1)의 제 1 클럭 단자(CK1)들과 짝수번째 스테이지들(SRC2, SRC4, ..., SRCn)의 제 2 클럭단자(CK2)들에 연결된다. 제 2 제어 라인(LS2)을 제 1 클럭 신호(CKV)를 전송한다.
- [0117] 제 3 제어 라인(LS3)은 짝수번째 스테이지들(SRC2, SRC4, ..., SRCn)의 제 1 클럭 단자(CK1)들과 홀수번째 스테이지들(SRC1, SRC3, ..., SRCn-1)의 제 2 클럭 단자(CK2)들에 연결된다. 제 3 제어 라인(LS3)은 제 2 클럭 신호(CKVB)를 전송한다.
- [0118] 도 6은 도 5에 도시된 제 1 스테이지(SRC1)의 회로도이다.
- [0119] 제 2 내지 제 n+1 스테이지들(SRC2-SRCn+1)은 제 1 스테이지(SRC1)와 동일한 구성을 갖는다. 따라서, 이하 제 1 스테이지(SRC1)의 회로 구성만이 설명되고, 제 2 내지 제 n+2 스테이지들(SRC2-SRCn+1)의 구성에 대한 설명은 생략된다.
- [0120] 제 1 스테이지(SRC1)는, 도 6에 도시된 바와 같이, 풀업부(211), 풀 다운부(212), 구동부(213), 홀딩부(214), 스위칭부(215) 및 캐리부(216)를 포함한다. 이하, 제 1 내지 제 n+1 스테이지들(SRC1-SRCn+1)에서 출력되는 게이트 신호들은 제 1 게이트 신호 내지 제 n+1 게이트 신호들로 정의된다.
- [0121] 풀업부(211)는 제 1 클럭 단자(CK1)를 통해 제공되는 제 1 클럭 신호(CKV)를 풀업시키고, 그 풀업된 제 1 클럭 신호(CKV)를 출력 단자(OUT)를 통해 제 1 게이트 신호로서 출력한다. 풀업부(211)는, 게이트 전극을 통해 제 1 노드(N1)에 연결되고, 드레인 전극을 통해 제 1 클럭 단자(CK1)에 연결되며, 그리고 소스 전극을 통해 출력 단자(OUT)에 연결된 제 1 구동 트랜지스터(T1)를 포함한다.
- [0122] 제어 단자(CT)는 제 2 스테이지(SRC2)의 출력 단자(OUT)를 통해 출력되는 제2 게이트 신호를 입력받는다. 따라서, 풀다운부(212)는 제 2 스테이지(SRC2)의 제 2 게이트 신호에 응답하여, 풀업된 제 1 게이트 신호를 오프전압 단자(VSS)를 통해 제공되는 오프 전압(VOFF)으로 풀다운 시킨다. 풀다운부(212)는 게이트 전극을 통해 제어 단자(CT)에 연결되고, 드레인 전극을 통해 출력 단자(OUT)에 연결되며, 그리고 소스 전극을 통해 오프 전압 단자(VSS)에 연결된 제 2 구동 트랜지스터(T2)를 포함한다.
- [0123] 구동부(213)는 입력 단자(IN)를 통해 제공되는 수직 개시 신호(STV)에 응답하여 풀업부(211)를 턴-온 시키고, 제 2 스테이지(SRC2)로부터의 제 2 게이트 신호에 응답하여 풀업부(211)를 턴-오프 시킨다. 이러한 동작을 위해 구동부(213)는 버퍼부, 충전부 및 방전부를 포함한다.
- [0124] 버퍼부는 게이트 전극 및 드레인 전극을 통해 입력 단자(IN)에 연결되고, 소스 전극을 통해 제 1 노드(N1)에 연결된 제 3 구동 트랜지스터(T3)를 포함한다.
- [0125] 충전부는 제 1 전극을 통해 제 1 노드(N1)에 연결되고, 그리고 제 2 전극을 통해 제 2 노드(N2)에 연결된 제 1 커패시터(C1)를 포함한다.
- [0126] 방전부는 게이트 전극을 통해 제어 단자(CT)에 연결되고, 드레인 전극을 통해 제 1 노드(N1)에 연결되며, 그리고 소스 전극을 통해 오프 전압 단자(VSS)에 연결된 제 4 구동 트랜지스터(T4)를 포함한다.
- [0127] 제 3 구동 트랜지스터(T3)는 입력 단자(IN)를 통해 수신된 수직 개시 신호(STV)에 응답하여 턴-온된다. 그 결과 수직 개시 신호(STV)가 제 1 커패시터(C1)에 충전된다. 제 1 커패시터(C1)에 제 1 구동 트랜지스터(T1)의 문턱 전압 이상의 전하가 충전되면, 제 1 구동 트랜지스터(T1)는 턴-온 된다. 턴-온 된 제 1 트랜지스터(T1)는 제 1 클럭 단자(CK1)를 통해 입력된 제 1 클럭 신호(CKV)를 출력 단자(OUT)로 출력한다.
- [0128] 제 1 노드(N1)의 전위는 제 2 노드(N2)의 전위의 변화에 따라 유발된 제 1 커패시터(C1)의 커플링(Coupling) 현상에 의해 제 2 노드(N2)의 전위 변화량만큼 부트스트랩(bootstrap)된다. 따라서, 제 1 구동 트랜지스터(T1)는 이의 드레인 전극에 인가된 제 1 클럭 신호(CKV)를 출력 단자(OUT)로 거의 손실없이 출력할 수 있다.
- [0129] 출력 단자(OUT)를 통해 출력된 제 1 클럭 신호(CKV)는 제 1 게이트 라인(GL1)을 구동하기 위한 제 1 게이트 신호이다. 수직 개시 신호(STV)는 제 1 게이트 신호를 생성하기 위해 제 1 구동 트랜지스터(T1)를 예비로 충전한다. 이후, 제 4 구동 트랜지스터(T4)가 제어 단자(CT)를 통해 입력된 제 2 스테이지(SRC2)의 제 2 게이트 신호

에 응답하여 턴-온 된다. 제 4 구동 트랜지스터(T4)가 턴-온 되면, 제 1 커패시터(C1)에 충전된 전하는 오프 전압 단자(VSS)의 오프 전압(VOFF) 레벨로 방전된다.

- [0130] 홀딩부(214)는 제 1 게이트 신호를 오프 전압(VOFF) 레벨로 유지시키는 제 5 및 제 6 구동 트랜지스터들(T5, T6)을 포함한다. 제 5 구동 트랜지스터(T5)의 게이트 전극은 제 3 노드(N3)에 연결되고, 드레인 전극은 제 2 노드(N2)에 연결되며, 그리고 소스전극은 오프 전압 단자(VSS)에 연결된다. 제 6 구동 트랜지스터(T6)의 게이트 전극은 제 2 클럭 단자(CK2)에 연결되고, 드레인 전극은 제 2 노드(N2)에 연결되며, 그리고 소스 전극은 오프 전압 단자(VSS)에 연결된다.
- [0131] 스위칭부(215)는 제 7, 제 8, 제 9 및 제 10 구동 트랜지스터들(T7, T8, T9, T10)과 제 2 및 제 3 커패시터들(C2, C3)을 포함하고, 홀딩부(214)의 구동을 제어한다.
- [0132] 제 7 구동 트랜지스터(T7)의 게이트 전극과 드레인 전극은 제 1 클럭 단자(CK1)에 연결되고, 소스 전극은 제 3 커패시터(C3)를 통해 제 3 노드(N3)에 연결된다.
- [0133] 제 8 구동 트랜지스터(T8)의 드레인 전극은 제 1 클럭 단자(CK1)에 연결되고, 게이트 전극은 제 2 커패시터(C2)를 통해 제 8 구동 트랜지스터(T8)의 드레인 전극에 연결되며, 그리고 소스 전극은 제 3 노드(N3)에 연결된다. 또한, 제 8 구동 트랜지스터(T8)의 소스 전극은 제 3 커패시터(C3)를 통해 제 8 구동 트랜지스터(T8)의 게이트 전극에 연결된다.
- [0134] 제 9 구동 트랜지스터(T9)의 드레인 전극은 제 7 구동 트랜지스터(T7)의 소스 전극에 연결되며, 게이트 전극은 제 2 노드(N2)에 연결되고, 그리고 소스 전극은 오프 전압 단자(VSS)에 연결된다.
- [0135] 제 10 구동 트랜지스터(T10)의 드레인 전극은 제 3 노드(N3)에 연결되고, 게이트 전극은 제 2 노드(N2)에 연결되며, 소스 전극은 오프 전압 단자(VSS)에 연결된다.
- [0136] 출력 단자(OUT)를 통해 하이 레벨의 클럭 신호가 제 1 게이트 신호로 출력되면, 제 2 노드(N2)의 전위는 하이 레벨로 상승한다. 제 2 노드(N2)의 전위가 하이 레벨로 상승되면 제 9 및 제 10 구동 트랜지스터들(T9, T10)은 턴-온된다. 이때, 제 1 클럭 단자(CK1)로 입력된 제 1 클럭 신호(CKV)에 의해 제 7 및 제 8 구동 트랜지스터들(T7, T8)이 턴-온된다. 제 7 및 제 8 구동 트랜지스터들(T7, T8)을 통해 출력된 신호는 제 9 및 제 10 구동 트랜지스터들(T9, T10)을 통해 오프 전압(VOFF) 레벨로 방전된다. 따라서 하이 레벨의 게이트 신호가 출력되는 동안 제 3 노드(N3)의 전위는 로우 레벨로 유지된다. 그 결과 제 5 구동 트랜지스터(T5)는 턴-오프 상태를 유지한다.
- [0137] 이후, 제어 단자(CT)를 통해 입력된 제 2 스테이지(SRC2)의 제 2 게이트 신호에 의하여 제 1 게이트 신호가 오프 전압 단자(VSS)를 통해 방전되며, 제 2 노드(N2)의 전위는 로우 레벨로 하강한다. 따라서 제 9 및 제 10 구동 트랜지스터(T9, T10)는 턴-오프되고, 제 7 및 제 8 구동 트랜지스터들(T7, T8)을 통해 출력된 신호에 의해 제 3 노드(N3)의 전위는 하이 레벨로 상승한다. 제 3 노드(N3)의 전위가 상승되므로 제 5 구동 트랜지스터(T5)는 턴-온되고, 제 2 노드(N2)의 전위는 제 5 구동 트랜지스터(T5)를 통해 오프 전압(VOFF) 레벨로 방전된다.
- [0138] 이러한 상태에서 제 2 클럭 단자(CK2)로 입력된 제 2 클럭 신호(CKVB)에 의해 제 6 구동 트랜지스터(T6)가 턴-온되면, 제 2 노드(N2)의 전위는 오프 전압 단자(VSS)를 통해 더 방전된다. 결과적으로, 홀딩부(214)의 제 5 및 제 6 구동 트랜지스터들(T5, T6)은 제 2 노드(N2)의 전위를 오프 전압(VOFF) 레벨로 유지시킨다.
- [0139] 스위칭부(215)는 제 5 구동 트랜지스터(T5)의 턴-온 시점을 결정한다.
- [0140] 캐리부(216)는 제 11 구동 트랜지스터(T11)를 포함한다. 제 11 구동 트랜지스터(T11)는 드레인 전극을 통해 제 1 클럭 단자(CK1)에 연결되고, 게이트 전극을 통해 제 1 노드(N1)에 연결되며, 그리고 소스 전극을 통해 캐리 단자(CR)에 연결된다. 제 11 구동 트랜지스터(T11)는, 제 1 노드(N1)의 전위가 상승될 경우 턴-온되어 드레인 전극으로 입력된 제 1 클럭 신호(CKV)를 캐리 단자(CR)로 출력한다.
- [0141] 제 1 스테이지(SRC1)는 리플 방지부(217)와 리셋부(218)를 더 포함할 수 있다.
- [0142] 리플 방지부(217)는 오프 전압(VOFF) 상태로 유지된 제 1 게이트 신호가 입력 단자(IN)를 통해 입력되는 노이즈(noise)에 의해 왜곡되는 것을 방지한다. 이러한 동작을 위해 리플 방지부(217)는 제 12 구동 트랜지스터(T12)와 제 13 구동 트랜지스터(T13)를 포함한다.
- [0143] 제 12 구동 트랜지스터(T12)의 드레인 전극은 입력 단자(IN)에 연결되고, 게이트 전극은 제 2 클럭 단자(CK2)에 연결되며, 그리고 소스 전극은 제 1 노드(N1)에 연결된다.

- [0144] 제 13 구동 트랜지스터(T13)의 드레인 전극은 제 1 노드(N1)에 연결되고, 게이트 전극은 제 1 클럭 단자(CK1)에 연결되며, 그리고 소스 전극은 제2 노드(N2)에 연결된다.
- [0145] 리셋부(218)는 제 14 구동 트랜지스터(14)를 포함한다. 제 14 구동 트랜지스터(141)는 드레인 전극을 통해 제 1 노드(N1)에 연결되고, 게이트 전극을 통해 리셋 단자(RE)에 연결되며, 소스 전극을 통해 오프전압 단자(VSS)에 연결된다. 제 14 구동 트랜지스터(T14)는 리셋 단자(RE)를 통해 입력된 제 n+1 스테이지(SRCn+1)의 제 n+1 게이트 신호에 응답하여 제 1 노드(N1)를 오프 전압(VOFF) 레벨로 방전시킨다. 제 n+1 스테이지(SRCn+1)로부터 제 n+1 게이트 신호가 출력된다는 것은 한 프레임의 끝을 의미하는 바, 리셋부(218)는 그 한 프레임이 끝나는 시점에 스테이지들(SRC1-SRCn+1)의 제 1 노드(N1)를 방전시키는 역할을 수행한다. 즉, 스테이지들(SRC1-SRCn+1) 각각에 구비된 리셋부(218)의 제 14 구동 트랜지스터(T14)는 제 n+1 스테이지(SRCn+1)의 출력 신호에 의해서 턴-온 된다. 턴-온된 제 14 구동 트랜지스터(T14)는 스테이지들(SRC1-SRCn+1) 각각의 제 1 노드(N1)를 오프 전압(VOFF) 상태로 리셋시킨다. 그 결과, 쉬프트 레지스터(210)의 스테이지들(SRC1-SRCn+1)은 초기화된 상태에서 다시 동작을 시작할 수 있다.
- [0146] 도 7은 도 6에 도시된 제 1 내지 제 3 제어 라인들과 오프 전압 라인의 평면도이고, 도 8은 도 6에 도시된 제 1 스테이지 회로의 일부 영역의 평면도이며, 그리고 도 9는 도 8의 I-I'선을 따라 자른 단면도이다.
- [0147] 한편, 도 8은 제 1 스테이지의 일부 영역으로서 제 1, 제 2, 제 5, 제 9, 제 10, 및 제 11 트랜지스터들의 평면도를 나타낸다. 도 8은 실질적으로 게이트 구동부에 구비된 어느 한 스테이지의 일부 영역만 도시하고 있으며, 도 8에 도시되지 않은 트랜지스터들의 평면 구성은 도 8에 도시된 트랜지스터들의 평면 구성을 통해 자명하게 유추될 수 있을 것이다.
- [0148] 도 7 내지 도 9에 도시된 바와 같이, 제 1 도전 패턴(10)은 제 1 내지 제 3 제어 라인들(LS1-LS3)과 오프 전압 라인(VSSL)을 포함한다. 제 1 도전 패턴(10)은 하부 기판(101)의 비표시부 상에 배치된다. 제 1 도전 패턴(10)은 전술된 게이트 라인(GL)과 동일한 물질로 이루어질 수 있다. 또한, 제 1 도전 패턴(10)은 게이트 라인(GL)과 동일한 층상에 위치할 수 있다.
- [0149] 제 2 도전 패턴(20)은 제 1, 제 2, 제 5, 제 9, 제 10, 및 제 11 구동 트랜지스터들(T1, T2, T5, T9, T10, T11)의 게이트 전극들(GE1, GE2, GE5, GE9, GE10, GE11)을 포함한다. 제 2 도전 패턴(20)은 하부 기판(101)의 비표시부 상에 배치된다. 제 2 도전 패턴(20)은 전술된 게이트 라인(GL)과 동일한 물질로 이루어질 수 있다. 또한, 제 2 도전 패턴은 게이트 라인(GL)과 동일한 층상에 위치할 수 있다.
- [0150] 제 3 도전 패턴(30)은 제 1, 제 2, 제 5, 제 9, 제 10, 및 제 11 구동 트랜지스터들(T1, T2, T5, T9, T10, T11)의 소스 전극들(SE1, SE2, SE5, SE9, SE10, SE11)과, 제 1, 제 2, 제 5, 제 9, 제 10, 및 제 11 구동 트랜지스터들(T1, T2, T5, T9, T10, T11)의 드레인 전극들(DE1, DE2, DE5, DE9, DE10, DE11)과, 그리고 출력 단자(OUT)를 포함한다. 제 3 도전 패턴(30)은 하부 기판(101)의 비표시부에 배치된다. 구체적으로, 제 3 도전 패턴(30)은 그 비표시부의 게이트 절연막(111) 상에 위치한다.
- [0151] 제 3 도전 패턴(30)은 전술된 데이터 라인(DL)과 동일한 물질로 이루어질 수 있다. 또한, 제 3 도전 패턴(30)은 데이터 라인(DL)과 동일한 층상에 위치할 수 있다.
- [0152] 제 1 내지 제 3 제어 라인들(LS1-LS3) 및 오프 전압 라인(VSSL)은 브릿지 전극에 의해 구동 트랜지스터들에 연결될 수 있다. 예를 들어, 제 2 제어 라인(LS2)은 제 2 콘택홀(H2)을 통해 제 2 브릿지 전극(BE2)에 연결된다. 제 11 구동 트랜지스터(T11)의 드레인 전극(D11)은 제 5 콘택홀(H5)을 통해 제 2 브릿지 전극(BE2)에 연결된다. 이러한 구성에 의해 제 2 제어 라인(LS2)은 제 11 구동 트랜지스터(T11)에 연결될 수 있다.
- [0153] 게이트 전극과 소스 및 드레인 전극은 브릿지 전극에 의해 연결될 수 있다. 예를 들어, 도 6에 도시된 제 5 구동 트랜지스터(T5)의 게이트 전극(GE5)은 제 10 구동 트랜지스터(T10)의 드레인 전극(DE10)과 연결된다. 이러한 경우, 도 8에 도시된 바와 같이, 제 5 구동 트랜지스터(T5)의 게이트 전극(GE5)은 제 9 콘택홀(H9)을 통해 제 6 브릿지 전극(BE6)에 연결되고, 제 10 구동 트랜지스터(T10)의 드레인 전극(DE10)은 제 10 콘택홀(H10)을 통해 제 6 브릿지 전극(BE6)에 연결된다.
- [0154] 브릿지 전극들(BE1-BE8)은 도 2 및 도 3에 도시된 화소 전극(114)과 동시에 형성될 수 있다. 브릿지 전극들(BE1-BE8)은 화소 전극(114)과 동일한 물질로 구성될 수 있다. 또한, 브릿지 전극들(BE1-BE8)은 화소 전극(114)과 동일한 층상에 위치할 수 있다.
- [0155] 제 2 도전 패턴들(20)과 제 3 도전 패턴들(30)은 브릿지 전극에 의해 연결될 수 있다. 제 3 도전 패턴들(30) 역

시 브릿지 전극에 의해 서로 연결될 수 있다. 예를 들어, 도 8에 도시된 제 9 및 제 10 구동 트랜지스터들(T9, T10)의 게이트 전극들(GE9, GE10)과 출력 단자(OUT)는 제 2 노드(N2)에 연결된다. 이러한 경우, 제 9 및 제 10 구동 트랜지스터들(T9, T10)의 게이트 전극들(GE9, GE10)은 제 12 콘택홀(H12)을 통해 제 7 브릿지 전극(BE7)에 연결될 수 있다. 출력 단자(OUT)는 제 11 콘택홀(H11)을 통해 제 7 브릿지 전극(BE7)에 연결될 수 있다.

[0156] 도 6에 도시된 제 9 구동 트랜지스터(T9)의 드레인 전극은 제 7 구동 트랜지스터(T7)의 소스 전극과 연결되고 출력 단자(OUT)의 신호 라인과 연결되지 않는다. 이러한 경우, 제 9 구동 트랜지스터(T9)의 드레인 전극(DE9)은 제 14 콘택홀(H14)을 통해 제 8 브릿지 전극(BE8)에 연결된다. 제 7 구동 트랜지스터(T7)의 소스 전극을 형성하는 제 3 도전 패턴(30)은 제 13 콘택홀(H13)을 통해 제 8 브릿지 전극(BE8)과 연결된다.

[0157] 제 1 커패시터(C1)는 제 1 구동 트랜지스터(T1)의 게이트 전극(GE1)과 제 1 구동 트랜지스터(T1)의 소스 전극(SE1)이 서로 중첩되는 영역에 형성된다.

[0158] 출력 단자(OUT)는 제 6 콘택홀(H6)을 통해 제 5 브릿지 전극(BE5)에 연결된다. 제 1 게이트 라인(GL1)은 제 7 콘택홀(H7)을 통해 제 5 브릿지 전극(BE5)에 연결된다. 이러한 구성에 의해 출력 단자(OUT)는 제 1 게이트 라인(GL1)에 연결된다.

[0159] 한편, 도 8에 도시된 바와 같이, 게이트 구동부(266)에 구비된 구동 트랜지스터들 중 적어도 하나의 구동 트랜지스터 상에 차단막이 위치할 수 있다. 예를 들어, 도 8에 도시된 바와 같이, 제 1, 제 2, 제 5, 제 9, 제 10 및 제 11 트랜지스터들(T1, T2, T5, T9, T10, T11) 상에 제 1, 제 2, 제 5, 제 9, 제 10 및 제 11 차단막들(801, 802, 805, 809, 810, 811)이 위치할 수 있다. 여기서, 제 1, 제 2, 제 5, 제 9, 제 10 및 제 11 차단막들(801, 802, 805, 809, 810, 811)을 서로 분리되어 있다.

[0160] 제 1, 제 2, 제 5, 제 9, 제 10 및 제 11 차단막들(801, 802, 805, 809, 810, 811)은 제 1 보호막(120) 상에 위치한다. 제 1, 제 2, 제 5, 제 9, 제 10 및 제 11 차단막들(801, 802, 805, 809, 810, 811)은 제 1 보호막(120)과 직접 접촉한다. 여기서, 제 1, 제 2, 제 5, 제 9, 제 10 및 제 11 차단막들(801, 802, 805, 809, 810, 811)은 제 1 보호막(120) 상에서 제 1, 제 2, 제 5, 제 9, 제 10 및 제 11 구동 트랜지스터들(T1, T2, T5, T9, T10, T11)과 중첩한다. 예를 들어, 제 1 차단막(801)은 제 1 구동 트랜지스터(T1)의 채널(846)과 중첩할 수 있다. 이때, 제 1 차단막(801)은 제 1 구동 트랜지스터(T1)의 채널(846)보다 더 크거나 또는 이와 동일한 크기를 가질 수 있다. 다른 예로서, 제 1 차단막(801)은 제 1 구동 트랜지스터(T1)의 반도체층(913)보다 더 크거나 또는 이와 동일한 크기를 가질 수도 있다. 나머지 제 2, 제 5, 제 9, 제 10 및 제 11 차단막들(802, 805, 809, 810, 811) 역시 제 1 차단막(801)과 동일한 구조를 가질 수 있다.

[0161] 한편, 도시되지 않은 제 3, 제 4, 제 6, 제 7, 제 8, 제 12, 제 13 및 제 14 구동 트랜지스터들(T3, T4, T6, T7, T8, T12, T13, T14) 상에도 차단막들이 위치할 수 있다. 즉, 게이트 구동부(266)에 구비된 모든 구동 트랜지스터들(T1-T14) 상에 각각 차단막이 위치할 수 있다.

[0162] 게이트 구동부(266)의 차단막은 전술된 도 3의 차단막(435)과 동일한 물질로 이루어진다. 또한, 게이트 구동부(266)의 차단막은 도 3의 차단막(435)과 동일한 층상에 위치할 수 있다. 또한, 게이트 구동부(266)의 차단막과 공통 전극(130)은 동일한 마스크 공정으로 동시에 형성될 수 있다. 이때, 도 8에 도시된 바와 같이, 게이트 구동부(266)의 차단막과 공통 전극(130)은 서로 연결되지 않는다. 또한, 게이트 구동부(266)에 복수의 차단막들이 위치할 때, 이 복수의 차단막들은 서로 연결되지 않는다.

[0163] 게이트 구동부(266)의 차단막은 전기적으로 플로팅(floating)된 상태로 유지된다. 다시 말하여, 게이트 구동부(266)의 차단막에 어떠한 전기적인 신호도 인가되지 않는다.

[0164] 게이트 구동부(266)의 차단막은 제 2 보호막(220)으로부터 발생된 수소가 구동 트랜지스터(T1-T14)의 채널로 유입되는 것을 방지한다.

[0165] 공통 전극(130)과, 표시부(100a)의 차단막(435)과, 그리고 비표시부(100b)에 위치한 게이트 구동부(266)의 차단막은 동일한 마스크 공정으로 동시에 형성될 수 있다.

[0166] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

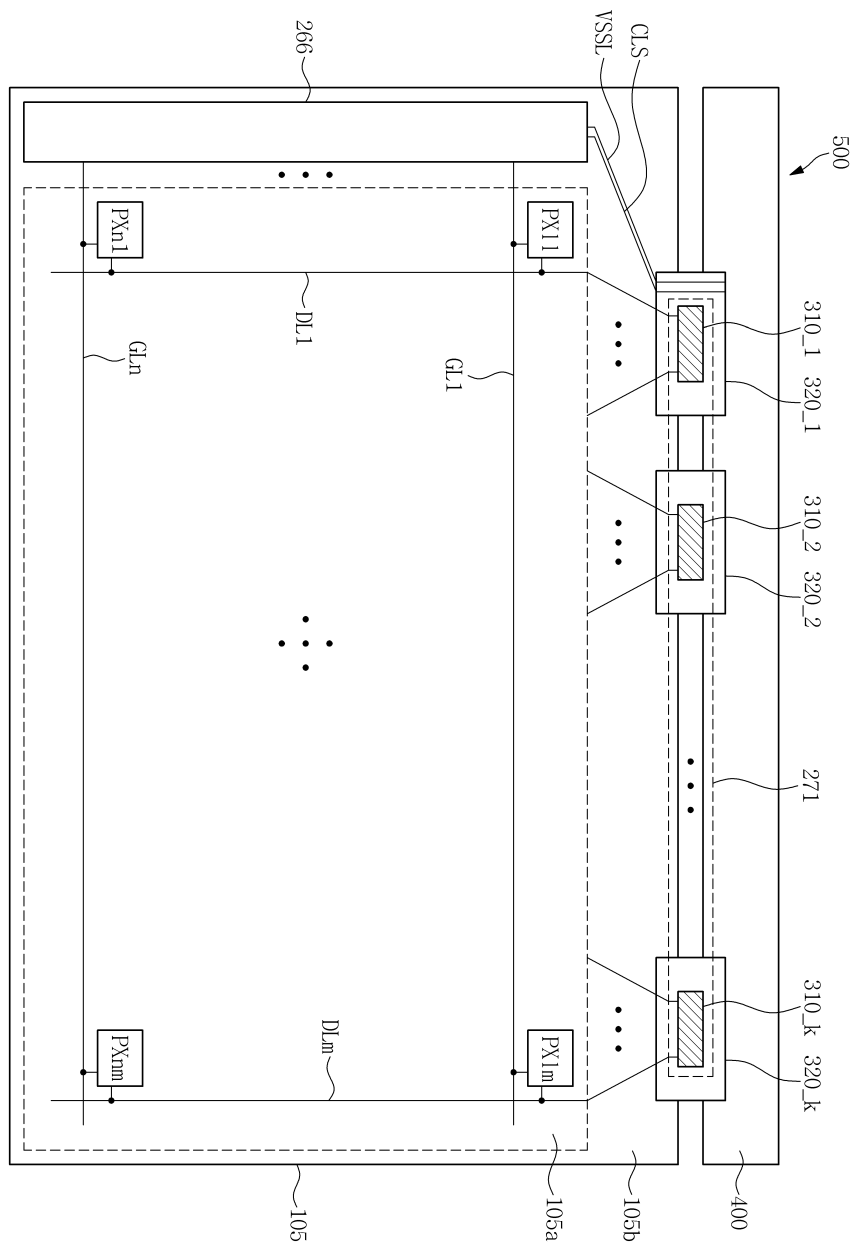
부호의 설명

[0167]

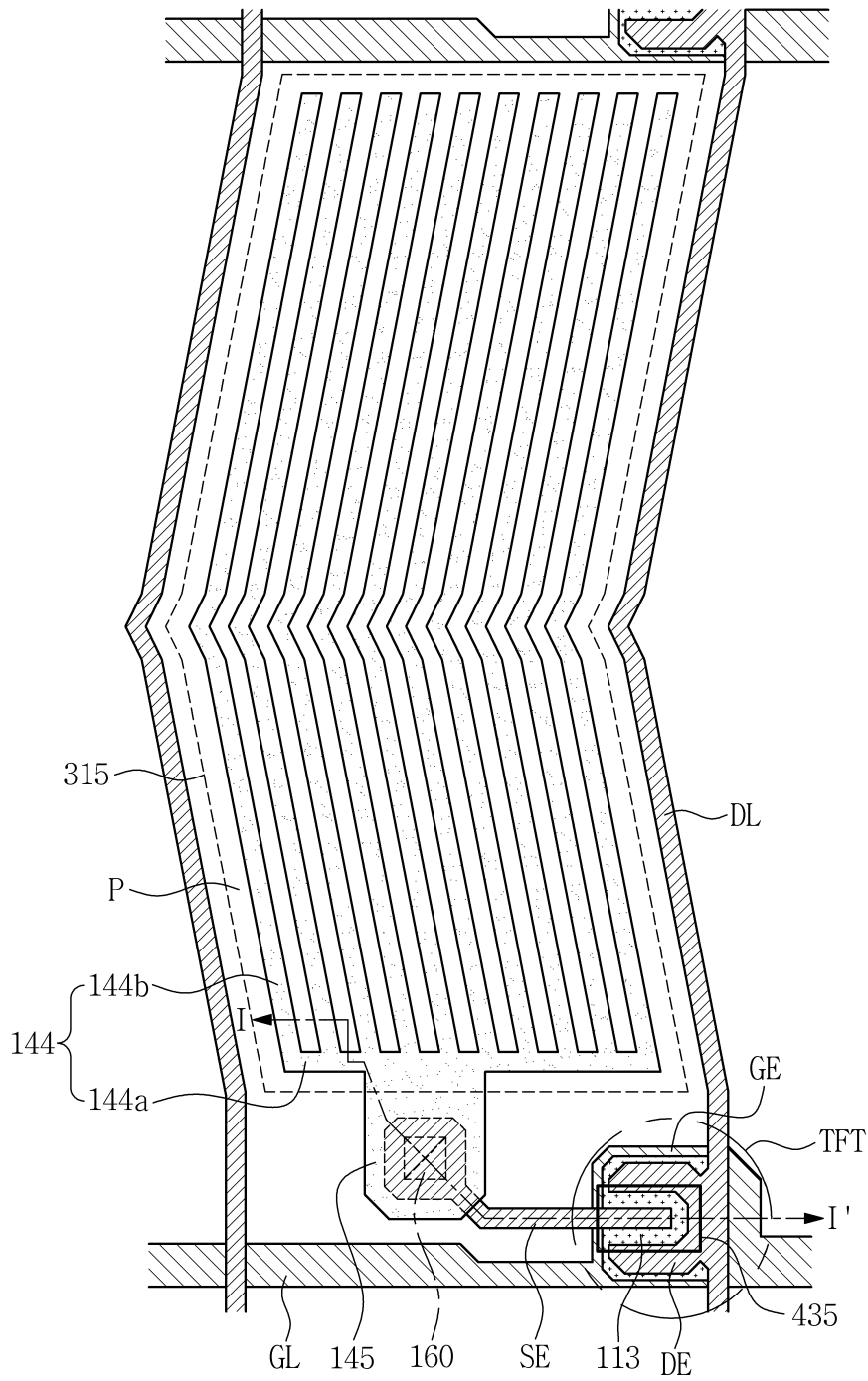
100: 하부 패널 101: 하부 기관
 111: 게이트 절연막 120: 제 1 보호막
 125: 컬러 필터 130: 공통 전극
 220: 제 2 보호막 144a: 줄기 전극
 144b: 가지 전극 145: 연결 전극
 113: 반도체층 115: 저항성 접촉층
 118: 채널 SE: 소스 전극
 DE: 드레인 전극 GE: 게이트 전극
 DL: 데이터 라인 300: 액정층
 435: 차단막 200: 하부 패널
 201: 하부 기관 398: 컬럼 스페이서
 315: 블랙 매트릭스 441: 제 2 보호막의 일부
 160: 소스 콘택홀 160a: 하부 콘택홀
 160b: 상부 콘택홀

도면

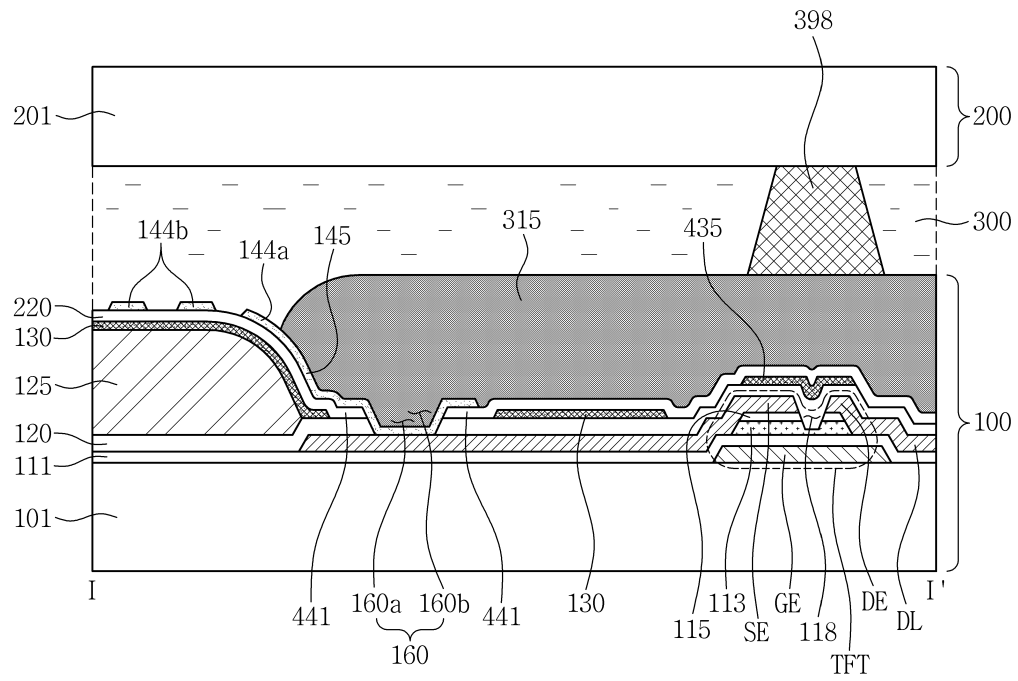
도면1



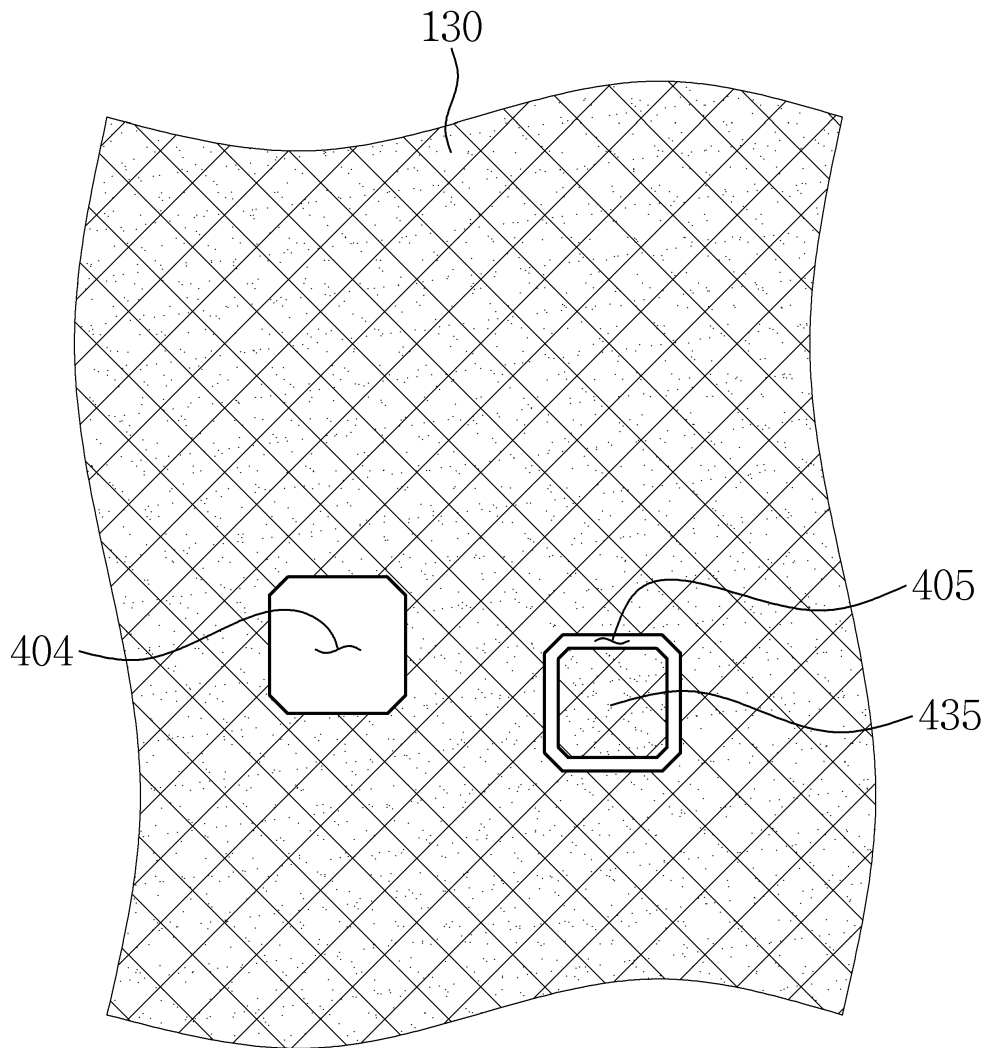
도면2



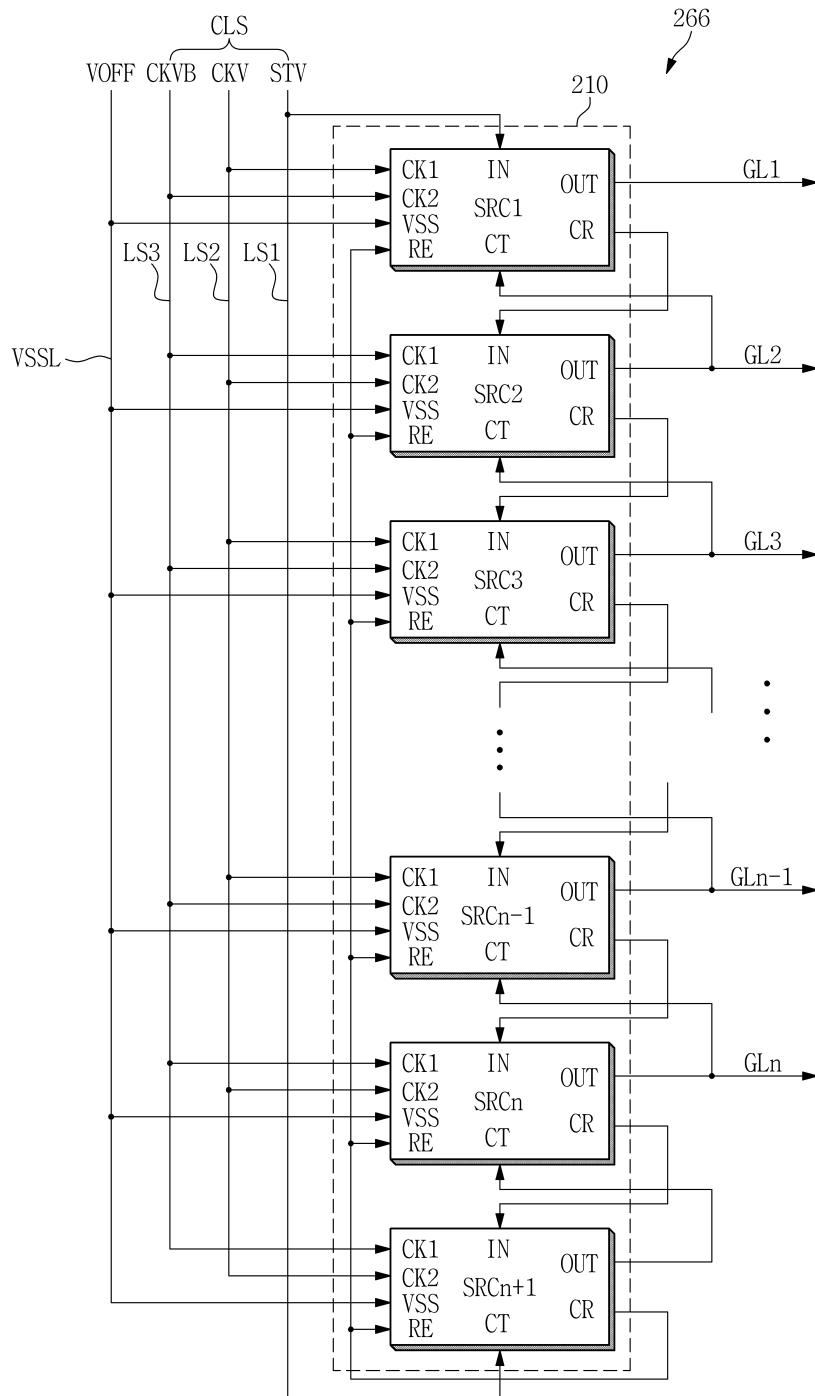
도면3



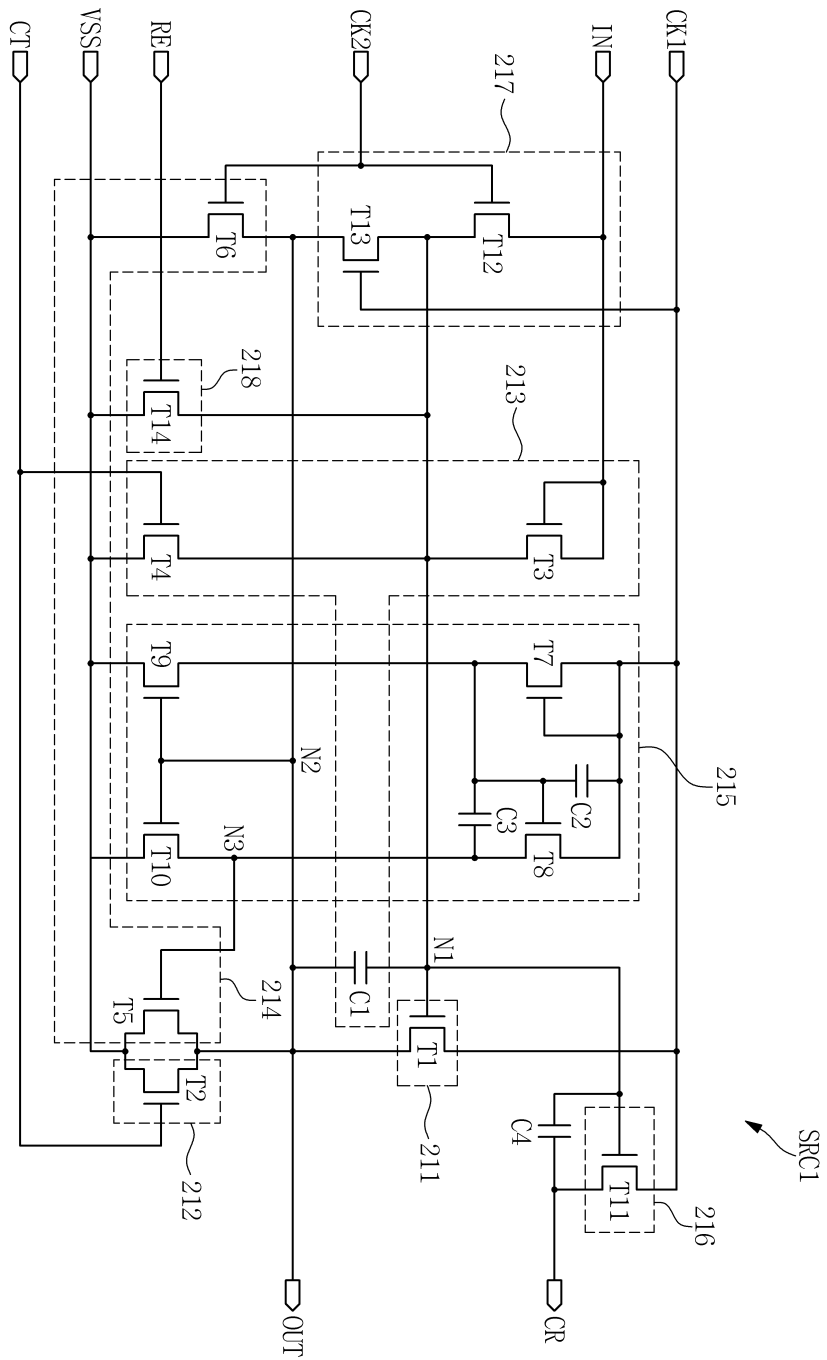
도면4



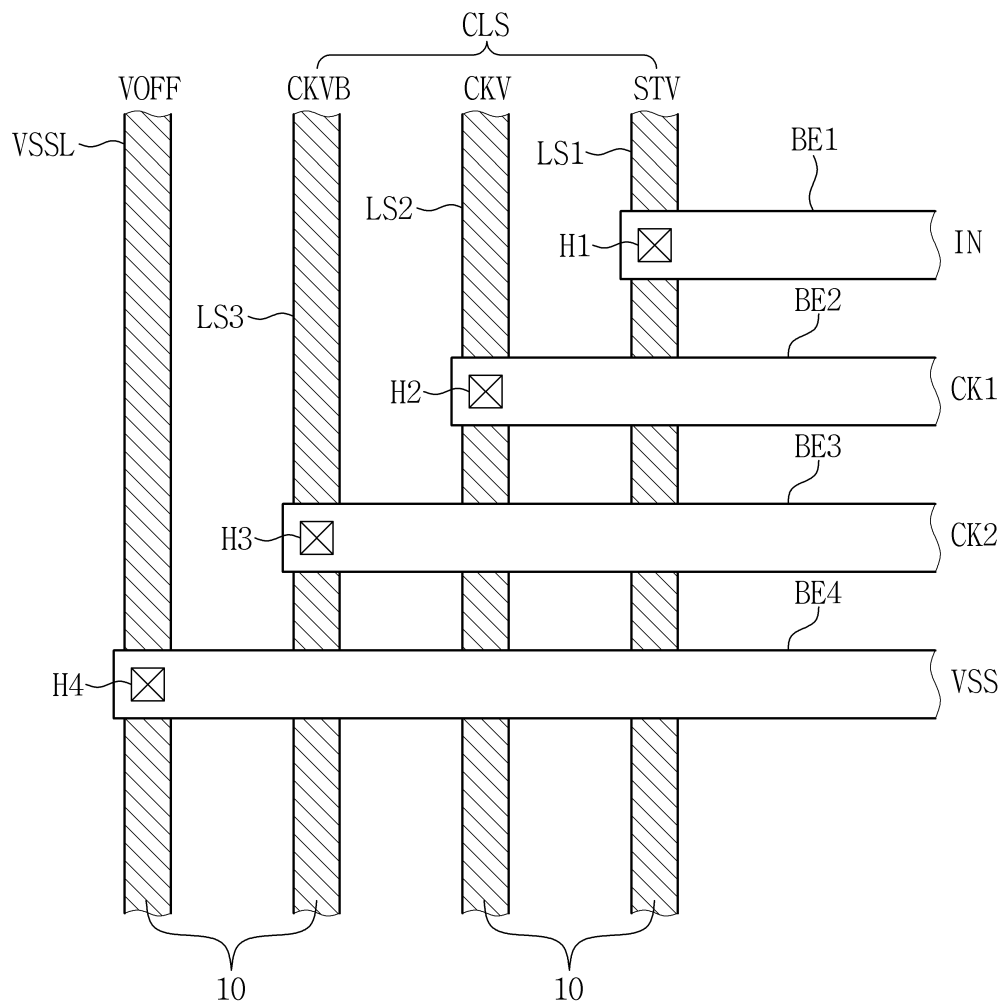
도면5



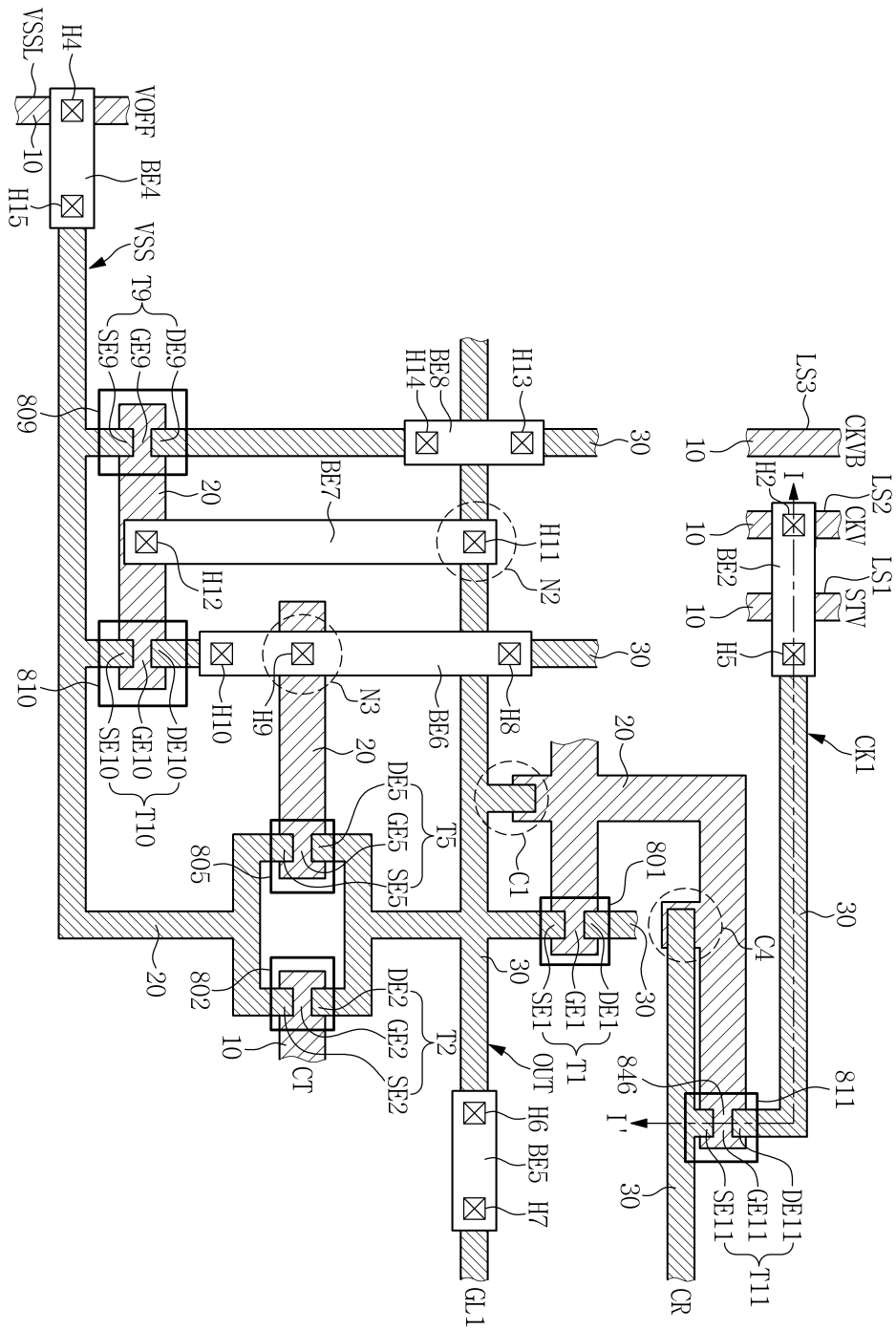
도면6



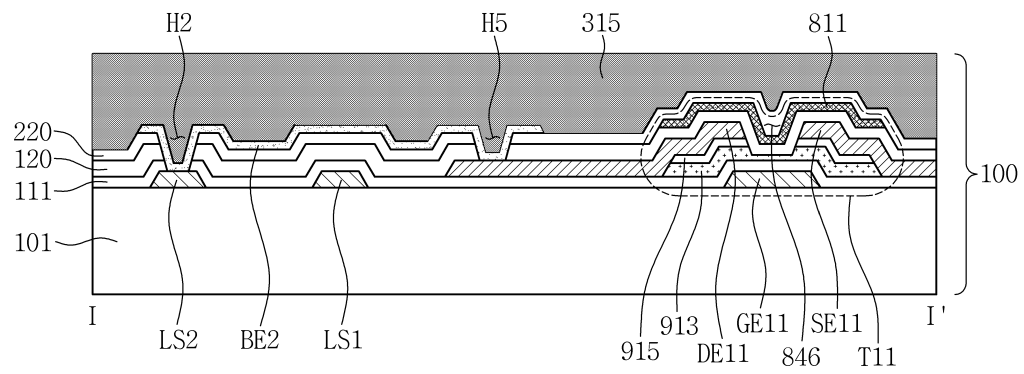
도면7



도면8



도면9



专利名称(译)	液晶显示装置		
公开(公告)号	KR1020160114773A	公开(公告)日	2016-10-06
申请号	KR1020150040755	申请日	2015-03-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	RO SUNG IN 노성인 OH DONG GUN 오동건		
发明人	노성인 오동건		
IPC分类号	G02F1/136 G02F1/1335 G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136 G02F1/1368 G02F1/134309 G02F1/133512 G02F1/133514 G02F1/13454 G02F1/134363 G02F1/136209 G02F1/136286 G02F2001/134372 G02F2001/136222		
代理人(译)	红的		
外部链接	Espacenet		

摘要(译)

本发明涉及一种减小显示面板厚度的液晶显示器，包括显示单元和包括未标记部分的下板；上板面对下板；电气浮动的屏蔽层与第一保护膜上的至少一个重叠：第一保护膜位于像素晶体管的表面上：驱动晶体管：位于下板的未标记部分的像素晶体管和连接到下层板的驱动晶体管栅极线，以及像素晶体管和驱动晶体管中的数据线和像素电极位于光学屏蔽层的显示单元中：像素电极：位于下板的像素区域中的下板限定像素区域的像素区域。数据线：位于下板和液晶层的显示单元中的下板：位于下板和上板之间的栅极线和位于屏蔽表面上的第二保护膜。

