



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0047680  
(43) 공개일자 2016년05월03일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)  
(21) 출원번호 10-2014-0143669  
(22) 출원일자 2014년10월22일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
조재형  
부산 해운대구 양운로 182, 108동 1801호 (좌동, 두산1차아파트)  
(74) 대리인  
특허법인로알

전체 청구항 수 : 총 5 항

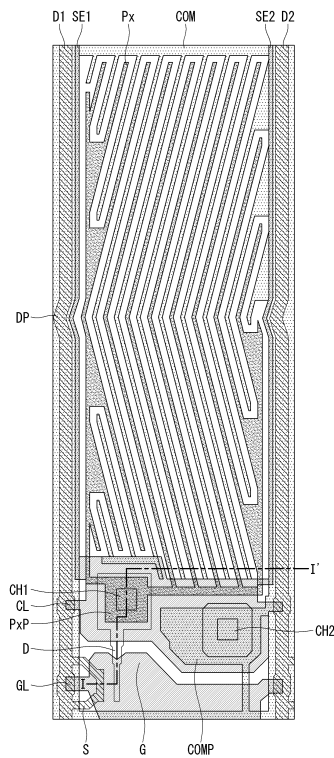
(54) 발명의 명칭 수평 전계형 액정 표시장치

(57) 요약

본 발명은 데이터 라인의 저항 및 기생 정전용량을 감소시킬 수 있는 수평 전계형 액정 표시장치에 관한 것으로, 서로 교차하도록 배열되어 복수의 화소영역들을 정의하는 복수의 게이트 라인들 및 복수의 데이터 라인들, 각 화소영역에 배치되는 복수의 화소전극들 및 복수의 공통전극들을 포함한다. 각 화소전극은 데이터 라인과 일정 각

(뒷면에 계속)

대표도 - 도4



도를 이루도록 서로 나란하게 배열되며, 서로 대칭을 이루도록 각 화소 영역의 중간부에서 제 1 꺾임부를 갖는 복수의 제 1 가지부들을 포함하고, 복수의 화소 영역들 각각에 배치되어 박막 트랜지스터를 통해 데이터 라인으로부터 데이터 전압을 공급받는다. 공통전극은 제 1 꺾임부에 대응하는 제 2 꺾임부를 가지며, 복수의 제 1 가지부들과 번갈아 나란하게 배열되는 복수의 제 2 가지부들을 포함하고, 공통라인을 통해 공통전압을 공급받는다. 또한, 제 1 가지부들은 제 1 수평부에 각각 연결되어 화소영역 내로 연장되는 복수의 제 1 주 가지부들과, 제 1 수평부의 양단부 중 일단부로부터 수직으로 연장되는 제 1-1 수직부에 연결되며, 제 1 주 가지부들과 나란하게 배열되는 제 1-1 보조 가지부와, 제 1 수평부의 타단부로부터 수직으로 연장되는 제 1-2 수직부에 연결되며, 제 1 주 가지부들과 나란하게 배열되는 제 1-2 보조 가지부를 포함한다.

---

## 명세서

### 청구범위

#### 청구항 1

서로 교차하도록 배열되는 복수의 게이트 라인들과 복수의 데이터 라인들;

상기 복수의 게이트 라인들 및 데이터 라인들의 교차에 의해 정의되는 복수의 화소 영역들;

상기 복수의 데이터 라인들과 일정 각도를 이루도록 서로 나란하게 배열되며, 서로 대칭을 이루도록 각 화소 영역의 중간부에서 제 1 꺾임부를 갖는 복수의 제 1 가지부들을 포함하고, 상기 복수의 화소 영역들 각각에 배치되어 박막 트랜지스터를 통해 데이터 라인으로부터 데이터 전압을 공급받는 복수의 화소전극들; 및

상기 제 1 꺾임부에 대응하는 제 2 꺾임부를 가지며, 상기 복수의 제 1 가지부들과 번갈아 나란하게 배열되는 복수의 제 2 가지부들을 포함하고, 공통라인을 통해 공통전압을 공급받는 복수의 공통전극들을 포함하며,

상기 복수의 제 1 가지부들은 제 1 수평부에 각각 연결되어 상기 화소영역 내로 연장되는 복수의 제 1 주 가지부들과, 상기 제 1 수평부의 양단부 중 일단부로부터 수직으로 연장되는 제 1-1 수직부에 연결되며, 상기 제 1 주 가지부들과 나란하게 배열되는 제 1-1 보조 가지부와, 상기 제 1 수평부의 타단부로부터 수직으로 연장되는 제 1-2 수직부에 연결되며, 상기 제 1 주 가지부들과 나란하게 배열되는 제 1-2 보조 가지부를 포함하는 것을 특징으로 하는 수평전계형 액정 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 복수의 제 2 가지부들은 상기 각 화소 영역을 에워싸는 프레임부의 제 2-1 수평부로 연장되어 서로 나란하게 배열되며, 상기 제 1 꺾임부에 대응하는 제 2 꺾임부를 갖는 제 2 주 가지부들과, 상기 제 2 주 가지부들 중 마지막 꺾임부를 갖는 제 2 주 가지부에 연결되고, 상기 제 2 주 가지부와 나란하게 배열되도록 연결 가지부에 의해 연결되는 적어도 하나의 제 2-1 보조 가지부를 포함하는 것을 특징으로 하는 수평전계형 액정 표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 제 2 가지부들은 상기 제 2-1 수평부의 일단부로부터 수직방향으로 연장되며, 상기 제 2 주 가지부들과 나란하게 배열되는 적어도 하나의 제 2-2 보조 가지부를 더 포함하는 것을 특징으로 하는 수평전계형 액정 표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 복수의 데이터 라인들은 상기 복수의 제 1 및 제 2 주 가지부들의 꺾임부에 대응하는 돌출부를 포함하는 것을 특징으로 하는 수평전계형 액정 표시장치.

#### 청구항 5

제 1 항에 있어서,

상기 공통라인은 상기 공통라인으로부터 수직방향으로 연장되어 상기 데이터 라인과 상기 화소전극 사이에 배치되는 차폐전극을 포함하는 것을 특징으로 하는 수평전계형 액정 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 수평 전계형 액정 표시장치에 관한 것으로, 특히 데이터 라인의 저항 및 기생 정전용량을 감소시킬 수 있는 수평 전계형 액정 표시장치에 관한 것이다.

**배경 기술**

[0002] 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0003] 수직 전계형 액정 표시 장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0004] 수평 전계형 액정 표시 장치는 하부 기관에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인플레인 스위칭(In Plane Switching ; IPS) 방식의 액정을 구동하게 된다. 이러한 수평 전계형 액정 표시 장치는 시야각이 170도 이상 넓다는 장점과, 수평 상태에서 스위칭 되므로 빠른 응답속도를 갖는 장점을 가진다.

[0005] 도 1을 참조하여 종래의 IPS 모드 수평 전계형 액정 표시장치에 대해 보다 설명하기로 한다. 도 1은 종래의 IPS 모드 수평 전계형 액정 표시장치를 도시한 평면도이다.

[0006] 도 1을 참조하면, 종래의 IPS 모드 수평 전계형 액정 표시장치는 기관 상에 서로 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차부에 배치되는 박막 트랜지스터들(TFT)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차에 의해 정의되는 화소 영역들에 배치되며, 박막 트랜지스터들(TFT)을 통해 데이터 라인들(DL)과 연결되며, 각 화소 영역에서 일정 간격을 두고 나란하게 배열되는 가지부들을 갖는 화소전극들(Px), 게이트 라인(GL)과 평행하게 배열되는 공통라인(SL)에 연결되는 공통전극(COM)을 포함한다.

[0007] 공통라인(SL)은 공통라인(SL)으로부터 분지되어 화소 영역으로 연장되는 공통라인 분기부(CB)를 포함한다. 공통라인(SL)과 공통라인 분기부(CB)는 게이트 라인(GL)과 동일층에 형성된다. 공통전극(COM)은 공통라인 분기부(CB)에 연결되며, 각 화소 영역에서 화소전극(Px)과 번갈아 배치되는 가지부들을 구비한다. 공통전극(COM)과 화소전극(Px)은 동일층에 형성된다.

[0008] 상술한 종래의 IPS 모드 수평 전계형 액정 표시장치에 의하면, 넓은 시야각 특성 확보를 위해 화소전극(Px)의 가지부들과 공통전극(COM)의 가지부들이 5도 내지 20도 정도로 꺾여 있는 구조를 가지고 있다. 따라서, 데이터 라인(DL) 또한 픽셀전극의 가지부들 및 공통전극의 가지부들과 동일한 각도로 꺾인 구조를 갖는다.

[0009] 종래의 IPS 모드 수평 전계형 액정 표시장치는 데이터 라인이 꺾인 구조인 지그재그 형상을 갖기 때문에 그 만 큰 데이터 라인의 저항 및 기생 정전용량이 증가하여 RC 지연(Resistance Capacitance delay)에 의한 신호불량 등의 여러가지 문제점이 발생하게 된다.

[0010] 이러한 불량을 해소시키기 위해 데이터 라인의 두께를 두껍게 하는 것이 고려될 수 있으나, 이 경우 수율저하나 두께 불균일에 따른 화상 품질의 저하 등과 같은 다른 문제점을 발생시킨다.

[0011] 또 다른 방법으로서 데이터 라인의 배선 폭을 증가시키는 방법이 고려될 수도 있으나, 그 경우 저항은 감소되어도 기생용량이 증가하여 RC 지연의 개선에 큰 영향을 미치지 못하거나 개구율을 저하시키는 문제점을 발생시킨다.

**발명의 내용**

**해결하려는 과제**

[0012] 본 발명은 상술한 문제점을 해소시키기 위한 것으로 화소전극과 공통전극의 구조변경과 데이터 라인의 변경을 통해 개구율과 화질을 저하시키지 않으면서도 RC 지연에 따른 문제점을 해소시킬 수 있는 수평전계형 액정 표시장치를 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0013] 본 발명에 따르는 본 발명은 상술한 기술적 과제를 해결하기 위한 것으로, 본 발명에 따르는 수평전계형 액정 표시장치는 서로 교차하도록 배열되어 복수의 화소영역들을 정의하는 복수의 게이트 라인들 및 복수의 데이터 라인들, 각 화소영역에 배치되는 복수의 화소전극들 및 복수의 공통전극들을 포함한다. 각 화소전극은 데이터 라인과 일정 각도를 이루도록 서로 나란하게 배열되며, 서로 대칭을 이루도록 각 화소 영역의 중간부에서 제 1 꺾임부를 갖는 복수의 제 1 가지부들을 포함하고, 복수의 화소 영역들 각각에 배치되어 박막 트랜지스터를 통해 데이터 라인으로부터 데이터 전압을 공급받는다. 공통전극은 제 1 꺾임부에 대응하는 제 2 꺾임부를 가지며, 복수의 제 1 가지부들과 번갈아 나란하게 배열되는 복수의 제 2 가지부들을 포함하고, 공통라인을 통해 공통전압을 공급받는다. 또한, 제 1 가지부들은 제 1 수평부에 각각 연결되어 화소영역 내로 연장되는 복수의 제 1 주 가지부들과, 제 1 수평부의 양단부 중 일단부로부터 수직으로 연장되는 제 1-1 수직부에 연결되며, 제 1 주 가지부들과 나란하게 배열되는 제 1-1 보조 가지부와, 제 1 수평부의 타단부로부터 수직으로 연장되는 제 1-2 수직부에 연결되며, 제 1 주 가지부들과 나란하게 배열되는 제 1-2 보조 가지부를 포함한다.

[0014] 상기 구성에서, 복수의 제 2 가지부들은 제 2 주 가지부들과, 적어도 하나의 제 2-1 보조 가지부를 포함한다. 제 2 주 가지부들은 각 화소 영역을 에워싸는 프레임부의 제 2-1 수평부로 연장되어 서로 나란하게 배열되며, 제 1 꺾임부에 대응하는 제 2 꺾임부를 갖는다. 적어도 하나의 제 2-1 보조 가지부는 제 2 주 가지부들 중 마지막 꺾임부를 갖는 제 2 주 가지부에 연결되고, 제 2 주 가지부와 나란하게 배열되도록 연결 가지부에 의해 연결된다.

[0015] 또한, 제 2 가지부들은 제 2-1 수평부의 일단부로부터 수직방향으로 연장되며, 제 2 주 가지부들과 나란하게 배열되는 적어도 하나의 제 2-2 보조 가지부를 더 포함한다.

[0016] 또한, 복수의 데이터 라인들은 복수의 제 1 및 제 2 주 가지부들의 꺾임부에 대응하는 돌출부를 포함할 수 있다.

[0017] 또한, 공통라인은 상기 공통라인으로부터 수직방향으로 연장되어 상기 데이터 라인과 상기 화소전극 사이에 배치되는 차폐전극을 포함할 수 있다.

**발명의 효과**

[0018] 본 발명에 따르는 수평전계형 액정 표시장치에 의하면, 화소전극과 공통전극이 수직구조로 배치되는 데이터 라인들과, 데이터 라인에 대해 사선으로 배치되는 화소전극 사이의 빈 공간에도 화소전극과 공통전극이 고밀도로 배치되므로 화소영역 내의 화소전극과 공통전극 사이의 전계가 고밀도 형성된다. 따라서, 데이터 라인이 꺾임부를 갖지 않게 되므로 데이터 라인의 저항을 줄일 수 있을 뿐 아니라 기생 정전용량 또한 줄일 수 있어 RC 지연을 감소시킬 수 있는 효과를 얻을 수 있다.

**도면의 간단한 설명**

[0019] 도 1은 종래의 IPS 모드 수평전계형 액정 표시장치를 도시한 평면도,  
 도 2는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도,  
 도 3은 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이 구조를 개략적으로 도시한 도면,  
 도 4는 도 3에 도시된 본 발명의 실시예에 따르는 액정 표시장치의 화소 어레이 구조의 1화소영역을 도시한 평

면도,

도 5는 도 4에 도시된 화소전극 구조를 도시한 평면도,

도 6은 도 4에 도시된 공통전극 구조를 도시한 평면도,

도 7은 도 4에 도시된 라인 I-I'을 따라 취한 단면도.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0021] 우선, 도 2를 참조하여 본 발명의 실시예에 따르는 수평전계형 액정 표시장치에 대해 설명하기로 한다. 도 3은 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도이다.
- [0022] 도 2를 참조하면, 액정 표시장치는 화소 어레이(PA)가 형성된 액정 표시패널(10), 소스 드라이브 집적회로(Integrated Circuit, 혹은 'IC'라 칭함)(12)들, 게이트 구동회로(13), 및 타이밍 콘트롤러(11)를 구비한다. 액정 표시패널(10)의 아래에는 액정 표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.
- [0023] 액정 표시패널(10)은 액정층을 사이에 두고 대향하는 상부 유리 기판과 하부 유리 기판을 포함한다. 액정 표시패널(10)에는 화소 어레이(PA)가 형성된다. 화소 어레이(PA)는 데이터 배선들, 게이트 배선들의 교차 구조에 의해 정의되는 화소 영역들이 매트릭스 형태로 배열된다. 각 화소에서는 박막 트랜지스터와 서브 픽셀들을 이용하여 디지털 비디오 데이터를 표시한다. 화소 어레이(PA)의 하부 유리 기판에는 데이터 배선들, 게이트 배선들, 박막 트랜지스터들, 박막 트랜지스터에 접속된 서브 픽셀의 화소 전극, 및 화소 전극에 접속된 스토리지 커패시터(Storage Capacitor) 등을 포함한다. 화소 어레이(PA)의 서브 픽셀들 각각은 박막 트랜지스터를 통해 데이터전압이 충전되는 화소 전극과 공통전압이 인가되는 공통전극의 전압 차에 의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다.
- [0024] 액정 표시패널(10)의 상부 유리 기판상에는 블랙매트릭스와 컬러필터가 형성된다. 공통전극은 TN(TwI-PRED Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 유리 기판 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부 유리 기판 상에 형성된다. 여기서는 수평 전계형 액정 표시 장치에 대하여 설명한다. 액정 표시패널(10)의 상부 유리 기판과 하부 유리 기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0025] 액정 표시장치는 투과형 액정 표시장치, 반투과형 액정 표시장치, 반사형 액정 표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정 표시장치와 반투과형 액정 표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0026] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되고, TAB(Tape Automated Bonding) 공정에 의해 액정표시패널(10)의 하부 유리기판에 접합되며, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정표시패널(10)의 하부 유리기판상에 접촉될 수도 있다.
- [0027] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터와 소스 타이밍 제어신호를 입력받는다. 소스 드라이브 IC들(12)은 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 데이터 전압들로 변환하여 화소 어레이(PA)의 데이터 라인들에 공급한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 컬럼 인버전(column inversion) 방식으로 데이터 전압들을 데이터 라인들에 출력한다. 컬럼 인버전 방식은 이웃한 데이터 라인들에 서로 상반된 극성의 데이터 전압들을 공급하고, 데이터 라인들 각각에 공급되는 데이터 전압들의 극성을 1 프레임 기간 동안 동일하게 유지하는 방식을 의미한다. 예를 들어, 소스 드라이브 IC들(12)은 도 7과 같이 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압들을 데이터 라인들에 출력할 수 있다.

- [0028] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터 게이트 타이밍 제어신호를 입력받는다. 게이트 구동회로(13)는 게이트 타이밍 제어신호에 응답하여 화소 어레이의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP 상에 실장되고, TAB 공정에 의해 액정표시패널(10)의 하부 유리기관에 접합될 수 있다. 또는, 게이트 구동회로(13)는 GIP(Gate In Panel) 공정에 의해 화소 어레이(PA)와 동시에 하부 유리기관상에 직접 형성될 수 있다. 게이트 구동회로(13)는 도 1과 같이 화소 어레이(PA)의 일측에 배치되거나 화소 어레이(PA)의 양측에 배치될 수 있다.
- [0029] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 디지털 비디오 데이터와 수직동기신호, 수평동기신호, 데이터 인에이블 신호, 및 도트 클럭과 같은 타이밍 신호들을 입력받는다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 타이밍 신호들에 기초하여 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 소스 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 게이트 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기관(17)을 통해 연결될 수 있다.
- [0030] 다음으로, 도 3을 참조하여 본 발명의 실시예에 따르는 수평 전계형의 액정 표시장치의 화소 어레이 구조를 설명하기로 한다. 도 3은 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이 구조를 개략적으로 도시한 도면이다.
- [0031] 도 3을 참조하면, 본 발명의 실시예에 따르는 수평 전계형의 액정 표시장치의 화소 어레이는 투명 기관 상에서 서로 교차하도록 배열되는 복수의 데이터 라인들(D1~Dn)(n은 2 이상의 자연수) 및 복수의 게이트 라인들(G1~Gm)(m은 2 이상의 자연수)에 의해 정의되는 복수의 화소 영역들을 갖는다. 복수의 데이터 라인들(D1~Dn)은 제 1 방향(예를 들면, 수평방향)으로 일정 간격을 두고 서로 나란하게 배열되고, 복수의 게이트 라인들(G1~Gm)은 제 1 방향과 수직으로 교차하는 제 2 방향(예를 들면, 수직 방향)으로 일정 간격을 두고 서로 나란하게 배열된다. 각 게이트 라인에 인접한 화소 영역에는 게이트 라인들(G1~Gm)과 나란하게 공통라인들(CL1~CLm)이 배열된다.
- [0032] 데이터 라인들(D1~Dn)과 게이트 라인들(G1~Gm)이 교차하는 영역들에 인접하여서는 데이터 라인들(D1~Dn)에 각각 접속되는 소스 전극과 게이트 라인들(G1~Gm)에 각각 접속되는 게이트 전극을 구비하는 박막 트랜지스터들(T)이 배치된다.
- [0033] 각 화소 영역에는 화소전극(Px)과 공통전극(COM)이 배치된다. 화소전극(Px)은 데이터 라인들(D1~Dn)과 일정 각도를 이루도록 서로 나란하게 배열되는 제 1 가지부들을 포함한다. 공통전극(COM)은 화소전극의 제 1 가지부들과 평행하게 번갈아 배치되는 제 2 가지부들을 포함한다.
- [0034] 다음으로, 도 4 내지 도 6을 참조하여 본 발명의 실시예에 따르는 수평전계형 액정 표시장치를 구성하는 화소 어레이의 1화소 구조에 대해 보다 상세히 설명하기로 한다. 도 4는 도 3에 도시된 본 발명의 실시예에 따르는 액정 표시장치의 화소 어레이 구조의 1화소영역을 도시한 평면도이고, 도 5는 도 4에 도시된 화소전극 구조를 도시한 평면도이며, 도 6은 도 4에 도시된 공통전극 구조를 도시한 평면도이다.
- [0035] 도 4 내지 도 6을 참조하면, 데이터 라인 및 게이트 라인의 교차에 의해 정의되는 화소영역(PA)에는 박막 트랜지스터(T), 화소전극(Px), 및 공통전극(COM)이 배치된다.
- [0036] 화소전극(Px)은 제 1 콘택홀(CH1)을 통해 박막 트랜지스터(T)의 드레인 전극(D)에 연결되는 화소전극 패턴부(PxP), 화소전극 패턴부(PxP)로부터 게이트 라인(GL)과 나란하게 연장되는 제 1 수평부(PxH), 제 1 수평부(PxH)의 양단부로부터 데이터 라인(D1, D2)과 나란하게 연장되는 제 1-1 수직부(PxV1) 및 제 1-2 수직부(PxV2)를 포함한다.
- [0037] 화소전극(Px)은 또한 제 1 수평부(PxH)로부터 화소영역 내로 연장되어 데이터 라인(D1, D2)과 일정 각도를 이루도록 서로 나란하게 배열되며, 대칭이 되도록 화소영역(PA)의 중앙부에서 제 1 꺾임부를 갖는 제 1 주 가지부들(Pxa), 제 1-1 수직부(PxV1)로부터 연장되며 제 1 주 가지부들(Pxa)과 나란하게 배열되는 적어도 하나의 제 1-1 보조 가지부들(Pxb1), 제 1-2 수직부(PxV2)로부터 연장되며 제 1 주 가지부들(Pxa)과 나란하게 배열되는 적어도 하나의 제 1-2 보조 가지부들(Pxb2)을 포함한다.
- [0038] 공통전극(COM)은 화소영역(PA) 내에서 제 2 콘택홀(CH2)을 통해 공통라인(CL)과 연결되는 공통전극 패턴부

(COMP), 공통전극 패턴부(COMP)에 연결되어 화소영역(PA)을 에워싸도록 제 2-1 및 제 2-2 수평부들(COMH1, COMH2)과 제 2-1 및 제 2-2 수직부들(COMV1, COMV2)을 구비하는 프레임부(COMc)와, 제 2-1 수평부(COMH1)로부터 연장되어 데이터 라인(D1, D2)과 일정 각도를 이루도록 서로 나란하게 배열되며, 대칭이 되도록 화소영역(PA)의 중앙부에서 제 1 꺾임부에 대응하는 제 2 꺾임부를 갖는 제 2 주 가지부들(COMa), 제 2 주 가지부들(COMa) 중 마지막 꺾임부를 갖는 제 2 주 가지부(COMa)에 연결되어 제 2 주 가지부(COMa)와 나란하게 배열되도록 연결 가지부(COMd)에 의해 연결되는 적어도 하나의 제 2-1 보조 가지부(COMB1), 제 2-2 수직부(COMV2)로부터 연장되며 제 2 주 가지부들(COMa)과 나란하게 배열되는 적어도 하나의 제 2-2 보조 가지부들(COMB2), 및 제 2-1 수평부(COMH1)로부터 연장되어 제 2 주 가지부(COMa)와 나란하게 배열되는 적어도 제 2-3 보조 가지부들(COMB3)을 포함한다. 제 2 주 가지부들(COMa) 및 제 2-2 보조 가지부(COMB2)는 꺾임부를 갖지만, 제 2-1 및 2-3 보조 가지부들(COMB1, COMB3)은 꺾임부를 갖지 않는다.

- [0039] 공통전극 패턴부(COMP)에 연결되는 공통라인(CL)은 각 화소영역(PA)의 양단부에서 제 1 및 제 2 데이터 라인들(D1, D2)과 나란하게 각각 연장되며, 제 1 데이터 라인(D1)과 화소전극(Px)의 제 1-1 수직부(PxV1) 사이에 배치되는 제 1 차폐전극(SE1)과, 제 2 데이터 라인(D2)과 화소전극(Px)의 제 1-2 수직부(PxV2) 사이에 배치되는 제 2 차폐전극(SE2)을 포함한다.
- [0040] 상술한 바와 같이 제 1 및 제 2 데이터 라인들(D1, D2)과 그에 각각 인접한 화소전극(Px)의 제 1-1 및 제 1-2 수직부들(PxV1, PxV2) 사이에 각각 제 1 및 제 2 차폐전극들(SE1, SE2)이 배치되기 때문에, 데이터 라인들(DL1, DL2)과 화소전극(Px)의 제 1-1 및 제 1-2 수직부들(PxV1, PxV2) 사이의 전계가 제 1 및 제 2 차폐전극들(SE1, SE2)에 의해 차폐되므로 기생 정전용량이 발생되지 않게 되는 효과를 얻을 수 있다.
- [0041] 한편, 화소전극(Px)의 제 1 주 가지부들(Pxa), 제 1-1 및 제 1-1 보조 가지부들(Pxb2)은 공통전극(COM)의 제 2 주 가지부들(COMa), 제 2-1 및 제 2-2 보조 가지부들(COMB1, COMB2)과 번갈아 배치된다. 이와 같이 본 발명의 실시예에 따르는 수평전계형 액정 표시장치에서 화소전극(Px)과 공통전극(COM)이 수직구조로 배치되는 데이터 라인들(D1, D2)과, 데이터 라인(D1, D2)에 대해 사선으로 배치되는 화소전극(Px) 사이의 빈 공간에도 고밀도로 배치되므로 화소영역(PA)에서 화소전극(Px)과 공통전극(COM) 사이의 전계가 고밀도 형성된다. 따라서, 데이터 라인(D1, D2)이 꺾임부를 갖지 않게 되므로 데이터 라인(D1, D2)의 저항을 줄일 수 있을 뿐 아니라 기생 정전용량 또한 줄일 수 있어 RC 지연을 감소시킬 수 있는 효과를 얻을 수 있다.
- [0042] 데이터 라인(DL)은 제 1 및 제 2 꺾임부들에 대응하는 형상을 갖는 돌출부(DP)를 갖는다. 따라서, 화소전극(Px) 및 공통전극(COM)의 꺾임부들과 데이터 라인(D1, D2)의 직선부가 만날 때 발생할 수 있는 디스클리네이션(disclination)을 방지할 수 있는 효과를 얻을 수 있다.
- [0043] 다음으로 도 4 및 도 7을 참조하여 도 4에 도시된 1화소영역의 단면 구조에 대해 설명하기로 한다. 도 7은 도 4에 도시된 라인 I-I'을 따라 취한 단면도이다.
- [0044] 도 4 및 도 7을 참조하면, 투명 기판(SUB) 상에는 게이트 라인(GL)과 공통라인(CL)이 제 1 방향(예를 들면, 수평 방향)으로 서로 나란하게 배열된다. 게이트 라인(GL)은 게이트 라인(GL)으로부터 연장되는 게이트 전극(G)을 포함한다. 공통라인(CL)은 후술하는 데이터 라인(D1, D2)에 인접한 화소영역(PA)의 양쪽 에지부에서 제 1 방향과 교차하는 제 2 방향(예를 들면, 수직방향)으로 연장되는 제 1 및 제 2 차폐전극들(SE1, SE2)을 포함한다. 게이트 라인(GL)과 공통라인(CL)은
- [0045] 게이트 라인(GL), 게이트 전극(G), 공통라인(CL), 제 1 및 제 2 차폐전극들(SE1, SE2)이 배치된 투명 기판(SUB) 상에는 그들을 커버하도록 게이트 절연막(GI)이 형성된다.
- [0046] 게이트 절연막(GI) 상에는 게이트 전극(GE)과 증착되도록 반도체 활성층(A)이 형성된다. 게이트 절연막(GI) 상에는 또한 제 1 및 제 2 차폐전극들(SE1, SE2)과 수평방향으로 각각 이격되며 서로 나란한 데이터 라인들(D1, D2)이 배치된다. 제 1 및 제 2 차폐전극들(SE1, SE2)은 데이터 라인들(D1, D2) 사이에 배치된다. 게이트 절연막(GI) 상의 반도체 활성층(A) 상에는 데이터 라인(D1, D2)으로부터 화소영역 내로 각각 연장되는 소스전극(S)과, 소스전극(S)으로 일정 거리를 두고 드레인 전극(D)이 배치된다. 게이트 전극, 소스전극 및 드레인 전극은 박막 트랜지스터(T)를 구성한다.
- [0047] 데이터 라인들(D1, D2) 및 박막 트랜지스터(T)가 배치된 게이트 절연막(GI) 상에는 이들을 커버하도록 제 1 보호막(PAS1)과 평탄화를 위한 제 2 보호막(PAS2)이 순차적으로 형성된다. 제 2 보호막(PAS2)은 생략될 수 있다.
- [0048] 제 1 및 제 2 보호막(PAS1, PAS2)은 드레인 전극(D)의 일부분을 노출시키는 제 1 콘택홀(CH1)과 공통라인(CL)의 일부분을 노출시키는 제 2 콘택홀(CH2)을 구비한다. 제 2 보호막(PAS2) 상에는 데이터 라인과 게이트 라인의 교

차에 의해 정의되는 화소영역 내에서 서로 번갈아 배치되는 가지부들을 각각 구비하는 화소전극(Px)과 공통전극(COM)이 배치된다.

[0049] 화소전극(Px)의 구조에 대해서는 도 4 내지 도 6을 참고로 한 설명에서 충분히 설명하였으므로 설명의 중복을 피하기 위해 더 이상의 설명은 생략한다. 공통전극(COM)의 구성에 대한 설명 또한 도 4 내지 도 6을 참고로 한 설명에서 충분히 설명하였으므로 설명의 중복을 피하기 위해 더 이상의 설명은 생략한다.

[0050] 상술한 본 발명의 실시예에 따르는 수평전계형 액정 표시장치에 의하면, 화소전극(Px)과 공통전극(COM)이 수직 구조로 배치되는 데이터 라인들(D1, D2)과, 데이터 라인(D1, D2)에 대해 사선으로 배치되는 화소전극(Px) 사이의 빈 공간에도 화소전극(Px)과 공통전극(COM)이 고밀도로 배치되므로 화소영역(PA)에서 화소전극(Px)과 공통전극(COM) 사이의 전계가 고밀도 형성된다. 따라서, 데이터 라인(D1, D2)이 꺾임부를 갖지 않게 되므로 데이터 라인(D1, D2)의 저항을 줄일 수 있을 뿐 아니라 기생 정전용량 또한 줄일 수 있어 RC 지연을 감소시킬 수 있는 효과를 얻을 수 있다.

[0051] 다음의 표 1은 본 발명의 실시예에 따르는 수평전계형 액정 표시장치와 종래의 수평전계형 액정 표시장치에 따르는 데이터 라인의 저항과 기생 정전 용량에 따르는 RC 지연값을 비교한 표이다.

표 1

	저항( $\Omega$ )	기생 정전용량(pF)	RC 지연값( $\mu$ s)
종래	6476	214	1.38
본 발명	5512	212	1.17
향상율	15%	0.7%	15.5%

[0053] 위의 표 1로부터 알 수 있는 바와 같이, 데이터 라인의 저항값은 대략 15% 정도 감소되고, 기생 정전용량 또한 감소되었으며, RC 지연값 또한 15% 정도 향상되었음을 알 수 있다.

[0054] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

[0055] 예를 들어, 본 발명의 실시예에서는 박막 트랜지스터 기관 어레이와 컬러필터 기관 어레이로 구성되는 수평전계형 액정 표시장치에 대해 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 박막 트랜지스터 기관 어레이에 컬러필터를 형성하고 그 상부에 액정층을 배치한 후 밀봉하는 COT(Color filter On Thin film transistor) 구조를 갖는 수평전계형 액정 표시장치에도 적용가능하다.

[0056] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

- [0057] SUB: 투명 기관 DL, D1~Dn: 데이터 라인
- DP: 데이터 라인 돌출부 G1~Gm: 게이트 라인
- T: 박막 트랜지스터 Px: 화소전극
- PxP: 화소전극 패턴부 PxH: 제 1 수평부
- PxV1: 제 1-1 수직부 PxV2: 제 1-2 수직부
- Pxa: 제 1 주 가지부 Pxb1: 제 1-1 보조 가지부
- Pxb2: 제 1-2 보조 가지부 CL: 공통라인
- COM: 공통전극 COMP: 공통전극 패턴부
- COMc: 프레임부 COMH1: 제 2-1 수평부
- COMH2: 제 2-2 수평부 COMV1: 제 2-1 수직부

COMV2: 제 2-2 수직부 COMa: 제 2 주 가지부

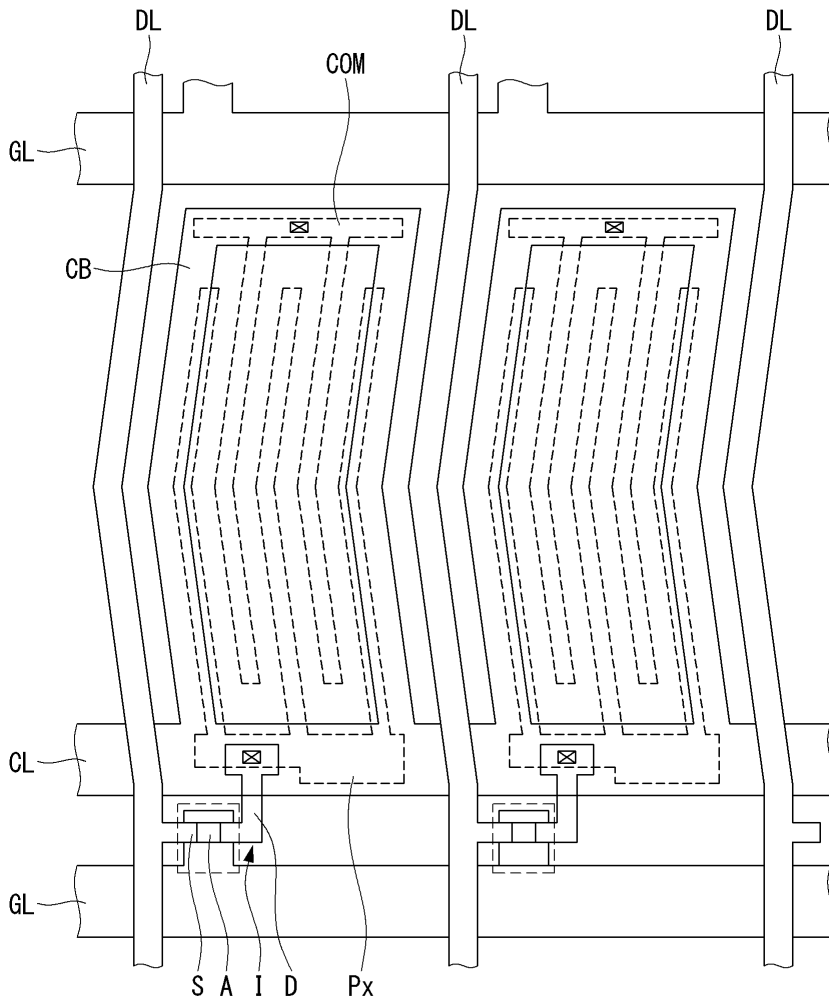
COMb1: 제 2-1 보조 가지부 COMb2: 제 2-2 보조 가지부

COMb3: 제 2-3 보조 가지부 COMd: 연결 가지부

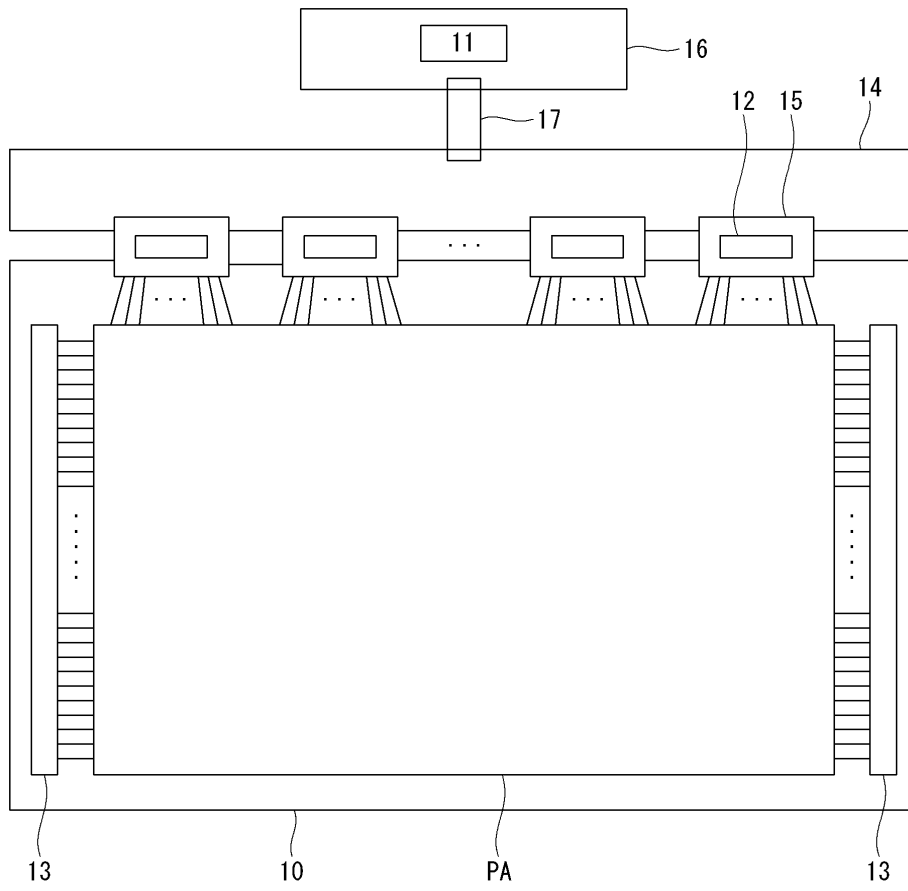
SE1: 제 1 차폐전극 SE2: 제 2 차폐전극

도면

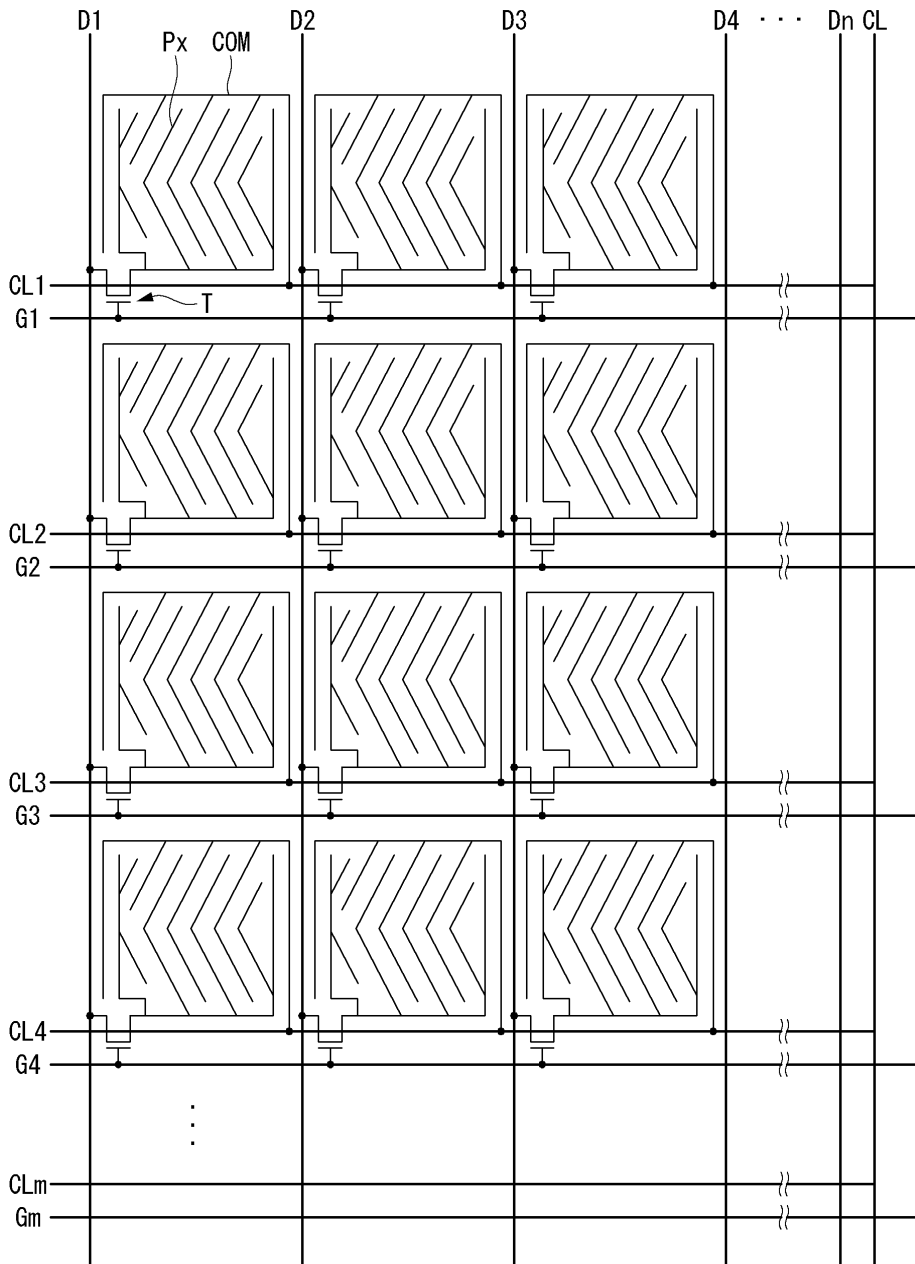
도면1



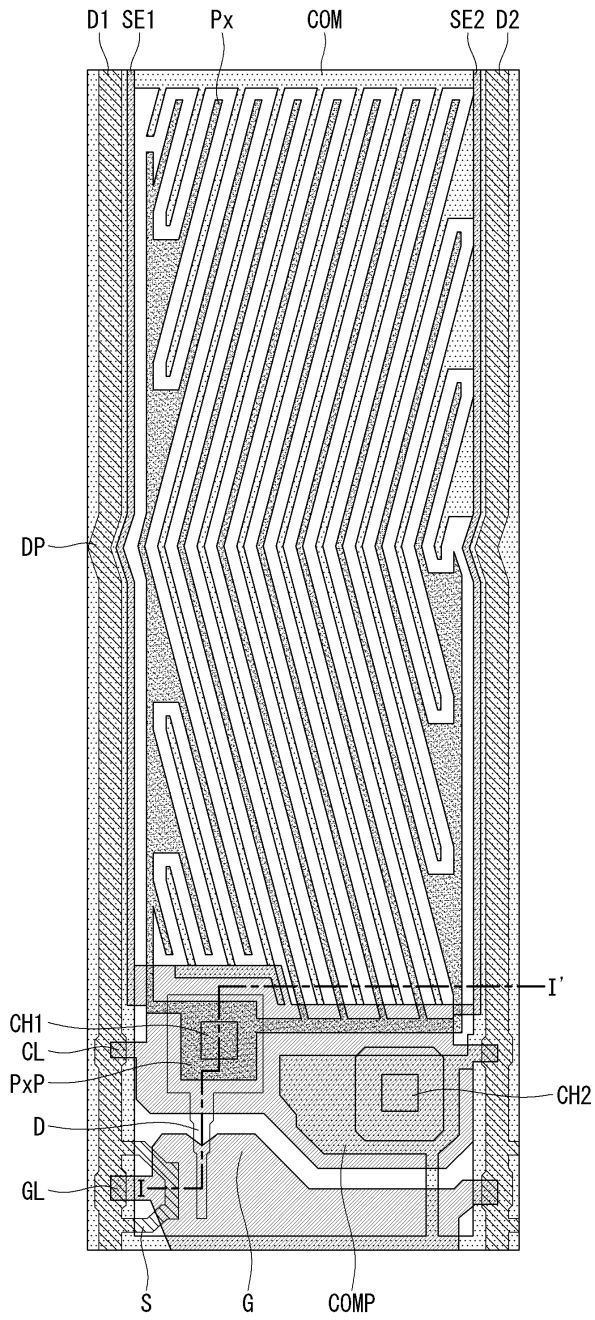
도면2



도면3

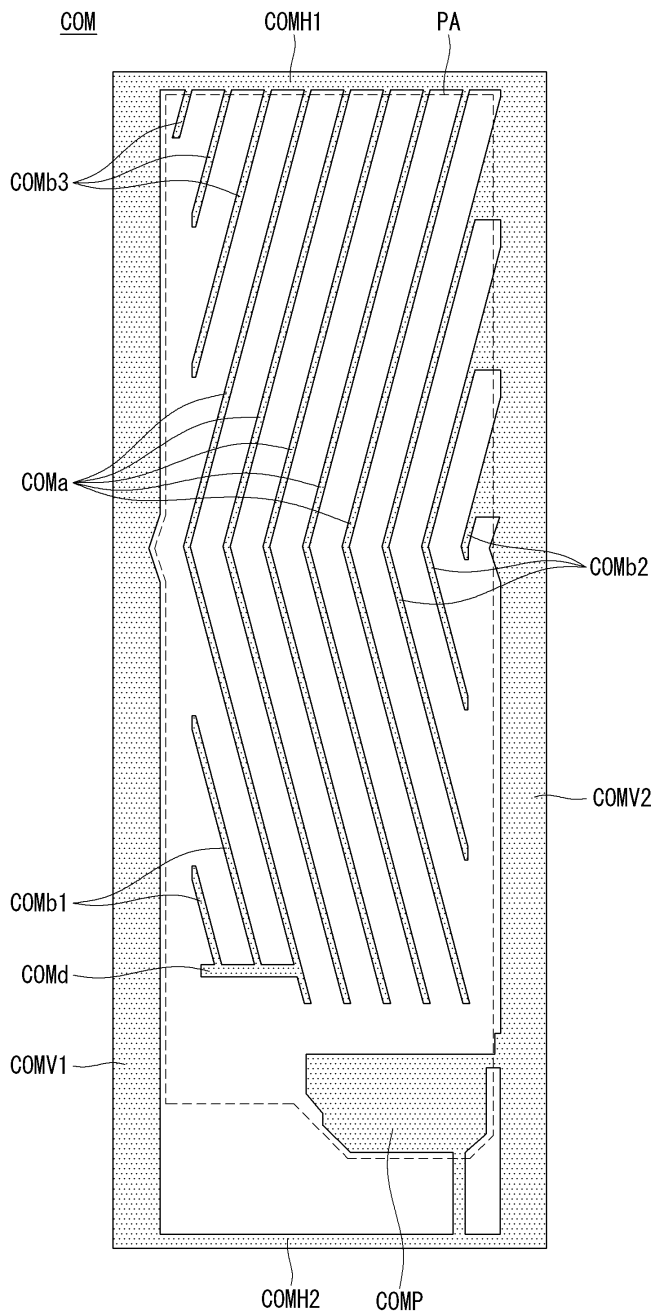


도면4

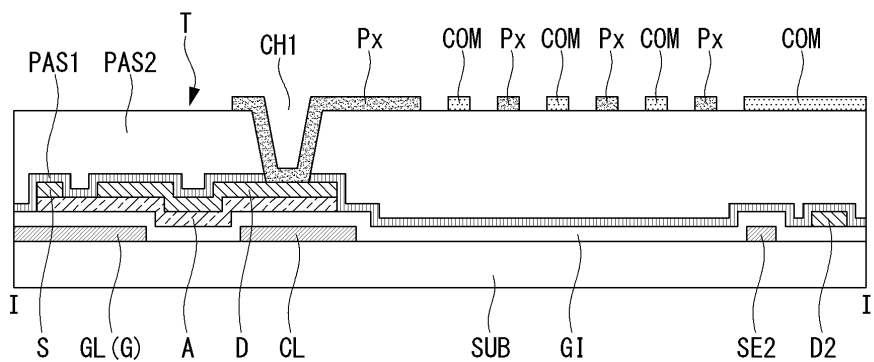




도면6



도면7



专利名称(译)	一种水平电场型液晶显示器		
公开(公告)号	<a href="#">KR1020160047680A</a>	公开(公告)日	2016-05-03
申请号	KR1020140143669	申请日	2014-10-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO JAE HYUNG 조재형		
发明人	조재형		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/136286 G02F1/134363 G02F2001/13606 G09G2320/0223 H01L29/786		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及一种降低数据线电阻和寄生电容的水平场型液晶显示器，包括多个像素电极和多个公共电极，多个公共电极排列在多条栅极线中，多条数据线以交叉排列并定义多个像素区域和每个像素区域。在每个像素区域的中间部分中具有第一弯曲部分的多个第一插脚被布置成使得每个像素电极包括数据线并且包括恒定角度，所述第一插脚包括在线数据线中的对称性。它分别设置有多个像素区域，并且从数据线通过薄膜晶体管提供数据电压。公共电极有第二弯曲部分对应于第一弯曲部分。并且包括交替排成一行的多个第二插脚，其中布置有多个第一插脚。它通过公共线提供公共电压。此外，第一插脚连接到多个第一周插脚的两个端部之间垂直延伸的1-1垂直部分，第一插脚连接到第一水平部分并且从像素区域和第一水平部分的一端延伸。并且连接到1-2垂直部分，该1-1垂直部分从1-1次级插脚的另一端垂直延伸，其与第一周插脚成一直线并且布置在第一水平部分上。与第一周插脚排列的1-2个二级插脚排列为包括在内。

