



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0000965
(43) 공개일자 2016년01월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/1362 (2006.01) G02F 1/1337 (2006.01)

(21) 출원번호 10-2014-0078244

(22) 출원일자 2014년06월25일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

진유영

경기도 수원시 권선구 동수원로146번길 297, 504호 (곡반정동)

원성환

경기도 수원시 영통구 매영로 10, 1동 1107호 (매탄동, 삼성2차아파트)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 20 항

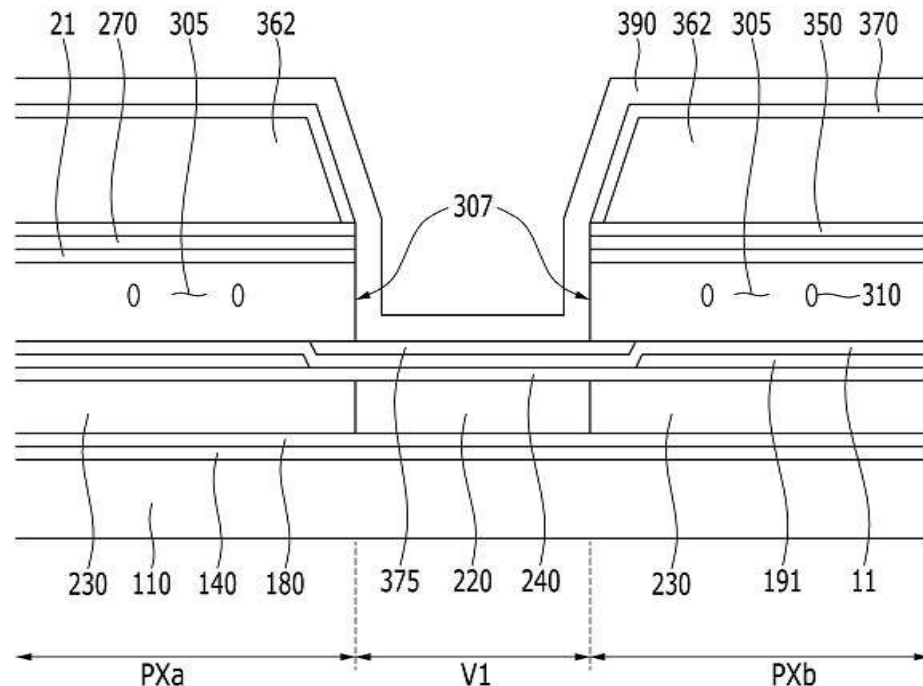
(54) 발명의 명칭 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 복수의 화소 영역을 포함하는 기관, 상기 기관 위에 형성된 박막 트랜지스터, 상기 박막 트랜지스터 위에 형성된 제1 절연층, 상기 박막 트랜지스터와 연결되며 상기 제1 절연층 위에 형성된 화소 전극, 상기 화소 전극 위에 형성된 미세 공간을 채우고 있는 액정층, 상기 화소 전극과 상기 미세 공간에 의해 이격되어 형성된

(뒷면에 계속)

대표도 - 도3



공통 전극, 상기 공통 전극 위에 형성된 제2 절연층 및 지붕층, 상기 미세 공간의 일부를 노출시키도록 상기 공통 전극, 상기 제2 절연층, 및 상기 지붕층에 형성된 주입구, 상기 미세 공간 내부 및 상기 주입구 전면에 형성된 배향막, 상기 지붕층의 상부에 형성되는 제3 절연층, 상기 배향막 상부로서 상기 주입구에 대응되는 위치에 형성된 차단막, 및 상기 주입구를 덮어 상기 미세 공간을 밀봉하며 상기 제3 절연층 및 상기 차단막 위에 형성된 덮개막을 포함하는 표시 장치를 제공한다. 본 발명에 따르면, 무기막을 이용하여, 배향막 상에 존재할 수 있는 잔류 액정의 발생을 최소화하고 잔류 액정으로 인해 발생할 수 있는 전압 보전율(voltage holding ratio, VHR)을 방지할 수 있는 장점이 있다.

(72) 발명자

이우재

경기도 용인시 기흥구 구성로 90, 205동 604호(연남동, 삼성래미안2차아파트)

채경태

경기도 화성시 동탄반석로 16, 638동 802호 (반송동, 동탄나루마을 월드메르디앙 반도유보라)

명세서

청구범위

청구항 1

복수의 화소 영역을 포함하는 기판,
 상기 기판 위에 형성된 박막 트랜지스터,
 상기 박막 트랜지스터 위에 형성된 제1 절연층,
 상기 박막 트랜지스터와 연결되며 상기 제1 절연층 위에 형성된 화소 전극,
 상기 화소 전극 위에 형성된 미세 공간을 채우고 있는 액정층,
 상기 화소 전극과 상기 미세 공간에 의해 이격되어 형성된 공통 전극,
 상기 공통 전극 위에 형성된 제2 절연층 및 지붕층,
 상기 미세 공간의 일부를 노출시키도록 상기 공통 전극, 상기 제2 절연층, 및 상기 지붕층에 형성된 주입구,
 상기 미세 공간 내부 및 상기 주입구 전면에 형성된 배향막,
 상기 지붕층의 상부에 형성되는 제3 절연층,
 상기 배향막 상부로서 상기 주입구에 대응되는 위치에 형성된 차단막, 및
 상기 주입구를 덮어 상기 미세 공간을 밀봉하며 상기 제3 절연층 및 상기 차단막 위에 형성된 덮개막을 포함하는 표시 장치.

청구항 2

제1항에서,
 상기 제3 절연층 및 상기 차단막은 동일한 물질로 형성되며,
 상기 제3 절연층 및 상기 차단막은 무기막으로 형성된 표시 장치.

청구항 3

제2항에서,
 상기 제3 절연층 및 상기 차단막은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 질화산화물(SiOxNy) 중 어느 하나 이상을 포함하는 표시 장치.

청구항 4

제2항에서,
 상기 차단막은 상기 미세 공간의 적어도 일부분을 침범하면서 형성된 표시 장치.

청구항 5

제4항에서,
 상기 화소 전극은 상기 주입구를 기준으로 상부에 위치한 제1 부화소 전극, 및 하부에 위치한 제2 부화소 전극을 포함하고,
 상기 제3 절연층은 상기 제1 부화소 전극 및 상기 제2 부화소 전극의 경계부까지 형성된 표시 장치.

청구항 6

제1항에서,

상기 복수의 화소 영역에 대응되는 위치의 상기 제1 절연층 아래에 형성된 색필터, 및
 상기 주입구에 대응되는 위치의 상기 제1 절연층 아래에 형성된 차광 부재를 더 포함하고,
 상기 차단막은 상기 차광 부재에 대응되는 위치에 형성된 표시 장치.

청구항 7

제6항에서,
 상기 차단막은 무기막으로 형성된 표시 장치.

청구항 8

제7항에서,
 상기 차단막은 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_x), 실리콘 질화산화물(SiO_xNy) 중 어느 하나 이상을 포함하는 표시 장치.

청구항 9

제7항에서,
 상기 차단막은 상기 미세 공간의 적어도 일부분을 침범하면서 형성된 표시 장치.

청구항 10

제9항에서,
 상기 화소 전극은 상기 주입구를 기준으로 상부에 위치한 제1 부화소 전극, 및 하부에 위치한 제2 부화소 전극을 포함하고,
 상기 제3 절연층은 상기 제1 부화소 전극 및 상기 제2 부화소 전극의 경계부까지 형성된 표시 장치.

청구항 11

제1항에서,
 상기 복수의 화소 영역에 대응되는 위치의 상기 제1 절연층 아래에 형성된 색필터, 및
 상기 주입구에 대응되는 위치의 상기 제1 절연층 위에 형성된 차광 부재를 더 포함하고,
 상기 차단막은 상기 차광 부재에 대응되는 위치에 형성된 표시 장치.

청구항 12

제11항에서,
 상기 차단막은 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_x), 실리콘 질화산화물(SiO_xNy) 중 어느 하나 이상을 포함하는 표시 장치.

청구항 13

제12항에서,
 상기 차단막은 상기 미세 공간의 적어도 일부분을 침범하면서 형성된 표시 장치.

청구항 14

제13항에서,
 상기 화소 전극은 상기 주입구를 기준으로 상부에 위치한 제1 부화소 전극, 및 하부에 위치한 제2 부화소 전극을 포함하고,
 상기 제3 절연층은 상기 제1 부화소 전극 및 상기 제2 부화소 전극의 경계부까지 형성된 표시 장치.

청구항 15

기관 위에 박막 트랜지스터를 형성하는 단계,
 상기 박막 트랜지스터 위에 제1 절연층을 형성하는 단계,
 상기 제1 절연층 위에 상기 박막 트랜지스터와 연결되는 화소 전극을 형성하는 단계,
 상기 화소 전극 위에 희생층을 형성하는 단계,
 상기 희생층 위에 공통 전극을 형성하는 단계,
 상기 공통 전극 위에 제2 절연층을 형성하는 단계,
 상기 제2 절연층 위에 유기 물질을 도포하고, 패터닝하여 지붕층을 형성하는 단계,
 상기 제2 절연층 및 상기 공통 전극을 상기 지붕층을 마스크로 패터닝하여 상기 희생층을 노출시키는 단계,
 상기 노출된 희생층을 제거하여 상기 화소 전극과 상기 공통 전극 사이에 미세 공간 및 주입구를 형성하는 단계,
 상기 주입구를 통해 상기 미세 공간으로 배향 물질을 주입하여 상기 미세 공간 내부 및 상기 주입구 표면에 배향막을 형성하는 단계,
 상기 지붕층 및 상기 주입구 전면에 제3 절연층 및 차단막을 형성하는 단계,
 상기 미세 공간으로 액정 물질을 주입하여 액정층을 형성하는 단계, 및
 상기 제3 절연층 위에 덮개막을 형성하여 상기 미세 공간을 밀봉하는 단계를 포함하는 표시 장치의 제조 방법.

청구항 16

제15항에서,
 상기 제3 절연층 및 상기 차단막은 동일한 물질로 동시에 형성하며,
 상기 제3 절연층 및 상기 차단막은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 질화산화물(SiOxNy) 중 어느 하나 이상으로 형성하는 표시 장치의 제조 방법.

청구항 17

제16항에서,
 상기 제3 절연층 및 상기 차단막은 스퍼터링(sputtering)으로 형성하는 표시 장치의 제조 방법.

청구항 18

제16항에서
 상기 화소 전극은 상기 주입구를 기준으로 상부에 위치한 제1 부화소 전극, 및 하부에 위치한 제2 부화소 전극을 포함하고,
 상기 제3 절연층은 상기 제1 부화소 전극 및 상기 제2 부화소 전극의 경계부까지 형성하는 표시 장치의 제조 방법.

청구항 19

제15항에서,
 상기 제1 절연층을 형성하는 단계 전에,
 각 화소 영역에 색필터를 형성하는 단계,
 상기 각 화소 영역의 경계부 및 상기 박막 트랜지스터 위에 차광 부재를 형성하는 단계를 더 포함하며,
 상기 차단막은 상기 차광 부재에 대응되는 위치에 형성하는 표시 장치의 제조 방법.

청구항 20

제15항에서,

상기 제1 절연층을 형성하는 단계 전에,

화소 영역에 색필터를 형성하는 단계를 더 포함하고,

상기 제1 절연층을 형성하는 단계 이 후에,

상기 각 화소 영역의 경계부 및 상기 박막 트랜지스터에 대응되는 제1 절연층 위에 차광 부재를 형성하는 단계를 더 포함하며,

상기 차단막은 상기 차광 부재에 대응되는 위치에 형성하는 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 잔류 액정에 의한 전압 보전율(voltage holding ratio, VHR)의 저하를 방지할 수 있는 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 오늘날 널리 이용되는 컴퓨터 모니터, 텔레비전, 휴대폰 등에는 표시 장치가 필요하다. 표시 장치에는 음극선관 표시 장치, 액정 표시 장치, 플라즈마 표시 장치 등이 있다.

[0003] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0004] 액정 표시 장치를 구성하는 두 장의 표시판은 박막 트랜지스터 표시판과 대향 표시판으로 이루어질 수 있다. 박막 트랜지스터 표시판에는 게이트 신호를 전송하는 게이트선과 데이터 신호를 전송하는 데이터선이 서로 교차하여 형성되고, 게이트선 및 데이터선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극 등이 형성될 수 있다. 대향 표시판에는 차광 부재, 색필터, 공통 전극 등이 형성될 수 있다. 경우에 따라 차광 부재, 색필터, 공통 전극이 박막 트랜지스터 표시판에 형성될 수도 있다.

[0005] 그러나, 종래의 액정 표시 장치에서는 두 장의 기판이 필수적으로 사용되고, 두 장의 기판 위에 각각의 구성 요소들을 형성함으로써, 표시 장치가 무겁고, 두꺼우며, 비용이 많이 들고, 공정 시간이 오래 걸리는 등의 문제점이 있었다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 무기막을 이용하여, 배향막 상에 존재할 수 있는 잔류 액정의 발생을 최소화하고 잔류 액정으로 인해 발생할 수 있는 전압 보전율(voltage holding ratio, VHR)을 방지할 수 있는 표시 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 이러한 과제를 해결하기 위하여 본 발명의 실시예에 따르면, 복수의 화소 영역을 포함하는 기판, 상기 기판 위에 형성된 박막 트랜지스터, 상기 박막 트랜지스터 위에 형성된 제1 절연층, 상기 박막 트랜지스터와 연결되며 상기 제1 절연층 위에 형성된 화소 전극, 상기 화소 전극 위에 형성된 미세 공간을 채우고 있는 액정층, 상기 화소 전극과 상기 미세 공간에 의해 이격되어 형성된 공통 전극, 상기 공통 전극 위에 형성된 제2 절연층 및 지붕층, 상기 미세 공간의 일부를 노출시키도록 상기 공통 전극, 상기 제2 절연층, 및 상기 지붕층에 형성된 주입구, 상기 미세 공간 내부 및 상기 주입구 전면에 형성된 배향막, 상기 지붕층의 상부에 형성되는 제3 절연층,

상기 배향막 상부로서 상기 주입구에 대응되는 위치에 형성된 차단막, 및 상기 주입구를 덮어 상기 미세 공간을 밀봉하며 상기 제3 절연층 및 상기 차단막 위에 형성된 덮개막을 포함하는 표시 장치를 제공한다.

[0008] 상기 제3 절연층 및 상기 차단막은 동일한 물질로 형성되며, 상기 제3 절연층 및 상기 차단막은 무기막으로 형성될 수 있다.

[0009] 상기 제3 절연층 및 상기 차단막은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 질화산화물(SiOxNy) 중 어느 하나 이상을 포함할 수 있다.

[0010] 상기 차단막은 상기 미세 공간의 적어도 일부분을 침범하면서 형성될 수 있다.

[0011] 상기 화소 전극은 상기 주입구를 기준으로 상부에 위치한 제1 부화소 전극, 및 하부에 위치한 제2 부화소 전극을 포함하고, 상기 제3 절연층은 상기 제1 부화소 전극 및 상기 제2 부화소 전극의 경계부까지 형성될 수 있다.

[0012] 상기 복수의 화소 영역에 대응되는 위치의 상기 제1 절연층 아래에 형성된 색필터, 및 상기 주입구에 대응되는 위치의 상기 제1 절연층 아래에 형성된 차광 부재를 더 포함하고, 상기 차단막은 상기 차광 부재에 대응되는 위치에 형성될 수 있다.

[0013] 상기 차단막은 무기막으로 형성될 수 있다.

[0014] 상기 복수의 화소 영역에 대응되는 위치의 상기 제1 절연층 아래에 형성된 색필터, 및 상기 주입구에 대응되는 위치의 상기 제1 절연층 위에 형성된 차광 부재를 더 포함하고, 상기 차단막은 상기 차광 부재에 대응되는 위치에 형성될 수 있다.

[0015] 또한, 본 발명의 다른 실시예에 따르면, 기판 위에 박막 트랜지스터를 형성하는 단계, 상기 박막 트랜지스터 위에 제1 절연층을 형성하는 단계, 상기 제1 절연층 위에 상기 박막 트랜지스터와 연결되는 화소 전극을 형성하는 단계, 상기 화소 전극 위에 희생층을 형성하는 단계, 상기 희생층 위에 공통 전극을 형성하는 단계, 상기 공통 전극 위에 제2 절연층을 형성하는 단계, 상기 제2 절연층 위에 유기 물질을 도포하고, 패터닝하여 지붕층을 형성하는 단계, 상기 제2 절연층 및 상기 공통 전극을 상기 지붕층을 마스크로 패터닝하여 상기 희생층을 노출시키는 단계, 상기 노출된 희생층을 제거하여 상기 화소 전극과 상기 공통 전극 사이에 미세 공간 및 주입구를 형성하는 단계, 상기 주입구를 통해 상기 미세 공간으로 배향 물질을 주입하여 상기 미세 공간 내부 및 상기 주입구 표면에 배향막을 형성하는 단계, 상기 지붕층 및 상기 주입구 전면에 제3 절연층 및 차단막을 형성하는 단계, 상기 미세 공간으로 액정 물질을 주입하여 액정층을 형성하는 단계, 및 상기 제3 절연층 위에 덮개막을 형성하여 상기 미세 공간을 밀봉하는 단계를 포함하는 표시 장치의 제조 방법을 제공한다.

[0016] 상기 제3 절연층 및 상기 차단막은 동일한 물질로 동시에 형성할 수 있다.

[0017] 상기 제3 절연층 및 상기 차단막은 스퍼터링(sputtering)으로 형성할 수 있다.

발명의 효과

[0018] 본 발명의 실시예에 따르면, 하나의 기판을 이용하여 표시 장치를 제조함으로써, 표시 장치의 무게, 두께, 비용 및 공정 시간을 줄일 수 있는 장점이 있다.

[0019] 또한, 본 발명의 실시예에 따르면, 무기막을 이용하여, 배향막 상에 존재할 수 있는 잔류 액정의 발생을 최소화하고 잔류 액정으로 인해 발생할 수 있는 전압 보전율(voltage holding ratio, VHR)을 방지할 수 있는 장점이 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타낸 평면도이다.

도 2는 본 발명의 일 실시예에 따른 표시 장치의 한 화소를 나타낸 평면도이다.

도 3은 도 1의 III-III 선을 따라 잘라 도시한 단면도이다.

도 4는 도 1의 IV-IV 선을 따라 잘라 도시한 단면도이다.

도 5 내지 도 9는 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 순서에 따라 나타낸 단면도이다.

도 10은 본 발명의 다른 실시예에 따른 표시 장치를 나타낸 단면도이다.

도 11은 본 발명의 일 실시예에 따른 표시 장치의 전압 보전율을 측정하기 위한 실험 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0022] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0023] 먼저, 도 1을 참고하여 본 발명의 일 실시예에 따른 표시 장치에 대해 개략적으로 설명한다.
- [0024] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타낸 평면도이다.
- [0025] 도 1을 참고하면, 본 발명의 일 실시예에 따른 표시 장치는 유리 또는 플라스틱 등과 같은 재료로 만들어진 기판(110), 기판(110) 위에 형성되어 있는 지봉층(360)을 포함한다.
- [0026] 기판(110)은 복수의 화소 영역(PX)을 포함한다. 복수의 화소 영역(PX)은 복수의 화소 행과 복수의 화소열을 포함하는 매트릭스 형태로 배치되어 있다. 각 화소 영역(PX)은 제1 부화소 영역(PXa) 및 제2 부화소 영역(PXb)을 포함할 수 있다. 제1 부화소 영역(PXa) 및 제2 부화소 영역(PXb)은 상하로 배치될 수 있다.
- [0027] 제1 부화소 영역(PXa)과 제2 부화소 영역(PXb) 사이에는 화소 행 방향을 따라서 제1 골짜기(V1)가 위치하고 있고, 복수의 화소 열 사이에는 제2 골짜기(V2)가 위치하고 있다.
- [0028] 지봉층(360)은 화소 행 방향으로 형성되어 있다. 이 때, 제1 골짜기(V1)에서는 지봉층(360)이 제거되어 지봉층(360) 아래에 위치하는 구성 요소가 외부로 노출될 수 있도록 주입구(307)가 형성되어 있다.
- [0029] 각 지봉층(360)은 인접한 제2 골짜기(V2) 사이에서 기판(110)으로부터 떨어져 형성됨으로써, 미세 공간(305)이 형성된다. 또한, 각 지봉층(360)은 제2 골짜기(V2)에서는 기판(110)에 부착되도록 형성됨으로써, 미세 공간(305)의 양 측면을 덮도록 한다.
- [0030] 앞서 설명한 본 발명의 일 실시예에 의한 표시 장치의 구조는 예시에 불과하며, 다양한 변형이 가능하다. 예를 들면, 화소 영역(PX), 제1 골짜기(V1), 및 제2 골짜기(V2)의 배치 형태의 변경이 가능하고, 복수의 지봉층(360)은 제1 골짜기(V1)에서 서로 연결될 수도 있으며, 각 지봉층(360)의 일부는 제2 골짜기(V2)에서 기판(110)으로부터 떨어져 형성됨으로써 인접한 미세 공간(305)이 서로 연결될 수도 있다.
- [0031] 이제부터 도 2 내지 도 4에 도 1을 참고하여, 본 발명의 일 실시예에 따른 표시 장치의 한 화소에 대하여 상세하게 설명한다.
- [0032] 도 2는 본 발명의 일 실시예에 따른 표시 장치의 한 화소를 나타낸 평면도이고, 도 3은 도 1의 III-III 선을 따라 잘라 도시한 단면도이며, 도 4는 도 1의 IV-IV 선을 따라 잘라 도시한 단면도이다.
- [0033] 도 1 내지 도 4를 참고하면, 기판(110) 위에 복수의 게이트선(121), 복수의 감압 게이트선(123) 및 복수의 유지 전극선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다.
- [0034] 게이트선(121) 및 감압 게이트선(123)은 주로 가로 방향으로 뻗어 있으며 게이트 신호를 전달한다. 게이트 도전체는 게이트선(121)으로부터 위 아래로 돌출한 제1 게이트 전극(124h) 및 제2 게이트 전극(124i)을 더 포함하고, 감압 게이트선(123)으로부터 위로 돌출한 제3 게이트 전극(124c)을 더 포함한다. 제1 게이트 전극(124h) 및 제2 게이트 전극(124i)은 서로 연결되어 하나의 돌출부를 이룬다. 이 때, 제1, 제2, 및 제3 게이트 전극(124h, 124i, 124c)의 돌출 형태는 변경이 가능하다.
- [0035] 유지 전극선(131)도 주로 가로 방향으로 뻗어 있으며 공통 전압(Vcom) 등의 정해진 전압을 전달한다. 유지 전극선(131)은 위 아래로 돌출한 유지 전극(129), 게이트선(121)과 실질적으로 수직하게 아래로 뻗은 한 쌍의 세로부(134) 및 한 쌍의 세로부(134)의 끝을 서로 연결하는 가로부(127)를 포함한다. 가로부(127)는 아래로 확장된 용량 전극(137)을 포함한다.
- [0036] 게이트 도전체(121, 123, 124h, 124i, 124c, 131) 위에는 게이트 절연막(gate insulating layer)(140)이 형성

되어 있다. 게이트 절연막(140)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 등과 같은 무기 절연 물질로 이루어질 수 있다. 또한, 게이트 절연막(140)은 단일막 또는 다중막으로 이루어질 수 있다.

[0037] 게이트 절연막(140) 위에는 제1 반도체(154h), 제2 반도체(154l), 및 제3 반도체(154c)가 형성되어 있다. 제1 반도체(154h)는 제1 게이트 전극(124h) 위에 위치할 수 있고, 제2 반도체(154l)는 제2 게이트 전극(124l) 위에 위치할 수 있으며, 제3 반도체(154c)는 제3 게이트 전극(124c) 위에 위치할 수 있다. 제1 반도체(154h)와 제2 반도체(154l)는 서로 연결될 수 있고, 제2 반도체(154l)와 제3 반도체(154c)도 서로 연결될 수 있다. 또한, 제1 반도체(154h)는 데이터선(171)의 아래까지 연장되어 형성될 수도 있다. 제1 내지 제3 반도체(154h, 154l, 154c)는 비정질 실리콘(amorphous silicon), 다결정 실리콘(polycrystalline silicon), 금속 산화물(metal oxide) 등으로 이루어질 수 있다.

[0038] 제1 내지 제3 반도체(154h, 154l, 154c) 위에는 각각 저항성 접촉 부재(ohmic contact)(도시하지 않음)가 더 형성될 수 있다. 저항성 접촉 부재는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어질 수 있다.

[0039] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121) 및 감압 게이트선(123)과 교차한다. 각 데이터선(171)은 제1 게이트 전극(124h) 및 제2 게이트 전극(124l)을 향하여 뻗으며 서로 연결되어 있는 제1 소스 전극(173h) 및 제2 소스 전극(173l)을 포함한다.

[0040] 제1 드레인 전극(175h), 제2 드레인 전극(175l) 및 제3 드레인 전극(175c)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 제1 드레인 전극(175h) 및 제2 드레인 전극(175l)의 막대형 끝 부분은 제1 소스 전극(173h) 및 제2 소스 전극(173l)으로 일부 둘러싸여 있다. 제2 드레인 전극(175l)의 넓은 한 쪽 끝 부분은 다시 연장되어 'U'자 형태로 굽은 제3 소스 전극(173c)을 이룬다. 제3 드레인 전극(175c)의 넓은 끝 부분(177c)은 용량 전극(137)과 중첩하여 감압 축전기(Cstd)를 이루며, 막대형 끝 부분은 제3 소스 전극(173c)으로 일부 둘러싸여 있다.

[0041] 제1 게이트 전극(124h), 제1 소스 전극(173h), 및 제1 드레인 전극(175h)은 제1 반도체(154h)와 함께 제1 박막 트랜지스터(Qh)를 형성하고, 제2 게이트 전극(124l), 제2 소스 전극(173l) 및 제2 드레인 전극(175l)은 제2 반도체(154l)와 함께 제2 박막 트랜지스터(Ql)를 형성하며, 제3 게이트 전극(124c), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)은 제3 반도체(154c)와 함께 제3 박막 트랜지스터(Qc)를 형성한다.

[0042] 제1 반도체(154h), 제2 반도체(154l), 및 제3 반도체(154c)는 서로 연결되어 선형으로 이루어질 수 있으며, 소스 전극(173h, 173l, 173c)과 드레인 전극(175h, 175l, 175c) 사이의 채널 영역을 제외하고는 데이터 도전체(171, 173h, 173l, 173c, 175h, 175l, 175c) 및 그 하부의 저항성 접촉 부재와 실질적으로 동일한 평면 모양을 가질 수 있다.

[0043] 제1 반도체(154h)에는 제1 소스 전극(173h)과 제1 드레인 전극(175h) 사이에서 제1 소스 전극(173h) 및 제1 드레인 전극(175h)에 의해 가리지 않고 노출된 부분이 있고, 제2 반도체(154l)에는 제2 소스 전극(173l)과 제2 드레인 전극(175l) 사이에서 제2 소스 전극(173l) 및 제2 드레인 전극(175l)에 의해 가리지 않고 노출된 부분이 있으며, 제3 반도체(154c)에는 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이에서 제3 소스 전극(173c) 및 제3 드레인 전극(175c)에 의해 가리지 않고 노출된 부분이 있다.

[0044] 데이터 도전체(171, 173h, 173l, 173c, 175h, 175l, 175c) 및 각 소스 전극(173h, 173l, 173c)과 각 드레인 전극(175h, 175l, 175c) 사이로 노출되어 있는 반도체(154h, 154l, 154c) 위에는 보호막(180)이 형성되어 있다. 보호막(180)은 유기 절연 물질 또는 무기 절연 물질로 이루어질 수 있으며, 단일막 또는 다중막으로 형성될 수 있다.

[0045] 보호막(180) 위에는 각 화소 영역(PX) 내에 색필터(230)가 형성되어 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다. 색필터(230)는 적색, 녹색 및 청색의 삼원색에 한정되지 아니하고, 청록색(cyan), 자홍색(magenta), 옐로(yellow), 화이트 계열의 색 등을 표시할 수도 있다. 도시된 바와 달리 색필터(230)는 이웃하는 데이터선(171) 사이를 따라서 열 방향으로 길게 뻗을 수도 있다.

[0046] 이웃하는 색필터(230) 사이의 영역에는 차광 부재(220)가 형성되어 있다. 차광 부재(220)는 화소 영역(PX)의 경계부와 박막 트랜지스터 위에 형성되어 빛샘을 방지할 수 있다. 색필터(230)는 각 제1 부화소 영역(PXa)과 제2 부화소 영역(PXb)에 형성되고, 제1 부화소 영역(PXa)과 제2 부화소 영역(PXb) 사이에는 차광 부재(220)가 형성될 수 있다.

- [0047] 차광 부재(220)는 게이트선(121) 및 감압 게이트선(123)을 따라 뻗어 위아래로 확장되어 있으며 제1 박막 트랜지스터(Qh), 제2 박막 트랜지스터(Q1) 및 제3 박막 트랜지스터(Qc) 등의 위치하는 영역을 덮는 가로 차광 부재(220a)와 데이터선(171)을 따라 뻗어 있는 세로 차광 부재(220b)를 포함한다. 즉, 가로 차광 부재(220a)는 제1 골짜기(V1)에 형성되고, 세로 차광 부재(220b)는 제2 골짜기(V2)에 형성될 수 있다. 색필터(230)와 차광 부재(220)는 일부 영역에서 서로 중첩될 수도 있다.
- [0048] 색필터(230) 및 차광 부재(220) 위에는 제1 절연층(240)이 더 형성될 수 있다. 제1 절연층(240)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 질화산화물(SiOxNy) 등과 같은 무기 절연 물질로 이루어질 수 있다. 제1 절연층(240)은 유기 물질로 이루어진 색필터(230) 및 차광 부재(220)를 보호하는 역할을 하며, 필요에 따라 생략될 수도 있다.
- [0049] 제1 절연층(240), 차광 부재(220), 보호막(180)에는 제1 드레인 전극(175h)의 넓은 끝 부분과 제2 드레인 전극(175l)의 넓은 끝 부분을 각각 드러내는 복수의 제1 접촉 구멍(185h) 및 복수의 제2 접촉 구멍(185l)이 형성되어 있다.
- [0050] 제1 절연층(240) 위에는 화소 전극(191)이 형성되어 있다. 화소 전극(191)은 인듐-주석 산화물(ITO, indium tin oxide), 인듐-아연 산화물(IZO, indium zinc oxide) 등과 같은 투명한 금속 물질로 이루어질 수 있다.
- [0051] 화소 전극(191)은 게이트선(121) 및 감압 게이트선(123)을 사이에 두고 서로 분리되어, 게이트선(121) 및 감압 게이트선(123)을 중심으로 화소 영역(PX)의 위와 아래에 배치되어 열 방향으로 이웃하는 제1 부화소 전극(191h)과 제2 부화소 전극(191l)을 포함한다. 즉, 제1 부화소 전극(191h)과 제2 부화소 전극(191l)은 제1 골짜기(V1)를 사이에 두고 분리되어 있으며, 제1 부화소 전극(191h)은 제1 부화소 영역(PXa)에 위치하고, 제2 부화소 전극(191l)은 제2 부화소 영역(PXb)에 위치한다.
- [0052] 제1 부화소 전극(191h) 및 제2 부화소 전극(191l)은 제1 접촉 구멍(185h) 및 제2 접촉 구멍(185l)을 통하여 각기 제1 드레인 전극(175h) 및 제2 드레인 전극(175l)과 연결되어 있다. 따라서, 제1 박막 트랜지스터(Qh) 및 제2 박막 트랜지스터(Q1)가 온 상태일 때 제1 드레인 전극(175h) 및 제2 드레인 전극(175l)으로부터 데이터 전압을 인가 받는다.
- [0053] 제1 부화소 전극(191h) 및 제2 부화소 전극(191l) 각각의 전체적인 모양은 사각형이며 제1 부화소 전극(191h) 및 제2 부화소 전극 각각은 가로 줄기부(193h, 193l), 가로 줄기부(193h, 193l)와 교차하는 세로 줄기부(192h, 192l)로 이루어진 십자형 줄기부를 포함한다. 또한, 제1 부화소 전극(191h) 및 제2 부화소 전극(191l)은 각각 복수의 미세 가지부(194h, 194l), 부화소 전극(191h, 191l)의 가장자리 변에서 아래 또는 위로 돌출될 돌출부(197h, 197l)를 포함한다.
- [0054] 화소 전극(191)은 가로 줄기부(193h, 193l)와 세로 줄기부(192h, 192l)에 의해 4개의 부영역으로 나뉘어진다. 미세 가지부(194h, 194l)는 가로 줄기부(193h, 193l) 및 세로 줄기부(192h, 192l)로부터 비스듬하게 뻗어 있으며 그 뻗는 방향은 게이트선(121) 또는 가로 줄기부(193h, 193l)와 대략 45도 또는 135도의 각을 이룰 수 있다. 또한 이웃하는 두 부영역의 미세 가지부(194h, 194l)가 뻗어 있는 방향은 서로 직교할 수 있다.
- [0055] 본 실시예에서 제1 부화소 전극(191h)은 외곽을 둘러싸는 외곽 줄기부를 더 포함하고, 제2 부화소 전극(191l)은 상단 및 하단에 위치하는 가로부 및 제1 부화소 전극(191h)의 좌우에 위치하는 좌우 세로부(198)를 더 포함한다. 좌우 세로부(198)는 데이터선(171)과 제1 부화소 전극(191h) 사이의 용량성 결합, 즉 커패시터를 방지할 수 있다.
- [0056] 앞서 설명한 화소 영역의 배치 형태, 박막 트랜지스터의 구조 및 화소 전극의 형상은 하나의 예에 불과하며, 본 발명은 이에 한정되지 아니하고 다양한 변형이 가능하다.
- [0057] 화소 전극(191) 위에는 화소 전극(191)으로부터 일정한 거리를 가지고 이격되도록 공통 전극(270)이 형성되어 있다. 화소 전극(191)과 공통 전극(270) 사이에는 미세 공간(microcavity, 305)이 형성되어 있다. 즉, 미세 공간(305)은 화소 전극(191) 및 공통 전극(270)에 의해 둘러싸여 있다. 미세 공간(305)의 폭과 넓이는 표시 장치의 크기 및 해상도에 따라 다양하게 변경될 수 있다.
- [0058] 공통 전극(270)은 인듐-주석 산화물(ITO, indium tin oxide), 인듐-아연 산화물(IZO, indium zinc oxide) 등과 같은 투명한 금속 물질로 이루어질 수 있다. 공통 전극(270)에는 일정한 전압이 인가될 수 있고, 화소 전극(191)과 공통 전극(270) 사이에 전계가 형성될 수 있다.
- [0059] 화소 전극(191) 위에는 제1 배향막(11)이 형성되어 있다. 제1 배향막(11)은 화소 전극(191)에 의해 덮여있지 않

은 제1 절연층(240) 바로 위에 형성될 수 있다.

- [0060] 또한, 제1 절연층(240)이 필요에 따라 생략된 경우에는 화소 전극(191)에 의해 덮여 있지 않은 선크터(230) 및 차광 부재(220) 바로 위에 형성될 수도 있다.
- [0061] 제1 배향막(11)과 마주보도록 공통 전극(270) 아래에는 제2 배향막(21)이 형성되어 있다.
- [0062] 제1 배향막(11)과 제2 배향막(21)은 수직 배향막으로 이루어질 수 있고, 폴리 아미산(polyamic acid), 폴리 실록산(polysiloxane), 폴리 이미드(polyimide) 등의 배향 물질로 이루어질 수 있다. 제1 및 제2 배향막(11, 21)은 화소 영역(PX)의 가장자리에서 서로 연결될 수 있다.
- [0063] 화소 전극(191)과 공통 전극(270) 사이에 위치한 미세 공간(305) 내에는 액정 분자(310)들로 이루어진 액정층이 형성되어 있다. 액정 분자(310)들은 음의 유전율 이방성을 가지며, 전계가 인가되지 않은 상태에서 기관(110)에 수직한 방향으로 서 있을 수 있다. 즉, 수직 배향이 이루어질 수 있다.
- [0064] 데이터 전압이 인가된 제1 부화소 전극(191h) 및 제2 부화소 전극(191l)은 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 미세 공간(305) 내에 위치한 액정 분자(310)의 방향을 결정한다. 이와 같이 결정된 액정 분자(310)의 방향에 따라 액정층을 통과하는 빛의 휘도가 달라진다.
- [0065] 공통 전극(270) 위에는 제2 절연층(350)이 더 형성될 수 있다. 제2 절연층(350)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 질화산화물(SiOxNy) 등과 같은 무기 절연 물질로 이루어질 수 있으며, 필요에 따라 생략될 수도 있다.
- [0066] 제2 절연층(350) 위에는 지봉층(360)이 형성되어 있다. 지봉층(360)은 유기 물질로 이루어질 수 있다. 지봉층(360)의 아래에는 미세 공간(305)이 형성되어 있고, 지봉층(360)은 경화 공정에 의해 단단해져 미세 공간(305)의 형상을 유지할 수 있다. 즉, 지봉층(360)은 화소 전극(191)과 미세 공간(305)을 사이에 두고 이격되도록 형성되어 있다.
- [0067] 지봉층(360)은 화소 행을 따라 각 화소 영역(PX) 및 제2 골짜기(V2)에 형성되며, 제1 골짜기(V1)에는 형성되지 않는다. 즉, 지봉층(360)은 제1 부화소 영역(PXa)과 제2 부화소 영역(PXb) 사이에는 형성되지 않는다. 각 제1 부화소 영역(PXa)과 제2 부화소 영역(PXb)에서는 각 지봉층(360)의 아래에 미세 공간(305)이 형성되어 있다. 제2 골짜기(V2)에서는 지봉층(360)의 아래에 미세 공간(305)이 형성되지 않으며, 기관(110)에 부착되도록 형성되어 있다. 따라서, 제2 골짜기(V2)에 위치하는 지봉층(360)의 두께가 제1 부화소 영역(PXa) 및 제2 부화소 영역(PXb)에 위치하는 지봉층(360)의 두께보다 두껍게 형성될 수 있다. 미세 공간(305)의 상부면 및 양측면은 지봉층(360)에 의해 덮여 있는 형태로 이루어지게 된다.
- [0068] 지봉층(360)은 제1 골짜기 영역(V1)에 위치하지 않는 바, 제1 골짜기 영역(V1)을 사이에 두고 이격된다. 이에 따라 제1 골짜기 영역(V1)과 인접한 영역의 지봉층(360)은 경사지며 기울어진 면을 가진다.
- [0069] 공통 전극(270), 제2 절연층(350) 및 지봉층(360)에는 미세 공간(305)의 일부를 노출시키는 주입구(307)가 형성되어 있다. 주입구(307)는 제1 부화소 영역(PXa)과 제2 부화소 영역(PXb)의 가장자리에 서로 마주보도록 형성될 수 있다. 즉, 주입구(307)는 제1 부화소 영역(PXa)의 하측 변, 제2 부화소 영역(PXb)의 상측변에 대응하여 미세 공간(305)의 측면을 노출시키도록 형성될 수 있다. 주입구(307)에 의해 미세 공간(305)이 노출되어 있으므로, 주입구(307)를 통해 미세 공간(305) 내부로 배향액 또는 액정 물질 등을 주입할 수 있다.
- [0070] 지봉층(360) 위에는 제3 절연층(370)이 형성되어 있다. 제3 절연층(370)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 질화산화물(SiOxNy) 등과 같은 무기 절연 물질로 이루어질 수 있다.
- [0071] 본 발명의 일 실시예에 따른 제3 절연층(370)은 지봉층(360) 뿐만 아니라, 지봉층(360)이 형성되어 있지 않은 제1 골짜기 영역(V1)의 주입구(307)와 중첩되는 위치의 배향막(11) 위에까지 연장되어 차단막(375)으로 형성되어 있다.
- [0072] 즉, 주입구(307)에 대응되는 부분에 위치하는 차단막(375)은 제3 절연층(370)과 동일한 물질로 형성되어 있다.
- [0073] 주입구(307)에 형성되어 있는 차단막(375)은 주입구(307) 부근의 미세 공간(305)의 적어도 일부분에도 형성될 수 있으며, 미세 공간(305) 내부에 형성되어 있는 화소 전극(191)의 경계부까지 침범하여 형성될 수 있다.
- [0074] 주입구(307)에 차단막(375)이 형성되어 있지 않고 배향막(11)이 바로 드러나 있는 경우, 미세 공간(307)으로 액정을 주입할 때 주입구(307)에 형성되어 있는 배향막(11)에 의해 잔류 액정이 발생할 수 있으며, 이러한 잔류

액정들은 추후 표시 장치의 전압 보전율(VHR, voltage holding ratio)이 저하되는 원인이 될 수 있다. 이에 주입구(307)에도 형성되어 있는 배향막(11) 상부에도 지봉층(360) 위에 형성되어 있는 제3 절연층(370)과 동일한 물질로서 차단막(375)을 형성함으로써 잔류 액정에 의한 전압 보전을 저하를 방지할 수 있다.

[0075] 즉, 차단막(375)이 형성되어 있지 않은 경우와 비교하여, 차단막(370)이 형성되어 있는 경우 주입구(307) 상부면에 존재할 수 있는 잔류 액정을 더욱 손쉽게 제거할 수 있다.

[0076] 또한, 필요에 따라 제1 절연층(240)이 생략되어 있는 경우, 주입구(307)에 형성되어 있는 차단막(375)을 통해 배향막(11) 하부에 위치한 차광 부재(220)에서 발생할 수 있는 잔류 물질에 의한 액정층의 오염을 방지할 수도 있다.

[0077] 제3 절연층(370) 및 차단막(375) 위에는 덮개막(390)이 형성될 수 있다. 덮개막(390)은 미세 공간(305)의 일부를 외부로 노출시키는 주입구(307)를 덮도록 형성된다. 즉, 덮개막(390)은 미세 공간(305)의 내부에 형성되어 있는 액정 분자(310)가 외부로 나오지 않도록 미세 공간(305)을 밀봉할 수 있다. 덮개막(390)은 액정 분자(310)와 접촉하게 되므로, 액정 분자(310)와 반응하지 않는 물질로 이루어지는 것이 바람직하다. 예를 들면, 덮개막(390)은 페릴렌(parylene) 등으로 이루어질 수 있다.

[0078] 덮개막(390)은 이중막, 삼중막 등과 같이 다중막으로 이루어질 수도 있다. 이중막은 서로 다른 물질로 이루어진 두 개의 층으로 이루어져 있다. 삼중막은 세 개의 층으로 이루어지고, 서로 인접하는 층의 물질이 서로 다르다. 예를 들면, 덮개막(390)은 유기 절연 물질로 이루어진 층과 무기 절연 물질로 이루어진 층을 포함할 수 있다.

[0079] 도시는 생략하였으나, 표시 장치의 상하부 면에는 편광판이 더 형성될 수 있다. 편광판은 제1 편광판 및 제2 편광판으로 이루어질 수 있다. 제1 편광판은 기관(110)의 하부면에 부착되고, 제2 편광판은 덮개막(390) 위에 부착될 수 있다.

[0080] 다음으로, 도 5 내지 도 9를 참고하여 본 발명의 일 실시예에 따른 표시 장치의 제조 방법에 대해 설명하면 다음과 같다. 아울러, 도 1 내지 도 4를 함께 참조하여 설명한다.

[0081] 도 5 내지 도 9는 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 순서에 따라 나타낸 단면도이다.

[0082] 먼저, 도 5에 도시된 바와 같이, 유리 또는 플라스틱 등으로 이루어진 기관(110) 위에 일방향으로 뻗어있는 게이트선(121)과 감압 게이트선(123)을 형성하고, 게이트선(121)으로부터 돌출되는 제1 게이트 전극(124h), 제2 게이트 전극(124i), 및 제3 게이트 전극(124c)을 형성한다.

[0083] 또한, 게이트선(121), 감압 게이트선(123), 및 제1 내지 제3 게이트 전극(124h, 124i, 124c)와 이격되도록 유지 전극선(131)을 함께 형성할 수 있다.

[0084] 이어, 게이트선(121), 감압 게이트선(123), 제1 내지 제3 게이트 전극(124h, 124i, 124c), 및 유지 전극선(131)을 포함한 기관(110) 위의 전면에 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x)과 같은 무기 절연 물질을 이용하여 게이트 절연막(140)을 형성한다. 게이트 절연막(140)은 단일막 또는 다중막으로 형성할 수 있다.

[0085] 이어, 게이트 절연막(140) 위에 비정질 실리콘(amorphous silicon), 다결정 실리콘(polycrystalline silicon), 금속 산화물(metal oxide) 등과 같은 반도체 물질을 증착한 후 이를 패터닝하여 제1 반도체(154h), 제2 반도체(154i), 및 제3 반도체(154c)를 형성한다. 제1 반도체(154h)는 제1 게이트 전극(124h) 위에 위치하도록 형성하고, 제2 반도체(154i)는 제2 게이트 전극(124i) 위에 위치하도록 형성하며, 제3 반도체(154c)는 제3 게이트 전극(124c) 위에 위치하도록 형성할 수 있다.

[0086] 이어, 금속 물질을 증착한 후 이를 패터닝하여 타방향으로 뻗어있는 데이터선(171)을 형성한다. 금속 물질은 단일막 또는 다중막으로 이루어질 수 있다.

[0087] 또한, 데이터선(171)으로부터 제1 게이트 전극(124h) 위로 돌출되는 제1 소스 전극(173h) 및 제1 소스 전극(173h)과 이격되는 제1 드레인 전극(175h)을 함께 형성한다. 또한, 제1 소스 전극(173h)과 연결되어 있는 제2 소스 전극(173i) 및 제2 소스 전극(173i)과 이격되는 제2 드레인 전극(175i)을 함께 형성한다. 또한, 제2 드레인 전극(175i)으로부터 연장되어 있는 제3 소스 전극(173c) 및 제3 소스 전극(173c)과 이격되는 제3 드레인 전극(175c)을 함께 형성한다.

[0088] 반도체 물질과 금속 물질을 연속으로 증착한 후 이를 동시에 패터닝하여 제1 내지 제3 반도체(154h, 154i, 154c), 데이터선(171), 제1 내지 제3 소스 전극(173h, 173i, 173c), 및 제1 내지 제3 드레인 전극(175h, 175i, 175c)을 형성할 수도 있다. 이 때, 제1 반도체(154h)는 데이터선(171)의 아래까지 연장되어 형성된다.

- [0089] 제1, 제2, 제3 게이트 전극(124h, 124l, 124c), 제1, 제2, 제3 소스 전극(173h, 173l, 173c), 및 제1, 제2, 제3 드레인 전극(175h, 175l, 175c)은 제1, 제2, 제3 반도체(154h, 154l, 154c)와 함께 각각 제1, 제2, 제3 박막 트랜지스터(TFT, thin film transistor)(Qh, Ql, Qc)를 구성한다.
- [0090] 이어, 테이터선(171), 제1 내지 제3 소스 전극(173h, 173l, 173c), 제1 내지 제3 드레인 전극(175h, 175l, 175c), 및 각 소스 전극(173h, 173l, 173c)과 각 드레인 전극(175h, 175l, 175c) 사이로 노출되어 있는 반도체(154h, 154l, 154c) 위에 보호막(180)을 형성한다. 보호막(180)은 유기 절연 물질 또는 무기 절연 물질로 이루어질 수 있으며, 단일막 또는 다중막으로 형성될 수 있다.
- [0091] 이어, 보호막(180) 위의 각 화소 영역(PX) 내에 색필터(230)를 형성한다. 색필터(230)는 각 제1 부화소 영역(PXa)과 제2 부화소 영역(PXb)에 형성하고, 제1 골짜기(V1)에는 형성하지 않을 수 있다. 또한, 복수의 화소 영역(PX)의 열 방향을 따라 동일한 색의 색필터(230)를 형성할 수 있다. 세 가지 색의 색필터(230)를 형성하는 경우 제1 색의 색필터(230)를 먼저 형성한 후 마스크를 쉬프트시켜 제2 색의 색필터(230)를 형성할 수 있다. 이어, 제2 색의 색필터(230)를 형성한 후 마스크를 쉬프트시켜 제3 색의 색필터를 형성할 수 있다.
- [0092] 이어, 보호막(180) 위의 각 화소 영역(PX)의 경계부 및 박막 트랜지스터 위에 차광 부재(220)를 형성한다. 제1 부화소 영역(PXa)과 제2 부화소 영역(PXb)의 사이에 위치하는 제1 골짜기(V1)에도 차광 부재(220)를 형성할 수 있다.
- [0093] 이어, 색필터(230) 및 차광 부재(220) 위에 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 질화산화물(SiOxNy) 등과 같은 무기 절연 물질로 제1 절연층(240)을 형성한다.
- [0094] 앞서 설명한 실시예에서는 색필터(230)를 형성하고 차광 부재(220)를 형성한 후, 제1 절연층(240)을 형성하는 것으로 설명하였으나, 본 발명은 이에 한정되지 않고 필요에 따라 차광 부재(220)를 먼저 형성한 후 색필터(230)를 형성할 수 있고, 이와 다르게 색필터(230)를 형성하고 제1 절연층(240)을 형성한 후, 차광 부재(220)를 형성할 수도 있다.
- [0095] 이어, 보호막(180), 차광 부재(220), 및 제1 절연층(240)을 식각하여 제1 드레인 전극(175h)의 일부가 노출되도록 제1 접촉 구멍(185h)을 형성하고, 제2 드레인 전극(175l)의 일부가 노출되도록 제2 접촉 구멍(185l)을 형성한다.
- [0096] 이어, 제1 절연층(240) 위에 인듐-주석 산화물(ITO, indium tin oxide), 인듐-아연 산화물(IZO, indium zinc oxide) 등과 같은 투명한 금속 물질을 증착한 후 패터닝하여 제1 부화소 영역(PXa) 내에 제1 부화소 전극(191h)을 형성하고, 제2 부화소 영역(PXb) 내에 제2 부화소 전극(191l)을 형성한다. 제1 부화소 전극(191h)과 제2 부화소 전극(191l)은 제1 골짜기(V1)를 사이에 두고 분리되어 있다. 제1 부화소 전극(191h)은 제1 접촉 구멍(185h)을 통해 제1 드레인 전극(175h)과 연결되도록 형성하고, 제2 부화소 전극(191l)은 제2 접촉 구멍(185l)을 통해 제2 드레인 전극(175l)과 연결되도록 형성한다.
- [0097] 제1 부화소 전극(191h) 및 제2 부화소 전극(191l) 각각에 가로 줄기부(193h, 193l), 가로 줄기부(193h, 193l)와 교차하는 세로 줄기부(192h, 192l)를 형성한다. 또한, 가로 줄기부(193h, 193l) 및 세로 줄기부(192h, 192l)로부터 비스듬하게 뻗어있는 복수의 미세 가지부(194h, 194l)를 형성한다.
- [0098] 도 6에 도시된 바와 같이, 화소 전극(191) 위에 감광성 유기 물질을 도포하고, 포토 공정을 통해 희생층(300)을 형성한다.
- [0099] 희생층(300)은 복수의 화소 열을 따라 연결되도록 형성된다. 즉, 희생층(300)은 각 화소 영역(PX)을 덮도록 형성되고, 제1 부화소 영역(PXa)과 제2 부화소 영역(PXb) 사이에 위치한 제1 골짜기(V1)를 덮도록 형성된다.
- [0100] 이어, 희생층(300) 위에 인듐-주석 산화물(ITO, indium tin oxide), 인듐-아연 산화물(IZO, indium zinc oxide) 등과 같은 투명한 금속 물질을 증착하여 공통 전극(270)을 형성한다.
- [0101] 이어, 공통 전극(270) 위에 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 질화산화물(SiOxNy) 등과 같은 무기 절연 물질로 제2 절연층(350)을 형성할 수 있다.
- [0102] 이어, 제2 절연층(350) 위에 유기 물질을 도포하고, 패터닝하여 지붕층(360)을 형성한다. 이 때, 제1 골짜기(V1)에 위치한 유기 물질이 제거되도록 패터닝할 수 있다. 이에 따라 지붕층(360)은 복수의 화소 행을 따라 연결되는 형태로 이루어지게 된다.
- [0103] 다음으로 도 7에 도시된 바와 같이, 지붕층(360)을 마스크로 이용하여 제2 절연층(350) 및 공통 전극(270)을 패

터닝한다. 먼저, 지봉층(360)을 마스크로 이용하여 제2 절연층(350)을 건식 식각한 후 공통 전극(270)을 습식 식각한다.

[0104] 도 8에 도시된 바와 같이, 희생층(300)이 노출된 기관(110) 위에 현상액 또는 스트리퍼 용액 등을 공급하여 희생층(300)을 전면 제거하거나, 애싱(ashing) 공정을 이용하여 희생층(300)을 전면 제거한다.

[0105] 희생층(300)이 제거되면, 희생층(300)이 위치하였던 자리에 미세 공간(305)이 생긴다.

[0106] 화소 전극(191)과 공통 전극(270)은 미세 공간(305)을 사이에 두고 서로 이격되고, 화소 전극(191)과 지봉층(360)은 미세 공간(305)을 사이에 두고 서로 이격된다. 공통 전극(270)과 지봉층(360)은 미세 공간(305)의 상부면과 양 측면을 덮도록 형성된다.

[0107] 지봉층(360), 제2 절연층(350), 및 공통 전극(270)이 제거된 부분을 통해 미세 공간(305)은 외부로 노출되어 있으며, 이를 주입구(307)라 한다. 주입구(307)는 제1 골짜기(V1)를 따라 형성되어 있다. 예를 들면, 주입구(307)는 제1 부화소 영역(PXa)과 제2 부화소 영역(PXb)의 가장자리에 서로 마주보도록 형성될 수 있다. 즉, 주입구(307)는 제1 부화소 영역(PXa)의 하측 변, 제2 부화소 영역(PXb)의 상측변에 대응하여 미세 공간(305)의 측면을 노출시키도록 형성될 수 있다. 이와 상이하게, 주입구(307)가 제2 골짜기(V2)를 따라 형성되도록 할 수도 있다.

[0108] 이어, 기관(110)에 열을 가하여 지봉층(360)을 경화시킨다. 지봉층(360)에 의해 미세 공간(305)의 형상이 유지되도록 하기 위함이다.

[0109] 이어, 스핀 코팅 방식 또는 잉크젯 방식으로 배향 물질이 포함되어 있는 배향액을 기관(110) 위에 떨어뜨리면, 배향액이 주입구(307)를 통해 미세 공간(305) 내부로 주입된다. 배향액을 미세 공간(305)의 내부로 주입한 후 경화 공정을 진행하면 용액 성분은 증발하고, 배향 물질이 미세 공간(305) 내부의 벽면에 남게 된다.

[0110] 따라서, 화소 전극(191) 위에 제1 배향막(11)을 형성하고, 공통 전극(270) 아래에 제2 배향막(21)을 형성할 수 있다. 제1 배향막(11)과 제2 배향막(21)은 미세 공간(305)을 사이에 두고 마주보도록 형성되고, 화소 영역(PX)의 가장자리에서는 서로 연결되도록 형성된다.

[0111] 이 때, 제1 및 제2 배향막(11, 21)은 미세 공간(305)의 측면을 제외하고는 기관(110)에 대해 수직한 방향으로 배향이 이루어질 수 있다. 추가로 제1 및 제2 배향막(11, 21)에 UV를 조사하는 공정을 진행함으로써, 기관(110)에 대해 수평한 방향으로 배향이 이루어지도록 할 수 있다.

[0112] 본 발명의 일 실시예에 따르면, 제1 및 제2 배향막(11, 21)을 형성한 후, 지봉층(360) 위에 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 질화산화물(SiOxNy) 등과 같은 무기 절연 물질로 제3 절연층(370) 및 차단막(375)을 동시에 형성할 수 있다.

[0113] 본 발명의 일 실시예에 따른 제3 절연층(370)은 지봉층(360) 위 뿐만 아니라, 지봉층(360)이 형성되어 있지 않은 제1 골짜기 영역(V1)의 주입구(307)와 중첩되는 위치의 배향막(11) 위에도 함께 형성하여, 차단막(375)을 형성할 수 있다.

[0114] 즉, 주입구(307)에 대응되는 부분에 위치하는 차단막(375)은 제3 절연층(370)과 동일한 물질로 형성할 수 있다.

[0115] 주입구(307)에 형성하는 차단막(375)은 주입구(307) 부근의 미세 공간(305)의 적어도 일부분에도 침범되도록 형성할 수 있으며, 이 경우 미세 공간(305) 내부에 형성되어 있는 화소 전극(191)의 경계부까지 형성할 수 있다.

[0116] 따라서, 제3 절연층(370) 및 차단막(375)의 형성은 스퍼터링(sputtering)으로 형성하는 것이 바람직하나, 미세 공간(305) 내부의 전면에 제3 절연층(370) 및 차단막(375)이 형성되지 않고, 주입구(307) 영역 및 지봉층(360) 위에만 형성할 수 있다면 이에 한정되지 않는다. 이는 예를 들어, 화학 기상 증착(CVD, chemical vapor deposition)과 같은 증착 방법을 이용할 경우 미세 공간(305) 내부면 전체에 제3 절연층(370) 또는 차단막(375)이 형성되어 적절하지 않기 때문이다.

[0117] 주입구(307)에 차단막(375)을 형성하지 않아 배향막(11)이 바로 드러나 있는 경우, 미세 공간(307)으로 액정을 주입할 때 주입구(307)에 형성되어 있는 배향막(11)에 의해 잔류 액정이 발생할 수 있으며, 이러한 잔류 액정들은 추후 표시 장치의 전압 보전율(VHR, voltage holding ratio)이 저하되는 원인이 될 수 있다. 이에 주입구(307)에 존재하는 배향막(11) 상부에 제3 절연층(370)과 동일한 물질로서 차단막(375)을 형성함으로써 잔류 액정에 의한 전압 보전율 저하를 방지할 수 있다.

[0118] 즉, 주입구(307) 상부면에 차단막(375)을 형성되어 있지 않은 경우와 비교할 때, 차단막(375)이 형성되어 있는

경우 주입구(307) 상부면에 존재할 수 있는 잔류 액정을 더욱 손쉽게 제거할 수 있다.

- [0119] 또한, 필요에 따라 제1 절연층(240)이 생략되어 있는 경우, 주입구(307)에 차단막(375)을 형성하여 배향막(11) 하부에 위치한 차광 부재(220)에서 발생할 수 있는 잔류 물질에 의한 액정층의 오염을 방지할 수도 있다.
- [0120] 제3 절연층(370)은 지봉층(360)의 상부면 및 측면을 덮도록 형성하여 지봉층(360)을 보호하는 역할을 수행하도록 한다. 지봉층(360) 위의 제3 절연층(370)의 패턴은 지봉층(360)의 패턴보다 더 바깥쪽에 위치할 수 있다.
- [0121] 제2 절연층(350)의 패턴은 지봉층(360) 위의 제3 절연층(370)의 패턴과 동일하게 이루어질 수 있으며, 이와 달리 제2 절연층(350)의 패턴이 지봉층(360)의 패턴보다 안쪽에 위치하도록 형성할 수도 있다. 이 때, 지봉층(360) 위의 제3 절연층(370)이 제2 절연층(350)과 접촉하도록 형성하는 것이 바람직하다.
- [0122] 또한, 지봉층(360) 위의 제3 절연층(370)은 주입구(307) 부근의 지봉층(360), 제2 절연층(350), 공통 전극(270) 및 제2 배향막(21)의 끝 부분을 적어도 일부분 모두 감싸도록 형성할 수도 있다.
- [0123] 이어, 잉크젯 방식 또는 디스펜싱 방식으로 액정 분자(310)들로 이루어진 액정 물질을 기관(110) 위에 떨어뜨리면, 액정 물질이 주입구(307)를 통해 미세 공간(305) 내부로 주입된다. 이 때, 액정 물질을 흡수 번째 제1 골짜기(V1)를 따라 형성된 주입구(307)에는 떨어뜨리고, 짝수 번째 제1 골짜기(V1)를 따라 형성된 주입구(307)에는 떨어뜨리지 않을 수 있다. 이와 반대로, 액정 물질을 짝수 번째 제1 골짜기(V1)를 따라 형성된 주입구(307)에는 떨어뜨리고, 흡수 번째 제1 골짜기(V1)를 따라 형성된 주입구(307)에는 떨어뜨리지 않을 수 있다.
- [0124] 흡수 번째 제1 골짜기(V1)를 따라 형성된 주입구(307)에 액정 물질을 떨어뜨리면 모세관력(capillary force)에 의해 액정 물질이 주입구(307)를 통과하여 미세 공간(305) 내부로 들어가게 된다. 이 때, 짝수 번째 제1 골짜기(V1)를 따라 형성된 주입구(307)를 통해 미세 공간(305) 내부의 공기가 빠져나감으로써, 액정 물질이 미세 공간(305) 내부로 들어가게 된다.
- [0125] 또한, 액정 물질은 모든 주입구(307)에 떨어뜨릴 수도 있다. 즉, 액정 물질을 흡수 번째 제1 골짜기(V1)를 따라 형성된 주입구(307)와 짝수 번째 제1 골짜기(V1)를 따라 형성된 주입구(307)에 모두 떨어뜨릴 수도 있다.
- [0126] 전술한 바와 같이 액정 물질이 모세관력에 의해 미세 공간으로 주입됨에 있어, 주입구(307)에 떨어뜨려진 액정은 지봉층(360)과 일부 접촉하며 이에 따라 지봉층(360) 및 주입구(307)에 잔류할 수 있다. 그러나 본 발명의 실시예에 따른 제3 절연층(370) 및 차단막(375)이 지봉층(360) 위 및 주입구(307)에 드러나 있는 제1 배향막(11) 위에도 형성되어 있어 간단한 잔류 액정 세척 공정만으로도 지봉층(360) 및 주입구(307) 상부에 존재할 수 있는 잔류 액정을 감소시켜 전압 보전율이 저하되는 것을 방지할 수 있다.
- [0127] 도 9에 도시된 바와 같이, 제3 절연층(370) 및 차단막(375)위에 액정 분자(310)와 반응하지 않는 물질을 증착하여 덮개막(390)을 형성한다. 덮개막(390)은 미세 공간(305)이 외부로 노출되어 있는 주입구(307)를 덮도록 형성하여 미세 공간(305)을 밀봉한다.
- [0128] 이어, 도시는 생략하였으나, 표시 장치의 상하부 면에 편광판을 더 부착할 수 있다. 편광판은 제1 편광판과 제2 편광판으로 이루어질 수 있다. 기관(110)의 하부 면에 제1 편광판을 부착하고, 덮개막(390) 위에 제2 편광판을 부착할 수 있다.
- [0129] 다음으로, 도 10을 참고하여, 본 발명의 다른 실시예에 따른 표시 장치를 설명한다. 이하에서는 전술한 구성 요소는 생략하며, 전술한 구성 요소와 상이한 구성 요소에 대해서만 설명한다.
- [0130] 도 10을 참고하면, 본 발명의 다른 실시예에 따른 표시 장치는 제1 절연층(240)이 색필터(230)에 대응되는 위치에서는 색필터(230) 위에 형성되어 있으나, 차광 부재(220)에 대응되는 위치에서는 차광 부재(220) 밑에 형성되어 있다. 이와 같은 구조는 제1 절연층(240)이 차광 부재(220) 위에 형성되어 있지 않더라도, 차단막(375)이 차광 부재(220)와 중첩되는 위치에도 형성되어 있기 때문에 차광 부재(220)에서 발생할 수 있는 잔류 물질에 의한 액정층의 오염을 방지할 수 있기 때문이다.
- [0131] 그러면, 도 11a 내지 도 11c를 참고하여 본 발명의 일 실시예에 따른 표시 장치의 전압 보전율에 대한 실험예에 대해서 설명한다.
- [0132] 도 11은 본 발명의 일 실시예에 따른 표시 장치의 전압 보전율을 측정하기 위한 실험 모식도이다.
- [0133] 도 11a는 기준예를 나타낸 것이며, 도 11b는 전극 위에 배향막만이 형성된 경우의 비교예를 나타낸 것이고, 도 11c는 본 발명의 일 실시예에 따라 배향막 상부에 무기 절연층이 형성된 실시예를 나타낸 것이다.

[0134] 도 11에 나타난 바와 같이, 실험은 편의상 하부 기관(110) 위에 게이트 절연막(140)이 형성되어 있고, 게이트 절연막(140) 상에 화소 전극(191)과 공통 전극(270)을 일정 거리 이격되어 형성되어 있는 상태에서 측정하였다. 또한, 전극(191, 270) 상부에 배향막(11)이 형성되어 있지 않은 채 하부 기관(110)과 상부 기관(210) 사이에 액정 분자(310)가 형성되어 있는 경우(도 11의 a), 전극(191, 270) 상부에 배향막(11)이 형성되어 있는 경우(도 11의 b), 배향막(11) 상부에 무기 절연층(370)이 추가로 형성되어 있는 경우(도 11의 c)를 비교 측정하였다.

[0135] 이에 따른 전압 보전율을 측정한 결과는 하기 표 1 내지 표 3에 나타내었다.

표 1

기준예	거리(μm)	전압 보전율(%)
	3.5	59.3
	5.5	68.98
	7.5	78.52
	9.5	80.4

표 2

비교예	거리(μm)	전압 보전율(%)
	3.5	0.01
	5.5	0.02
	7.5	55.4
	9.5	54.09

표 3

실시예	거리(μm)	전압 보전율(%)
	3.5	54.48
	5.5	65.02
	7.5	79.86
	9.5	81.32

[0139] 위 표 1 내지 표 3에서 거리는 화소 전극(191)과 공통 전극(270) 간의 거리를 나타낸다. 표 1 내지 표 3에 나타난 바와 같이, 전극(191, 270) 상부에 배향막(11)만이 형성되어 있는 경우 기준예와 비교할 때 전압 보전율이 하락하는 것을 확인할 수 있었으며, 배향막(11) 상부에 무기 절연층(370)을 추가로 형성한 경우 전압 보전율을 기준예와 유사한 수준으로 유지할 수 있음을 확인할 수 있었다.

[0140] 이상과 같은 본 발명의 실시예에 따르면, 무기막을 이용하여, 배향막 상에 존재할 수 있는 잔류 액정의 발생을 최소화하고 잔류 액정으로 인해 발생할 수 있는 전압 보전율(voltage holding ratio, VHR)을 방지할 수 있는 장점이 있다.

[0141] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

[0142] 11: 제1 배향막 21: 제2 배향막

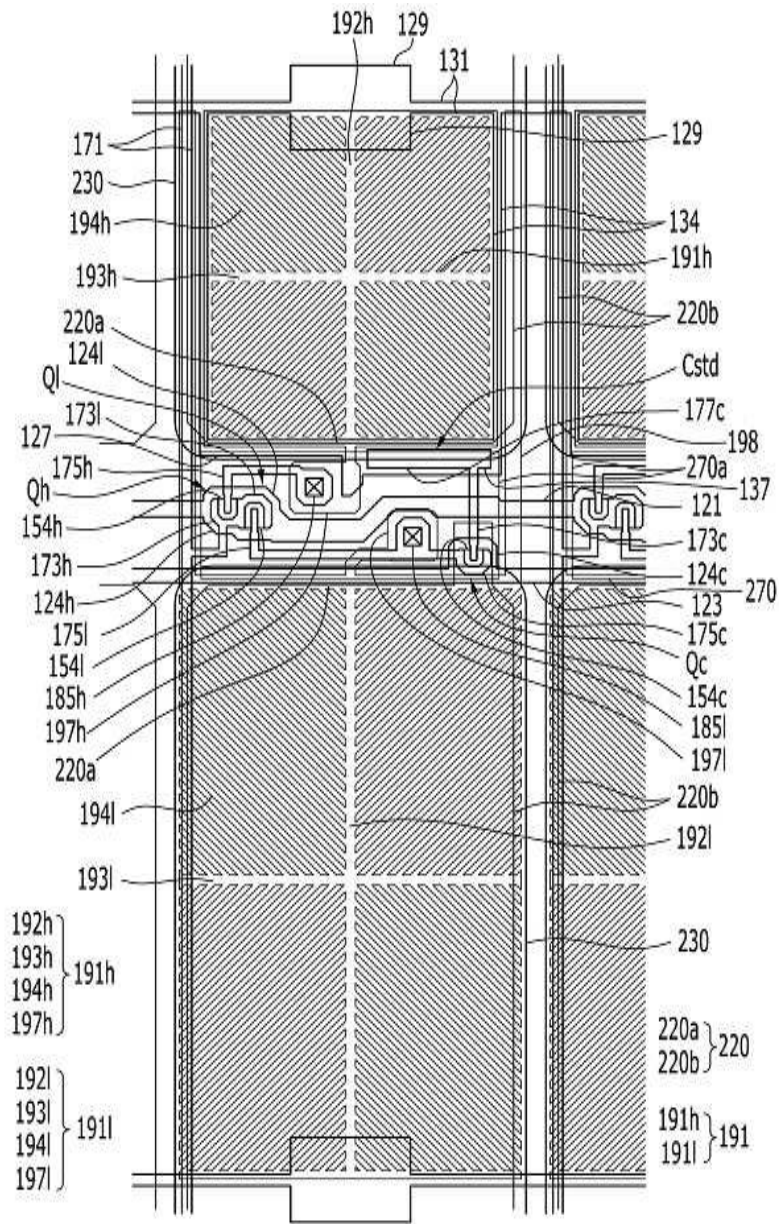
110: 기관 390: 덮개막

121: 게이트선 123: 감압 게이트선

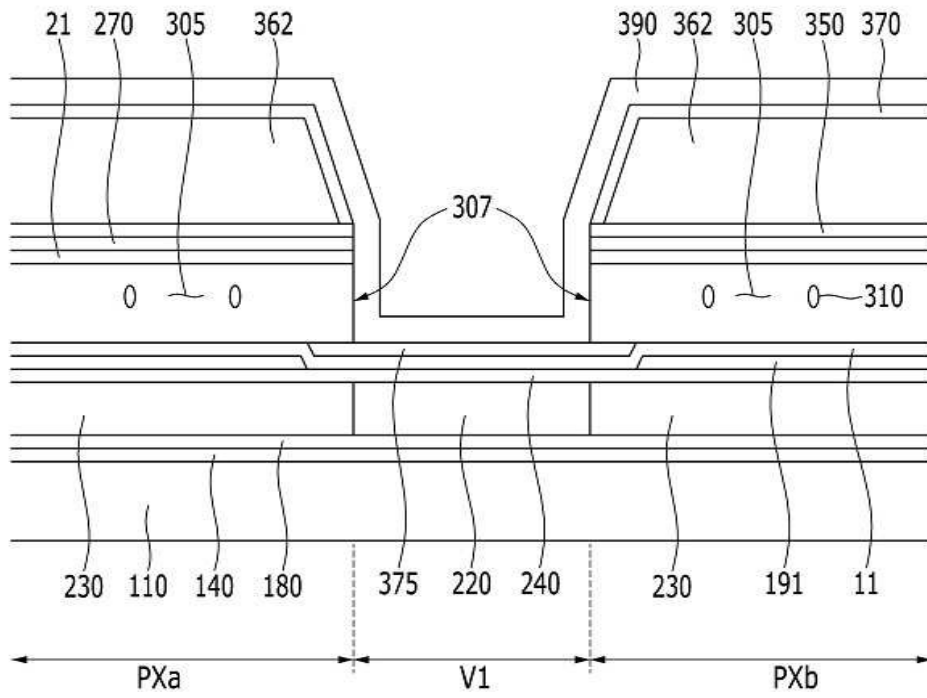
124h: 제1 게이트 전극 124i: 제2 게이트 전극

124c: 제3 게이트 전극 131: 유지 전극선

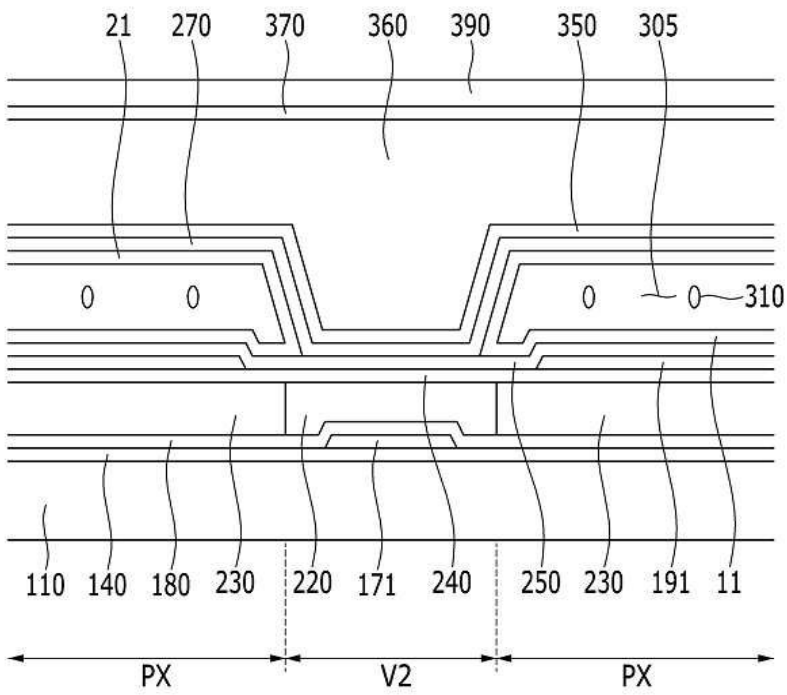
도면2



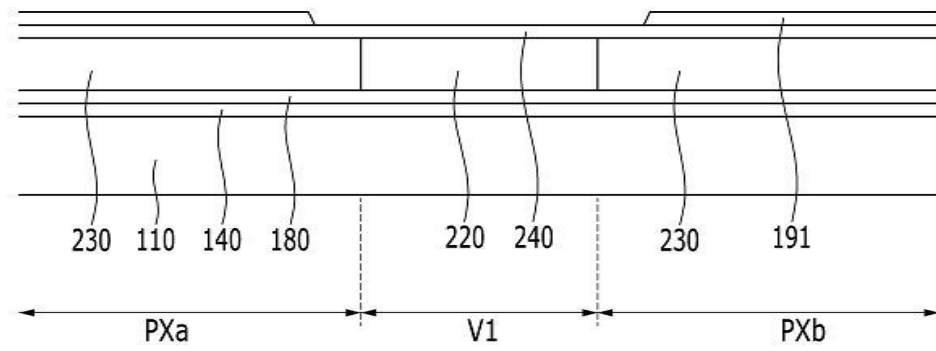
도면3



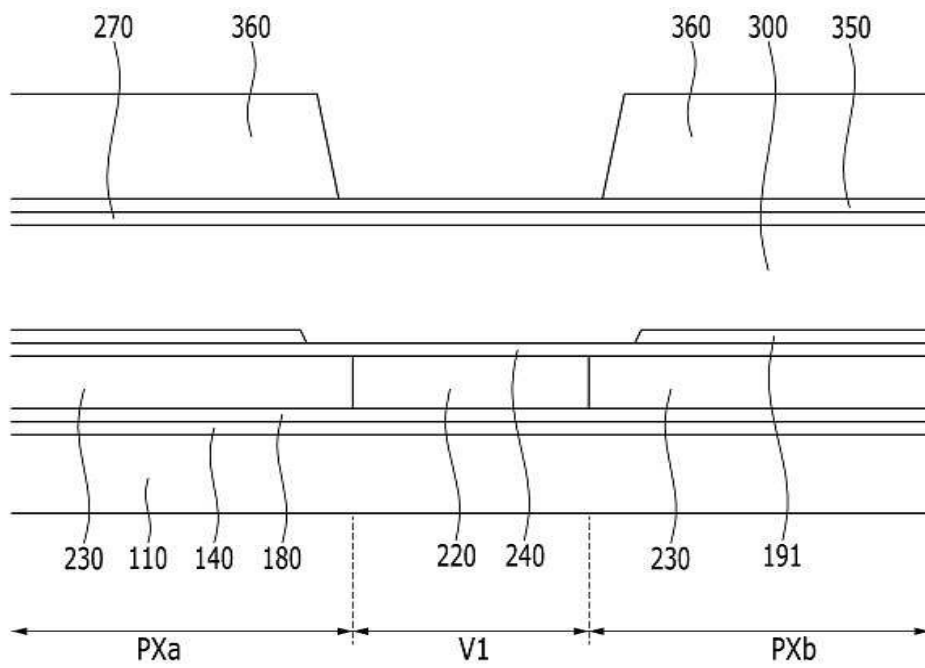
도면4



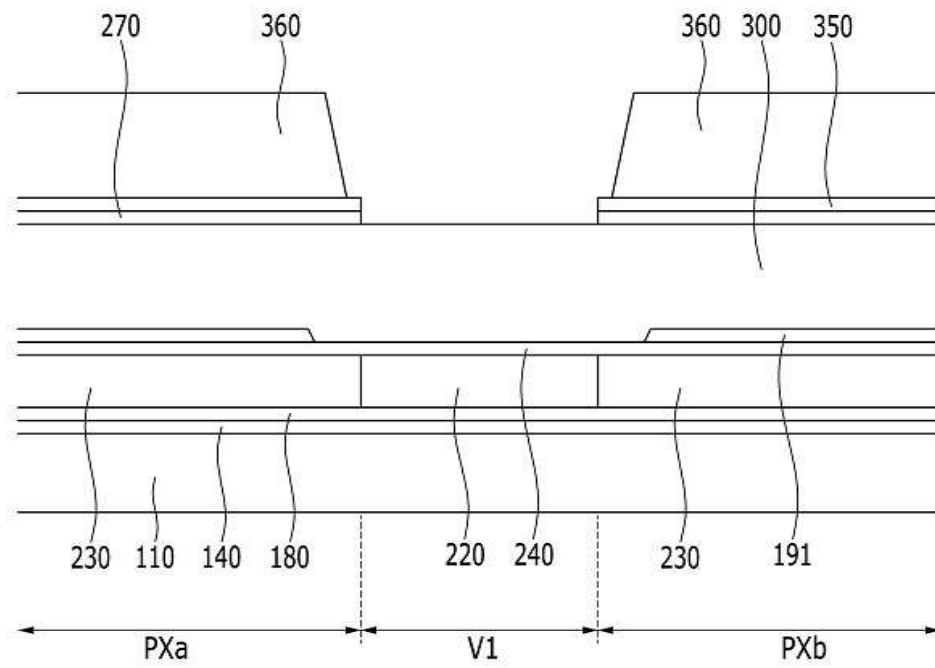
도면5



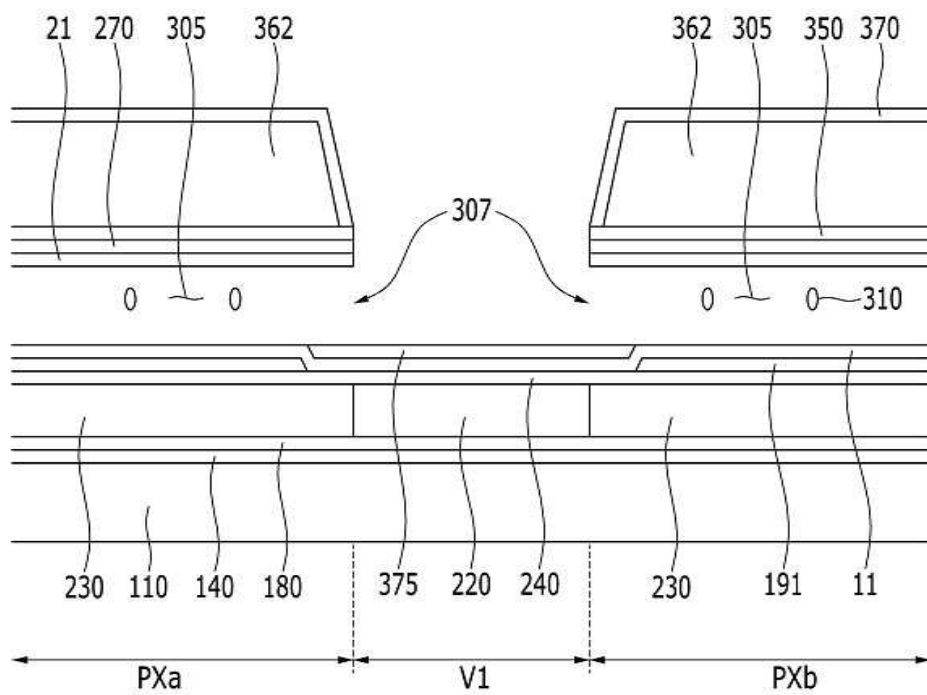
도면6



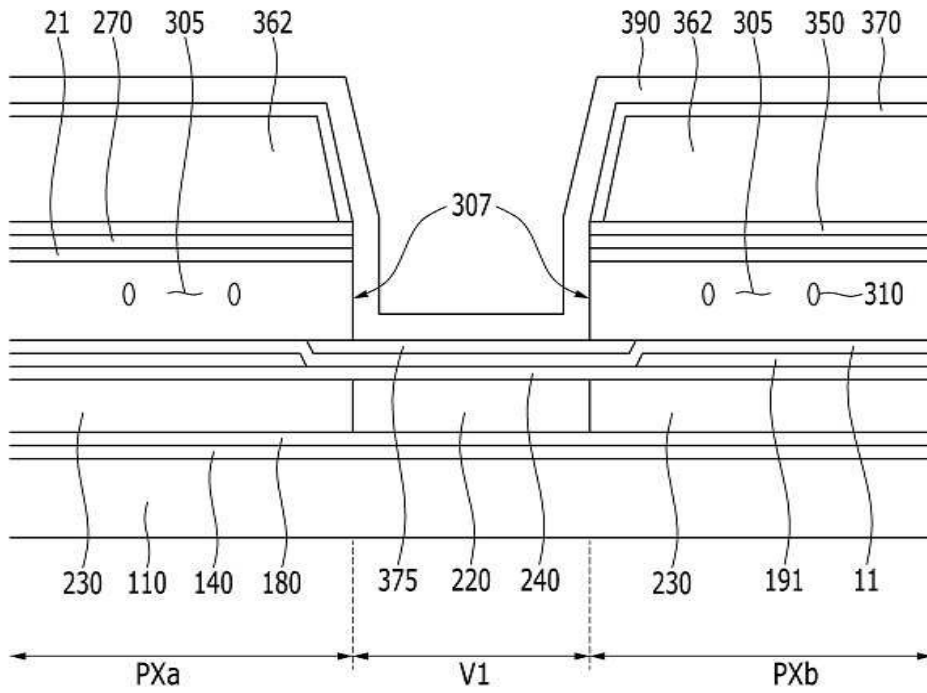
도면7



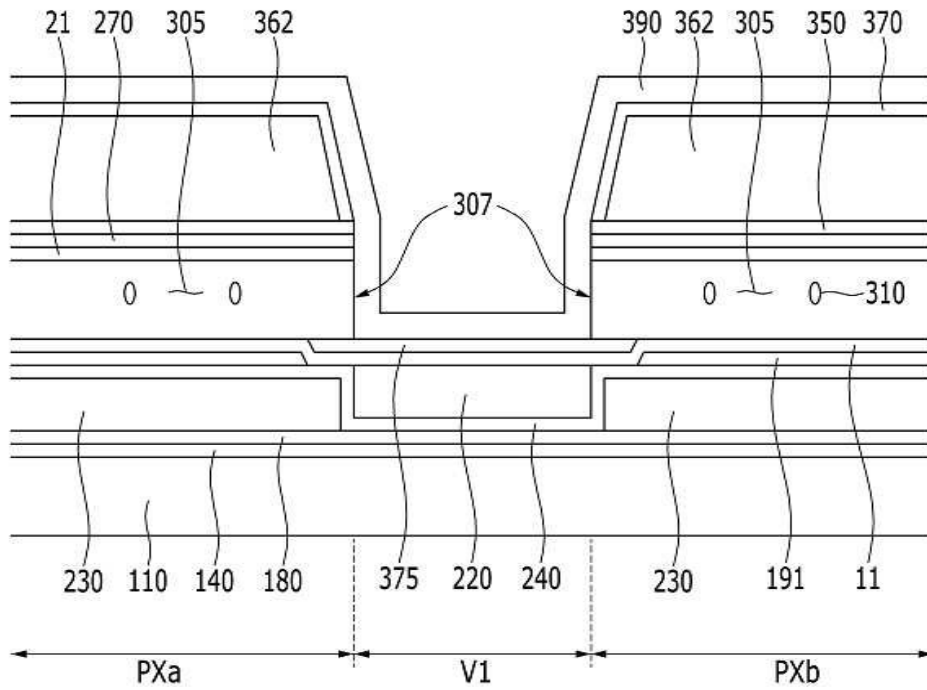
도면8



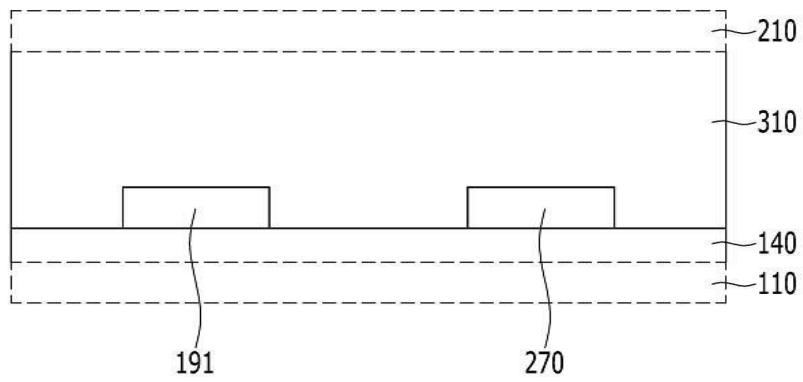
도면9



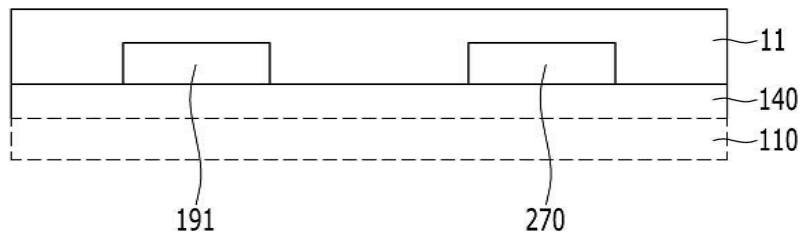
도면10



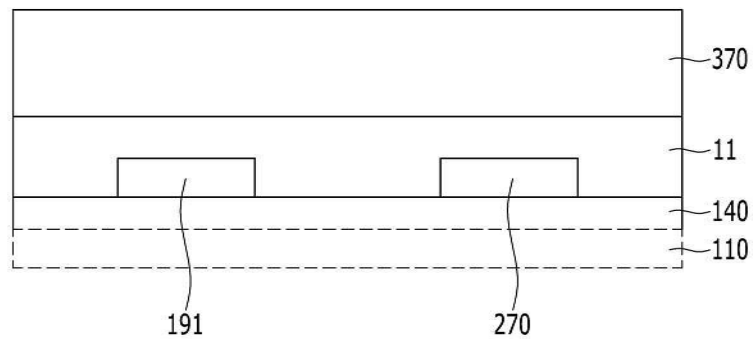
도면11a



도면11b



도면11c



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020160000965A	公开(公告)日	2016-01-06
申请号	KR1020140078244	申请日	2014-06-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JIN YOU YOUNG 진유영 WON SUNG HWAN 원성환 LEE WOO JAE 이우재 CHAE KYUNG TAE 채경태		
发明人	진유영 원성환 이우재 채경태		
IPC分类号	G02F1/1362 G02F1/1337		
CPC分类号	G02F1/133377 G02F1/133345 G02F1/1341		
外部链接	Espacenet		

摘要(译)

提供一种显示装置，包括：包括多个像素区域的基板；形成在基板上的薄膜晶体管；形成在薄膜晶体管上的第一绝缘层；像素电极连接到薄膜晶体管，并形成在第一绝缘层上；填充在像素电极上形成的微空间的液晶层；形成通过微空间与像素电极隔开的公共电极；第二绝缘层和形成在公共电极上的顶层；形成在公共电极，第二绝缘层和顶层上的入口，以部分地暴露微空间；在微空间中和入口的前表面上形成的对准层；第三绝缘层形成在顶层的上部；阻挡层形成在与入口相对应的位置，作为取向层的上部；盖膜用于覆盖入口以密封微空间，并形成在第三绝缘层和阻挡层上。根据本发明，显示装置可以通过使用无机层使可能存在于取向层上的剩余液晶的产生最小化，并且可以防止由于剩余液体可能产生的电压保持率（VHR）。水晶。

