



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0137236

(43) 공개일자 2015년12월09일

(51) 국제특허분류(Int. Cl.)

G02F 1/1339 (2006.01)

(21) 출원번호 10-2014-0064721

(22) 출원일자 2014년05월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이춘탁

경기 고양시 일산서구 가좌2로 22, 602동 1602호  
(가좌동, 가좌마을6단지아파트)

(74) 대리인

김은구, 송해모

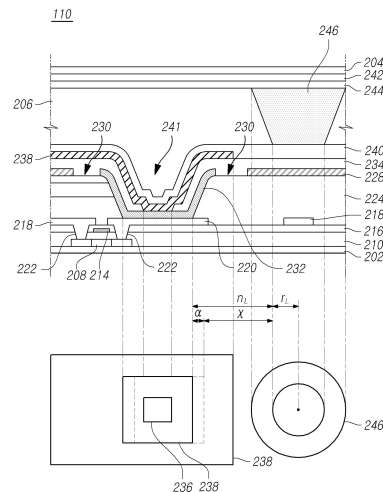
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 표시장치

### (57) 요약

본 발명은, 화소들간 간격이 좁더라도 합착 배열 불량에 발생하지 않는 표시장치를 제공한다.

대표도 - 도3



## 명세서

### 청구범위

#### 청구항 1

제1기판과 제2기판 사이에 위치하는 액정층;

상기 제1기판 상에 제2방향에 위치하며 게이트 신호를 전달하는 게이트 라인;

상기 제1기판 상에 제1방향에 위치하며 데이터 신호를 전달하는 데이터 라인;

상기 게이트 라인과 상기 데이터 라인이 교차되어 정의된 각 화소에 위치한 박막 트랜지스터;

상기 박막 트랜지스터 상에 형성되며, 제1컨택홀이 형성된 제1보호층;

상기 제1보호층 상에 형성된 제2보호층;

상기 제1컨택홀을 통해 상기 박막 트랜지스터의 소스 전극 또는 드레인 전극 중 하나와 연결된 제1전극;

상기 제1전극과 대응되어 상기 위치한 제2전극; 및

상기 제2기판에 형성된 제1컬럼 스페이서를 포함하며,

상기 제1컬럼 스페이서와 제1컨택홀 사이 최단 거리( $n_L$ )는 다음과 같은 수학적 식 1로 표현되는 것을 특징으로 하는 표시장치.

[수학적 식 1]

$$n_L = x + \delta$$

$x_L$ 는 합착 마진을 고려하지 않은 일반적인 설계치이며,  $\delta$ 는 최소 합착 마진( $\alpha$ )과 같거나 크고 제2방향의 상기 데이터 라인과 상기 화소전극단간 최소 이격 거리에 따른 최대 합착 마진( $\beta$ )와 같거나 작다.

#### 청구항 2

제1항에 있어서,

상기 제1보호층은 감광성 화합물로 형성되며, 적어도 상기 제2보호층의 두께보다 두꺼운 것을 특징으로 하는 표시장치.

#### 청구항 3

제1항에 있어서,

상기 공통전극은 상기 제1보호층 상에 위치하고, 상기 화소전극은 상기 제2보호층 상에 위치하고, 상기 제2보호층에 제2컨택홀이 형성되어 있으며, 상기 화소전극은 상기 제1컨택홀과 상기 제2컨택홀을 통해 상기 박막 트랜지스터의 소스 전극 또는 드레인 전극 중 하나와 연결되거나,

상기 공통전극은 상기 제2보호층 상에 위치하고, 상기 화소전극은 상기 제1보호층 상에 위치하는 것을 특징으로 하는 표시장치.

#### 청구항 4

제2항에 있어서,

상기 공통전극이 상기 제1보호층 상에 위치하는 경우 상기 공통전극은 개구부가 형성되어 있고, 상기 개구부 내

에 상기 공통전극과 동일한 재료의 연결패턴이 상기 화소전극과 상기 박막 트랜지스터의 소스 전극 또는 드레인 전극 중 하나 사이에 위치하는 것을 특징으로 하는 표시장치.

#### 청구항 5

제1항에 있어서,

상기 제2기판에 형성된 제2컬럼 스페이서를 추가로 포함하며,

제2컬럼 스페이서의 말단과 제1컨택홀 사이 최단 거리( $n_s$ )는 수학식 2 또는 3으로 표현되는 것을 특징으로 하는 표시장치.

[수학식 2]

$$n_s = x_L + (r_L - r_s)$$

수학식 2에서,  $r_L$ 은 제1컬럼 스페이서의 말단의 반지름을 의미하고  $r_s$ 는 제2컬럼 스페이서의 말단의 반지름을 의미하며,

[수학식 3]

$$n_s = x_L + \delta + (r_L - r_s)$$

#### 청구항 6

제5항에 있어서,

상기 제1컬럼 스페이서는 상기 제2컬럼 스페이서보다 길이가 긴 것을 특징으로 하는 표시장치.

#### 청구항 7

제1항에 있어서,

상기 제1컬럼 스페이서에 대응하는 상기 데이터 라인과 인접한 두개의 화소들의 제1컨택홀들은 동일한 위치에 형성되는 것을 특징으로 하는 표시장치.

#### 청구항 8

제1항에 있어서,

상기 제1컬럼 스페이서에 대응하는 상기 데이터 라인의 상기 제1방향의 모든 인접한 화소들의 제1컨택홀들은 동일한 위치에 형성되는 것을 특징으로 하는 표시장치.

#### 청구항 9

제1항에 있어서,

모든 화소들의 제1컨택홀들은 동일한 위치에 형성되는 것을 특징으로 하는 표시장치.

### 발명의 설명

### 기술 분야

[0001] 본 발명은 영상을 표시하는 표시장치에 관한 것이다.

## 배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기전계발광표시장치(OLED: Organic Light Emitting Diode Display Device) 등과 같은 여러 가지 표시장치가 활용되고 있다.

[0003] 일반적으로, 액정표시장치는 제1기판과 제2기판 사이로 액정층을 개재해서 합착시킨 액정패널을 포함하며, 제1기판과 제2기판의 내면에는 전극이 형성되어, 두 전극에 인가되는 전기장에 의해 액정분자의 배열방향을 변화시켜 투과율 차이를 발생시키게 된다.

[0004] 한편, 제1기판과 제2기판 사이에는 두 기판 사이의 간격을 일정하게 유지하기 위한 스페이서가 위치한다. 스페이서는 형상 및 배치방법에 따라 볼 스페이서(ball spacer)와 컬럼 스페이서(column spacer)로 구분된다. 볼 스페이서는 제1기판 또는 제2기판 상에 산포시켜 형성하고, 컬럼 스페이서는 제1기판 또는 제2기판 상에 패터닝을 통해 형성한다.

[0005] 최근에는 특정 위치에 원하는 형태로 형성 가능한 컬럼 스페이서가 널리 사용되며, 컬럼 스페이서는 상대적으로 공정수가 적은 컬러필터가 형성된 기판 상에 주로 형성된다.

[0006] 한편, 액정표시장치의 해상도가 높아질수록 화소들 간 점점 더 가까워지게 된다. 제1기판과 제2기판 합착시 합착 배열 불량이 발생하게 된다. 이에 따라 갭 얼룩 불량이 발생할 수 있다.

## 발명의 내용

### 해결하려는 과제

[0007] 이러한 배경에서, 본 발명의 목적은, 화소들간 간격이 좁더라도 합착 배열 불량이 발생하지 않는 표시장치를 제공하는데 있다.

### 과제의 해결 수단

[0008] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 제1기판과 제2기판 사이에 위치하는 액정층, 제1기판 상에 제2방향에 위치하며 게이트 신호를 전달하는 게이트 라인, 제1기판 상에 제1방향에 위치하며 데이터 신호를 전달하는 데이터 라인, 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소에 위치한 박막 트랜지스터, 박막 트랜지스터 상에 형성되며, 제1컨택홀이 형성된 제1보호층, 제1보호층 상에 형성된 제2보호층, 제1컨택홀을 통해 박막 트랜지스터의 소스 전극 또는 드레인 전극 중 하나와 연결된 제1전극, 제1전극과 대응되어 상기 위치한 제2전극 및 제2기판에 형성된 제1컬럼 스페이서를 포함하는 표시장치를 제공한다.

[0009] 이때 제1컬럼 스페이서(246)와 제1컨택홀(226) 사이 최단 거리(nL)는 다음과 같은 수학적식으로 표현될 수 있다.

[0010]  $nL = x + \delta$

[0011] xL는 설계치이며,  $\delta$ 는 최소 합착 마진( $\alpha$ )과 같거나 크고 제2방향의 상기 데이터 라인과 상기 화소전극턴간 최소 이격 거리에 따른 최대 합착 마진( $\beta$ )와 같거나 작다.

### 발명의 효과

[0012] 이상에서 설명한 바와 같이 본 발명에 의하면, 표시장치에서 화소들간 간격이 좁더라도 합착 배열 불량이 발생하지 않는 효과가 있다.

### 도면의 간단한 설명

- [0013] 도 1은 일 실시예에 따른 표시장치를 개략적으로 나타낸 도면이다.
- 도 2는 도 1의 표시장치의 A 부분의 평면도이다.
- 도 3은 도 2의 I-I' 선의 단면도이다.
- 도 4a는 일 실시예에 따른 표시장치에서 합착시 제2기관이 이동하지 않은 상태를 도시하고 있고, 도 4b는 일 실시예에 따른 표시장치에서 합착시 제2기관이 이동한 상태를 도시하고 있다.
- 도 5는 다른 실시예에 따른 표시장치의 단면도이다.
- 도 6은 또다른 실시예에 따른 표시장치의 단면도이다.
- 도 7은 또다른 실시예에 따른 표시장치의 단면도이다.
- 도 8는 도 1의 표시장치의 B 부분의 평면도이다.
- 도 9은 도 8의 II-II' 선의 단면도이다.
- 도 10a 내지 도 10c는 일 실시예에 따른 표시장치에서 화소들의 배치를 도시한 패널 일부의 평면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0015] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0016] 본 발명은 화소 전극과 소스/드레인을 컨택시키기 위한 공정을 공통 전극을 형성하는 공정과 결합시켜 공정을 저감하는 구조와 방법을 제공하는데 있다.
- [0017] 도 1은 일 실시예에 따른 표시장치를 개략적으로 나타낸 도면이다.
- [0018] 도 1을 참조하면, 일 실시예에 따른 표시장치(100)는, 패널(110), 데이터 구동부(120) 및 게이트 구동부(130) 등을 포함한다.
- [0019] 패널(110)에는, 복수의 데이터 라인(DL)이 제2방향(예: 세로방향 또는 가로방향)으로 형성되고, 복수의 게이트 라인(GL)이 제1방향(예: 가로방향 또는 세로방향)으로 형성되어, 복수의 데이터 라인(DL)과 복수의 게이트 라인(GL)의 교차 지점마다 대응되어 다수의 화소(P: Pixel)가 정의된다. 여기서, 각 화소는 적색(R) 화소, 녹색(G) 화소, 청색(B) 화소 등 중 하나일 수 있다. 도 1에서 A부분과 B부분은 이후에 설명한 패널(110)에 형성된 화소들의 일예이다. 이때 동그라미로 표시한 부분은 이후에 설명할 컬럼 스페이서를 나타낸다.
- [0020] 이러한 각 화소(P)의 화소 영역에는 소스 전극 또는 드레인 전극이 데이터 라인(DL)과 연결되고, 게이트 전극이 게이트 라인(GL)과 연결되며, 드레인 전극 또는 소스 전극 중 어느 하나가 화소 전극(Pixel Electrode, 픽셀 전극)과 연결된다.
- [0021] 데이터 구동부(120)는, 복수의 데이터 라인(DL)으로 데이터 전압(Vdata) 또는 데이터 신호를 공급한다.
- [0022] 게이트 구동부(130)는, 복수의 게이트 라인(GL)으로 게이트 신호(gate signal) 또는 스캔 신호(Scan Signal)를 순차적으로 공급한다.
- [0023] 한편, 일 실시예에 따른 표시장치(100)는, 데이터 구동부(120) 및 게이트 구동부(130)의 구동 타이밍을 제어하는 타이밍 컨트롤러(Timing Controller, 미도시)를 더 포함할 수 있다.

- [0024] 전술한 데이터 구동부(120)는 적어도 하나의 데이터 구동 집적회로(Data Driver IC; "소스 구동 집적회로"라고도 함)를 포함할 수 있는데, 이러한 적어도 하나의 데이터 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG: Chip On Glass) 방식으로 패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 패널(110)에 직접 형성될 수도 있으며, 경우에 따라서, 패널(110)에 집적화되어 형성될 수도 있다.
- [0025] 전술한 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이 패널(110)의 한 측에만 위치할 수도 있고, 2개로 나누어져 패널(110)의 양측에 위치할 수도 있다.
- [0026] 또한, 게이트 구동부(130)는, 적어도 하나의 게이트 구동 집적회로(Gate Driver IC)를 포함할 수 있는데, 이러한 적어도 하나의 게이트 구동 집적회로는, 테이프 오토메티드 본딩(TAB) 방식 또는 칩 온 글래스(COG) 방식으로 패널(110)의 본딩 패드에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 패널(110)에 직접 형성될 수도 있으며, 경우에 따라서, 패널(110)에 집적화되어 형성될 수도 있다.
- [0027] 일 실시예에 따른 표시장치(100)는, 일 예로, 액정 분자를 수평으로 배열해, 이를 제자리에서 회전시키며 화면을 표현하는 방식으로, 고해상도, 저전력, 광시야각 등에 유리한 장점을 가지는 IPS(In-Plane Switching) 방식의 액정표시장치일 수 있다. 더욱 구체적으로는, AH-IPS(Advanced High Performance-IPS) 방식의 액정표시장치일 수 있다.
- [0028] 도 2는 도 1의 표시장치의 A 부분의 평면도이다. 도 3은 도 2의 I-I' 선의 단면도이다.
- [0029] 도 2 및 도 3을 참조하면, 제1기관(202)과 제2기관(204)이 이격되어 마주대하고 있으며, 제1기관(202)과 제2기관(204) 상에는 영상을 표시하는 개구영역(aperture area: AA)과 영상이 표시되지 않는 차광영역(shielding area: SA)이 정의된다. 제1기관(202)과 제2기관(204) 사이에 액정층(206)이 위치한다.
- [0030] 일 실시예에 따른 표시장치(100)에 포함된 패널(110)에는, 소스영역과 드레인영역을 포함하는 활성화층(또는 액티브층, 208)이 형성되어 있다. 보다 상세히 살펴보면, 활성화층(208)은 예를 들어 비정질 실리콘과 같은 반도체 물질, LTPS, HTPS 등과 같은 폴리 실리콘 등으로 형성될 수 있다. 또한 활성화층(208)은 징크 옥사이드(Zinc Oxide, ZO), 인듐-갈륨-징크-옥사이드(Indium Galliumzinc Oxide, IGZO), 징크-인듐 옥사이드(Zinc Indium Oxide, ZIO), 갈륨이 도핑된 징크 옥사이드(Ga doped ZnO, ZGO)와 같은 산화물 반도체 물질을 사용하여 형성될 수 있다. 활성화층(208)은 트랜지스터의 채널이 된다.
- [0031] 활성화층(208) 상에 게이트 절연층(210)이 형성되어 있다.
- [0032] 제1기관(202)에 게이트 절연층(210) 상에 게이트 라인(212)이 제1방향(가로방향, 도 2에서 좌우 방향)으로 형성되어 있다. 기관(202) 상에 게이트 라인(212)과 연결된 게이트 전극(214)이 형성되어 있다. 게이트 라인(212)과 게이트 전극(214)은 차광영역(SA)에 형성되어 있다.
- [0033] 게이트 라인(212)과 게이트 전극(214) 상에 층간 절연층(216)이 형성되어 있다.
- [0034] 층간 절연층(216) 위에 데이터 라인(218)이 차광영역(SA)에 제2방향(세로방향, 도 2에서 지면에 대한 수직방향)으로 형성되어 있다. 층간 절연층(216) 상에는 소스 전극(218) 및 드레인 전극(220)이 형성되어 있다. 소스 전극(218)은 데이터 라인(218)과 연결되어 있다. 소스 전극(218) 및 드레인 전극(220)은 각각 게이트절연층(210)과 층간 절연층(216)에 형성된 소스/드레인 콘택홀(222)을 통해 활성화층(208)의 소스영역 및 드레인영역과 연결되어 있다.
- [0035] 게이트 전극(214)과 활성화층(208), 소스 전극(218) 및 드레인 전극(220)은 박막트랜지스터(T)를 구성하며, 활성화층(208)은 박막트랜지스터(T)의 채널이 된다.
- [0036] 소스 전극(218)과 드레인 전극(220) 상에 제1보호층(224)이 형성되어 있다. 이때 제1보호층(224)에는 드레인 전극(220)의 일부를 노출하는 제1컨택홀(226)이 형성되어 있다. 제1컨택홀(226)의 평면형상은 사각형, 예를 들어 직사각형 또는 정사각형일 수 있으나 이에 제한되지 않는다.
- [0037] 제1보호층(224)은 무기물, 예를 들어 SiO<sub>2</sub>, SiN<sub>x</sub>, 또는 유기물, 예를 들어 포토 아크릴 등으로 형성될 수 있으나 본 발명이 이에 한정되는 것은 아니다. 제1보호층(224)은 데이터 라인(218)과 후술하는 화소 전극 사이에 데이터 부하(data load)를 줄여 소비 전력을 저감하기 위해, 포토 아크릴과 같은 감광성 화합물인 PAC(photo Active Compound) 또는 PAG(photo acid generator) 등으로 형성될 수 있다. 이 감광성 화합물은
- [0038] 또한 제1보호층(224)은 무기 절연층으로 형성되는 다른 절연층들, 예를 들어 층간 절연층(216) 및 후술하는 제2

보호층에 비해 두께가 두꺼울 수 있다. 예를 들어 제1보호층(224)의 두께는 2~3 $\mu$ m일 수 있으나 이에 제한되지 않는다. 따라서, 제1보호층(224)의 제1컨택홀(226)은 상대적으로 급경사를 형성하게 된다.

[0039] 제1보호층(224) 상에는 공통전극(228)이 형성된다. 공통전극(228)은 투명 도전성 물질, 예를 들어 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등으로 이루어질 수 있다. 공통전극(228)은 제1기판(202) 전면에 형성되어 있다. 공통전극(228)은 박막트랜지스터(T)의 드레인 전극(220)에 대응하여 개구부(230)를 가진다. 이 개구부(230)의 일부에는 공통전극(228)과 동일한 재료의 연결패턴(232)이 이 개구부(230) 내에 제1컨택홀(226)을 통해 드레인 전극(220) 및 제1컨택홀(226) 상에 형성되어 있다.

[0040] 공통전극(228) 상에는 제2보호층(234)이 형성되어 있다. 제2보호층(234)은 산화실리콘이나 질화실리콘과 같은 무기절연물질로 이루어져 있다. 제2보호층(234)의 두께는 제1보호층(226)의 두께보다 상대적으로 작을 수 있다. 제2보호층(234)은 제1보호층(226)과 함께 드레인 전극(220)을 노출하는 제2컨택홀(236)을 가진다. 제2컨택홀(236)은 공통전극의 개구부(230) 내에 위치한다. 제2컨택홀(236)의 평면형상은 사각형, 예를 들어 직사각형 또는 정사각형일 수 있으나 이에 제한되지 않는다. 제2컨택홀(236)은 제1컨택홀(226) 내에 제1컨택홀(226)보다 작은 면적으로 형성되어 있다.

[0041] 제2보호층(234) 상에, 각 화소 영역의 개구영역(AA)의 화소 전극(238)이 형성되어 있다. 화소 전극(238)은 투명 도전성 물질, 예를 들어 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등으로 이루어질 수 있다. 화소 전극(238)은 제1컨택홀(226)과 제2컨택홀(236)을 통해 드레인 전극(220)에 연결된다. 화소 전극(238)과 드레인 전극(220) 사이에 공통전극(228)과 동일한 재료로 동일한 공정에 의해 형성되는 연결패턴(232)이 위치한다.

[0042] 화소전극(238)은 제1방향으로 연장되고 제2방향을 따라 이격된 다수의 전극패턴들(240)과 이 전극패턴들(240)과 연결된 화소전극용 연결패턴(243)을 포함한다. 화소전극용 연결패턴(243)은 제1컨택홀(226)과 제2컨택홀(236)을 통해 공통전극용 연결패턴(232) 및 드레인 전극(220)과 접촉할 수 있다.

[0043] 화소전극(238) 상에는 배향막(240)이 형성되며, 배향막은 제1방향을 따라 러빙된다. 배향막(240) 상에 제1컨택홀(226)이 형성된 위치에 제1컨택홀(226)의 경사부(241)가 형성된다. 전술한 바와 같이 제1컨택홀(226)의 두께가 다른 절연층에 비해 상대적으로 두껍기 때문에 제1컨택홀(226)에 의해 형성되는 경사부(241)도 급경사를 이루게 된다.

[0044] 제2기판(204) 상에 블랙 매트릭스(Black Matrix, 242), 칼라 필터(Color Filter, 미도시) 등이 형성되어 있다. 블랙 매트릭스(242)와 칼라 필터 상에 제2배향막(244)이 형성되어 있다. 블랙 매트릭스(242)에 대응하는 제2배향막(244) 상에 제1컬럼 스페이스(246)가 형성되어 있다. 제2기판(204)의 내면에는 차광영역(SA)에 대응하여 블랙매트릭스(242)가 형성되고, 블랙매트릭스(242) 상에는 컬러 필터가 형성되며, 컬러필터 상에는 제2배향막(246)이 형성된다. 또한, 블랙매트릭스(242)에 대응하는 제2배향막(264) 상에는 제1컬럼 스페이스(246)가 형성되어 있다.

[0045] 이때 제1컬럼 스페이스(246)는 예를 들어 제2기판으로부터 제1기판 상으로 지름의 크기가 작아지는 절개된 원뿔형상일 수 있으나, 다른 어떤 단면형상일 수 있다. 제1컬럼 스페이스(246)는 해당 화소 또는 인접한 화소의 데이터 라인(218)에 대응하는 차광 영역에 위치할 수 있다. 한 개의 제1컬럼 스페이스(246)가 하나의 화소마다 형성될 수도 있으나, 일정한 간격, 예를 들어, 제1방향을 따라 8개의 화소마다 배치되고, 제2방향을 따라 4개의 화소마다 배치될 수 있다.

[0046] 제1컬럼 스페이스(246)는 제1기판(202)의 제1배향막(240)에 맞닿아 셀갭을 유지하는 셀갭 컬럼 스페이스의 역할을 한다.

[0047] 제1컬럼 스페이스(246)의 말단의 반지름의 크기가  $r_L$ 이라고 할 때 제1컬럼 스페이스(246)의 말단과 제1컨택홀(226) 사이 최단 거리( $nL$ )는 다음과 같은 수학적식과 같을 수 있다.

[0048] [수학식 1]

[0049]  $nL = x + \delta$

[0050]  $xL$ 는 공정설계에 따른 합착 마진을 고려하지 않은 일반적인 설계치이며,  $\delta$ 는 최소 합착 마진( $\alpha$ )과 같거나 크고 제2방향의 데이터 라인과 화소전극의 연결패턴간 최소 이격 거리에 따른 최대 합착 마진( $\beta$ )와 같거나 작다 ( $\alpha \leq \delta \leq \beta$ ).

- [0051] 표시장치의 해상도가 높아짐으로서 제1보호층의 제1컨택홀(226)과 셀갭용 제1컬럼 스페이스(246)의 이격 거리가 줄어들게 된다. 예를 들어 QHD 표시장치에서 해상도가 2560×1440으로 기존 풀HD(1920×1080)의 두 배에 달하고, 화면 인치당 픽셀 수는 538ppi일 수 있다. 이와 같이 표시장치의 해상도가 높아지면서 제1보호층(224)의 제1컨택홀(226)과 셀갭용 제1컬럼 스페이스(246)의 이격 거리를 최소 합착 마진( $\alpha$ )과 같거나 크게 유지하므로 제1컬럼 스페이스(246)이 제1컨택홀(226)의 경사부(241)에 빠지는 것을 막을 수 있다. 이에 따라 제1컬럼 스페이스(246)가 제1컨택홀(226)의 경사부(241)에 빠져 발생하는 갭 얼룩 불량을 개선할 수 있다.
- [0052] 한편, 제1컨택홀(226)을 제1컬럼 스페이스(246)로부터 최대한 멀리 위치하므로 제1컬럼 스페이스(246)가 제1컨택홀(226)의 경사부(241)에 빠지지 않게 할 수 있다. 그러나, 화소간 간격이 좁아져 드레인 전극(220) 상에 형성되고 화소전극의 연결패턴이 드레인 전극과 연결되는 제1컨택홀(226)을 제1컬럼 스페이스(246)에 최대한 멀리 이격시키더라도 화소전극의 연결패턴과 인접한 데이터 라인이 접촉 불량, 예를 들어 쇼트(short)되지 않는 설계 마진을 유지해야 한다. 제1컨택홀(226)과 셀갭용 제1컬럼 스페이스(246)의 이격 거리는 제2방향의 데이터 라인과 화소전극의 연결패턴간 최소 이격 거리에 따른 최대 합착 마진과 같거나 작을 수 있다.
- [0053] 예를 들어 제1컬럼 스페이스(246)의 중심이 이 데이터 라인의 제1방향의 가운데에 위치할 경우 제1컬럼 스페이스(246)의 중심(또는 데이터 라인의 제1방향의 가운데)과 제1컨택홀(226) 사이 최단 거리(nL)는 다음과 같은 수학적 식 2로 표현할 수도 있다.
- [0054] [수학적 식 2]
- [0055]  $nL = x + \delta + rL$
- [0056] xL는 합착 마진을 고려하지 않은 일반적인 설계치이며,  $\delta$ 는 최소 합착 마진( $\alpha$ )과 같거나 크고 제2방향의 데이터 라인과 화소전극의 연결패턴간 최소 이격 거리에 따른 최대 합착 마진( $\beta$ )과 같거나 작다( $\alpha \leq \delta \leq \beta$ ).
- [0057] 예를 들어 xL는 2.5 $\mu$ m일 때 최소 합착 마진( $\alpha$ )은 1.75 $\mu$ m일 경우 제1컬럼 스페이스(246)의 말단과 제1컨택홀(226) 사이 최단 거리(nL)의 최소값은 3.75일 수 있다.
- [0058] 도 4a는 일 실시예에 따른 표시장치에서 합착시 제2기관이 이동하지 않은 상태를 도시하고 있고, 도 4b는 일 실시예에 따른 표시장치에서 합착시 제2기관이 이동한 상태를 도시하고 있다.
- [0059] 도 4b에 도시한 제1컬럼 스페이스(246)의 말단과 제1컨택홀(226) 사이 최단 거리가 설계치에 적어도 합착 최소 오차보다 크기 때문에 합착시 제2기관(204)이 이동하여 제1컬럼 스페이스(246)의 말단이 제1컨택홀(226)에 삽입되는 것을 예방할 수 있다.
- [0060] 한편, 제1컬럼 스페이스(246)의 말단이 제1컨택홀(226)에 삽입되지 않도록 제1컬럼 스페이스(246)의 말단과 제1컨택홀(226) 사이 최단 거리를 최대한 크게 할 수 있으나, 표시장치의 해상도가 높아 화소의 폭이 좁아 제1컨택홀을 제1컬럼 스페이스(246)로부터 멀리 위치시키는데 한계가 있다.
- [0061] 또한 도 3의 부분평면도 상의 점선으로 표시한 위치, 제1컬럼 스페이스(246)로부터 설계치만큼의 거리에 제1컨택홀(226)이 형성되었다면, 제1컬럼 스페이스(246)의 말단과 제1컨택홀(226)의 최단 거리(nL)가 xL이다. 따라서, 도 4a에 도시한 바와 같이 제1기관(202)과 제2기관(204) 합착시 제2기관(204)이 이동하지 않는 경우 문제가 없으나, 도 4b에 도시한 바와 같이 제1기관(202)과 제2기관(204) 합착시 제2기관(204)이 이동하면 제1컬럼 스페이스(246)가 제1컨택홀(226)에 삽입될 수 있다.
- [0062] 도 3을 도시한 바와 같이 공통전극(228)의 개구부(230)에 연결패턴(232)이 제1보호층(224)의 제1컨택홀(226)을 통해 드레인 전극(220) 상에 형성된 것으로 설명하였다. 도 5에 도시한 바와 같이 공통전극(228)의 개구부(230)에 도 3에 도시된 연결패턴(232)이 제1보호층(224)의 제1컨택홀(226)을 통해 드레인 전극(220) 상에 형성되어 있지 않을 수 있다. 이때 화소전극이 제1컨택홀과 제2컨택홀을 통해 드레인 전극에 직접 접촉할 수 있다.
- [0063] 도 2 및 도 3에 도시한 바와 같이 제1컬럼 스페이스(246)와 제1컨택홀(226)의 최단 거리가 수학적 식 1의 거리 관계를 유지하 이에 따라 제2컨택홀(236)도 제1컬럼 스페이스(246)로부터 합착 최소 오차만큼 제1컬럼 스페이스(246)로 이격된 것으로 설명하였으나, 두께가 두꺼운 제1보호층(224)의 제1컨택홀(226)의 경사부(241)에 제1컬럼 스페이스(246)가 빠지지 않으면 되므로 도 6에 도시한 바와 같이 제1컬럼 스페이스(246)와 제1컨택홀(226)의 최단 거리가 수학적 식 1의 거리 관계를 유지하고 제2컨택홀(236)은 제1컬럼 스페이스(246)로부터 설계치만큼만 이격될 수도 있다.
- [0064] 도 2에 도시한 바와 같이 일 실시예에 따른 표시장치에서 공통전극(228)이 제1기관(202) 전면에서 형성되고 공통

전극(228)과 중첩하여 화소전극(238)이 형성된 구조를 설명하였으나, 공통전극(228)과 화소전극(238)은 각각 다수의 전극패턴을 포함하고, 화소영역에서 서로 번갈아 배치될 수도 있다. 또는, 도 7에 도시한 바와 같이 화소전극(238)이 화소영역에 대응하는 면적으로 전면에서 형성되고, 화소전극(238) 상의 공통전극(228)이 형성될 수 있다. 이때 공통전극(228)은 도 3에 도시한 화소전극(238)과 동일하게 다수의 전극패턴들이 형성될 수 있다.

[0065] 도 8는 도 1의 표시장치의 B 부분의 평면도이다. 도 9은 도 8의 II-II' 선의 단면도이다.

[0066] 도 8 및 도 9를 참조하면, 일 실시예에 따른 표시장치의 B 부분의 화소구조는 전체적으로 도 2의 A부분의 화소구조와 동일하되, 도 3에 도시한 바와 같이 A부분의 화소구조에서 제2기판(204)에 제1컬럼 스페이스(246)가 형성되고, 수학식 1로 표현되는 거리관계를 갖는 제1컨택홀(226)이 형성된 반면, B부분의 화소구조에서 제2기판(204)에 제2컬럼 스페이스(248)가 형성되어 있고, 제2컬럼 스페이스(248)와 수학식 2의 거리 관계를 갖는 제1컨택홀(226)이 형성되어 있다.

[0067] 구체적으로, 제2컬럼 스페이스(248)는 제1컬럼 스페이스보다 높이가 작은 컬럼 스페이스이다, 제2기판에 형성된 제2컬럼 스페이스(248)는 제1기판에 형성된 제1배향막과 이격되어 있다. 제1컬럼 스페이스(246)는 제1기판과 제2기판의 셀갭을 유지하는 셀갭 컬럼 스페이스의 역할을 한다. 제2컬럼 스페이스(248)는 제2기판에 놓였을 때 제1기판과 제2기판의 간격을 유지하는 돌출 컬럼 스페이스의 역할을 한다.

[0068] 제2컬럼 스페이스(248)의 말단의 반지름의 크기가  $r_s$ 이라고 할 때 제2컬럼 스페이스(248)의 말단과 제1컨택홀 사이 최단 거리( $nS$ )는 다음과 같은 수학식 3과 같을 수 있다.

[0069] [수학식 3]

[0070] 
$$nS = xL + (rL - r_s)$$

[0071] 수학식 3에서  $x$ 는 수학식 1과 동일한 설계치이며,  $rL$ 은 제1컬럼 스페이스(246)의 말단의 반지름을 의미하고  $r_s$ 는 제2컬럼 스페이스(248)의 말단의 반지름을 의미한다.

[0072] 따라서, 제2컬럼 스페이스(248)와 제1컨택홀(226) 사이 최단 거리는 설계치+(제1컬럼 스페이스와 제2컬럼 스페이스의 반지름의 차이)만큼 떨어져 있다.

[0073] 따라서, 도 4b에 도시한 바와 같이 제1기판과 제2기판의 합착시 이동하더라도 제2컬럼 스페이스(248)가 작아 제1컨택홀(226)로부터 충분히 이격되어 있으므로 제2기판(204)의 돌출에 의해 제2컬럼 스페이스(248)의 말단이 제1컨택홀(226)의 경사부(241)에 빠지지 않을 수 있다.

[0074] 제2컬럼 스페이스(248)의 말단과 제1컨택홀 사이 최단 거리( $nS$ )는 다음과 같은 수학식 4와 같을 수 있다.

[0075] [수학식 4]

[0076] 
$$nS = xL + \delta + (rL - r_s)$$

[0077] 수학식 4에서  $\delta$ 는 수학식 1에서 정의한 바와 동일할 수 있다.

[0078] 결과적으로 화소구조 측면에서 제1컨택홀(226)의 위치는 도 2 및 도 3에서 도시한 바와 동일하게 된다. 따라서, 패널(110)의 모든 화소구조에서 제1컨택홀(226)이 동일한 위치에 위치하게 될 수 있다.

[0079] 도 2 및 도 3에 도시한 바와 같이 제1컬럼 스페이스(246)의 말단과 제1컨택홀(226) 사이 최단 거리( $nL$ )가 수학식 1로 표현되는 화소 구조는 제1컬럼 스페이스(246)에 대응하는 데이터 라인이 형성된 화소들 중 제1컬럼 스페이스(246)와 제1컨택홀(226)의 이격 거리가 짧은 화소에만 구현될 수도 있다.

[0080] 또한, 도 10a에 도시한 바와 같이 데이터라인과 인접한 두개의 화소들에만 구현될 수도 있고, 도 10b에 도시한 바와 같이 제1컬럼 스페이스에 대응하는 데이터라인과 인접한 두개의 화소들의 모두에 구현될 수도 있고, 도 10c에 도시한 바와 같이 패널의 모든 화소에 구현될 수도 있다. 이와 관련하여 도 10a 내지 도 10c를 참조하여 아래에서 상세히 설명한다.

[0081] 도 10a 내지 도 10c는 일 실시예에 따른 표시장치에서 화소들의 배치를 도시한 패널 일부의 평면도이다.

[0082] 도 10a 내지 도 10c에 도시한 것처럼, 각각은 하나의 화소영역에 대응하는 적, 녹, 청의 부화소(R, G, B)가 하나의 화소(PXL)를 이룬다. 이때

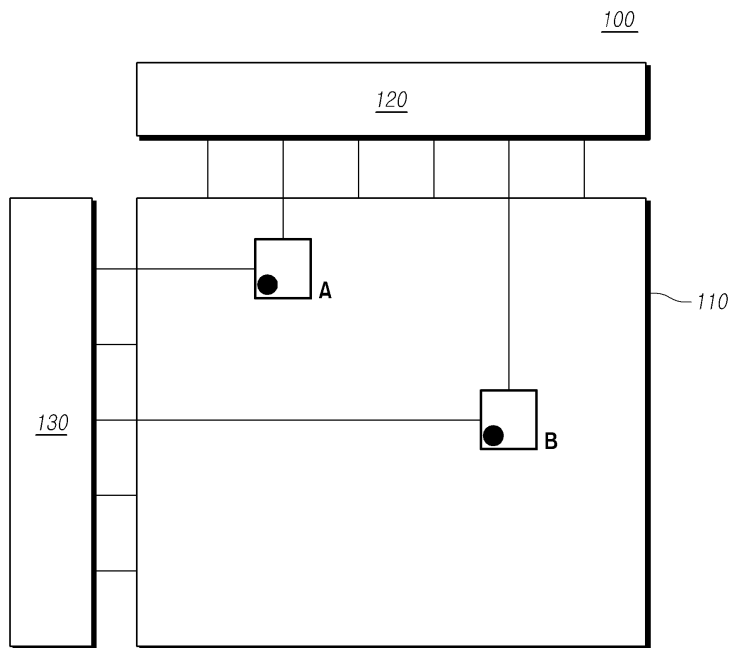
[0083] 제1 컬럼 스페이스를 나타내며, 사각형은 제2 컬럼 스페이스를 나타낸다. 부화소들 중 점선으로 표시한 부화소는 제2컬럼 스페이스의 존재 여부와 무관하게 도 8 및 도 9를 참조하여 설명한 화소구조를 가지며, 실선으로 표

시한 부화소는 제1컬럼 스페이스의 존재 여부와 무관하게 도 2 및 도 3을 참조하여 설명한 화소구조를 갖는다.

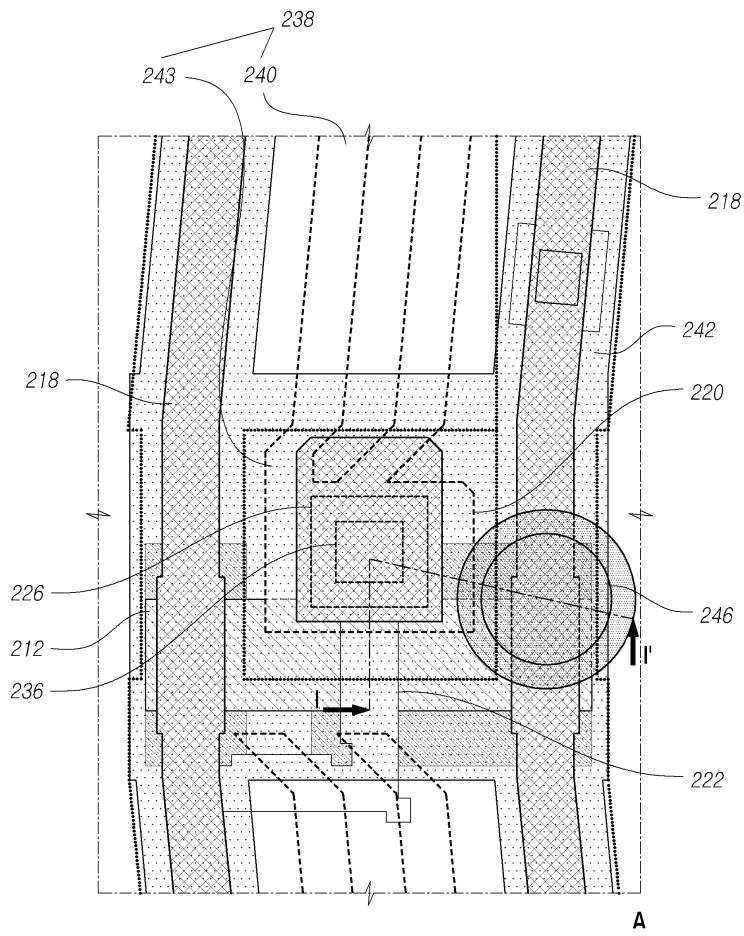
- [0084] 이때, 제1 컬럼 스페이스의 배치 밀도는 제2 컬럼 스페이스의 배치 밀도보다 높을 수 있다. 일례로, 제1방향을 따라 하나 화소마다 제1 컬럼 스페이스가 배치되고, 제2방향을 따라 6개의 화소들마다 제1 컬럼 스페이스가 배치될 수 있다. 아울러 예를 들어, 4개의 제1컬럼 스페이스는 도 10a 내지 도 10c에 도시한 바와 같이 마름모 형상을 이루도록 배치될 수 있다.
- [0085] 도 10a에 도시한 바와 같이 데이터라인과 인접한 두개의 부화소들, 예를 들어 적색 부화소(R)과 청색 부화소(B) 사이 데이터 라인에 대응하여 제1컬럼 스페이스가 형성된 경우 데이터라인과 인접한 적색 부화소(R)과 청색 부화소(B)에만 도 2 및 도 3에 도시한 화소구조를 형성할 수 있다. 따라서, 제1컬럼 스페이스에 대응하는 데이터라인과 인접한 적색 부화소(R)과 청색 부화소(B)의 제1컬럼 스페이스의 말단과 제1컨택홀 사이 최단 거리(nL)는 수학식 1로 표현될 수 있다. 다시 말해 제1컬럼 스페이스가 형성되지 않은 경우라도 데이터 라인에 대응하는 제1컬럼 스페이스가 형성된 위치와 동일한 가상의 제1컬럼 스페이스의 말단과 제1컨택홀 사이 최단 거리는 수학식 1로 표현될 수 있다.
- [0086] 도 10b에 도시한 바와 같이 데이터라인과 인접한 두개의 부화소들, 예를 들어 적색 부화소(R)과 청색 부화소(B) 사이 데이터 라인에 대응하여 제1컬럼 스페이스가 형성된 경우 제1컬럼 스페이스에 대응하는 데이터라인과 인접한 제1방향을 모든 적색 부화소(R)과 청색 부화소(B)의 제1컬럼 스페이스(246)의 말단과 제1컨택홀(226) 사이 최단 거리(nL)는 다음과 같은 수학식 1로 표현될 수 있다.
- [0087] 도 10c에 도시한 바와 같이 패널의 모든 부화소들의 제1컬럼 스페이스의 말단과 제1컨택홀 사이 최단 거리(nL)는 다음과 같은 수학식 1로 표현될 수 있다.
- [0088] 도 10b 및 도 10c에 도시한 바와 같이 제1컬럼 스페이스에 대응하는 데이터 라인에 인접한 모든 두개의 부화소들을 수학식 1로 표현되는 제1컬럼 스페이스의 말단과 제1컨택홀 사이 최단 거리(nL)를 유지하므로 제1기판 상에 마스크 공정에서 패턴 검사시 정합성을 추가로 상승시킬 수 있다.
- [0089] 표시장치의 해상도가 높아질수록 박막 트랜지스터 상 제1보호층의 컨택홀의 거리가 점점 더 가까워지게 된다. 실시예들에 따르면, 박막트랜지스터가 형성된 제1기판과 컬러 필터가 형성된 제2기판과의 합착 마진 확보하므로 컬러 필터 내의 셀갭용 컬럼 스페이스의 제1보호층의 컨택홀의 경사부에 빠지는 것을 막을 수 있다. 다시 말해 셀갭용 컬럼 스페이스와 제1보호층의 컨택홀 사이 설계 마진을 확보하여 합착 배열 불량을 최소화할 수 있다.
- [0090] 결과적으로 표시장치의 해상도에도 제1보호층의 제1컨택홀과 셀갭용 컬럼 스페이스 사이 충분한 이격 거리를 확보하므로 액정 체적 이동에 따른 갭 얼룩 불량을 개선할 수 있다.
- [0091] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

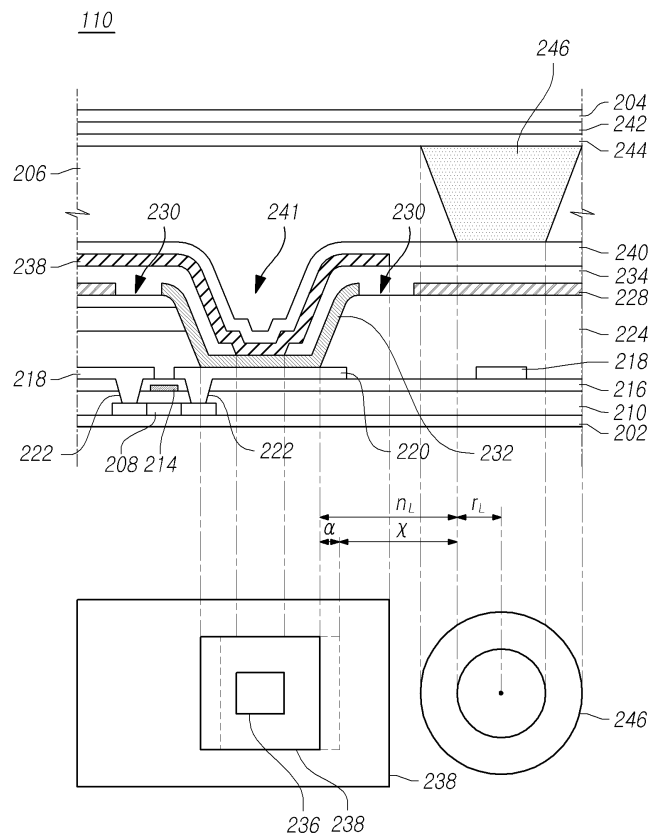
도면1



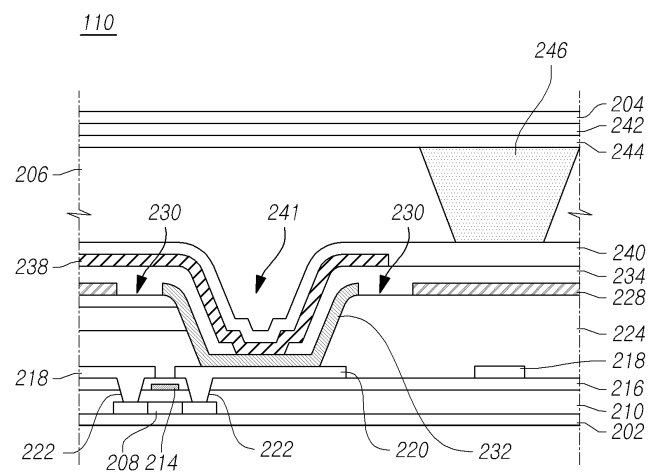
도면2



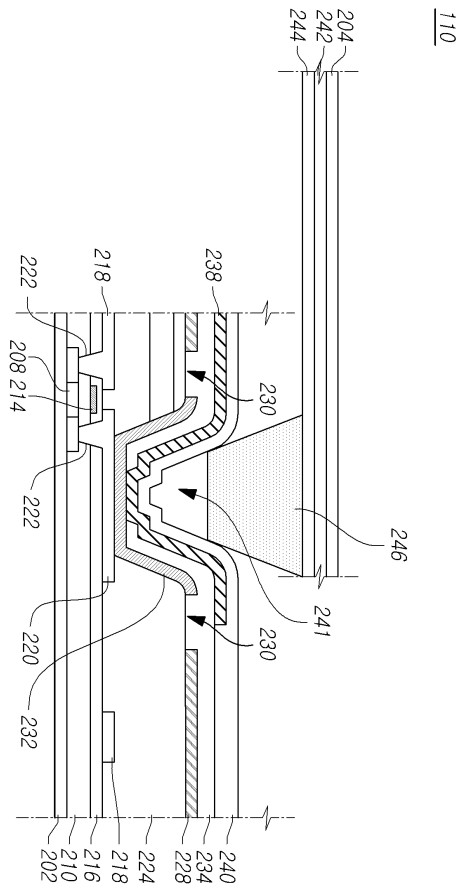
도면3



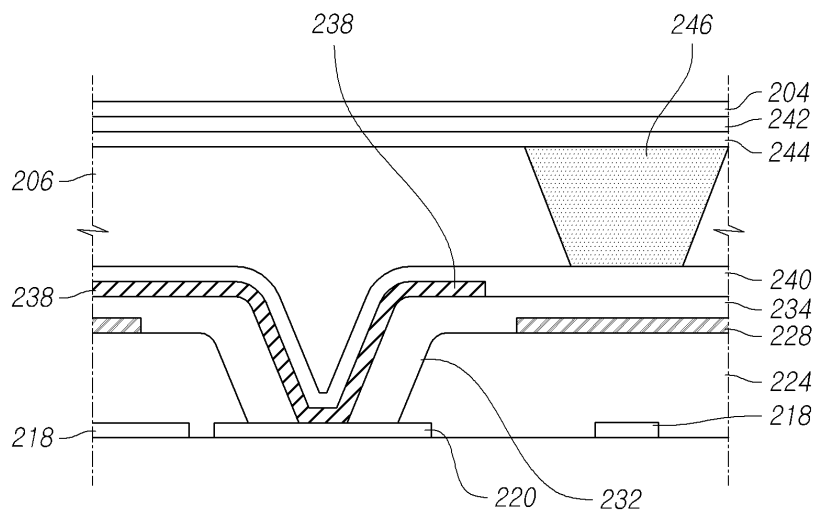
도면4a



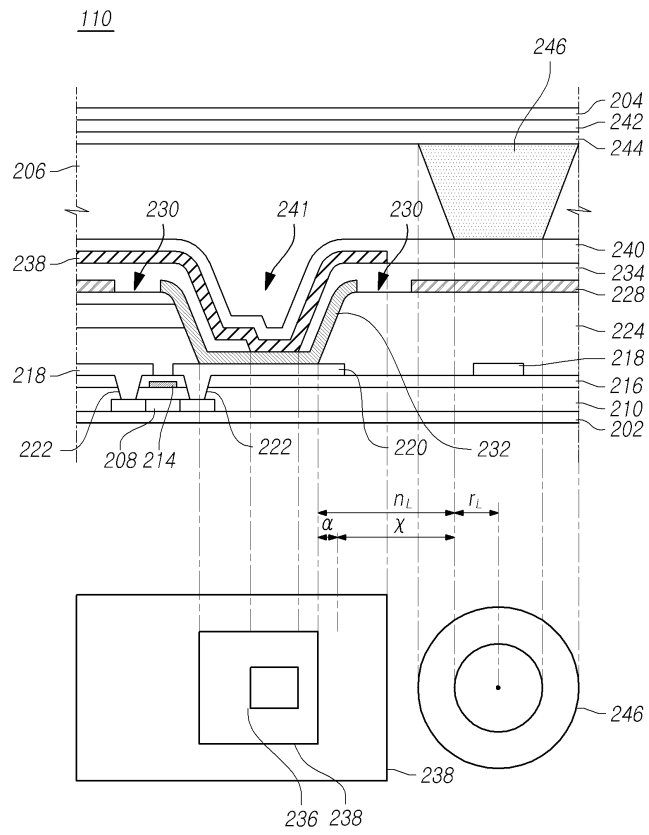
도면4b



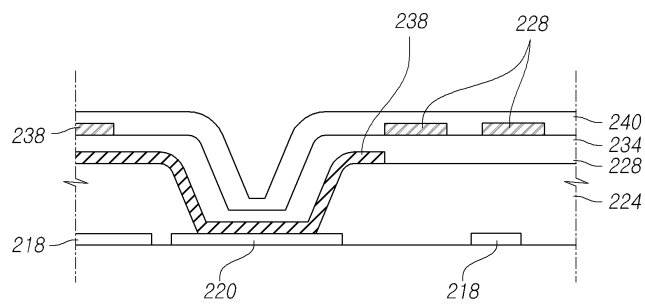
도면5



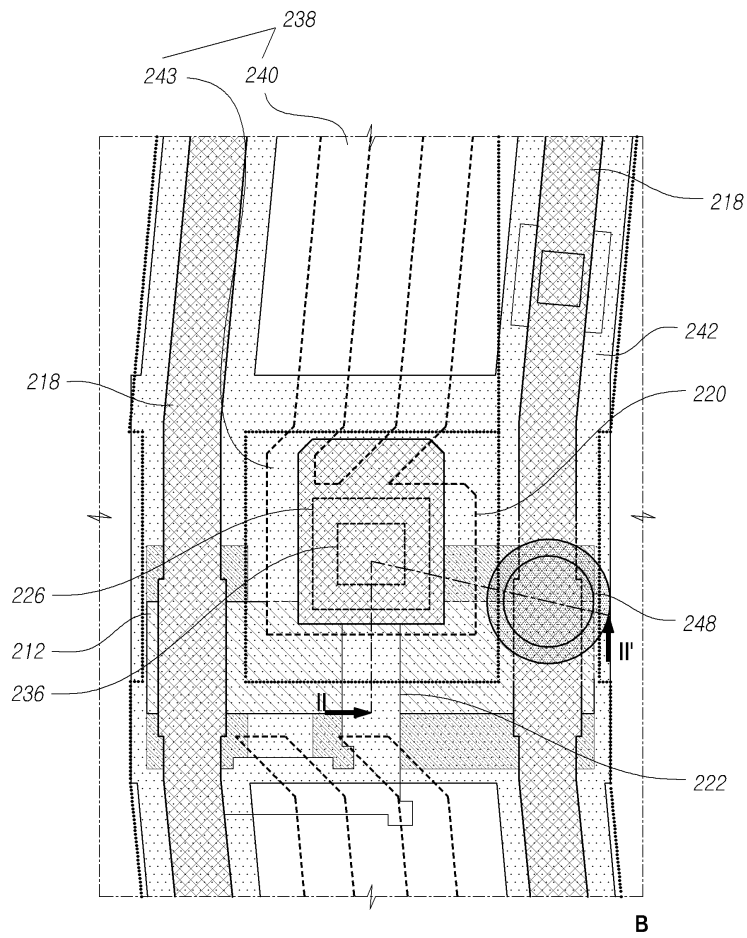
도면6



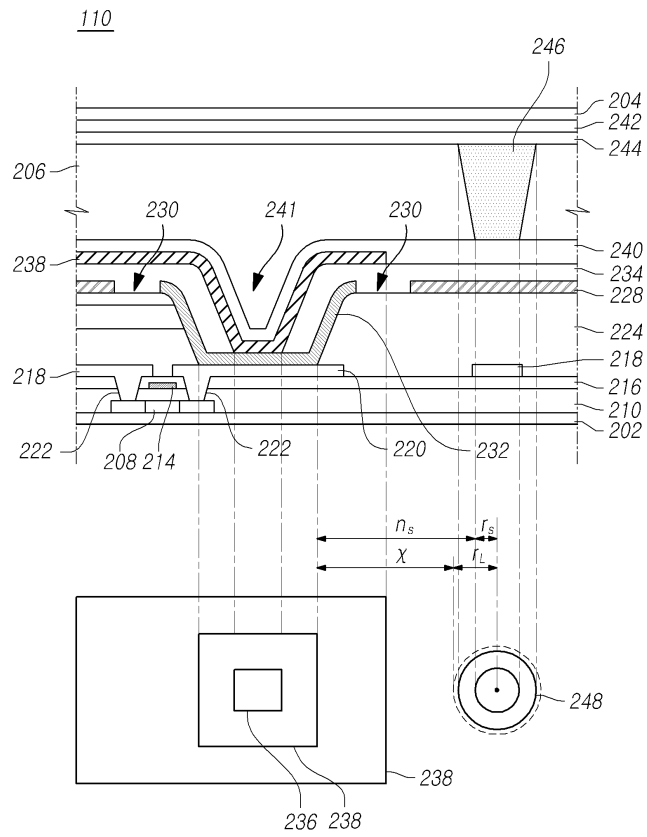
도면7



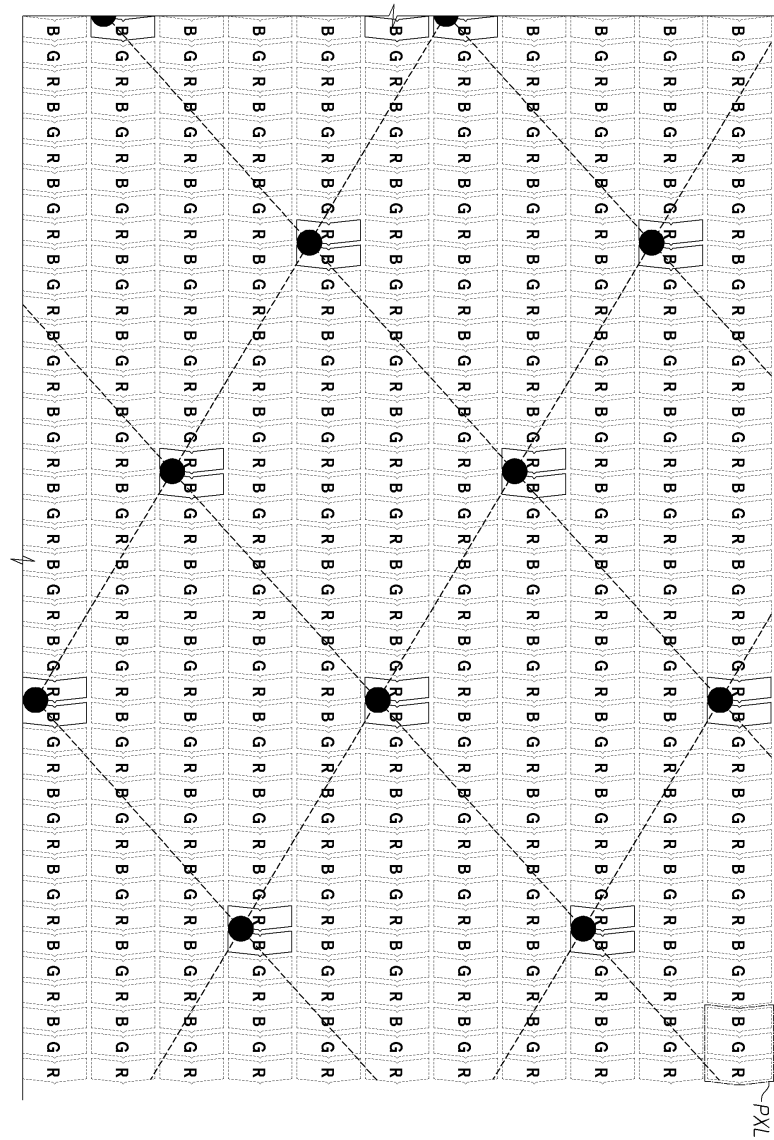
도면8



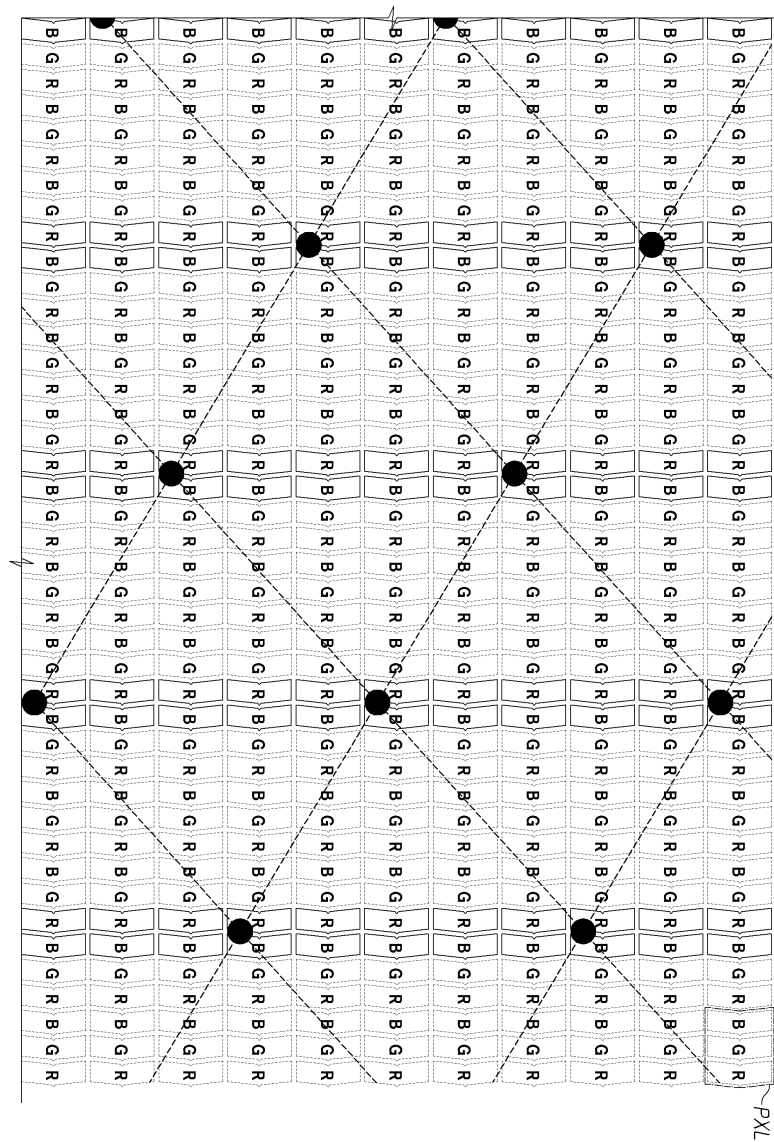
도면9



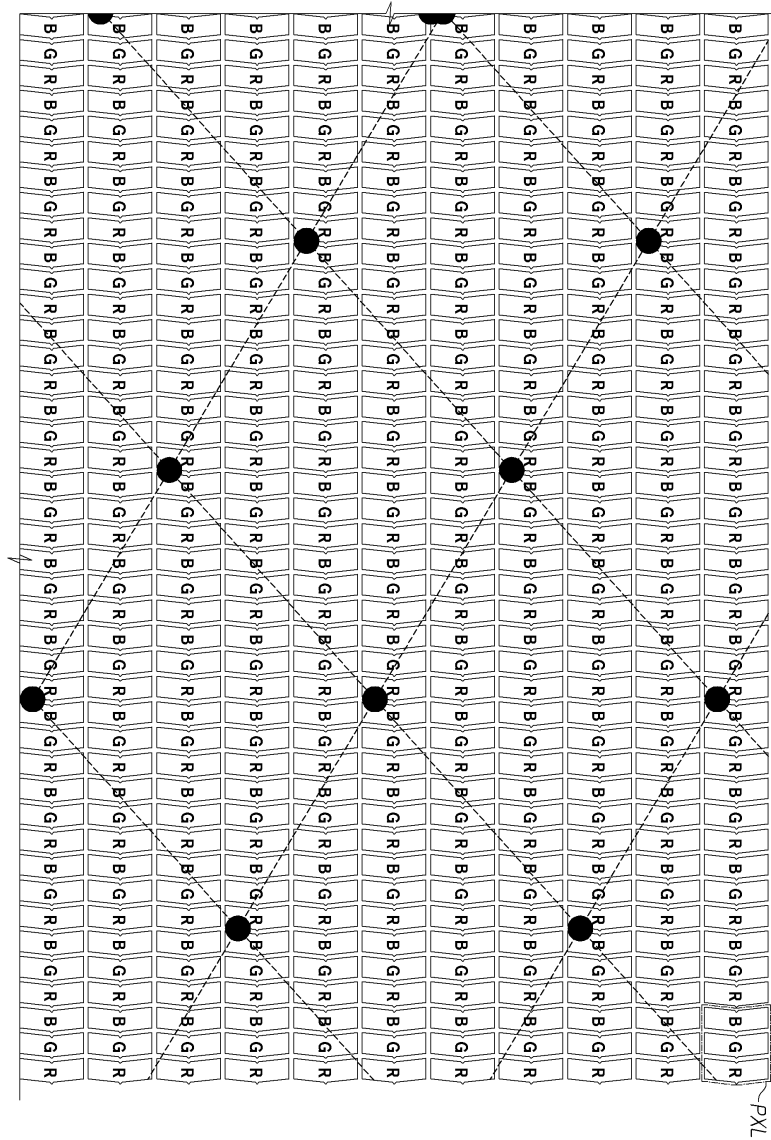
도면10a



도면10b



도면10c



|                |                                                                                                         |         |            |
|----------------|---------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示装置的标题                                                                                                 |         |            |
| 公开(公告)号        | <a href="#">KR1020150137236A</a>                                                                        | 公开(公告)日 | 2015-12-09 |
| 申请号            | KR1020140064721                                                                                         | 申请日     | 2014-05-28 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                                                |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                                               |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                                               |         |            |
| [标]发明人         | LEE CHUN TAK<br>이춘탁                                                                                     |         |            |
| 发明人            | 이춘탁                                                                                                     |         |            |
| IPC分类号         | G02F1/1339                                                                                              |         |            |
| CPC分类号         | G02F1/1333 G02F1/13394 G02F1/136227 G02F1/1368 G02F2001/133354 G02F1/1337 G02F2001/13396 G02F2001/13398 |         |            |
| 代理人(译)         | Gimeungu<br>宋.                                                                                          |         |            |
| 其他公开文献         | KR102101028B1                                                                                           |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                               |         |            |

#### 摘要(译)

本发明提供一种显示装置，其中即使像素之间的间隔窄，也不会发生内聚排列故障。该显示装置包括：位于第一基板和第二基板之间的液晶层；栅极线位于第一基板上的第二方向上并传送栅极信号；数据线位于第一基板上的第一方向上并传送数据信号；薄膜晶体管，位于由相交的栅极线和数据线限定的每个像素上；第一保护层，形成在薄膜晶体管上并具有接触孔；形成在第一保护层上的第二保护层；第一电极，通过第一接触孔连接到薄膜晶体管的源电极和漏电极中的至少一个；第二电极，其对应于第一电极；以及在第二基板上形成的第一柱状隔离物。COPYRIGHT KIPO 2016

