



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0033020

(43) 공개일자 2015년04월01일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G02F 1/1343 (2006.01)

G02F 1/1345 (2006.01)

(21) 출원번호 10-2013-0112463

(22) 출원일자 2013년09월23일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

장훈

경기 파주시 금바위로 47, 210동 804호 (와동동, 가람마을8단지동문굿모닝힐)

이준동

경기 안양시 동안구 관평로138번길 63, 705동 306호 (평촌동, 초원부영아파트)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 10 항

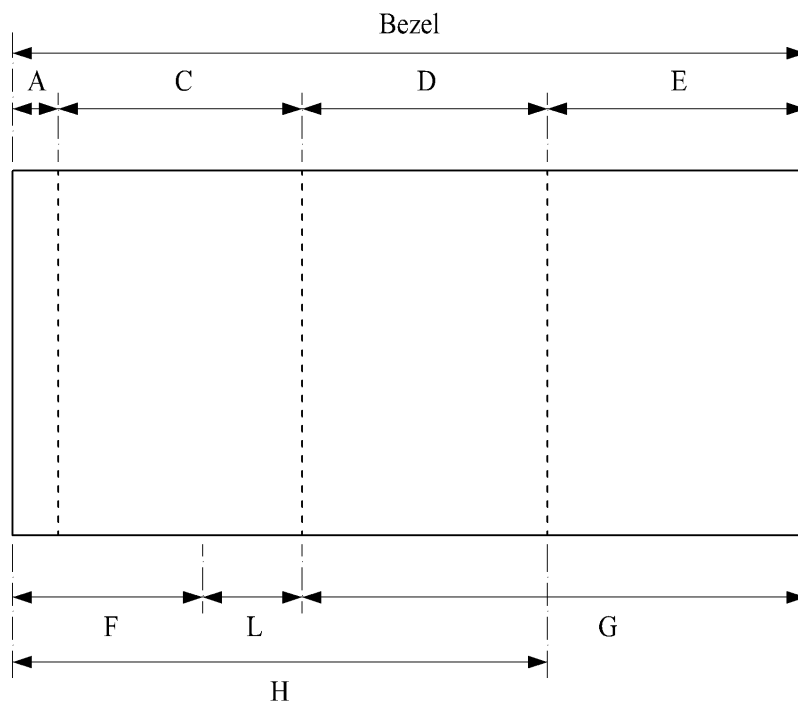
(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로서, 특히, 투명한 제1공통전극라인과 불투명한 제2공통전극라인으로 형성되어 있는 공통전극이 GIP 영역, 블랙매트릭스 영역 및 셀링영역을 커버하도록 형성되어 있는, 액정표시장치를 제공하는 것을 기술적 과제로 한다. 이를 위해, 본 발명에 따른 액정표시장치는, 영상이 표시되는

(뒷면에 계속)

대표도 - 도5



액티브영역과, 상기 액티브영역의 외곽에 형성되는 베젤을 포함하는 패널; 및 상기 액티브영역에 형성되어 있는 게이트 라인들과 데이터 라인들을 구동하기 위한 드라이버를 포함하고, 상기 베젤은, 상기 패널을 형성하는 상부 기판과 하부기판을 합착시키기 위한 셀이, 형성되어 있는 셀링영역; 상기 셀링영역과 이격되어 있는 영역으로부터 상기 액티브영역에 형성되어 있는 블랙매트릭스 영역; 및 투명한 제1공통전극라인과, 불투명한 제2공통전극라인을 포함하는 공통전극이, 상기 블랙매트릭스 영역 및 상기 셀링영역과 중첩되도록 형성되어 있는 공통전극 영역을 포함한다.

명세서

청구범위

청구항 1

영상이 표시되는 액티브영역과, 상기 액티브영역의 외곽에 형성되는 베젤을 포함하는 패널; 및 상기 액티브영역에 형성되어 있는 게이트 라인들과 데이터 라인들을 구동하기 위한 드라이버를 포함하고,

상기 베젤은,

상기 패널을 형성하는 상부기관과 하부기관을 합착시키기 위한 셸이, 형성되어 있는 셸링영역;

상기 셸링영역과 이격되어 있는 영역으로부터 상기 액티브영역에 형성되어 있는 블랙메트릭스 영역; 및

투명한 제1공통전극라인과, 불투명한 제2공통전극라인을 포함하는 공통전극이, 상기 블랙메트릭스 영역 및 상기 셸링영역과 중첩되도록 형성되어 있는 공통전극 영역을 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 공통전극은, 상기 하부기관에 형성되어 있고, 상기 블랙메트릭스는 상기 상부기관에 형성되어 있으며, 상기 셸은 상기 상부기관 및 상기 하부기관 사이에 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 공통전극 영역은,

상기 액티브영역에 형성되는 박막트랜지스터의 게이트전극을 커버하는 게이트 절연막;

상기 게이트 절연막 상단에 형성되는 중간층;

상기 중간층 상단에 형성되며, 상기 박막트랜지스터의 소스전극 및 드레인전극이 형성되어 있는 전극층;

상기 전극층 상단에 형성되는 절연층;

상기 절연층 상단에 형성되는 제1공통전극라인 및 제2공통전극라인을 포함하는 공통전극이 형성되어 있는 공통전극층; 및

상기 공통전극을 보호하는 보호층을 포함하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1공통전극라인은,

상기 액티브영역에 형성되어 있는 상기 픽셀들 각각에 연장되어 있으며, 상기 제2공통전극라인을 통해 공통전압을 인가받는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 베젤에는,

상기 액티브영역과 인접되어 있고, 상기 게이트 라인들에 스캔펄스를 공급하는 GIP가 형성되어 있으며, 상기 공통전극 영역과 중첩되는 GIP 영역; 및

상기 GIP에 시그널을 공급하는, GIP 라인들이 형성되어 있는 GIP 시그널 영역이 형성되어 있는 것을 특징으로

하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 GIP 및 상기 GIP 라인들은 상기 하부기판에 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 GIP 영역에는, Q노드와 저준위 전압라인(VGL)에 의해 형성되는 Q노드 캐패시터 및 QB노드와 상기 저준위 전압라인(VLG)에 의해 형성되는 QB노드 커패시터가 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 GIP 영역은,

상기 Q노드를 형성하는 Q노드전극 또는 상기 QB노드를 형성하는 QB노드전극으로 이용되는 노드전극이 형성되어 있는 노드전극층;

상기 노드전극층 상단에 형성되어 있는 중간층;

상기 중간층 상단에 형성되어 있는 절연층;

상기 절연층 상단에 형성되어 있고, 상기 중간층과 상기 절연층에 형성되어 있는 콘택홀을 통해 상기 노드전극층과 연결되어 있으며, 상기 Q노드 캐패시터의 제1전극 또는 상기 QB노드 캐패시터의 제1전극으로 이용되는 제1캐패시터전극이 형성되어 있는 제1캐패시터전극층;

상기 제1캐패시터전극층 상단에 형성되어 있는 보호층; 및

상기 보호층 상단에 형성되어 있으며, 상기 Q노드 캐패시터의 제2전극 또는 상기 QB노드 캐패시터의 제2전극으로 이용되는 제2캐패시터전극이 형성되어 있는 제2캐패시터전극층을 포함하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 제1캐패시터전극은, 상기 공통전극이 형성되어 있는 층에, 상기 공통전극과 동일한 물질로 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 10

제 7 항에 있어서,

상기 GIP 영역은,

상기 Q노드를 형성하는 Q노드전극 또는 상기 QB노드를 형성하는 QB노드전극으로 이용되는 노드전극이 형성되어 있는 노드전극층;

상기 노드전극층 상단에 형성되어 있는 중간층;

상기 중간층 상단에 형성되어 있는 절연층;

상기 절연층 상단에 형성되어 있으며, 상기 Q노드 캐패시터의 제2전극 또는 상기 QB노드 캐패시터의 제2전극으로 이용되는 제2캐패시터전극이 형성되어 있는 제2캐패시터전극층;

상기 제2캐패시터전극층 상단에 형성되어 있는 보호층; 및

상기 보호층 상단에 형성되어 있으며, 상기 Q노드 캐패시터의 제1전극 또는 상기 QB노드 캐패시터의 제1전극으로 이용되는 제1캐패시터전극이 형성되어 있는 제1캐패시터전극층을 포함하며,

상기 노드전극은 상기 제1캐패시터전극과 전기적으로 연결되어 있는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 특히, 네로우 베젤(narrow bezel)의 구현이 가능한 액정표시장치에 관한 것이다.

배경 기술

[0002] 휴대전화, 테블릿PC, 노트북 등을 포함한 다양한 종류의 전자제품에는 평판표시장치(FPD : Flat Panel Display)가 이용되고 있다. 평판표시장치에는, 액정표시장치(LCD : Liquid Crystal Display), 플라즈마 디스플레이 패널(PDP : Plasma Display Panel), 유기발광표시장치(OLED : Organic Light Emitting Display Device) 등이 있으며, 최근에는 전기영동표시장치(EPD : ELECTROPHORETIC DISPLAY)도 널리 이용되고 있다.

[0003] 평판표시장치(이하, 간단히 '표시장치'라 함)들 중에서, 액정표시장치는 양산화 기술, 구동 수단의 용이성, 고화질의 구현이라는 장점으로 인하여 현재 가장 널리 상용화되고 있다.

[0004] 액정표시장치에 대한 연구는 기술적인 면과, 디자인적인 면으로 구분될 수 있다. 특히, 최근에는, 수요자들에게 보다 어필할 수 있는 디자인적인 면에서의 연구개발의 필요성이 특히 부각되고 있다.

[0005] 이에 따라, 액정표시장치의 두께를 최소화(슬림화)하는 노력이 꾸준히 진행되고 있다.

[0006] 또한, 액정표시장치의 테두리 부분(베젤)을 좁게 형성하는 기술에 대한 연구도 활발히 진행되고 있다. 즉, 액정표시장치의 전면 중 영상이 출력되지 않는 좌우 베젤(Bezel)을 최소화시키는 대신, 영상이 출력되는 부분을 증대시킴으로써, 사용자에게 보다 넓고 큰 영상을 제공하는 기술에 대한 연구가 활발히 진행되고 있다.

[0007] 도 1은 종래의 액정표시장치에 적용되는 패널의 구성을 나타낸 예시도로서, 특히, 우측 베젤의 구성을 나타낸 예시도이다. 도 2는 도 1에 도시된 공통전극 영역의 단면을 나타낸 예시도로서, 상기 공통전극 영역(B)은, 버퍼층(11), 게이트 절연막(17), 중간층(13), 제1공통전극라인층(18), PAC층(15), 제2공통전극라인층(19) 및 PAS층(16) 등으로 형성된다. 여기서, 상기 제1공통전극라인층(18)에는 박막트랜지스터를 구성하는 소스전극, 드레인전극 및 제1공통전극라인 등이 형성된다. 도 3은 도 1에 도시된 GIP 영역의 단면을 나타낸 예시도로서, 상기 GIP 영역(C)은, 버퍼층(11), 제1전극층(12), 중간층(13), 제2전극층(14), PAC층(15) 및 PAS층(16) 등으로 형성된다. 여기서, 상기 제1전극층(12)에는, 상기 GIP 영역(C)에 형성되는 Q노드 캐패시터 또는 QB노드 캐패시터의 제1전극 및 박막트랜지스터를 형성하는 게이트전극 등이 형성된다. 또한, 상기 제2전극층(14)에는 박막트랜지스터를 형성하는 소스전극, 드레인전극 및 상기 Q노드 캐패시터 또는 QB노드 캐패시터의 제2전극이 형성된다. 상기 제2전극층(14)에 형성되는 상기 제2전극은 상기 GIP 영역(C)에 저준위 전압을 공급하는 저준위 전압 라인(VGL)이 될 수 있다.

[0008] 액정표시장치는, 일반적으로, 영상을 출력하는 액티브영역과, 표시영역 주변의 베젤로 형성된 패널, 상기 패널에 형성된 게이트 라인을 구동하기 위한 게이트 드라이버, 상기 패널에 형성된 데이터 라인을 구동하기 위한 데이터 드라이버 및 상기 데이터 드라이버와 상기 게이트 드라이버를 구동하기 위한 타이밍 컨트롤러를 포함한다.

[0009] 상기 게이트 드라이버는, 일반적으로 상기 데이터 드라이버와 수직을 이루는 방향에 배치되어 있다. 이 경우, 상기 게이트 드라이버와 상기 데이터 드라이버는, 상기 베젤에 형성되어 있으며, 서로 수직한 방향에 배치되어 있다.

[0010] 상기 게이트 드라이버는, 집적회로 형태로 형성되어, 상기 베젤에 장착될 수도 있으나, 게이트 인 패널 방식으로 상기 베젤에 직접 형성될 수도 있다. 이하에서는, 상기 게이트 인 패널 방식으로 형성되어 있는 게이트 드라이버를 간단히, GIP라 한다.

[0011] 최근에는, 액정표시장치의 좌우폭이 증가됨에 따라, 상기 GIP가 패널의 좌우측 베젤에 대칭 형태로 형성되고 있다.

[0012] 패널의 좌우측 베젤 각각은, 최외각 방향으로부터 스크라이빙 마진 영역, GIP Signal 영역, GIP 영역, 공통전극 영역 및 더미영역으로 구성되어 있다.

[0013] 예를 들어, 도 1은 패널의 우측 베젤을 나타낸 예시도로서, 도 1의 오른쪽 끝단이 패널의 최외곽이다. 이 경

우, 상기 우측 베젤의 최외곽 방향으로부터, 스크라이빙 마진 영역(E), GIP Signal 영역(D), GIP 영역(C), 공통전극 영역(B) 및 더미영역(A)이 형성된다.

[0014] 상기 스크라이빙 마진 영역(E)은 상기 패널을 원장기판으로부터 절단시키는 경우에 필요한 영역이고, 상기 GIP 시그널 영역(D)은 상기 GIP에 전송될 각종 신호를 전송하는 라인들이 형성되어 있는 영역이고, 상기 GIP 영역(C)은 상기 GIP가 형성되어 있는 영역이고, 상기 공통전극 영역은 상기 액티브영역에 형성되어 있는 공통전극으로 공통전압(Vcom)을 공급하기 위한 제1공통전극라인 및 제2공통전극라인이 형성되어 있는 영역이며, 상기 더미영역은 더미 픽셀(Dummy Pixel)들이 형성되어 있는 영역이다.

[0015] 상기한 바와 같이 구성되어 있는 종래의 액정표시장치에서, 상기 베젤의 폭을 줄이기 위한 방법을 간단히 정리하면 다음과 같다.

[0016] 첫째, 상기 베젤(Bezel)의 폭을 줄이기 위해, 일반적으로 상기 GIP 영역(C)의 크기를 줄이는 기술이 널리 이용되고 있다. 그러나, 상기 GIP 영역(C)의 크기를 줄이는 방법은 점점 한계에 다다르고 있다.

[0017] 이에 대한 대안으로, 상기 제1공통전극라인 및 상기 제2공통전극라인이 형성되어 있는 상기 공통전극 영역(B)의 폭을 줄이는 방법에 대한 연구가 진행되고 있다. 그러나, 상기 공통전극 영역(B)이 감소되면, 수평 크로스토크(Crosstalk)와 같이, 액정표시장치의 품질을 저하시키는 요인들이 발생되고 있다. 따라서, 상기 공통전극 영역(B)을 줄이는 방법 역시 한계에 다다르고 있다.

[0018] 즉, 종래의 액정표시장치에서는, 도 2에 도시된 바와 같이, 박막트랜지스터의 소스전극과 드레인전극이 형성되는 제1공통전극라인층(18)에 불투명 전극을 이용하여 제1공통전극라인이 형성되고, 그 상단에 PAC층(15)이 형성되고, 상기 PAC층(15) 상단의 제2공통전극라인층(19)에 제2공통전극라인이 형성되어 컨택홀을 통해 상기 제1공통전극라인과 연결되며, 상기 제2공통전극라인층(19) 상단에 보호층인 PAS층(16)이 형성된다.

[0019] 이 경우, 상기 제1공통전극라인층(18)에 형성되는 상기 제1공통전극라인, 또는 상기 제2공통전극라인층(19)에 형성되는 상기 제2공통전극라인의 폭이 감소되면, 수평 크로스토크(Crosstalk)와 같이, 액정표시장치의 품질을 저하시키는 요인들이 발생되기 때문에, 상기 공통전극 영역(B)의 크기를 줄이는 방법 역시 한계에 다다르고 있다.

[0020] 또한, 상기 스크라이빙 마진 영역(E) 또는 상기 GIP 시그널 영역(D)을 줄이는 방법 역시 한계에 부딪히고 있다.

[0021] 즉, 종래의 액정표시장치에 적용되는 패널의 베젤의 폭을 줄이기 위해서는, 상기 스크라이빙 마진 영역(E), 상기 GIP Signal 영역(D), 상기 GIP 영역(C), 상기 공통전극 영역(B) 중 어느 하나의 폭을 줄여야 하나, 상기한 바와 같이, 상기 폭들을 줄이는 데에는 공정적으로 또는 설계적으로 한계가 있다.

[0022] 또한, 일반적으로, 도 1에 도시된 바와 같이, 상기 GIP 시그널 영역(D) 및 상기 스크라이빙 마진 영역(E)에 대응되는 셀링영역(G)에는, 액정표시장치의 상부기판과 하부기판을 합착시키기 위한 셀(Seal)이 도포되며, 상기 셀링영역(G)과 일정한 간격을 두고, 블랙매트릭스(BM))가 도포되는 블랙매트릭스 영역(F)이 형성된다.

[0023] 즉, 일반적으로, 상기 상부기판과 상기 하부기판을 합착시키는 공정에서는, 상기 상부기판과 상기 하부기판 사이에 도포되는 상기 셀을, 상기 상부기판의 상단에 배치되어 있는 UV경화장치를 이용하여 경화시키는 상면 UV경화방식을 이용하고 있다. 이 경우, 상기 상부기판에는 블랙매트릭스(BM)가 형성되어 있으며, 상기 블랙매트릭스에 의해, 상기 블랙매트릭스 하단에 형성되어 있는 상기 셀이 정상적으로 경화될 수 없기 때문에, 상기 블랙매트릭스 영역(F)과 상기 셀링영역(G)에는, 도 1에 도시된 바와 같이, 일정한 간격을 갖는 겹영역(L)이 형성된다.

[0024] 그러나, 이 경우, 상기 겹영역(L)을 통해 빛이 새어나가는 문제가 발생되고 있다. 즉, 상기 겹영역(L)에는 상기 블랙매트릭스(BM)가 형성되어 있지 않기 때문에, 상기 겹영역(L)을 통해, 백라이트로부터 전송되어온 빛이 새어나가는 문제가 발생되고 있다.

[0025] 상기한 바와 같이, 종래의 액정표시장치에서는, 상기 스크라이빙 마진 영역(E), 상기 GIP Signal 영역(D), 상기 GIP 영역(C), 상기 공통전극 영역(B) 중 어느 하나의 폭을 줄이는데에 한계가 있으며, 상기 블랙매트릭스 영역(F)과 상기 셀링영역(G) 사이에 일정한 겹영역(L)이 형성되어 있기 때문에, 상기 겹영역(L)을 통해 빛이 새어나간다는 문제점이 발생되고 있다.

[0026] 둘째, 상기한 바와 같이, 상기 GIP 영역(C)의 크기를 줄이는 방법은, 다양한 원인들에 의해 점점 한계에 다다르고 있다. 상기 원인들 중의 하나는, 상기 GIP 영역(C)에 형성되는 캐패시터가 차지하는 영역을 줄이는데에 한

계가 있다는 것이다.

[0027] 즉, 도 1에 도시된 바와 같이, 상기 GIP 영역(C)에는, Q노드와 저준위 전압라인(VGL)에 의해 형성되는 Q노드 캐패시터(C_Q) 및 QB노드와 상기 저준위 전압라인(VLG)에 의해 형성되는 QB노드 커패시터(C_{QB})가 형성되어야 한다.

[0028] 이 경우, 상기 Q노드 캐패시터(C_Q) 또는 상기 QB노드 커패시터(C_{QB})를 형성하는 제1전극은, 상기 제1전극층(12)에 형성되고, 상기 Q노드 캐패시터(C_Q) 또는 상기 QB노드 커패시터(C_{QB})를 형성하는 제2전극은, 박막트랜지스터의 소스전극, 드레인전극 및 저준위 전압 라인(VGL)이 형성되는 제2전극층(14)에 형성되며, 상기 제1전극과 상기 제2전극 사이에 형성되어 있는 중간층(13)에 의해, 상기 Q노드 캐패시터(C_Q) 또는 상기 QB노드 커패시터(C_{QB})가 형성된다.

[0029] 일반적으로, 캐패시터에 형성되는 정전용량(캐패시턴스)은, 캐패시터를 형성하는 제1전극과 제2전극의 면적이 넓을수록 커지게 된다.

[0030] 따라서, 상기 Q노드 캐패시터(C_Q) 또는 상기 QB노드 커패시터(C_{QB})에서 요구되는 정전용량이 확보되기 위해서는, 상기 제1전극층(12)에 형성되는 상기 제1전극과, 상기 제2전극층(14)에 형성되는 상기 제2전극의 면적이 넓게 형성되어야 한다.

[0031] 즉, 상기 Q노드 캐패시터(C_Q) 또는 상기 QB노드 커패시터(C_{QB})에서 요구되는 정전용량을 확보하기 위해서는, 상기 제1전극층(12)에 형성되는 상기 제1전극과, 상기 제2전극층(14)에 형성되는 상기 제2전극이 일정한 면적을 갖도록 형성되어야 하기 때문에, 종래의 액정표시장치에서는, 상기 GIP 영역(C)을 줄이는데에 한계가 있다.

발명의 내용

해결하려는 과제

[0032] 본 발명은 상술한 문제점을 해결하기 위해 제안된 것으로서, 투명한 제1공통전극라인과 불투명한 제2공통전극라인으로 형성되어 있는 공통전극이 GIP 영역, 블랙매트릭스 영역 및 쉘링영역을 커버하도록 형성되어 있는, 액정표시장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0033] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 액정표시장치는, 영상이 표시되는 액티브영역과, 상기 액티브영역의 외곽에 형성되는 베젤을 포함하는 패널; 및 상기 액티브영역에 형성되어 있는 게이트 라인들과 데이터 라인들을 구동하기 위한 드라이버를 포함하고, 상기 베젤은, 상기 패널을 형성하는 상부기판과 하부기판을 합착시키기 위한 쉘이, 형성되어 있는 쉘링영역; 상기 쉘링영역과 이격되어 있는 영역으로부터 상기 액티브영역에 형성되어 있는 블랙매트릭스 영역; 및 투명한 제1공통전극라인과, 불투명한 제2공통전극라인을 포함하는 공통전극이, 상기 블랙매트릭스 영역 및 상기 쉘링영역과 중첩되도록 형성되어 있는 공통전극 영역을 포함한다.

발명의 효과

[0034] 본 발명에 의하면, 투명한 제1공통전극라인과 불투명한 제2공통전극라인으로 형성되어 있는 공통전극이, GIP 영역, 블랙매트릭스 영역 및 쉘링영역을 커버하도록 형성되므로, 베젤의 폭이 감소될 수 있다.

[0035] 또한, 본 발명에 의하면, 상기 공통전극을 형성하는 제2공통전극라인이 불투명한 금속물질로 형성되어 있기 때문에, 상기 블랙매트릭스 영역과 상기 쉘링영역 사이의 갭영역을 통해 빛이 새어나가는 현상이 방지될 수 있다.

[0036] 또한, 본 발명에 의하면, 상기 공통전극을 이용하여, GIP 영역에 형성되는 Q노드 캐패시터 및 QB노드 캐패시터가 형성될 수 있기 때문에, GIP 영역의 크기가 감소될 수 있으며, 이에 따라 베젤의 폭이 감소될 수 있다.

도면의 간단한 설명

[0037] 도 1은 종래의 액정표시장치에 적용되는 패널의 구성을 나타낸 예시도.

도 2는 도 1에 도시된 공통전극 영역의 단면을 나타낸 예시도.

도 3은 도 1에 도시된 GIP 영역의 단면을 나타낸 예시도.

도 4는 본 발명에 따른 액정표시장치의 구성을 개략적으로 나타낸 예시도.

도 5는 도 4에 도시된 액정표시장치의 우측 베젤의 구성을 개략적으로 나타낸 예시도.

도 6은 본 발명에 따른 액정표시장치에 적용되는 베젤에 형성되는 공통전극 영역의 구성을 개략적으로 나타낸 예시도.

도 7은 도 4에 도시된 액정표시장치의 우측 베젤의 구성을 개략적으로 나타낸 또 다른 예시.

도 8은 본 발명에 따른 액정표시장치에 적용되는 베젤에 형성되는 GIP 영역의 구성을 개략적으로 나타낸 예시도.

발명을 실시하기 위한 구체적인 내용

- [0038] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명한다.
- [0039] 도 4는 본 발명에 따른 액정표시장치의 구성을 개략적으로 나타낸 예시도이다. 도 5는 도 4에 도시된 액정표시장치의 우측 베젤의 구성을 개략적으로 나타낸 예시도이다.
- [0040] 본 발명에 따른 액정표시장치는, 도 4에 도시된 바와 같이, 영상이 표시되는 액티브영역(AA)과, 상기 액티브영역(AA)의 외곽에 형성되는 베젤(Bezel)을 포함하는 패널(100) 및 상기 액티브영역(AA)에 형성되어 있는 게이트 라인들과 데이터 라인들을 구동하기 위한 드라이버(200)를 포함한다.
- [0041] 첫째, 상기 드라이버(200)를 상세히 설명하면 다음과 같다.
- [0042] 상기 드라이버(200)는, 상기 패널(100)에 형성되어 있는 데이터 라인들로 데이터 전압을 출력하며, 상기 게이트 라인들로 출력되는 스캔펄스를 제어하기 위한 것으로서, 집적회로(IC)로 형성되어, 상기 패널(100)의 비표시영역에 장착될 수 있다. 상기 드라이버(200)는, 데이터 드라이버 및 타이밍 컨트롤러를 포함할 수 있다.
- [0043] 상기 데이터 드라이버는, 상기 타이밍 컨트롤러로부터 전송되어온 디지털 영상데이터를 데이터 전압으로 변환하여 상기 게이트 라인에 스캔펄스가 공급되는 1수평기간마다 1수평라인분의 상기 데이터 전압을 상기 데이터 라인들에 공급한다.
- [0044] 즉, 상기 데이터 드라이버는, 감마전압 발생부(도시하지 않음)로부터 공급되는 감마전압들을 이용하여, 상기 영상데이터를 상기 데이터 전압으로 변환시킨 후 상기 데이터 라인으로 출력시킨다. 이를 위해, 상기 데이터 드라이버는, 쉬프트 레지스터부, 래치부, 디지털 아날로그 변환부(DAC) 및 출력버퍼를 포함하고 있다.
- [0045] 상기 쉬프트 레지스터부는, 상기 타이밍 컨트롤러로부터 수신된 데이터 제어신호들(SSC, SSP 등)을 이용하여 샘플링 신호를 출력한다.
- [0046] 상기 래치부는 상기 타이밍 컨트롤러로부터 순차적으로 수신된 상기 디지털 영상데이터(Data)를 래치하고 있다가, 상기 디지털 아날로그 변환부(DAC)로 동시에 출력하는 기능을 수행한다.
- [0047] 상기 디지털 아날로그 변환부는 상기 래치부로부터 전송되어온 상기 영상데이터들을 동시에 정극성 또는 부극성의 데이터 전압으로 변환하여 출력한다. 즉, 상기 디지털 아날로그 변환부는, 상기 감마전압 발생부(도시하지 않음)로부터 공급되는 감마전압을 이용하여, 상기 타이밍 컨트롤러로부터 전송되어온 극성제어신호(POL)에 따라, 상기 영상데이터들을 정극성 또는 부극성의 데이터전압으로 변환하여 상기 데이터라인들로 출력한다. 이 경우, 상기 감마전압 발생부는 상기 입력전압(Vdd)을 이용하여 상기 영상데이터를 상기 데이터전압으로 변환시킨다.
- [0048] 상기 출력버퍼는 상기 디지털 아날로그 변환부로부터 전송되어온 정극성 또는 부극성의 데이터전압을, 상기 타이밍 컨트롤러로부터 전송되어온 소스출력인에이블신호(SOE)에 따라, 상기 패널의 데이터라인들로 출력한다.
- [0049] 상기 타이밍 컨트롤러는, 외부 시스템으로부터 입력되는 타이밍 신호, 즉, 수직동기신호(Vsync), 수평동기신호(Hsync) 및 데이터 인에이블 신호(DE) 등을 이용하여, 이하에서 설명될 GIP의 동작 타이밍을 제어하기 위한 게이트 제어신호(GCS)와 상기 데이터 드라이버의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)를 생성하며, 상기 데이터 드라이버로 전송될 영상데이터를 생성한다.
- [0050] 이를 위해, 상기 타이밍 컨트롤러는, 상기 외부 시스템으로부터 입력영상데이터(Input Data) 및 타이밍 신호들

을 수신하기 위한 수신부, 각종 제어신호들을 생성하기 위한 제어신호 생성부, 상기 입력영상데이터를 재정렬하여, 재정렬된 영상데이터(Data)를 출력하기 위한 데이터 정렬부 및 상기 제어신호들과 상기 영상데이터를 출력하기 위한 출력부를 포함한다.

[0051] 즉, 상기 타이밍 컨트롤러는, 상기 외부 시스템으로부터 입력되는 입력영상데이터(Input Data)를 상기 패널(100)의 구조 및 특성에 맞게 재정렬시켜, 재정렬된 상기 영상데이터를 상기 데이터 드라이버로 전송한다. 이러한 기능은, 상기 데이터 정렬부에서 실행될 수 있다.

[0052] 상기 타이밍 컨트롤러는 상기 외부 시스템으로부터 전송되어온 타이밍 신호들, 즉, 수직동기신호(Vsync), 수평동기신호(Hsync) 및 데이터인에이블신호(DE) 등을 이용하여, 상기 데이터 드라이버를 제어하기 위한 데이터 제어신호(DCS) 및 상기 GIP를 제어하기 위한 게이트 제어신호(GCS)를 생성하여, 상기 제어신호들을 상기 데이터 드라이버와 상기 GIP로 전송하는 기능을 수행한다. 이러한 기능은, 상기 제어신호 생성부(420)에서 실행될 수 있다.

[0053] 상기 제어신호 생성부에서 발생하는 게이트 제어신호(GCS)들로는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC), 게이트 출력 인에이블 신호(GOE), 게이트 스타트신호(VST), 게이트 클럭(GCLK) 등이 있다.

[0054] 상기 제어신호 생성부에서 발생하는 데이터 제어신호들에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭신호(SSC), 소스 출력 이네이블 신호(SOE), 극성제어신호(POL) 등이 포함된다.

[0055] 한편, 상기 설명에서는, 상기 드라이버(200)가, 상기 데이터 드라이버와 상기 타이밍 컨트롤러를 포함하는 것으로 설명되었으나, 상기 데이터 드라이버와 상기 타이밍 컨트롤러는 개별적으로 형성될 수 있다. 이 경우, 도 4에 도시된 상기 드라이버(200)는 상기 데이터 드라이버로 이용될 수 있으며, 상기 타이밍 컨트롤러는, 플렉서블 기판(FPCB) 등을 통해 상기 패널에 연결되어, 상기 데이터 드라이버 및 상기 GIP와 연결될 수 있다.

[0056] 둘째, 상기 패널(100)을, 상기 액티브영역(AA)을 중심으로 설명하면 다음과 같다.

[0057] 상기 패널(100)은 대향 합착된 하부기판 및 상부기판을 포함한다.

[0058] 상기 하부기판은 복수의 게이트 라인들과 복수의 데이터 라인들의 교차에 의해 정의되는 픽셀들로 형성되는 액티브영역(AA) 및 상기 액티브영역(AA)의 주변에 마련된 베젤(Bezel)을 포함한다.

[0059] 상기 드라이버(100)는 상기 베젤의 일측에 형성된다.

[0060] 상기 복수의 픽셀들 각각은, 인접되어 있는 게이트 라인으로부터 공급되는 스캔펄스와, 인접되어 있는 데이터 라인으로부터 공급되는 데이터 전압에 따라 영상을 표시한다.

[0061] 상기 픽셀은, 상기 데이터 전압에 따라 액정의 광투과율을 제어하여 영상을 표시할 수 있다.

[0062] 상기 상부기판은, 상기 하부기판 중, 상기 베젤의 일부를 제외한 전체를 덮는다. 상기 상부기판에는 컬러 필터층이 형성될 수 있다.

[0063] 상기 하부기판에는, 상기 데이터 라인들과 상기 게이트 라인들이 교차하는 영역마다 픽셀들이 형성되어 있다. 상기 픽셀은 적어도 하나의 박막트랜지스터를 포함하여 구성될 수 있다.

[0064] 상기 픽셀들 각각에 형성되어 있는 상기 박막트랜지스터(TFT)는, 상기 게이트 라인으로부터 공급되는 상기 스캔펄스에 의해 턴온되어, 상기 데이터 라인으로부터 공급된 데이터 전압을 상기 픽셀에 형성되어 있는 픽셀전극으로 공급하는 기능을 수행한다.

[0065] 상기 픽셀에는 상기 픽셀전극에 대응되도록 공통전극이 형성될 수 있다. 상기 공통전극으로 공급되는 공통전압과, 상기 픽셀전극으로 공급되는 상기 데이터 전압에 의해, 상기 액정의 광투과율이 변경되어, 상기 패널(100)로부터 영상이 표시된다.

[0066] 셋째, 상기 패널(100)의 상기 베젤(Bezel)을 설명하면 다음과 같다.

[0067] 상기한 바와 같이, 상기 액티브영역(AA)에는 복수의 픽셀들이 형성되어 있으며, 상기 픽셀들에 의해 영상이 표시된다.

- [0068] 상기 액티브영역(AA)의 주변에는 영상이 표시되지 않는 베젤(Bezel)이 형성되어 있다.
- [0069] 상기 베젤의 일측에는 도 4에 도시된 바와 같이, 상기 드라이버(200)가 장착된다.
- [0070] 상기 베젤 중 서로 마주보고 있는 좌우측 베젤들 각각에는, 상기 액티브영역을 구동하기 위한 GIP가 형성되어 있다. 상기 GIP는 상기 드라이버(200)로부터 전송되는 게이트 제어신호에 따라, 상기 액티브영역(AA)에 형성되어 있는 상기 게이트 라인들에 순차적으로 상기 스캔펄스를 공급하는 기능을 수행한다
- [0071] 특히, 상기 GIP는 상기 액티브영역(AA)에 형성되는 박막트랜지스터의 제조 공정 중에, 상기 박막트랜지스터와 함께 형성된다. 즉, 상기 GIP는 상기 패널에 직접 형성된다.
- [0072] 상기 GIP는 상기 좌우측 베젤들 중 어느 하나에만 형성될 수도 있으나, 도 4에 도시된 액정표시장치와 같이, 좌우측의 폭이 넓은 패널(100)을 이용하는 액정표시장치에서는, 상기 좌우측 베젤들 각각에 상기 GIP가 형성될 수 있다.
- [0073] 상기 좌우측 베젤의 구성을 설명하면 다음과 같다.
- [0074] 상기 패널(100)의 상기 좌우측 베젤 각각은, 최외각 방향으로부터 스크라이빙 마진 영역, GIP Signal(시그널) 영역, GIP 영역, 공통전극 영역 및 더미영역으로 구성되어 있다.
- [0075] 예를 들어, 도 5는 상기 패널(100)의 우측 베젤을 나타낸 예시도로서, 도 5의 오른쪽 끝단이 패널의 최외곽이다. 이 경우, 상기 우측 베젤의 최외곽 방향으로부터, 스크라이빙 마진 영역(E), GIP 시그널 영역(D), GIP 영역(C) 및 더미영역(A)이 형성된다.
- [0076] 상기 스크라이빙 마진 영역(E)은 상기 패널(100)을 원장기판으로부터 절단시키는 경우에 필요한 영역이고, 상기 GIP 시그널 영역(D)은 상기 GIP에 전송될 각종 신호를 전송하는 라인들이 형성되어 있는 영역이고, 상기 GIP 영역(C)은 상기 GIP가 형성되어 있는 영역이며, 상기 더미영역은 더미 픽셀(Dummy Pixel)들이 형성되어 있는 영역이다.
- [0077] 또한, 상기 베젤(Bezel)은, 상기 패널(100)을 형성하는 상부기판과 하부기판을 합착시키기 위한 셀이, 형성되어 있는 셀링영역(G), 상기 셀링영역(G)과 이격되어 있는 영역으로부터 상기 액티브영역(AA)에 형성되어 있는 블랙 매트릭스 영역(F) 및 투명한 제1공통전극라인과, 불투명한 제2공통전극라인을 포함하는 공통전극이, 상기 블랙 매트릭스 영역(F) 및 상기 셀링영역(G)과 중첩되도록 형성되어 있는 공통전극 영역(H)을 포함한다. 이 경우, 상기 셀링영역(G)과 상기 블랙매트릭스 영역(F) 사이에는 일정한 크기의 갭영역(L)이 형성되어 있다.
- [0078] 여기서, 상기 스크라이빙 마진 영역(E), 상기 GIP 시그널 영역(D), 상기 GIP 영역(C) 및 상기 더미영역(A)은, 상기 하부기판에 형성되어 있으며, 도 5에 도시된 바와 같이 서로 중첩되어 있지 않다.
- [0079] 즉, 상기 GIP 시그널 영역(D)을 형성하는 GIP 라인들, 상기 GIP 영역(C)을 형성하는 상기 GIP 및 상기 더미영역(A)에 형성되어 있는 상기 더미 픽셀들은 상기 하부기판에 형성되어 있으며, 서로 중첩되지 않도록 형성되어 있다.
- [0080] 그러나, 상기 셀링영역(G), 상기 블랙매트릭스 영역(F) 및 상기 공통전극 영역(H)은, 상기 스크라이빙 마진 영역(E), 상기 GIP 시그널 영역(D), 상기 GIP 영역(C) 및 상기 더미영역(A)과 중첩되게 형성되어 있다.
- [0081] 특히, 상기 GIP 영역은, 상기 더미 픽셀들을 사이에 두고, 상기 액티브영역(AA)과 인접되어 있으며, 상기 공통전극 영역(H) 및 상기 블랙매트릭스 영역(F)과 중첩되어 있다.
- [0082] 즉, 상기 상부기판에 형성되는 상기 블랙매트릭스에 의해 정의되는 상기 블랙매트릭스 영역(F)은 상기 GIP 영역(C)을 커버하도록 형성되어 있다.
- [0083] 또한, 상기 공통전극 영역(H)을 형성하는 상기 공통전극은 상기 GIP 영역에도 형성되어 있다.
- [0084] 또한, 상기 셀링영역(G), 상기 블랙매트릭스 영역(F) 및 상기 공통전극 영역(H)들도 서로 중첩되게 형성되어 있다.
- [0085] 이 경우, 상기 셀링영역(G)을 형성하는 상기 셀(Seal)은, 상기 상부기판과 상기 하부기판 사이에 형성되고, 상기 블랙매트릭스 영역(F)을 형성하는 상기 블랙매트릭스는 상기 상부기판에 형성되며, 상기 공통전극 영역(H)을 형성하는 상기 공통전극은 상기 하부기판에 형성된다.
- [0086] 한편, 상기한 바와 같이, 상기 공통전극은, 투명한 제1공통전극라인과, 불투명한 제2공통전극라인으로 형성되어

있으며, 상기 공통전극은, 상기 블랙메트릭스 영역(F) 및 상기 셀링영역(G)에 중첩되게 형성되어 있다.

[0087] 따라서, 상기 공통전극은, 상기 블랙메트릭스 영역(F)과 상기 셀링영역(G) 사이에 형성되어 있는 상기 갭영역(L)도 커버하고 있다.

[0088] 상기 공통전극에는 불투명한 상기 제2공통전극라인이 형성되어 있기 때문에, 상기 갭영역(L)도 상기 불투명한 상기 제2공통전극라인에 의해 커버될 수 있다.

[0089] 따라서, 상기 패널(100)의 하단에 배치된 백라이트로부터 상기 패널(100)로 전송되어온 빛은, 상기 블랙메트릭스 및 불투명한 상기 제2공통전극라인에 의해, 상기 갭영역(L)을 통해 외부로 새어나갈 수 없다.

[0090] 또한, 상기 블랙메트릭스 영역(F)은 상기 갭영역(L)을 사이에 두고, 상기 셀링영역(E)과 이격되어 있기 때문에, 상기 패널(100)의 상기 상부기관 방향에 배치된 UV경화장치를 이용하여 상기 셀을 경화시키는 경우, 상기 UV경화장치로부터 출력된 자외선은, 상기 블랙메트릭스를 거치지 않고 직접 상기 셀에 도달될 수 있다.

[0091] 따라서, 본 발명에 따른 액정표시장치는, 상면 UV 경화방식을 이용하여 제조될 수 있다.

[0092] 이하에서는, 도 6을 참조하여 상기 공통전극 영역(H)의 구성이 상세히 설명된다.

[0093] 도 6은 본 발명에 따른 액정표시장치에 적용되는 베젤에 형성되는 공통전극 영역(H)의 구성을 개략적으로 나타낸 예시도이다.

[0094] 상기한 바와 같이, 상기 공통전극 영역(H)에 형성되어 있는 상기 공통전극은, 투명한 제1공통전극라인(191)과, 불투명한 제2공통전극라인(192)을 포함한다. 상기 공통전극 영역(H)은, 상기 블랙메트릭스 영역(F) 및 상기 셀링영역(G)과 중첩되도록 상기 베젤에 형성되어 있다. 상기 공통전극 영역(H)은, 상기 스크라이빙 마진 영역(E), 상기 GIP 시그널 영역(D), 상기 GIP 영역(C) 및 상기 더미영역(A)과 중첩되게 형성될 수 있다. 상기 공통전극 영역(H)을 형성하는 상기 공통전극은 상기 GIP 영역(C)에도 형성되어 있다. 상기 공통전극 영역(H)은, 상기 셀링영역(G), 상기 갭영역(L) 및 상기 블랙메트릭스 영역(F)과 서로 중첩되게 형성되어 있다. 상기 공통전극 영역(H)을 형성하는 상기 공통전극은 상기 하부기관에 형성된다. 상기 공통전극에는 불투명한 상기 제2공통전극라인(192)이 형성되어 있기 때문에, 상기 갭영역(L)도 상기 불투명한 상기 제2공통전극라인(192)에 의해 커버될 수 있다. 따라서, 상기 패널(100)의 하단에 배치된 백라이트로부터 상기 패널(100)로 전송되어온 빛은, 상기 블랙메트릭스 및 불투명한 상기 제2공통전극라인(192)에 의해, 상기 갭영역(L)을 통해 외부로 새어나갈 수 없다.

[0095] 상기 하부기관에 형성되어 있는 상기 공통전극 영역(H)의 단면구조를 도 6을 참조하여 개략적으로 설명하면 다음과 같다.

[0096] 상기 공통전극 영역(H)은, 도 6에 도시된 바와 같이, 기관(110), 상기 액티브영역(AA)에 형성되는 박막트랜지스터의 게이트전극을 커버하는 게이트 절연막(170), 상기 게이트 절연막(170) 상단에 형성되는 중간층(130), 상기 중간층(130) 상단에 형성되며, 상기 박막트랜지스터의 소스전극 및 드레인전극이 형성되어 있는 전극층(180), 상기 전극층(180) 상단에 형성되는 절연층(150), 상기 절연층 상단에 형성되는 제1공통전극라인(191) 및 제2공통전극라인(192)을 포함하는 공통전극이 형성되어 있는 공통전극층(190) 및 상기 공통전극을 보호하는 보호층(160)을 포함한다.

[0097] 첫째, 상기 기관(110)은 상기 하부기관을 형성하는 베이스기관으로서, 투명한 합성수지 또는 유리로 형성될 수 있다.

[0098] 둘째, 상기 게이트 절연막(170)은, 상기 액티브영역(AA)에 형성되는 박막트랜지스터(미도시)의 게이트전극(미도시)을 커버하는 기능을 수행한다.

[0099] 즉, 상기 액티브영역(AA)의 각 픽셀들에는, 상기한 바와 같이, 박막트랜지스터가 형성되어 있으며, 상기 박막트랜지스터는, 게이트전극, 소스전극 및 드레인전극을 포함한다. 특히, 상기 게이트전극은 상기 기관(110)에 형성된다.

[0100] 상기 게이트 절연막(170)은 상기 기관(110)에 형성된 상기 게이트전극을 포함한 상기 기관(110)의 전면에 도포되어 상기 게이트전극과 다른 구성요소들을 절연시키는 기능을 수행한다.

[0101] 셋째, 상기 중간층(130)은, 상기 게이트 절연막(170) 상단에 형성되며, 상기 게이트 절연막(170)과 상기 전극층

(180) 사이에 형성되는 구성요소들을, 상기 전극층(180)과 절연시키는 기능을 수행할 수 있다.

- [0102] 넷째, 상기 전극층(180)에는, 상기 박막트랜지스터를 형성하는 소스전극 및 드레인전극이 형성될 수 있다. 또한, 상기 전극층(180)에는 상기 소스전극과 연결되는 데이터 라인이 형성될 수도 있다.
- [0103] 다섯째, 상기 절연층(150)은, 상기 전극층(180) 상단에 형성되어, 상기 전극층(180)을 다른 구성요소들과 절연시키는 기능을 수행하는 것으로서, PAC로 구성될 수 있다. 상기 PAC는 유기물질로 형성되는 절연체로서, 두껍게 형성될 수 있다.
- [0104] 여섯째, 상기 공통전극층(190)에는, 상기 절연층 상단에 형성되는 제1공통전극라인(191) 및 제2공통전극라인(192)을 포함하는 공통전극이 형성된다.
- [0105] 상기 제1공통전극라인(191)은 ITO와 같은 투명한 금속물질로 형성될 수 있으며, 상기 제2공통전극라인(192)은 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 등과 같은 불투명한 금속물질로 형성될 수 있다.
- [0106] 여기서, 상기 제1공통전극라인(191)은, 상기 액티브영역(AA)에 형성되어 있는 상기 픽셀들 각각에 연장되어 있으며, 상기 제2공통전극라인(192)을 통해 공통전압을 인가받는다.
- [0107] 즉, 상기한 바와 같이, 상기 데이터 라인으로부터 상기 픽셀전극으로 공급된 데이터 전압과, 상기 공통전극으로 공급된 공통전압에 의해, 상기 픽셀에 형성되어 있는 액정의 광투과율이 변화되며, 상기 액정의 광투과율의 변화에 의해 다양한 색상 및 밝기의 영상이 표시된다.
- [0108] 이 경우, 상기 픽셀들에 형성되어 상기 픽셀전극과 대응되는 상기 공통전극은, 상기 공통전극 영역(H)에 형성되어 있는 상기 제1공통전극라인(191) 및 상기 제2공통전극라인(192)들 중 특히, 상기 제1공통전극라인(191)과 연결되어 있다.
- [0109] 즉, 상기 제1공통전극라인(191)은 상기 공통전극 영역(H)으로부터 상기 액티브영역(AA)에 형성되어 있는 각 픽셀들로 연장되어 있다.
- [0110] 상기 제1공통전극라인(191)은 상기한 바와 같이 저항이 큰 투명금속물질로 형성되어 있다. 따라서, 상기 공통전극 영역(H) 까지는, 저항이 작은 상기 제2공통전극라인(192)을 통해 공통전압이 공급되며, 상기 공통전극 영역(H)에서, 상기 제1공통전극라인(191)은 상기 제2공통전극라인(192)으로부터 상기 공통전압을 공급받는다. 상기 공통전극 영역(H)에서 상기 제1공통전극라인(191)으로 공급된 공통전압은, 상기 액티브영역(AA)으로 연장되어 있는 상기 제1공통전극라인(191)을 통해 상기 액티브영역(AA)의 각 픽셀들로 공급된다.
- [0111] 일곱째, 상기 보호층(160)은, 상기 공통전극층(190)의 상단에 형성되어 상기 공통전극을 보호하는 기능을 수행한다.
- [0112] 상기 보호층(160)은 PAS로 형성될 수 있다. 상기 PAS는 무기물질로 형성되는 절연체이다.
- [0113] 이하에서는, 도 7 및 도 8을 참조하여 상기 GIP 영역(C)의 구성이 상세히 설명된다.
- [0114] 도 7은 도 4에 도시된 액정표시장치의 우측 베젤의 구성을 개략적으로 나타낸 또 다른 예시도이다. 도 8은 본 발명에 따른 액정표시장치에 적용되는 베젤에 형성되는 GIP 영역(C)의 구성을 개략적으로 나타낸 예시도이다.
- [0115] 본 발명에 따른 액정표시장치는, 도 7에 도시된 바와 같이, 영상이 표시되는 액티브영역(AA)과, 상기 액티브영역(AA)의 외곽에 형성되는 베젤(Bezel)을 포함하는 패널(100) 및 상기 액티브영역(AA)에 형성되어 있는 게이트 라인들과 데이터 라인들을 구동하기 위한 드라이버(200)를 포함한다.
- [0116] 상기 액티브영역(AA)에는 복수의 픽셀들이 형성되어 있으며, 상기 픽셀들에 의해 영상이 표시된다. 상기 액티브영역(AA)의 주변에는 영상이 표시되지 않는 베젤(Bezel)이 형성되어 있다. 상기 베젤 중 서로 마주보고 있는 좌우측 베젤들 각각에는, 상기 액티브영역을 구동하기 위한 GIP가 형성되어 있다. 상기 GIP는 상기 드라이버(200)로부터 전송되는 게이트 제어신호에 따라, 상기 액티브영역(AA)에 형성되어 있는 상기 게이트 라인들에 순차적으로 상기 스캔펄스를 공급하는 기능을 수행한다. 특히, 상기 GIP는 상기 액티브영역(AA)에 형성되는 박막트랜지스터의 제조 공정 중에, 상기 박막트랜지스터와 함께 형성된다. 즉, 상기 GIP는 상기 패널에 직접 형성된다. 상기 GIP는 상기 좌우측 베젤들 중 어느 하나에만 형성될 수도 있으나, 도 4에 도시된 액정표시장치와 같이, 좌우측의 폭이 넓은 패널(100)을 이용하는 액정표시장치에서는, 상기 좌우측 베젤들 각각에 상기 GIP가 형성될 수 있다.

- [0117] 상기 패널(100)의 상기 좌우측 베젤 각각은, 최외각 방향으로부터 스크라이빙 마진 영역, GIP Signal(시그널) 영역, GIP 영역, 공통전극 영역 및 더미영역으로 구성되어 있다.
- [0118] 예를 들어, 도 7은 상기 패널(100)의 우측 베젤을 나타낸 예시도로서, 도 7의 오른쪽 끝단이 패널의 최외곽이다. 이 경우, 상기 우측 베젤의 최외곽 방향으로부터, 스크라이빙 마진 영역(E), GIP 시그널 영역(D), GIP 영역(C) 및 더미영역(A)이 형성된다.
- [0119] 상기 스크라이빙 마진 영역(E)은 상기 패널(100)을 원장기판으로부터 절단시키는 경우에 필요한 영역이고, 상기 GIP 시그널 영역(D)은 상기 GIP에 전송될 각종 신호를 전송하는 라인들이 형성되어 있는 영역이고, 상기 GIP 영역(C)은 상기 GIP가 형성되어 있는 영역이며, 상기 더미영역은 더미 픽셀(Dummy Pixel)들이 형성되어 있는 영역이다.
- [0120] 또한, 상기 베젤(Bezel)은, 상기 패널(100)을 형성하는 상부기판과 하부기판을 합착시키기 위한 썸, 형성되어 있는 썸링영역(G), 상기 썸링영역(G)과 이격되어 있는 영역으로부터 상기 액티브영역(AA)에 형성되어 있는 블랙 매트릭스 영역(F) 및 투명한 제1공통전극라인과, 불투명한 제2공통전극라인을 포함하는 공통전극이, 상기 블랙 매트릭스 영역(F) 및 상기 썸링영역(G)과 중첩되도록 형성되어 있는 공통전극 영역(H)을 포함한다. 이 경우, 상기 썸링영역(G)과 상기 블랙 매트릭스 영역(F) 사이에는 일정한 크기의 갭영역(L)이 형성되어 있다.
- [0121] 상기 베젤을 구성하는 상기 영역들의 기본적인 구성 및 기능은, 도 4 내지 도 6을 참조하여 설명된 구성 및 기능과 동일하므로, 이에 대한 상세한 설명은 생략되며, 이하에서는, 상기 베젤을 구성하는 상기 영역들 중, 특히, 상기 GIP 영역(C)이 상세히 설명된다.
- [0122] 첫째, 상기한 바와 같이, 상기 GIP 영역(C)을 형성하는 상기 GIP는, 상기 하부기판에 형성되어 있다. 상기 GIP 영역(C)은, 상기 썸링영역(G), 상기 블랙 매트릭스 영역(F) 및 상기 공통전극 영역(H)과 중첩되게 형성될 수 있다. 상기 GIP 영역(C)은, 상기 더미 픽셀영역(A)에 형성되어 있는 상기 더미 픽셀들을 사이에 두고, 상기 액티브영역(AA)과 인접되어 있으며, 상기 공통전극 영역(H) 및 상기 블랙 매트릭스 영역(F)과 중첩되어 있다. 즉, 상기 상부기판에 형성되는 상기 블랙 매트릭스에 의해 정의되는 상기 블랙 매트릭스 영역(F)은 상기 GIP 영역(C)을 커버하도록 형성되어 있다. 상기 공통전극 영역(H)을 형성하는 상기 공통전극은 상기 GIP 영역(C)에도 형성되어 있다.
- [0123] 둘째, 도 7에 도시된 바와 같이, 상기 GIP 영역(C)에는, Q노드와 저준위 전압라인(VGL)에 의해 형성되는 Q노드 캐패시터(C_Q) 및 QB노드와 상기 저준위 전압라인(VLG)에 의해 형성되는 QB노드 캐패시터(C_{QB})가 형성되어야 한다.
- [0124] 이 경우, 상기 Q노드 캐패시터(C_Q) 또는 상기 QB노드 캐패시터(C_{QB})를 형성하는 제1전극은, 상기 Q노드 또는 상기 QB노드와 연결되어 있으며, 상기 Q노드 캐패시터(C_Q) 또는 상기 QB노드 캐패시터(C_{QB})를 형성하는 제2전극은, 상기 저준위 전압 라인(VGL)과 연결되어 있다.
- [0125] 여기서, 상기 저준위 전압 라인(VGL)은 상기 GIP 영역(C)에서 이용되는 전압들 중, 특히, 저준위 전압, 즉, 로우(Low) 레벨의 전압을 공급하는 라인이다.
- [0126] 일반적으로, 캐패시터에 형성되는 정전용량(캐패시턴스)은, 캐패시터를 형성하는 제1전극과 제2전극의 면적이 넓을수록 커지게 된다. 따라서, 상기 Q노드 캐패시터(C_Q) 또는 상기 QB노드 캐패시터(C_{QB})에서 요구되는 정전용량이 확보되기 위해서는, 상기 제1전극과, 상기 제2전극의 면적이 넓게 형성되어야 한다.
- [0127] 즉, 상기 Q노드 캐패시터(C_Q) 또는 상기 QB노드 캐패시터(C_{QB})에서 요구되는 정전용량을 확보하기 위해서는, 상기 제1전극과, 상기 제2전극이 넓게 형성되어야 한다.
- [0128] 이를 위해, 본 발명에서는, 상기 Q노드 캐패시터(C_Q) 또는 상기 QB노드 캐패시터(C_{QB})의 상기 제1전극 또는 상기 제2전극을, 상기 공통전극층(190)에 형성되어 있는 상기 공통전극과 나란하게 형성되어 있는 전극을 이용하고 있다. 즉, 상기 Q노드 캐패시터(C_Q) 또는 상기 QB노드 캐패시터(C_{QB})의 제1전극 또는 제2전극은, 상기 GIP 영역(C)에서, 상기 공통전극과 나란하게 형성되어 있다.

- [0129] 셋째, 상기 GIP 영역(C)의 제1예가 도 8의 (a)에 도시되어 있다.
- [0130] 즉, 본 발명에 적용되는 상기 GIP 영역(C)은, 도 8의 (a)에 도시된 바와 같이, 기관(110), 상기 Q노드를 형성하는 Q노드전극 또는 상기 QB노드를 형성하는 QB노드전극으로 이용되는 노드전극이 형성되어 있는 노드전극층(120), 상기 노드전극층(120) 상단에 형성되어 있는 중간층(130), 상기 중간층 상단에 형성되어 있는 절연층(150), 상기 절연층(150) 상단에 형성되어 있고, 상기 중간층(130)과 상기 절연층(150)에 형성되어 있는 컨택홀을 통해 상기 노드전극층(120)과 연결되어 있으며, 상기 Q노드 캐패시터의 제1전극 또는 상기 QB노드 캐패시터의 제1전극으로 이용되는 제1캐패시터전극이 형성되어 있는 제1캐패시터전극층(210), 상기 제1캐패시터전극층(210) 상단에 형성되어 있는 보호층(160) 및 상기 보호층(160) 상단에 형성되어 있으며, 상기 Q노드 캐패시터의 제2전극 또는 상기 QB노드 캐패시터의 제2전극으로 이용되는 제2캐패시터전극이 형성되어 있는 제2캐패시터전극층(220)을 포함한다.
- [0131] 우선, 상기 기관(110)은 상기 하부기관을 형성하는 베이스기관으로서, 투명한 합성수지 또는 유리로 형성될 수 있다.
- [0132] 다음, 상기 노드전극층(120)에는, 상기 Q노드를 형성하는 Q노드전극 또는 상기 QB노드를 형성하는 QB노드전극으로 이용되는 노드전극이 형성되어 있다.
- [0133] 여기서, 상기 Q노드는 상기 GIP에서 상기 스캔펄스를 출력하는 기능을 수행한다. 상기 스캔펄스에 의해, 상기 픽셀들에 형성되어 있는 상기 박막트랜지스터가 턴온되어, 상기 픽셀전극으로 상기 데이터 전압이 공급된다. 이를 위해, 상기 Q노드는 상기 스캔펄스를 출력하는 풀업트랜지스터의 게이트단자와 연결되어 있으며, 상기 Q노드를 통해 상기 풀업트랜지스터를 턴온시킬 수 있는 전압이 공급되면, 상기 풀업트랜지스터를 통해 상기 스캔펄스가 출력된다.
- [0134] 또한, 상기 QB노드는 상기 GIP에서 상기 스캔펄스가 출력되지 않는 동안, 풀다운신호를 출력하는 기능을 수행한다. 상기 풀다운신호에 의해, 상기 픽셀들에 형성되어 있는 상기 박막트랜지스터가 턴오프되며, 이 경우, 상기 픽셀들에는 상기 데이터 전압이 공급되지 않는다. 이를 위해, 상기 QB노드는 상기 풀다운신호를 출력하는 풀다운트랜지스터의 게이트단자와 연결되어 있으며, 상기 QB노드를 통해 상기 풀다운트랜지스터를 턴온시킬 수 있는 전압이 공급되면, 상기 풀다운트랜지스터를 통해 상기 풀다운신호가 출력된다.
- [0135] 부연하여 설명하면, 상기 Q노드전극 또는 상기 QB노드전극은 상기 Q노드 또는 상기 QB노드를 형성하는 전극이다.
- [0136] 다음, 상기 중간층(130)은, 상기 노드전극층(120) 상단에 형성되며, 상기 노드전극층(120)과 다른 구성요소들을 절연시키는 기능을 수행한다.
- [0137] 다음, 상기 절연층(150)은, 상기 중간층 상단에 형성되는 것으로서, PAC로 구성될 수 있다. 상기 PAC는 유기물 질로 형성되는 절연체로서, 두껍게 형성될 수 있다.
- [0138] 다음, 상기 제1캐패시터전극층(210)은, 상기 절연층(150) 상단에 형성되어 있고, 상기 중간층(130)과 상기 절연층(150)에 형성되어 있는 컨택홀을 통해 상기 노드전극층(120)과 연결되어 있다.
- [0139] 상기 제1캐패시터전극층(210)에는, 상기 Q노드 캐패시터의 제1전극 또는 상기 QB노드 캐패시터의 제1전극으로 이용되는 제1캐패시터전극이 형성되어 있다.
- [0140] 상기한 바와 같이, 상기 GIP에는 상기 Q노드와 저준위 전압라인(VGL)에 의해 형성되는 Q노드 캐패시터(C_Q) 및 QB노드와 상기 저준위 전압라인(VLG)에 의해 형성되는 QB노드 캐패시터(C_{QB})가 형성되어 있다. 이 경우, 상기 제1캐패시터전극은, 상기 노드전극층(120)에 형성되어 있는 상기 노드전극과 연결되어, 상기 Q노드 캐패시터의 제1전극 또는 상기 QB노드 캐패시터의 제1전극으로 이용된다.
- [0141] 즉, 상기 제1캐패시터전극층(210)에는, 상기 Q노드 캐패시터의 제1전극으로 이용되는 제1캐패시터전극 및, 상기 QB노드 캐패시터의 제1전극으로 이용되는 또 다른 제1캐패시터전극이 형성되어 있다.
- [0142] 부연하여 설명하면, 상기 제1캐패시터전극층(210)에 형성되어 있는 상기 제1캐패시터전극들 중, 상기 노드전극층(120)에 형성되어 있는 상기 Q노드전극과 연결되는 제1캐패시터전극은, 상기 Q노드 캐패시터의 제1전극으로 이용된다.

- [0143] 또한, 상기 제1캐패시터전극층(210)에 형성되어 있는 상기 제1캐패시터전극들 중, 상기 노드전극층(120)에 형성되어 있는 상기 QB노드전극과 연결되는 제1캐패시터전극은, 상기 QB노드 캐패시터의 제1전극으로 이용된다.
- [0144] 여기서, 상기 제1캐패시터전극층(210)에 형성되어 있는 상기 제1캐패시터전극은, 도 6에서 상기 공통전극층(190)에 형성되어 있는 상기 공통전극과 동일한 물질로 형성되어 있다. 즉, 도 8의 (a)에 도시된 상기 제1캐패시터전극층(210)은, 도 6에 도시된 상기 공통전극층(190)과 동일한 층이며, 상기 제1캐패시터전극과 상기 공통전극은 동일한 물질로 형성되어 있다.
- [0145] 따라서, 상기 제1캐패시터전극층(210)에 형성되어 있는 상기 제1캐패시터전극은, 투명전극(211)과, 불투명전극(212)으로 형성될 수 있다.
- [0146] 이 경우, 상기 제1캐패시터전극들과 상기 공통전극은 전기적으로 절연되어 있다.
- [0147] 다음, 상기 보호층(160)은 상기 제1캐패시터전극층(210) 상단에 형성되어 상기 제1캐패시터전극층(180)을 보호하는 기능을 수행한다.
- [0148] 상기 보호층(160)은 PAS로 형성될 수 있다. 상기 PAS는 무기물질로 형성되는 절연체이다.
- [0149] 마지막으로, 상기 제2캐패시터전극층(220)은, 상기 보호층(160) 상단에 형성되어 있다. 상기 제2캐패시터전극층(220)에는, 상기 Q노드 캐패시터의 제2전극 또는 상기 QB노드 캐패시터의 제2전극으로 이용되는 제2캐패시터전극이 형성되어 있다.
- [0150] 상기 제2캐패시터전극층(210)에 형성되는 상기 제2캐패시터전극은, 상기 저준위 전압라인(VGL)으로 이용되어, 상기 Q노드 캐패시터의 제2전극 또는 상기 QB노드 캐패시터의 제2전극을 형성할 수 있다.
- [0151] 즉, 상기 제2캐패시터전극층(220)에는, 상기 Q노드 캐패시터의 제2전극으로 이용되는 제2캐패시터전극 및, 상기 QB노드 캐패시터의 제2전극으로 이용되는 또 다른 제2캐패시터전극이 형성되어 있다.
- [0152] 부연하여 설명하면, 상기 제2캐패시터전극층(220)에 형성되어 있는 상기 제2캐패시터전극들 중, 어느 하나의 제2캐패시터전극은, 상기 Q노드 캐패시터의 제2전극으로 이용된다.
- [0153] 또한, 상기 제2캐패시터전극층(220)에 형성되어 있는 상기 제2캐패시터전극들 중, 또 다른 제2캐패시터전극은, 상기 QB노드 캐패시터의 제2전극으로 이용된다.
- [0154] 여기서, 상기 제2캐패시터전극층(220) 중 상기 액티브영역(AA)에 대응되는 부분에는, 각 픽셀별로 상기 픽셀전극이 형성될 수 있다.
- [0155] 즉, 상기 제2캐패시터전극층(220)에는, 상기 Q노드 캐패시터의 제2전극으로 이용되는 제2캐패시터전극, 상기 QB노드 캐패시터의 제2전극으로 이용되는 또 다른 제2캐패시터전극 및 상기 픽셀전극들이 형성될 수 있다.
- [0156] 이 경우, 상기 제2캐패시터전극들 각각과 상기 픽셀전극들 각각은 전기적으로 절연되어 있다.
- [0157] 한편, 도 8의 (a)에 도시되어 있는 상기 GIP 영역(C)에서는, 상기 제1캐패시터전극층(210)과 상기 제2캐패시터전극층(220) 및 상기 보호층(160)에 의해, 상기 Q노드 캐패시터 및 상기 QB노드 캐패시터가 형성된다.
- [0158] 즉, 상기 제1캐패시터전극층(210)에 형성되는 상기 제1캐패시터전극과, 상기 제2캐패시터전극층(220)에 형성되는 상기 제2캐패시터전극은, 상기 Q노드 캐패시터의 제1전극 및 제2전극을 형성할 수 있다.
- [0159] 또한, 상기 제1캐패시터전극층(210)에 형성되는 상기 제1캐패시터전극과, 상기 제2캐패시터전극층(220)에 형성되는 상기 제2캐패시터전극은, 상기 QB노드 캐패시터의 제1전극 및 제2전극을 형성할 수 있다.
- [0160] 상기한 바와 같은 본 발명에서는, 상기 Q노드 캐패시터 또는 상기 QB노드 캐패시터의 제1전극을 형성하는 상기 제1캐패시터전극이, 상기 제1캐패시터전극층(210)에서 상기 공통전극과 나란하게 형성되어 있으며, 상기 Q노드 캐패시터 또는 상기 QB노드 캐패시터의 제2전극을 형성하는 상기 제2캐패시터전극이 상기 제2캐패시터전극층(220)에 형성될 수 있기 때문에, 상기 Q노드 캐패시터 및 상기 QB노드 캐패시터의 형성을 위한 별도의 공간이 요구되지 않는다.
- [0161] 따라서, 상기 GIP 영역(C)의 크기가 감소될 수 있다.
- [0162] 넷째, 상기 GIP 영역(C)의 제2예가 도 8의 (b)에 도시되어 있다.

- [0163] 즉, 본 발명에 적용되는 상기 GIP 영역(C)은, 도 8의 (b)에 도시된 바와 같이, 기관(110), 상기 Q노드를 형성하는 Q노드전극 또는 상기 QB노드를 형성하는 QB노드전극으로 이용되는 노드전극이 형성되어 있는 노드전극층(120), 상기 노드전극층(120) 상단에 형성되어 있는 중간층(130), 상기 중간층(130) 상단에 형성되어 있는 절연층(150), 상기 절연층 상단에 형성되어 있으며, 상기 Q노드 캐패시터의 제2전극 또는 상기 QB노드 캐패시터의 제2전극으로 이용되는 제2캐패시터전극이 형성되어 있는 제2캐패시터전극층(210), 상기 제2캐패시터전극층 상단에 형성되어 있는 보호층(160) 및 상기 보호층(160) 상단에 형성되어 있으며, 상기 Q노드 캐패시터의 제1전극 또는 상기 QB노드 캐패시터의 제1전극으로 이용되는 제1캐패시터전극이 형성되어 있는 제1캐패시터전극층(220)을 포함하며, 상기 노드전극은 상기 제1캐패시터전극과 전기적으로 연결되어 있다. 이하의 설명 중, 도 8의 (a)를 참조하여 설명된 내용과 동일하거나 유사한 내용은 생략되거나 또는 간단히 설명된다.
- [0164] 우선, 상기 기관(110)은 상기 하부기관을 형성하는 베이스기관으로서, 투명한 합성수지 또는 유리로 형성될 수 있다.
- [0165] 다음, 상기 노드전극층(120)에는, 상기 Q노드를 형성하는 Q노드전극 또는 상기 QB노드를 형성하는 QB노드전극으로 이용되는 노드전극이 형성되어 있다.
- [0166] 다음, 상기 중간층(130)은, 상기 노드전극층(120) 상단에 형성되며, 상기 노드전극층(120)과 다른 구성요소들을 절연시키는 기능을 수행한다.
- [0167] 다음, 상기 절연층(150)은, 상기 중간층 상단에 형성되는 것으로서, PAC로 구성될 수 있다. 상기 PAC는 유기물 질로 형성되는 절연체로서, 두껍게 형성될 수 있다.
- [0168] 다음, 상기 제2캐패시터전극층(210)은, 상기 절연층(150) 상단에 형성되어 있으며, 상기 제2캐패시터전극층(210)에는, 상기 Q노드 캐패시터의 제2전극 또는 상기 QB노드 캐패시터의 제2전극으로 이용되는 제2캐패시터전극이 형성되어 있다.
- [0169] 이 경우, 상기 제2캐패시터전극은, 상기 저준위 전압라인(VGL)으로 이용되어, 상기 Q노드 캐패시터의 제2전극 또는 상기 QB노드 캐패시터의 제2전극을 형성할 수 있다.
- [0170] 즉, 상기한 바와 같이, 상기 GIP에는 상기 Q노드와 저준위 전압라인(VGL)에 의해 형성되는 Q노드 캐패시터(C_Q) 및 QB노드와 상기 저준위 전압라인(VLG)에 의해 형성되는 QB노드 캐패시터(C_{QB})가 형성되어 있다. 이 경우, 상기 제2캐패시터전극층(210)에 형성되는 상기 제2캐패시터전극은, 상기 저준위 전압라인(VGL)으로 이용되어, 상기 Q노드 캐패시터의 제2전극 또는 상기 QB노드 캐패시터의 제2전극을 형성할 수 있다.
- [0171] 즉, 상기 제2캐패시터전극층(210)에는, 상기 Q노드 캐패시터의 제2전극으로 이용되는 제2캐패시터전극 및, 상기 QB노드 캐패시터의 제2전극으로 이용되는 또 다른 제1캐패시터전극이 형성되어 있다.
- [0172] 부연하여 설명하면, 상기 제2캐패시터전극층(210)에 형성되어 있는 상기 제2캐패시터전극들 중, 어느 하나의 제2캐패시터전극은, 상기 Q노드 캐패시터의 제2전극으로 이용된다.
- [0173] 또한, 상기 제2캐패시터전극층(210)에 형성되어 있는 상기 제2캐패시터전극들 중, 또 다른 제2캐패시터전극은, 상기 QB노드 캐패시터의 제2전극으로 이용된다.
- [0174] 여기서, 상기 제2캐패시터전극은, 도 6에서 상기 공통전극층(190)에 형성되어 있는 상기 공통전극과 동일한 물질로 형성되어 있다. 즉, 도 8의 (b)에 도시된 상기 제2캐패시터전극층(210)은, 도 6에 도시된 상기 공통전극층(190)과 동일한 층이며, 상기 제2캐패시터전극과 상기 공통전극은 동일한 물질로 형성되어 있다.
- [0175] 따라서, 상기 제2캐패시터전극은, 투명전극(211)과, 불투전극(212)으로 형성될 수 있다.
- [0176] 이 경우, 상기 제2캐패시터전극과 상기 공통전극은 전기적으로 절연되어 있다.
- [0177] 다음, 상기 보호층(160)은 상기 제2캐패시터전극층(210) 상단에 형성되어 상기 제2캐패시터전극층(180)을 보호하는 기능을 수행한다.
- [0178] 상기 보호층(160)은 PAS로 형성될 수 있다. 상기 PAS는 무기물질로 형성되는 절연체이다.
- [0179] 마지막으로, 상기 제1캐패시터전극층(220)은, 상기 보호층(160) 상단에 형성되어 있다.
- [0180] 상기 제1캐패시터전극층(220)에는, 상기 Q노드 캐패시터의 제1전극 또는 상기 QB노드 캐패시터의 제1전극으로 이용되는 제1캐패시터전극이 형성되어 있다.

- [0181] 즉, 상기 제1캐패시터전극층(220)에는, 상기 Q노드 캐패시터의 제1전극으로 이용되는 제1캐패시터전극 및, 상기 QB노드 캐패시터의 제1전극으로 이용되는 또 다른 제1캐패시터전극이 형성되어 있다.
- [0182] 부연하여 설명하면, 상기 제1캐패시터전극층(220)에 형성되어 있는 상기 제1캐패시터전극들 중, 어느 하나의 제1캐패시터전극은, 상기 Q노드 캐패시터의 제1전극으로 이용된다.
- [0183] 또한, 상기 제1캐패시터전극층(220)에 형성되어 있는 상기 제1캐패시터전극들 중, 또 다른 제1캐패시터전극은, 상기 QB노드 캐패시터의 제1전극으로 이용된다.
- [0184] 여기서, 상기 제1캐패시터전극층(220) 중 상기 액티브영역(AA)에 대응되는 부분에는, 각 픽셀별로 상기 픽셀전극이 형성될 수 있다.
- [0185] 즉, 상기 제1캐패시터전극층(220)에는, 상기 Q노드 캐패시터의 제1전극으로 이용되는 제1캐패시터전극, 상기 QB노드 캐패시터의 제1전극으로 이용되는 또 다른 제1캐패시터전극 및 상기 픽셀전극들이 형성될 수 있다.
- [0186] 이 경우, 상기 제1캐패시터전극들 각각과 상기 픽셀전극들 각각은 전기적으로 절연되어 있다.
- [0187] 이를 위해, 상기 Q노드 캐패시터의 제1전극으로 이용되는 상기 제1캐패시터전극은, 상기 노드전극층(120)에 형성되어 있는 Q노드 전극과 연결되어 있으며, 상기 QB노드 캐패시터의 제1전극으로 이용되는 제1캐패시터전극은, 상기 노드전극층(120)에 형성되어 있는 QB노드전극과 연결되어 있다.
- [0188] 한편, 도 8의 (b)에 도시되어 있는 상기 GIP 영역(C)에서는, 상기 제1캐패시터전극층(220)과 상기 제2캐패시터전극층(210) 및 상기 보호층(160)에 의해, 상기 Q노드 캐패시터 및 상기 QB노드 캐패시터가 형성된다.
- [0189] 즉, 상기 제1캐패시터전극층(220)에 형성되는 상기 제1캐패시터전극과, 상기 제2캐패시터전극층(210)에 형성되는 상기 제2캐패시터전극은, 상기 Q노드 캐패시터의 제1전극 및 제2전극을 형성할 수 있다.
- [0190] 또한, 상기 제1캐패시터전극층(220)에 형성되는 상기 제1캐패시터전극과, 상기 제2캐패시터전극층(210)에 형성되는 상기 제2캐패시터전극은, 상기 QB노드 캐패시터의 제1전극 및 제2전극을 형성할 수 있다.
- [0191] 부연하여 설명하면, 도 8의 (a)에서는, 상기 공통전극층(190)과 동일한 층인 상기 제1캐패시터전극층(210)에 형성되어 있는 상기 제1캐패시터전극이, 상기 노드전극층(120)과 연결되어, 상기 Q노드 캐패시터 또는 상기 QB노드 캐패시터의 제1전극을 형성하고, 상기 제2캐패시터전극층(220)에 형성되어 있는 상기 제2캐패시터전극이, 상기 Q노드 캐패시터 또는 상기 QB노드 캐패시터의 제2전극을 형성하였다.
- [0192] 그러나, 도 8의 (b)에서는 상기 공통전극층(190)과 동일한 층인 상기 제2캐패시터전극층(210)에 형성되어 있는 상기 제2캐패시터전극이, 상기 Q노드 캐패시터 또는 상기 QB노드 캐패시터의 제2전극을 형성하고, 상기 제1캐패시터전극층(220)에 형성되어 있는 상기 제1캐패시터전극이, 상기 노드전극층(120)과 연결되어, 상기 Q노드 캐패시터 또는 상기 QB노드 캐패시터의 제1전극을 형성한다.
- [0193] 상기한 바와 같은 본 발명에서는, 상기 Q노드 캐패시터 또는 상기 QB노드 캐패시터의 제2전극을 형성하는 상기 제2캐패시터전극이, 상기 제2캐패시터전극층(210)에서 상기 공통전극과 나란하게 형성되어 있으며, 상기 Q노드 캐패시터 또는 상기 QB노드 캐패시터의 제1전극을 형성하는 상기 제1캐패시터전극이 상기 제1캐패시터전극층(220)에 형성될 수 있기 때문에, 상기 Q노드 캐패시터 및 상기 QB노드 캐패시터의 형성을 위한 별도의 공간이 요구되지 않는다.
- [0194] 따라서, 상기 GIP 영역(C)의 크기가 감소될 수 있다.
- [0195] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

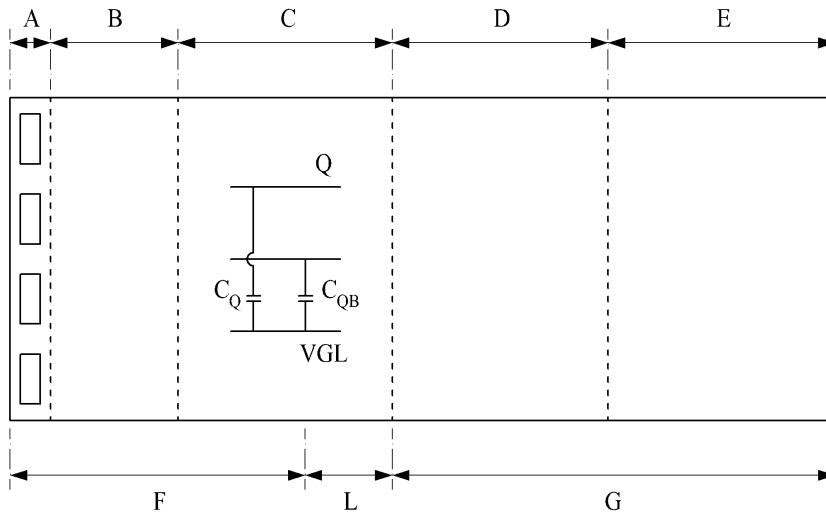
부호의 설명

- [0196] 100 : 패널
200 : 드라이버
A : 더미영역
H : 공통전극 영역

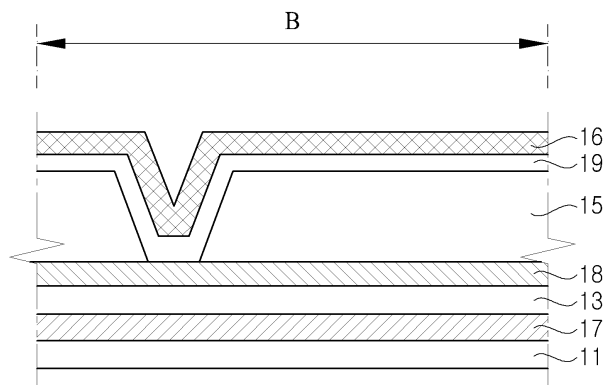
C : GIP 영역
D : GIP 시그널 영역
E : 스크라이빙 마진 영역
F : 블랙메트릭스 영역
G : 셀링영역
L : 갭영역

도면

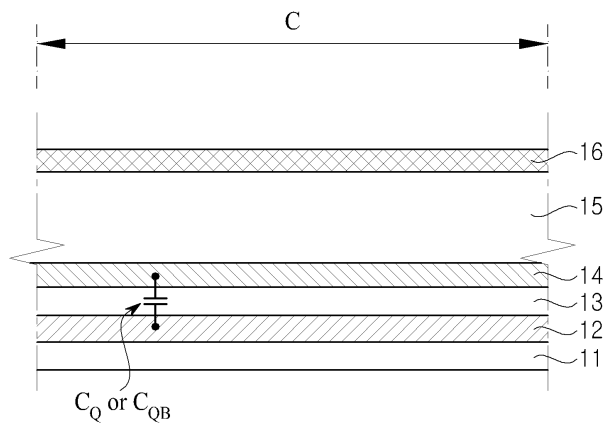
도면1



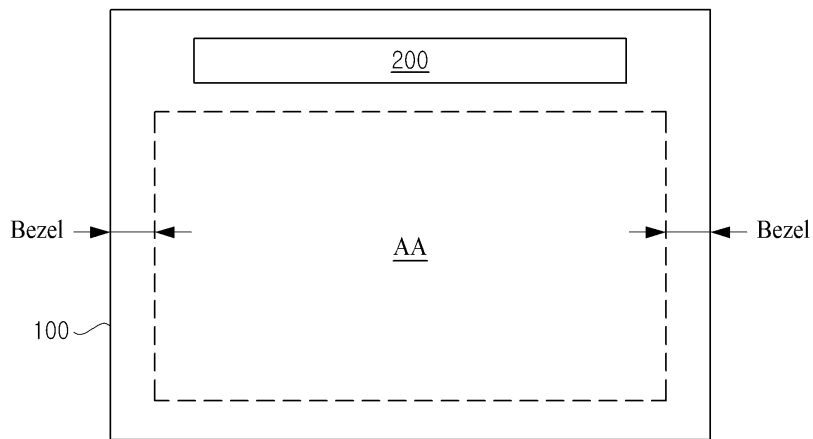
도면2



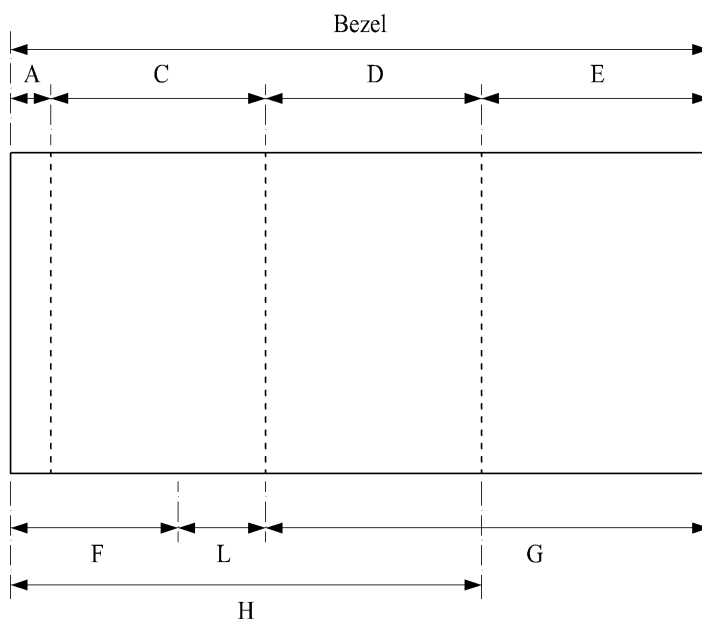
도면3



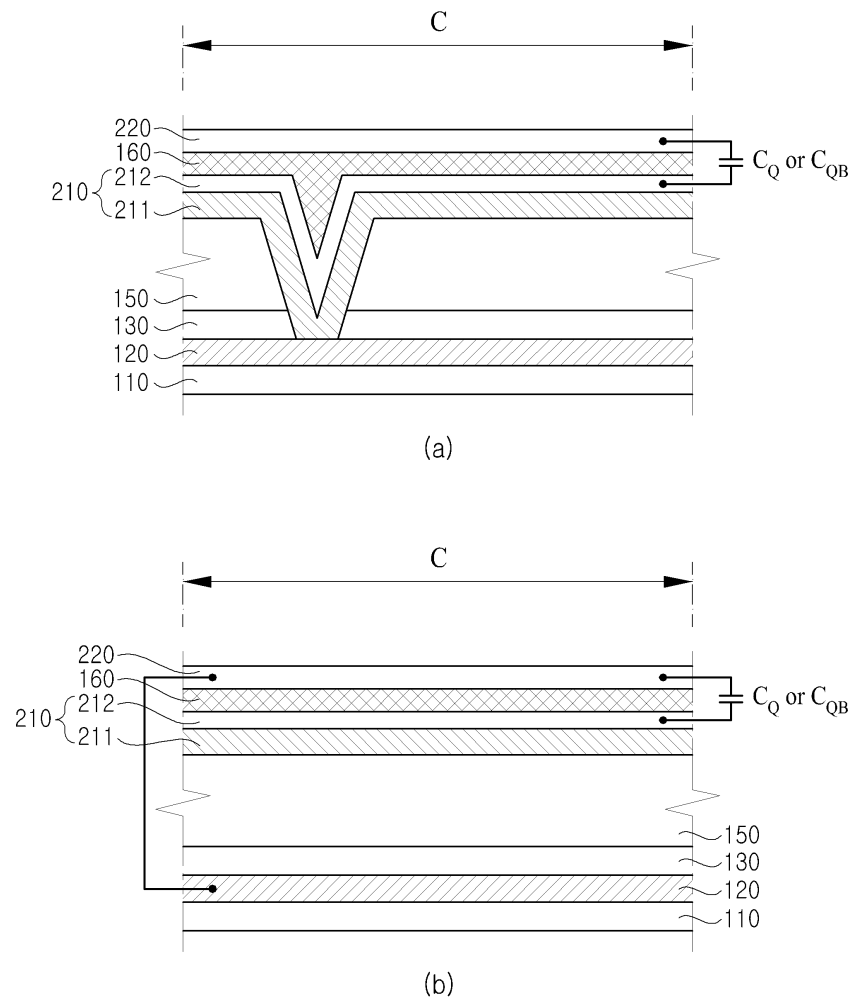
도면4



도면5



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR1020150033020A	公开(公告)日	2015-04-01
申请号	KR1020130112463	申请日	2013-09-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HUN JANG 장훈 JOONDONG LEE 이준동		
发明人	장훈 이준동		
IPC分类号	G02F1/133 G02F1/1343 G02F1/1345		
CPC分类号	G02F1/133 G02F1/133308 G02F1/1343 G02F2201/121		
其他公开文献	KR102033099B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，特别是具有以下技术问题：提供一种由透明的第一公共电极线和不透明的第二公共电极线构成并覆盖GIP区域的公共电极构成的液晶显示装置。 ，黑矩阵区域和密封区域。 同样，根据本发明的液晶显示装置包括：面板，其包括在其中显示视频的有源区域；以及形成在该有源区域的边界上的边框；所述边框包括密封区域，在所述密封区域中形成有用于层压形成所述面板的上基板和下基板的密封件；所述驱动器用于驱动形成在所述有源区域上的栅极线和数据线的驱动器。 从与密封区域分开的区域在有源区域上形成黑矩阵区域；透明的第一公共电极线和不透明的第二公共电极线形成成为与黑矩阵区域和密封区域重叠的公共电极区域。

