



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0095928
(43) 공개일자 2014년08월04일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2013-0008933

(22) 출원일자 2013년01월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

유재용

서울 은평구 응암동 백련산로 38 203동 1206호

임동훈

경기 고양시 일산동구 백마로 195, 104동 1001호
(장항동, SK엠티오피스텔)

(74) 대리인

특허법인로알

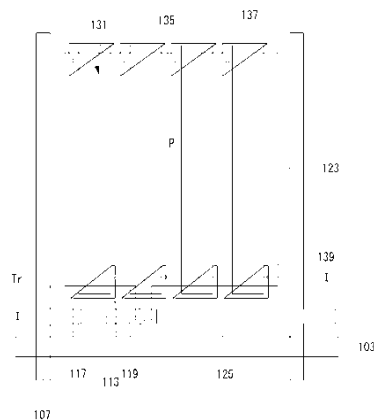
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정표시장치 어레이 기판

(57) 요약

본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 기판 상에 일 방향으로 배열된 게이트 라인들, 상기 게이트 라인들과 교차하여 다수의 서브픽셀을 정의하는 데이터 라인들, 상기 게이트 라인들과 상기 데이터 라인들의 교차부에 형성된 박막트랜지스터들, 상기 박막트랜지스터들에 각각 연결된 화소 전극들, 상기 화소 전극들과 대향하여 전계를 형성하며, 복수의 슬릿들이 형성된 공통 전극들, 및 상기 공통 전극들 상에 형성되며, 상기 복수의 슬릿들의 끝단의 일부를 덮는 도전 패턴들을 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관 상에 일 방향으로 배열된 게이트 라인들;

상기 게이트 라인들과 교차하여 다수의 서브픽셀을 정의하는 데이터 라인들;

상기 게이트 라인들과 상기 데이터 라인들의 교차부에 형성된 박막트랜지스터들;

상기 박막트랜지스터들에 각각 연결된 화소 전극들;

상기 화소 전극들과 대향하여 전계를 형성하며, 복수의 슬릿들이 형성된 공통 전극들; 및

상기 공통 전극들 상에 형성되며, 상기 복수의 슬릿들의 끝단의 일부를 덮는 도전 패턴들을 포함하는 것을 특징으로 하는 액정표시장치 어레이 기관.

청구항 2

제1 항에 있어서,

상기 도전 패턴들은 상기 공통 전극들에 전기적으로 연결된 것을 특징으로 하는 액정표시장치 어레이 기관.

청구항 3

제2 항에 있어서,

상기 공통 전극들 상에 위치하는 패시베이션막을 더 포함하며,

상기 패시베이션막 상에 상기 도전 패턴들이 위치하는 것을 특징으로 하는 액정표시장치 어레이 기관.

청구항 4

제2 항에 있어서,

상기 도전 패턴들은 상기 공통 전극과 접촉하는 것을 특징으로 하는 액정표시장치 어레이 기관.

청구항 5

제3 항에 있어서,

상기 도전 패턴들은 상기 패시베이션막에 형성된 비어홀을 통해 상기 공통 전극과 접촉하는 것을 특징으로 하는 액정표시장치 어레이 기관.

청구항 6

제1 항에 있어서,

상기 도전 패턴들은 일변이 상기 슬릿들의 끝단을 사선으로 덮는 것을 특징으로 하는 액정표시장치 어레이 기관.

청구항 7

제1 항에 있어서,

상기 도전 패턴들은 ITO, IZO 또는 ITZO로 이루어지는 것을 특징으로 하는 액정표시장치 어레이 기판.

청구항 8

제1 항에 있어서,

상기 다수의 서브픽셀들 중 상하로 인접하는 두 개의 서브픽셀들은 서로 인접하는 슬릿들을 포함하되, 서로 인접하는 상기 슬릿들을 적어도 하나의 상기 도전 패턴으로 덮는 것을 특징으로 하는 액정표시장치 어레이 기판.

청구항 9

제1 항에 있어서,

상기 복수의 슬릿들의 끝단의 형상은 상기 기판 위에서 볼 때 끝이 뾰족한 형상인 것을 특징으로 하는 액정표시장치 어레이 기판.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 자세하게는 전경선을 조절하여 투과율을 향상시킬 수 있는 액정표시장치 어레이 기판에 관한 것이다.

배경기술

[0002] 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0003] 현재는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다. 상기 액정표시장치는 공통 전극이 형성된 컬러필터 기판과 화소 전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통 전극과 화소 전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

[0004] 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다. 횡전계형 액정표시장치는 화소 전극과 공통 전극 간의 수평 전계를 이용해 액정을 구동함으로써, 시야각이 향상되는 이점이 있다.

[0005] 도 1은 종래 액정표시장치 어레이 기판의 일부를 나타낸 도면이다.

[0006] 도 1을 참조하면, 액정표시장치 어레이 기판은 매트릭스 형태로 배열된 복수의 서브픽셀들을 포함하며, 각 서브픽셀들에는 서로 대향하는 화소 전극(10) 및 복수의 슬릿(30)들이 형성된 공통 전극(20)이 위치한다. 화소 전극(10)과 공통 전극(20) 사이에는 수직 전계와 수평 전계가 발생되고 그에 따라 액정이 구동된다.

[0007] 반면, 화소 전극(10)의 끝단이 위치하는 영역과 공통 전극(20)의 슬릿(30)들의 끝단에서는 서로 다른 방향의 전계들이 더해져 액정이 구동되지 않아 전경선(disclination)이 생기고, 이러한 전경선으로 인해 투과율이 감소하게 되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 전경선을 조절하여 투과율을 향상시킬 수 있는 액정표시장치 어레이 기판을 제공한다.

과제의 해결 수단

- [0009] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 기판 상에 일 방향으로 배열된 게이트 라인들, 상기 게이트 라인들과 교차하여 다수의 서브픽셀을 정의하는 데이터 라인들, 상기 게이트 라인들과 상기 데이터 라인들의 교차부에 형성된 박막트랜지스터들, 상기 박막트랜지스터들에 각각 연결된 화소 전극들, 상기 화소 전극들과 대향하여 전계를 형성하며, 복수의 슬릿들이 형성된 공통 전극들, 및 상기 공통 전극들 상에 형성되며, 상기 복수의 슬릿들의 끝단의 일부를 덮는 도전 패턴들을 포함하는 것을 특징으로 한다.
- [0010] 상기 도전 패턴들은 상기 공통 전극들에 전기적으로 연결된 것을 특징으로 한다.
- [0011] 상기 공통 전극들 상에 위치하는 패시베이션막을 더 포함하며, 상기 패시베이션막 상에 상기 도전 패턴들이 위치하는 것을 특징으로 한다.
- [0012] 상기 도전 패턴들은 상기 공통 전극과 접촉하는 것을 특징으로 한다.
- [0013] 상기 도전 패턴들은 상기 패시베이션막에 형성된 비어홀을 통해 상기 공통 전극과 접촉하는 것을 특징으로 한다.
- [0014] 상기 도전 패턴들은 일변이 상기 슬릿들의 끝단을 사선으로 덮는 것을 특징으로 한다.
- [0015] 상기 도전 패턴들은 ITO, IZO 또는 ITZO로 이루어지는 것을 특징으로 한다.
- [0016] 상기 다수의 서브픽셀들 중 상하로 인접하는 두 개의 서브픽셀들은 서로 인접하는 슬릿들을 포함하되, 서로 인접하는 상기 슬릿들을 적어도 하나의 상기 도전 패턴으로 덮는 것을 특징으로 한다.
- [0017] 상기 복수의 슬릿들의 끝단의 형상은 상기 기판 위에서 볼 때 끝이 뾰족한 형상인 것을 특징으로 한다.

발명의 효과

- [0018] 본 발명의 실시예들에 따른 액정표시장치 어레이 기판은 화소 전극과 공통 전극 사이에 걸리는 전압차에 의해 액정이 역방향으로 회전하는 영역을 조절할 수 있다. 따라서, 서브픽셀에서 발생하는 전경선을 감소시켜 투과율을 향상시킬 수 있는 이점이 있다.

도면의 간단한 설명

- [0019] 도 1은 종래 액정표시장치 어레이 기판의 일부를 나타낸 도면.
- 도 2는 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도.
- 도 3은 본 발명의 도전 패턴의 형상을 나타낸 도면.
- 도 4는 도 2의 I-I'에 따라 절취한 단면도.
- 도 5는 본 발명의 다른 실시예에 따른 액정표시장치 어레이 기판을 나타낸 평면도.
- 도 6은 도 5의 II-II'에 따라 절취한 단면도.
- 도 7은 본 발명의 또 다른 실시예에 따른 액정표시장치 어레이 기판을 나타낸 평면도.
- 도 8은 본 발명의 또 다른 실시예에 따른 액정표시장치 어레이 기판을 나타낸 평면도.
- 도 9a 내지 도 9d는 종래 기술에 따른 액정표시장치 어레이 기판의 전압차에 따른 전경선 발생 여부를 나타낸 도면.

도 10a 내지 도 10d는 본 발명에 따라 도전 패턴을 구비한 액정표시장치 어레이 기판의 전압차에 따른 전경선 발생 여부를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부한 도면을 참조하여 본 발명의 일 실시 예들을 상세히 설명하면 다음과 같다.
- [0021] 도 2는 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도이고, 도 3은 본 발명의 도전 패턴의 형상을 나타낸 도면이며, 도 4는 도 2의 I-I'에 따라 절취한 단면도이다. 하기에서는 설명의 편의를 위해 액정표시장치의 어레이 기판과 서브픽셀들을 나타내고 설명하기로 한다.
- [0022] 도 2를 참조하면, 복수의 서브픽셀(P)들을 포함하는 기판(미도시) 상에 일 방향으로 연장되며 배열된 게이트 라인(103)이 위치하고, 상기 게이트 라인(103)과 교차하여 서브픽셀(P)을 정의하는 데이터 라인(107)이 위치한다. 따라서, 게이트 라인(103)과 데이터 라인(107)의 교차에 의해 복수의 서브픽셀(P)이 정의된다.
- [0023] 각 서브픽셀(P)에는 상기 게이트 라인(103)에 연결된 게이트 전극(113), 게이트 절연막(미도시), 반도체층(미도시), 상기 데이터 라인(107)에 전기적으로 연결된 소스 전극(117), 상기 소스 전극(117)과 이격된 드레인 전극(119)으로 구성된 박막 트랜지스터(Tr)가 위치한다.
- [0024] 본 도면에서 상기 박막 트랜지스터(Tr)는 채널을 이루는 영역이 'I' 형태를 이루는 것을 예로 도시하였지만, 이에 한정되지 않으며, 'U' 형태로도 이루어질 수 있다. 또한, 상기 박막 트랜지스터(Tr)는 게이트 전극(113)이 게이트 라인(103)으로부터 돌출된 것을 예로 도시하였지만, 게이트 라인(103) 그 자체로써 이루어질 수도 있다.
- [0025] 상기 각 서브픽셀(P) 내부에서 판 형태의 화소 전극(123)이 상기 박막 트랜지스터(Tr)의 드레인 전극(119)과 연결된다. 상기 복수의 화소영역(P)으로 이루어진 표시영역 전면에는 상기 화소 전극(123)에 대응하여, 바(bar) 형태를 갖는 복수의 슬릿(131)을 갖는 공통 전극(135)이 위치한다. 여기서, 상기 공통 전극(135)은 표시영역 전면에 형성된다.
- [0026] 한편, 본 발명의 공통 전극(135) 상에 도전 패턴(137)들이 위치한다. 도전 패턴(137)들은 공통 전극(135)에 형성된 복수의 슬릿(131)들의 양 끝단에 각각 위치한다. 여기서, 도전 패턴(137)들은 슬릿(131)의 양 끝단을 덮되, 기판 위에서 볼 때 슬릿(131)의 끝단들이 뾰족한 형상을 이루도록 위치한다. 이를 위해, 도전 패턴(137)들은 일변이 사선으로 이루어져 슬릿(131)들의 양 끝단들을 덮게 된다.
- [0027] 또한, 도전 패턴(137)들의 형상은 하나의 슬릿(131)에서 볼 때, 서로 점 대칭의 형상으로 이루어져 슬릿(131)의 끝단을 덮게 된다. 도전 패턴(137)의 형상은 도 3의 (a)에 도시된 것처럼 삼각형으로 이루어지거나, (b)에 도시된 바와 같이 사변형 혹은 평행사변형으로 이루어질 수 있다. 또한, (c)에 도시된 바와 같이 평행사변형에서 한 쪽 모서리가 깎인 것 같은 형상인 오각형으로 이루어질 수도 있다. 그러나, 본 발명은 이에 한정되지 않으며, 도전 패턴(137)이 슬릿(131)의 끝단을 뾰족한 형상으로 덮을 수 있는 형상이면 어느 형상으로 이루어져도 무방하다.
- [0028] 또한, 도전 패턴(137)은 하나의 슬릿(131)에 대응하지 않고 좌우로 인접한 복수의 슬릿(131)들을 일체로 덮을 수 있다. 즉, 하나의 도전 패턴(137)으로 두 개의 슬릿(131)들의 끝단을 덮거나, 세 개 혹은 그 이상의 슬릿(131)들의 끝단을 덮을 수 있다. 두 개의 슬릿(131)들의 끝단을 하나의 도전 패턴(137)이 덮는 것을 예로 들면, 도 3의 (d)에 도시된 바와 같이 삼각형이 서로 연결된 형상으로 도전 패턴(137)이 이루어질 수 있고, (e)에 도시된 바와 같이 사각형이 서로 연결된 형상으로 도전 패턴(137)이 이루어질 수 있다.
- [0029] 상기의 도전 패턴(137)들은 슬릿(131)의 양끝단을 뾰족하게 함으로써, 화소 전극(123)과 공통 전극(135) 사이에 걸리는 전압차에 의해 액정이 역방향으로 회전하는 영역을 제거할 수 있다. 따라서, 서브픽셀에서 발생하는 전경선을 감소시켜 투과율을 향상시킬 수 있는 이점이 있다.
- [0030] 이하, 도 4를 참조하여, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판을 살펴보면, 기판(101) 상에 일 방향으로 배열된 게이트 라인(미도시)과 일체형의 게이트 전극(113)이 위치한다. 기판(101)은 유리, 플라스틱 또는 금속 기판으로 이루어지고, 게이트 전극(113)은 저저항의 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 중 선택되는 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0031] 상기 게이트 전극(113) 상에 게이트 전극(113)을 절연시키는 게이트 절연막(114)이 위치한다. 게이트 절연막(114)은 무기절연물질 예를 들면 실리콘산화물(SiO_x) 또는 실리콘질화물(SiN_x)로 이루어질 수 있다. 게이트 절연막(114) 상에 상기 게이트 전극(113)과 대응되는 영역에 반도체층(115)이 위치한다. 반도체층(115)은 비정질

실리콘 또는 비정질 실리콘을 결정화한 다결정 실리콘으로 이루어진다. 이와는 달리, 반도체층(115)은 금속 산화물계 물질들로 이루어질 수 있으며, 예를 들어, 인듐갈륨아연산화물(IGZO), 갈륨산화물(Ga_2O_3), 인듐산화물(In_2O_3) 또는 아연산화물(ZnO)로 이루어질 수 있다.

- [0032] 상기 반도체층(115)의 양측 단부에는 소스 전극(117)과 드레인 전극(119)이 각각 위치한다. 따라서, 게이트 전극(113), 반도체층(115), 소스 전극(117) 및 드레인 전극(119)을 포함하는 박막 트랜지스터(Tr)를 구성한다. 소스 전극(117)과 드레인 전극(119)은 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 등으로 이루어질 수 있다.
- [0033] 상기 박막 트랜지스터(Tr) 상에 박막 트랜지스터(Tr)을 보호하는 제1 패시베이션막(121)이 위치한다. 제1 패시베이션막(121)은 무기절연물질 예를 들면 실리콘산화물(SiO_x) 또는 실리콘질화물(SiN_x)로 이루어질 수 있다. 제1 패시베이션막(121) 상에 상기 드레인 전극(119)과 전기적으로 연결되는 화소 전극(123)이 위치한다. 화소 전극(123)은 투명 도전성 물질 예를 들면 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)로 이루어질 수 있다.
- [0034] 상기 화소 전극(123)을 포함하는 기판(101) 상에 제2 패시베이션막(125)이 위치한다. 제2 패시베이션막(125)은 전술한 제1 패시베이션막(121)과 동일한 물질로 이루어질 수 있다. 그리고, 화소 전극(123)과 대응하는 제2 패시베이션막(125) 상에 복수의 슬릿(131)들이 형성된 공통 전극(135)이 위치한다. 공통 전극(135)은 복수의 서브픽셀(P)들이 형성된 기판(101) 전면에 형성되고, 이를 패터닝하여 각 화소 전극(123)과 대응하는 영역에 복수의 슬릿(131)들이 형성된다. 공통 전극(135)은 상기 화소 전극(123)과 동일하게 투명 도전성 물질 예를 들면 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)로 이루어질 수 있다.
- [0035] 그리고, 상기 슬릿(131)들에 의해 노출된 제2 패시베이션막(125)과 상기 공통 전극(135)에 걸쳐 복수의 도전 패턴(137)들이 위치한다. 도전 패턴(137)들은 상기 화소 전극(123) 및 공통 전극(135)과 동일하게 투명 도전성 물질 예를 들면 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)로 이루어질 수 있다. 이와는 달리, 도전 패턴(137)들은 도전성의 금속 예를 들어 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 등으로 이루어질 수 있으나, 투과율 측면에서 전술한 투명 도전성 물질로 이루어짐이 바람직하다. 상기 도전 패턴(137)들은 공통 전극(135)과 접촉하고 있어 공통 전극(135)에 인가되는 전압이 그대로 전달되어 공통 전극(135)으로 작용할 수 있다.
- [0036] 상기와 같이, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 화소 전극(123)과 공통 전극(135) 사이에 걸리는 전압차에 의해 액정이 역방향으로 회전하는 영역을 제거할 수 있다. 따라서, 서브픽셀에서 발생하는 전경선을 감소시켜 투과율을 향상시킬 수 있는 이점이 있다.
- [0037] 전술한 실시예에서는 도전 패턴(137)이 공통 전극(135)과 동일층 즉 제2 패시베이션막(125) 상에 위치하는 것을 설명하였다. 그러나, 본 발명의 다른 실시예로 전술한 도전 패턴(137)은 공통 전극(135)과 다른 층에 위치할 수 있다.
- [0038] 도 5는 본 발명의 다른 실시예에 따른 액정표시장치 어레이 기판을 나타낸 평면도이고, 도 6은 도 5의 II-II'에 따른 단면도이며, 도 7은 본 발명의 또 다른 실시예에 따른 액정표시장치 어레이 기판을 나타낸 평면도이다. 하기에서는 전술한 도 4와 동일한 구성요소에 대해 동일한 도면부호를 붙여 발명의 이해를 용이하게 하며, 중복되는 설명을 생략하기로 한다.
- [0039] 도 5 및 도 6을 참조하면, 기판(101) 상에 일 방향으로 배열된 게이트 라인(미도시)과 일체형의 게이트 전극(113)이 위치한다. 상기 게이트 전극(113) 상에 게이트 전극(113)을 절연시키는 게이트 절연막(114)이 위치한다. 게이트 절연막(114) 상에 상기 게이트 전극(113)과 대응되는 영역에 반도체층(115)이 위치한다. 상기 반도체층(115)의 양측 단부에는 소스 전극(117)과 드레인 전극(119)이 각각 위치한다. 따라서, 게이트 전극(113), 반도체층(115), 소스 전극(117) 및 드레인 전극(119)을 포함하는 박막 트랜지스터(Tr)를 구성한다.
- [0040] 상기 박막 트랜지스터(Tr) 상에 박막 트랜지스터(Tr)을 보호하는 제1 패시베이션막(121)이 위치하고, 제1 패시베이션막(121) 상에 상기 드레인 전극(119)과 전기적으로 연결되는 화소 전극(123)이 위치한다. 상기 화소 전극(123)을 포함하는 기판(101) 상에 제2 패시베이션막(125)이 위치한다. 그리고, 화소 전극(123)과 대응하는 제2 패시베이션막(125) 상에 복수의 슬릿(131)들이 형성된 공통 전극(135)이 위치한다. 공통 전극(135)은 복수의 서브픽셀(P)들이 형성된 기판(101) 전면에 형성되고, 이를 패터닝하여 각 화소 전극(123)과 대응하는 영역에 복수의 슬릿(131)들이 형성된다.

- [0041] 상기 공통 전극(135)이 형성된 기판(101) 전면에서 제3 패시베이션막(140)이 위치하고, 제3 패시베이션막(140) 상에 도전 패턴(137)들이 위치한다. 도전 패턴(137)들은 제3 패시베이션막(140)에 형성된 비어홀(139)들을 통해 공통 전극(135)에 각각 접촉한다. 도전 패턴(137)들은 슬릿(131)과 공통 전극(135)에 대응되게 형성되며, 슬릿(131)의 양끝단을 덮도록 형성된다.
- [0042] 도 5 및 도 6에서는 하나의 도전 패턴(137)이 하나의 슬릿(131)에 대응하도록 위치하는 것을 예로 도시하여, 하나의 슬릿(131)마다 비어홀(139)들이 형성되어 도전 패턴(137)이 공통 전극(135)에 접촉하는 것으로 도시하고 설명하였다. 그러나, 하나의 도전 패턴(137)이 인접한 두 개의 슬릿(131)을 일체로 덮는 경우, 두 개의 슬릿(131)마다 하나의 비어홀(139)이 형성될 수도 있다.
- [0043] 또한, 도 7을 참조하면, 본 발명의 도전 패턴(131)들은 하나의 도전 패턴(137)이 서브픽셀(P)의 일측에 위치한 슬릿(131)들의 끝단에 대응하도록 위치할 수 있다. 즉, 서브픽셀(P)의 슬릿(131)들의 상측 끝단에 하나의 도전 패턴(137)이 위치하여 끝단을 덮고, 슬릿(131)들의 하측 끝단에 또 하나의 도전 패턴(137)이 위치하여 끝단을 덮도록 형성될 수 있다. 이 경우, 서브픽셀(P)의 일측에서 도전 패턴(137)이 비어홀(139)을 통해 공통 전극(135)에 접촉된다.
- [0044] 본 발명은 하나의 서브픽셀 단위에서 비어홀(139)을 통해 도전 패턴(137)과 공통 전극(135)이 접촉하는 것으로 도시하고 설명하였지만, 이에 한정되지 않으며, 하나의 행에 위치한 서브픽셀들에 하나의 도전 패턴(137)이 형성되고 기판 최외곽에서 비어홀(139)을 통해 공통 전극(135)과 접촉할 수도 있다.
- [0045] 한편, 본 발명은 상하로 인접한 서브픽셀(P)들의 서로 인접하는 슬릿들을 포함하되, 서로 인접하는 슬릿들을 적어도 하나의 상기 도전 패턴으로 덮을 수 있다.
- [0046] 도 8은 본 발명의 또 다른 실시예에 따른 액정표시장치 어레이 기판을 나타낸 평면도이다. 하기에서는 전술한 도 2와 동일한 구성요소에 대해 동일한 도면부호를 붙여 발명의 이해를 용이하게 하며, 중복되는 설명을 생략하기로 한다.
- [0047] 도 8을 참조하면, 복수의 서브픽셀(P)들을 포함하는 기판(미도시) 상에 일 방향으로 연장되며 배열된 게이트 라인(103)들이 위치하고, 상기 게이트 라인(103)들과 교차하여 서브픽셀(P)들을 정의하는 데이터 라인(107)들이 위치한다. 따라서, 게이트 라인(103)과 데이터 라인(107)의 교차에 의해 복수의 서브픽셀(P)들이 정의된다. 본 실시예에서는 두 개의 서브픽셀(P)을 예로 설명한다.
- [0048] 각 서브픽셀(P)들에는 상기 게이트 라인(103)에 연결된 게이트 전극(113), 게이트 절연막(미도시), 반도체층(미도시), 상기 데이터 라인(107)에 전기적으로 연결된 소스 전극(117), 상기 소스 전극(117)과 이격된 드레인 전극(119)으로 구성된 박막 트랜지스터(Tr)가 위치한다. 상기 각 서브픽셀(P) 내부에서 판 형태의 화소 전극(123)이 상기 박막 트랜지스터(Tr)의 드레인 전극(119)과 연결된다. 상기 복수의 화소영역(P)으로 이루어진 표시영역 전면에는 상기 화소 전극(123)에 대응하여, 바(bar) 형태를 갖는 복수의 슬릿(131)을 갖는 공통 전극(135)이 위치한다.
- [0049] 한편, 본 발명의 공통 전극(135) 상에 도전 패턴(137)들이 위치한다. 도전 패턴(137)들은 두 개의 서브픽셀(P)들에서 서로 인접한 복수의 슬릿(131)들의 끝단을 덮는다. 보다 자세하게는, 두 개의 서브픽셀(P)에서 서로 인접하는 각각 하나의 슬릿(131)들의 끝단에 대응하는 하나의 도전 패턴(131)이 위치한다. 따라서, 상부의 서브픽셀(P)과 하부의 서브픽셀(P)의 총 두 개의 슬릿의 인접하는 끝단에는 하나의 도전 패턴(131)이 위치하게 된다. 이러한 도전 패턴(131)들은 게이트 라인(103)과 교차하도록 위치하게 된다.
- [0050] 이와 같이, 도전 패턴(131)의 개수를 줄일 수 있어 도전 패턴(131)을 패터닝하기 위한 마스크의 패턴 마진을 확보하여 신뢰성을 향상시킬 수 있는 이점이 있다.
- [0051] 도 9a 내지 도 9d는 종래 기술에 따른 액정표시장치 어레이 기판의 전압차에 따른 전경선 발생 여부를 나타낸 도면이고, 도 10a 내지 도 10d는 본 발명에 따라 도전 패턴을 구비한 액정표시장치 어레이 기판의 전압차에 따른 전경선 발생 여부를 나타낸 도면이다.
- [0052] 도 9a 내지 도 9d를 참조하면, 화소 전극과 공통 전극 사이의 전압차가 3V, 4V, 5V 및 6V로 나타나면 슬릿의 끝단부에서 동그렇게 전경선이 나타나는 것을 확인할 수 있었다. 반면, 도 10a 내지 도 10d를 참조하면, 도전 패턴을 구비함에 따라 전경선이 슬릿의 뾰족한 예지부로 이동되어 투과율이 향상됨을 확인할 수 있었다.
- [0053] 상기과 같이, 본 발명의 실시예들에 따른 액정표시장치 어레이 기판은 화소 전극과 공통 전극 사이에 걸리는 전압차에 의해 액정이 역방향으로 회전하는 영역을 조절할 수 있다. 따라서, 서브픽셀에서 발생하는 전경선을 감

소시켜 투과율을 향상시킬 수 있는 이점이 있다.

[0054] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

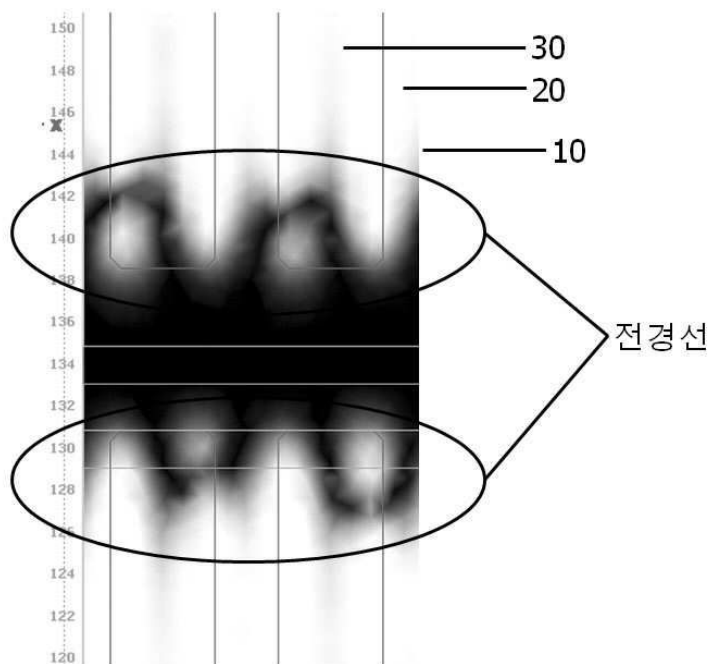
부호의 설명

[0055]

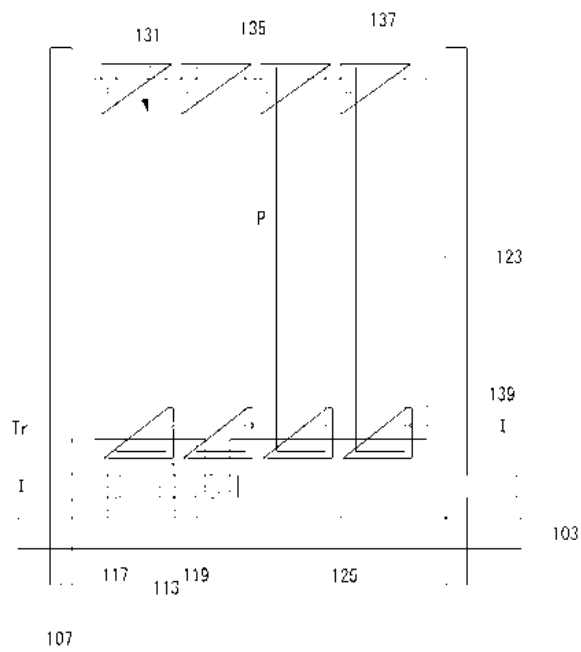
101 : 기관	103 : 게이트 라인
113 : 게이트 전극	107 : 데이터 라인
117 : 소스 전극	119 : 데이터 전극
123 : 화소 전극	135 : 공통 전극
137 : 도전 패턴	

도면

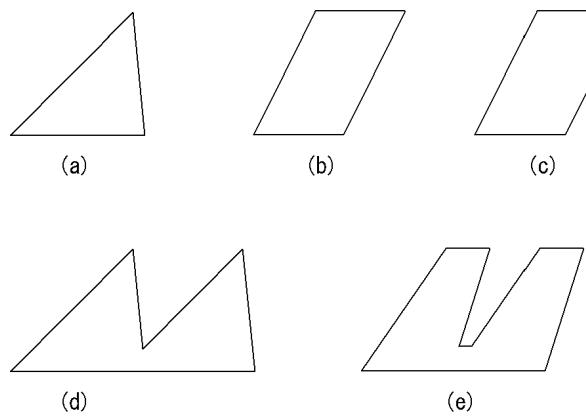
도면1



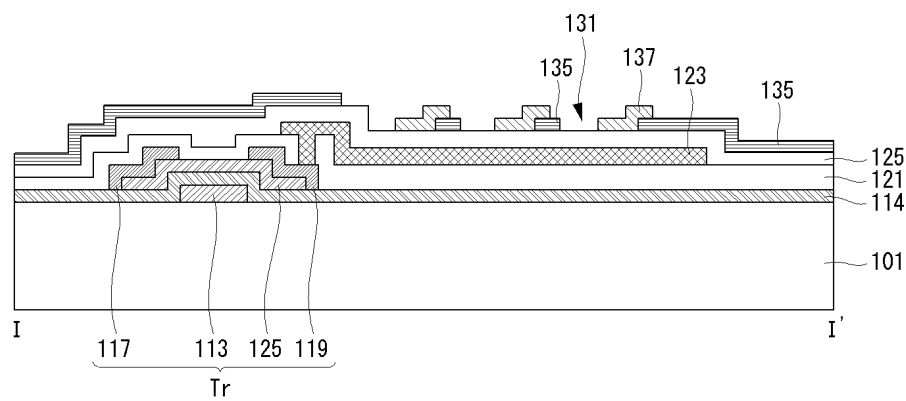
도면2



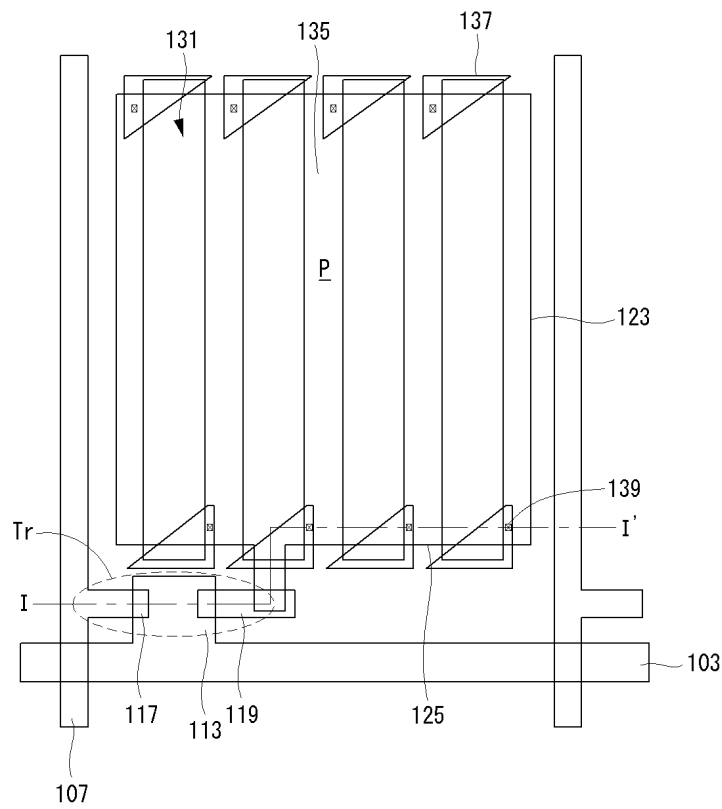
도면3



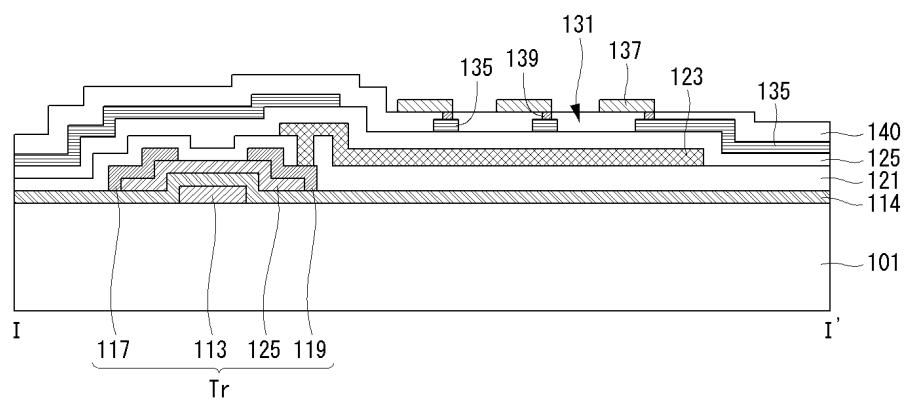
도면4



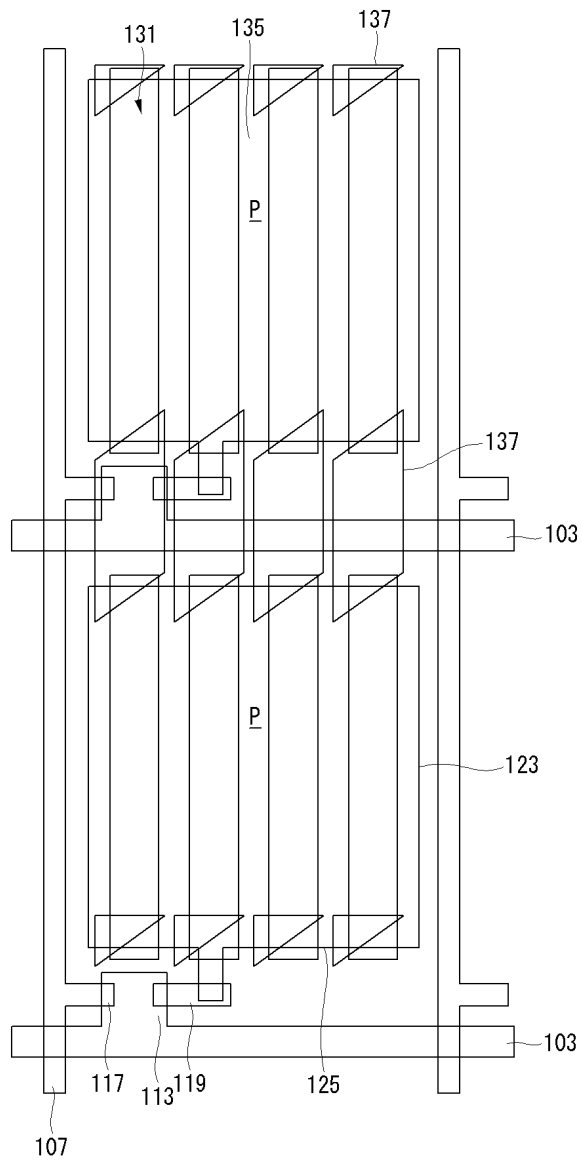
도면5



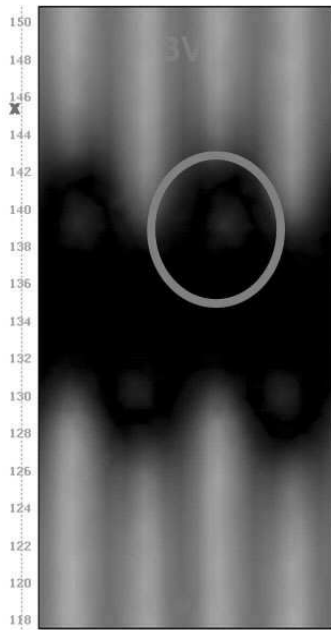
도면6



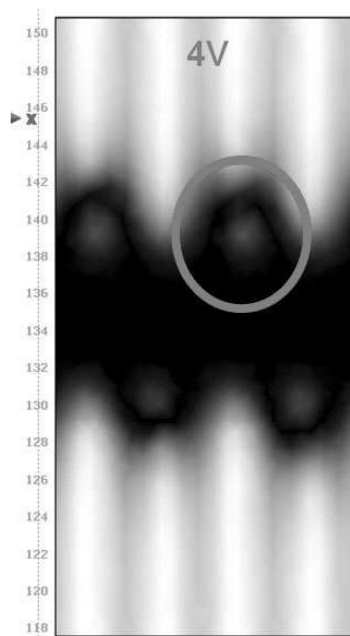
도면8



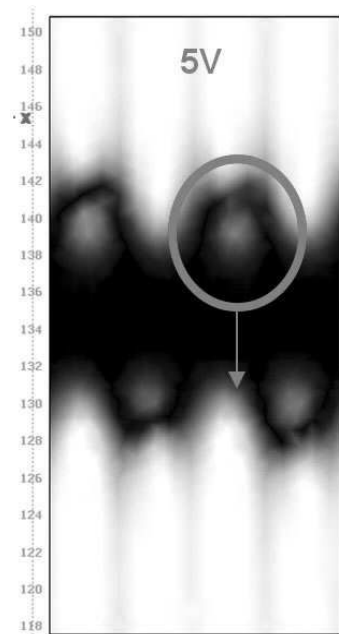
도면9a



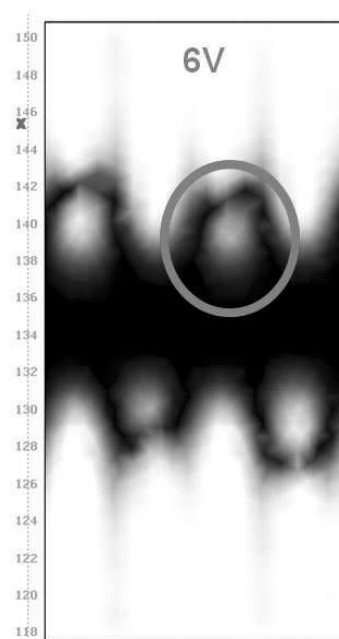
도면9b



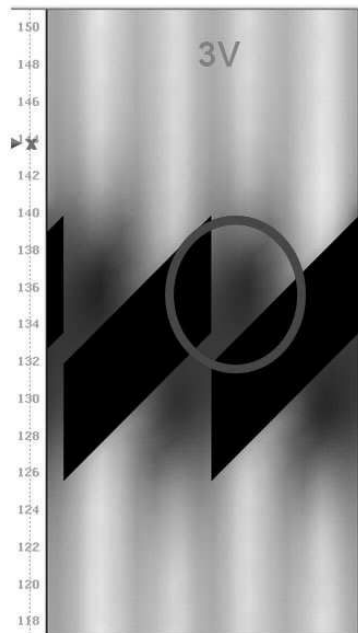
도면9c



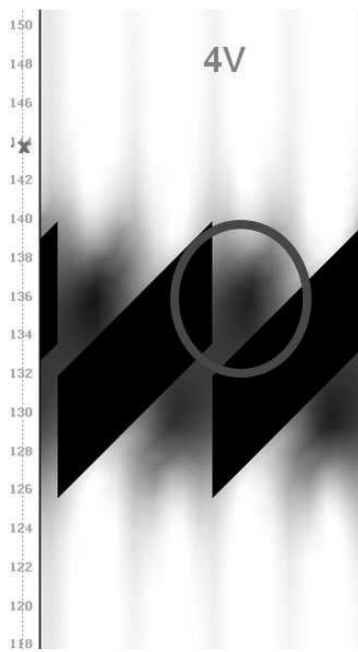
도면9d



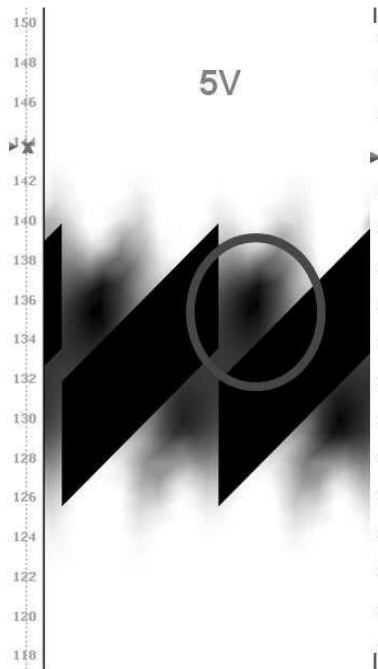
도면10a



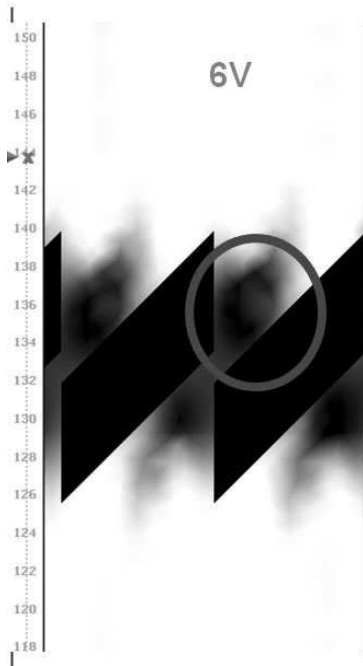
도면10b



도면10c



도면10d



专利名称(译)	液晶显示装置阵列基板		
公开(公告)号	KR1020140095928A	公开(公告)日	2014-08-04
申请号	KR1020130008933	申请日	2013-01-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOO JAE YONG 유재용 LIM DONG HUN 임동훈		
发明人	유재용 임동훈		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/134309 G02F1/136286 G02F2201/123 G02F2201/121		
其他公开文献	KR101970801B1		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的液晶显示器阵列基板包括：在基板上沿一个方向布置的栅极线;数据线，用于通过与栅极线交叉来限定多个子像素;薄膜晶体管形成在栅极线和数据线的交叉处;每个像素电极连接到薄膜晶体管;公共电极设置有多个狭缝并通过面对像素电极形成电场;导电图案形成在公共电极上并覆盖狭缝的端部。

