

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0008247 (43) 공개일자 2014년01월21일
(51) 국제특허분류(Int. Cl.) G02F 1/1368 (2006.01) G09G 3/36 (2006.01) G02F 1/133 (2006.01)		(71) 출원인 가부시키가이샤 한도오따이 에네루기 켄큐쇼 일본국 가나가와켄 아쓰기시 하세 398
(21) 출원번호 10-2013-0077924		(72) 발명자 미야케 히로유키 일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(22) 출원일자 2013년07월03일 심사청구일자 없음		히라카타 요시하루 일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(30) 우선권주장 JP-P-2012-155318 2012년07월11일 일본(JP)		(74) 대리인 황의만

전체 청구항 수 : 총 19 항

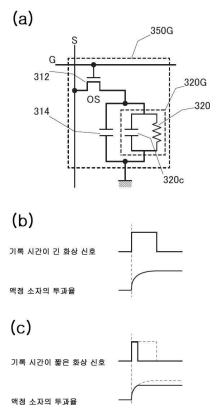
(54) 발명의 명칭 액정 표시 장치, 및 액정 표시 장치의 구동 방법

(57) 요약

본 발명은 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치를 제공한다. 또는, 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치의 구동 방법을 제공한다.

오프 상태에서의 누설 전류가 저감된 트랜지스터 및 액정 소자를 구비하고, 화소의 용량이 수학적 (1) 및 수학적 (2)를 만족시킨다.

대표도 - 도2



특허청구의 범위

청구항 1

액정 표시 장치에 있어서,

실리콘보다 밴드 갭이 넓고 또 진성 캐리어 밀도가 낮은 반도체 재료를 채널 형성 영역에 포함한 트랜지스터와;
액정층, 및 상기 트랜지스터의 소스 또는 드레인에 전기적으로 접속된 화소 전극을 포함한 액정 소자를 포함하
고,

화소의 용량의 최소값($C_X + C_{L1}$)이 수학적 (1)을 만족시키고 상기 화소의 상기 용량의 최대값($C_X + C_{L2}$)이 수학적
(2)를 만족시키고,

$$170 \times 10^{-15} [F] > (C_X + C_{L1}) \quad (1)$$

$$(C_X + C_{L2}) > \frac{n}{m} (C_{L2} - C_{L1}) \quad (2)$$

상기 수학적 (1) 및 상기 수학적 (2)에 있어서 C_{L1} 은 상기 액정 소자의 용량 성분의 최소값을 나타내고, C_{L2} 는
상기 액정 소자의 상기 용량 성분의 최대값을 나타내고, $(C_{L2} - C_{L1})$ 은 상기 액정 소자의 상기 용량 성분의 변화량
을 나타내고, C_X 는 상기 액정 소자에서 유래하는 용량을 뺀 상기 화소의 상기 용량을 나타내고, n 은 화상 신호에
포함되는 계조수를 나타내고, m 은 구별이 가능할 필요가 있는 계조의 폭을 나타내는, 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 액정 소자는,

절연층과;

상기 절연층의 한쪽 면에 접하는 상기 화소 전극과;

상기 화소 전극에 중첩되는 개구부를 포함하며 상기 절연층의 다른 쪽 면에 접하는 공통 전극을 포함하는, 액정
표시 장치.

청구항 3

제 1 항에 있어서,

상기 반도체 재료는 화합물 반도체 또는 산화물 반도체를 포함하는, 액정 표시 장치.

청구항 4

제 1 항에 있어서,

상기 반도체 재료는 인듐과 아연을 포함하는, 액정 표시 장치.

청구항 5

제 1 항에 있어서,

상기 반도체 재료는 In-Ga-Zn계 산화물을 포함하는, 액정 표시 장치.

청구항 6

제 1 항에 있어서,

상기 용량 C_X 는 기생 용량을 포함하는, 액정 표시 장치.

청구항 7

제 1 항에 있어서,

제 1 기판을 더 포함하고,

상기 제 1 기판에 상기 트랜지스터, 상기 화소 전극, 및 공통 전극이 제공되어 있는, 액정 표시 장치.

청구항 8

제 7 항에 있어서,

제 2 기판을 더 포함하고,

상기 액정층이 상기 제 1 기판과 상기 제 2 기판 사이에 제공되어 있는, 액정 표시 장치.

청구항 9

제 8 항에 있어서,

상기 제 2 기판에 컬러 필터와 차광층이 제공되어 있는, 액정 표시 장치.

청구항 10

액정 표시 장치에 있어서,

행 방향으로 연장된 복수의 주사선과;

상기 주사선들과 교차하여 열 방향으로 연장된 복수의 신호선과;

인접하는 주사선들과 인접하는 신호선들로 둘러싸인 영역 내에 화소를 포함하고,

상기 주사선들은 1인치당 300 이상의 밀도로 배치되고,

상기 신호선들은 1인치당 300 이상의 밀도로 배치되고,

상기 화소는,

실리콘보다 밴드 갭이 넓고 또 진성 캐리어 밀도가 낮은 반도체 재료를 채널 형성 영역에 포함하고, 게이트가 상기 복수의 주사선 중 하나에 전기적으로 접속되어 있고, 소스 및 드레인 중 하나가 상기 복수의 신호선 중 하나에 전기적으로 접속되어 있는 트랜지스터와;

액정층, 공통 전극, 및 상기 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 화소 전극을 포함한 액정 소자를 포함하고,

상기 화소의 용량의 최소값(C_X+C_{L1})이 수학식 (3)을 만족시키고 상기 화소의 상기 용량의 최대값(C_X+C_{L2})이 수학식 (4)를 만족시키고,

$$170 \times 10^{-15} \quad [F] > (C_X + C_{L1}) \quad (3)$$

$$(C_X + C_{L2}) > \frac{n}{m} (C_{L2} - C_{L1}) \quad (4)$$

상기 수학식 (3) 및 상기 수학식 (4)에 있어서 C_{L1} 은 상기 액정 소자의 용량 성분의 최소값을 나타내고, C_{L2} 는 상기 액정 소자의 상기 용량 성분의 최대값을 나타내고, $(C_{L2}-C_{L1})$ 은 상기 액정 소자의 상기 용량 성분의 변화량을 나타내고, C_X 는 상기 액정 소자에서 유래하는 용량을 뺀 상기 화소의 상기 용량을 나타내고, n 은 화상 신호에 포함되는 계조수를 나타내고, m 은 구별이 가능할 필요가 있는 계조의 폭을 나타내는, 액정 표시 장치.

청구항 11

제 10 항에 있어서,

상기 액정 소자는,

절연층과;

상기 절연층의 한쪽 면에 접하는 상기 화소 전극과;

상기 화소 전극에 중첩되는 개구부를 포함하며 상기 절연층의 다른 쪽 면에 접하는 상기 공통 전극을 포함하는, 액정 표시 장치.

청구항 12

제 10 항에 있어서,

상기 반도체 재료는 화합물 반도체 또는 산화물 반도체를 포함하는, 액정 표시 장치.

청구항 13

제 10 항에 있어서,

상기 반도체 재료는 인듐과 아연을 포함하는, 액정 표시 장치.

청구항 14

제 10 항에 있어서,

상기 반도체 재료는 In-Ga-Zn계 산화물을 포함하는, 액정 표시 장치.

청구항 15

제 10 항에 있어서,

상기 용량 C_x 는 기생 용량을 포함하는, 액정 표시 장치.

청구항 16

제 10 항에 있어서,

제 1 기판을 더 포함하고,

상기 제 1 기판에 상기 복수의 주사선, 상기 복수의 신호선, 상기 트랜지스터, 상기 화소 전극, 및 상기 공통 전극이 제공되어 있는, 액정 표시 장치.

청구항 17

제 16 항에 있어서,

제 2 기판을 더 포함하고,

상기 액정층이 상기 제 1 기판과 상기 제 2 기판 사이에 제공되어 있는, 액정 표시 장치.

청구항 18

제 17 항에 있어서,

상기 제 2 기판에 컬러 필터와 차광층이 제공되어 있는, 액정 표시 장치.

청구항 19

제 10 항에 따른 액정 표시 장치의 구동 방법에 있어서,

상기 주사선들 중 하나에 선택 신호를 입력하여 상기 주사선들 중 상기 하나에 전기적으로 접속된 복수의 화소를 선택하는 제 1 단계와;

화소를 사이에 끼워 배치된 제 1 신호선과 제 2 신호선에 교대로 반대의 극성을 갖는 화상 신호들을 입력하여

상기 화상 신호들을 상기 복수의 화소에 순차적으로 기록하는 제 2 단계를 포함하는, 액정 표시 장치의 구동 방법.

명세서

기술 분야

[0001] 본 발명은 화소에 트랜지스터를 갖는 액티브 매트릭스형 액정 표시 장치, 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 최근에 들어, 폴리실리콘이나 미결정 실리콘으로 얻어지는 높은 이동도와 비정질 실리콘으로 얻어지는 균일한 소자 특성을 아울러 갖는 새로운 반도체 재료로서, 산화물 반도체라고 불리는 반도체 특성을 나타내는 금속 산화물이 주목을 받고 있다.

[0003] 반도체 특성을 나타내는 금속 산화물로서는 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있고, 이와 같은 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역에 사용한 트랜지스터가 이미 알려져 있다 (특허문헌 1 및 특허문헌 2 참조).

[0004] 또한, 오프 상태에서의 누설 전류가 저감된 트랜지스터를 사용함으로써 화소의 유지 용량이 생략되고 화소의 개구율이 향상된 액정 표시 장치와 그 구동 방법이 알려져 있다(비특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개2007-123861호 공보

(특허문헌 0002) 일본국 특개2007-96055호 공보

비특허문헌

[0006] (비특허문헌 0001) Hideaki Shishido 외 9명, '76.1: High Aperture Ratio LCD Display using In-Ga-Zn-Oxide TFTs without Storage Capacitor' SID 10 DIGEST, p.1128-p.1131(2010)

발명의 내용

해결하려는 과제

[0007] 에너지 절약의 관점에서 전자 기기는 더 낮은 전력으로 동작하는 것이 요구되고 있다. 이것은 전자 기기에 사용되는 액정 표시 장치에 관해서도 마찬가지이며 소비 전력 저감이 요구되고 있다. 특히, 휴대형 전자 기기의 소비 전력이 저감되면 사용자는 전자 기기를 장시간 사용할 수 있게 된다.

[0008] 투과형 액정 표시 장치의 경우, 화소에서 빛을 투과시키는 영역이 차지하는 비율(개구율이라고도 함)을 높이면 백 라이트로부터 발해지는 빛을 유효하게 이용할 수 있고, 소비 전력을 저감시킬 수 있다.

[0009] 또한, 휴대형 전자 기기는 사용자에서 액정 표시 장치까지의 거리가 가깝기 때문에 화면의 고정세화가 요구된다. 화면을 고정세화에는 화소 자체의 크기를 축소하는 것이 요구된다.

[0010] 화면을 고정세화하면서 그 개구율을 높이기 위해서는 화소를 구성하는 트랜지스터나 용량 소자 등의 크기를 축소할 필요가 있다.

[0011] 용량 소자의 용량값을 작게 하면 화상 신호의 전위를 유지할 수 있는 기간이 짧아지기 때문에 액정 표시 장치에 표시되는 화상의 화질이 저하된다. 또한, 오프 상태에서의 누설 전류가 큰 트랜지스터를 사용하는 경우, 용량 소자의 용량을 작게 하기 어렵다.

[0012] 본 발명의 일 형태는 이러한 기술적 배경을 바탕으로 이루어진 것이다. 따라서, 화질의 저하가 방지되고 소비

전력이 저감된 액정 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치의 구동 방법을 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0013] 본 발명의 일 형태는 상술한 과제를 해결하기 위하여, 화소에 사용하는 트랜지스터의 오프 상태에서의 누설 전류와, 액정 소자의 용량 성분과, 용량 소자의 용량에 착안하여 이루어진 것이다. 그리고, 본 명세서에서 예시된 구성을 갖는 액정 표시 장치를 고안하였다. 또는, 상기 액정 표시 장치의 복수의 화소에, 교대로 반대의 극성을 갖는 화상 신호들을 순차적으로 기록하는 구동 방법을 고안하였다.

[0014] 즉, 본 발명의 일 형태는 실리콘보다 밴드 갭이 넓고 또 진성 캐리어 밀도가 실리콘보다 낮은 반도체 재료를 채널 형성 영역에 포함한 트랜지스터와, 상기 트랜지스터의 소스 전극 또는 드레인 전극에 전기적으로 접속된 화소 전극 및 액정층을 포함한 액정 소자를 구비한 액정 표시 장치이다. 그리고, 화소의 용량의 최소값(C_X+C_{L1})이 이하의 수학적 식 (1)을 만족시키고, 화소의 용량의 최대값(C_X+C_{L2})이 이하의 수학적 식 (2)를 만족시킨다.

[0015] [수학적 식 1]

$$170 \times 10^{-15} [F] > (C_X + C_{L1}) \quad (1)$$

[0017] [수학적 식 2]

$$(C_X + C_{L2}) > \frac{n}{m} (C_{L2} - C_{L1}) \quad (2)$$

[0019] 다만, 수학적 식 (1) 및 수학적 식 (2)에 있어서 C_{L1} 은 하나의 화소가 구비한 액정 소자의 용량 성분의 최소값을 나타내고, C_{L2} 는 하나의 화소가 구비한 액정 소자의 용량 성분의 최대값을 나타내고, $(C_{L2}-C_{L1})$ 은 액정 소자의 용량 성분의 변화량을 나타내고, C_X 는 하나의 화소의 용량으로부터 액정 소자에서 유래하는 용량을 뺀 용량을 나타내고, n 은 화상 신호에 포함되는 계조수를 나타내고, m 은 구별이 가능할 필요가 있는 계조의 폭을 나타낸다. 또한, 식에 있어서 $[F]$ 는 용량의 단위를 나타낸다.

[0020] 상술한 본 발명의 일 형태의 액정 표시 장치는 오프 상태에서의 누설 전류가 저감된 트랜지스터 및 액정 소자를 구비하고, 화소의 용량이 수학적 식 (1) 및 수학적 식 (2)를 만족시킨다. 이에 의하여 화소에 기록되는 화상 신호의 전위를 유지하고 액정 소자의 개구율을 높일 수 있다. 이 결과 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치를 제공할 수 있다.

[0021] 이하에서는 화소의 용량의 최소값(C_X+C_{L1})이 수학적 식 (1)을 만족시키고 또 화소의 용량의 최대값(C_X+C_{L2})이 수학적 식 (2)을 만족시키는 것에 의한 작용에 대하여 도 2a를 사용하여 설명한다.

[0022] 도 2a는 본 발명의 일 형태의 액정 표시 장치가 구비하는 화소(350G)의 등가 회로를 도시한 것이다.

[0023] 화소(350G)는 트랜지스터(312)와 액정 소자(320G)를 포함한다. 트랜지스터(312)의 게이트 전극은 주사선 G에 전기적으로 접속되어 있다. 트랜지스터(312)의 소스 전극 및 드레인 전극 중 한쪽은 신호선 S에 전기적으로 접속되고, 다른 쪽은 액정 소자(320G)의 한쪽 전극에 접속되어 있다. 액정 소자(320G)의 다른 쪽 전극에는 접지 전위가 공급된다.

[0024] 《화소의 용량과 트랜지스터의 오프 상태에서의 누설 전류와의 관계》

[0025] 화소의 용량과 오프 상태인 트랜지스터에서 누설되는 전류와의 관계에 대하여 설명한다. 오프 상태인 트랜지스터에서 누설되는 전류에 기인하는 화소의 전압 강하는 이하의 수학적 식 (3)에 의하여 계산할 수 있다.

[0026] [수학적 식 3]

$$\left(\frac{i \times T}{C_X + C_{L1}} \right) \quad (3)$$

[0027]

[0028] 다만, 수학적 식 (3)에 있어서 (C_X+C_{L1}) 은 화소의 용량의 최소값을 나타내고, C_{L1} 은 액정 소자의 용량 성분의 최소값

을 나타내고, i 는 오프 상태에서의 트랜지스터의 누설 전류를 나타내고, T 는 1프레임(화소에 화상 신호를 기록하는 간격)의 시간을 나타낸다.

[0029] 또한, 액정층은 그 배향 상태에 따라 유전율이 다르다. 액정 소자의 용량 성분도 그에 따라 변동된다. 여기서 C_{L1} 은 액정 소자의 용량 성분의 최소값을 나타낸다. 또한, 화소의 용량으로부터 액정 소자의 용량 성분을 뺀 용량 C_X 는 화소에 제공된 용량 소자의 용량 외에 기생 용량 등도 포함한다.

[0030] 한편, 허용되는 화소의 전압 강하의 최대값은 이하의 수학식 (4)로 나타낼 수 있다.

[0031] [수학식 4]

$$\frac{V}{n} \times m \quad (4)$$

[0032]

[0033] 다만, 수학식 (4)에 있어서 V 는 액정 소자의 구동 전압을 나타내고, n 은 입력되는 화상 신호에 포함되는 계조수를 나타내고, m 은 구별이 가능할 필요가 있는 계조의 폭(환언하면 계조가 m 만큼 다른 2개의 화상 신호의 구별이 가능할 필요가 있음)을 나타낸다. 또한, m 은 n 의 1/50 이하이면 표현할 수 있는 계조가 풍부해져 바람직하다.

[0034] 여기서, 화소의 전압 강하의 주된 요인이 트랜지스터의 오프 상태에서의 누설 전류 i 인 경우에 대하여 생각한다. 이 경우, 화소의 용량의 최소값($C_X + C_{L1}$)이 수학식 (5)를 만족시킴으로써, 요구되는 계조의 폭을 구별할 수 있다.

[0035] [수학식 5]

$$\left(\frac{V}{n} \times m \right) > \left(\frac{i \times T}{C_X + C_{L1}} \right) \\ (C_X + C_{L1}) > i \times \left(\frac{T}{V} \times \frac{n}{m} \right) \quad (5)$$

[0036]

[0037] 수학식 (5)는 화소에 사용되는 트랜지스터의 오프 상태에서의 누설 전류 i 의 크기에 비례하여, 화소의 용량의 최소값($C_X + C_{L1}$)을 크게 할 필요가 있음을 시사하고 있다. 환언하면 누설 전류 i 를 작게 할수록 화면을 고정세화하면서 그 개구율을 높이기 용이해진다.

[0038] 예를 들어, 1프레임(화소에 화상 신호를 기록하는 간격)의 시간 T 를 1/60sec, 액정 소자의 구동 전압을 5V, 화상 신호에 포함되는 계조수를 256으로 하고 그 구별이 가능할 필요가 있는 계조의 폭을 5로 한 경우, 화소의 용량의 최소값($C_X + C_{L1}$)은 이하와 같이 계산된다.

[0039] 또한, 채널 형성 영역에 비정질 실리콘을 포함한 트랜지스터는 전계 효과 이동도가 낮기 때문에 크기를 축소하기 어렵다. 그러므로 화면을 고정세화하면서 그 개구율을 높일 수 없다.

[0040] 또한, 채널 형성 영역에 저온 폴리실리콘을 포함한 트랜지스터(예를 들어, 채널 폭 W 와 채널 길이 L 의 비 W/L 이 1 정도)가 사용된 종래의 화소의 경우, 오프 상태인 트랜지스터에서 누설되는 전류 i 는 약 1×10^{-12} A이다. 따라서, 화소의 용량의 최소값($C_X + C_{L1}$)을 170fF보다 크게 할 필요가 있다.

[0041] 즉, 본 발명의 일 형태의 액정 표시 장치가 구비한 화소는 오프 상태에서의 누설 전류가 저감된 트랜지스터, 구체적으로는 실리콘보다 밴드 갭이 넓고 또 진성 캐리어 밀도가 실리콘보다 낮은 반도체 재료를 채널 형성 영역에 포함한 트랜지스터를 화소에 사용함으로써 화소의 용량의 최소값($C_X + C_{L1}$)을 170fF보다 작게 할 수 있다.

[0042] 이에 의하여 화상 신호의 전위를 유지하고 액정 소자의 개구율을 높일 수 있다. 이 결과 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치를 제공할 수 있다.

[0043] 다음에, 오프 상태의 트랜지스터에서 누설되는 전류가 고려할 필요가 없을 만큼 미소한 경우에 대하여 설명한다.

- [0044] 《구별이 가능할 필요가 있는 계조의 폭과 액정층의 배향에 따라 변화되는 액정 소자의 용량 성분과의 관계》
- [0045] 액정 소자는 한 쌍의 전극이 형성하는 전계 사이에, 2개의 기관 사이의 액정층을 구비한다. 한 쌍의 전극은 액정층에 전계를 인가하기 위한 것이다. 한 쌍의 전극의 배치 형태로서는 한쪽 전극과 다른 쪽 전극을 서로 다른 기관에 제공하는 경우(예를 들어, 수직 전계형의 전극 배치)와, 한쪽 전극과 다른 쪽 전극을 동일한 기관에 제공하는 경우(예를 들어, 수평 전계형의 전극 배치)가 있다.
- [0046] 본 명세서에서는 액정 표시 장치에 사용되는 액정 소자의, 화소에 제공된 트랜지스터의 소스 전극 또는 드레인 전극에 전기적으로 접속되는 한쪽 전극을 화소 전극이라고 기재하고 다른 쪽 전극을 공통 전극이라고 기재한다. 또한, 공통 전위를 복수의 액정 소자의 공통 전극에 공급하는 구성으로 하면 액정 표시 장치의 구성을 간략화할 수 있다.
- [0047] 액정층에 포함된 액정의 배향 상태는 액정 소자의 한 쌍의 전극에 인가되는 전압에 따라 변화된다. 이에 따라 액정층의 유전율이 변화되어 액정 소자의 투과율뿐만 아니라 액정 소자의 용량 성분도 변화된다.
- [0048] 액정 소자의 전기적 특성에 대해서는 용량 성분(320c)과 저항 성분(320r)이 병렬로 접속된 등가 회로를 사용하여 설명할 수 있다.
- [0049] 액정 소자의 용량 성분(320c)에 대하여 설명한다. 액정의 유전율은 이방성을 갖는다. 액정층은 액정을 포함하기 때문에 그 유전율은 액정의 배향 상태에 따라 변화된다. 그리고, 액정 소자의 용량 성분도 액정층의 배향 상태(액정 소자의 동작 상태라고 할 수도 있음)에 따라 변화된다. 예를 들어, 액정 표시 장치의 액정 소자의 용량 성분은 흑색 표시 상태와 백색 표시 상태에서 서로 다르다.
- [0050] 액정 소자의 용량 성분의 최대값은 액정 소자의 용량 성분의 최소값의 약 1.5배 이상 3.5배 이하이고 예를 들어, 3배이다.
- [0051] 도 2b는 화소에 화상 신호를 기록하는 시간이, 액정의 배향 상태가 변화하는 데 걸리는 시간과 같은 정도인 경우(예를 들어, 수msec 정도)를 도시한 것이다.
- [0052] 도 2c는 화소에 화상 신호를 기록하는 시간이, 액정의 배향 상태가 변화하는 데 걸리는 시간보다 짧은 경우(예를 들어, 수 μsec 정도)를 도시한 것이다.
- [0053] 이 때 액정 소자의 투과율이 원하는 만큼 변화되기 전에 화상 신호의 입력이 정지되면 액정층의 배향 상태의 변화에 수반하는 유전율 저하로 인하여 액정 소자에 인가되는 전압이 강해진다. 이 결과 액정 소자의 투과율이 원하는 투과율에 도달되지 않는 경우가 있다.
- [0054] 배향 상태의 변화로 인하여 강해지는 액정 소자의 전압은 이하의 수학적 식 (6)의 우변으로 나타낼 수 있다. 또한, 그 허용되는 범위는 좌변보다 작다.
- [0055] [수학적 식 6]

$$\left(\frac{V}{n} \times m\right) > \left(\frac{C_{L2} - C_{L1} - \frac{T}{2R}}{C_X + C_{L2} + \frac{T}{2R}} \right) \times V \quad (6)$$

- [0056]
- [0057] 다만, 수학적 식 (6)에 있어서 V 는 액정 소자의 구동 전압을 나타내고, n 은 입력되는 화상 신호에 포함되는 계조수를 나타내고, m 은 구별이 가능할 필요가 있는 계조의 폭을 나타내고, T 는 1프레임(화소에 화상 신호를 기록하는 간격)의 시간을 나타내고, C_X 는 액정 소자의 용량 성분을 뺀 화소의 용량을 나타낸다. 또한, C_{L1} 은 액정 소자의 용량 성분의 최소값을 나타내고, C_{L2} 는 액정 소자의 용량 성분의 최대값을 나타내고, R 은 액정 소자의 저항 성분을 나타낸다.
- [0058] 여기서, 1프레임(화소에 화상 신호를 기록하는 간격)의 시간 T 가 깜박임(flicker)을 인식할 수 없을 정도의 시간(구체적으로는 1/60sec)보다 짧고 액정 소자의 저항 성분이 충분히 큰 경우에는 $(T/2R)$ 의 항은 충분히 작기 때문에 무시할 수 있다. 따라서, 수학적 식 (6)은 수학적 식 (7)로 근사할 수 있다.

[0059] [수학식 7]

$$\left(\frac{V}{n} \times m\right) > \left(\frac{C_{L2} - C_{L1}}{C_X + C_{L2}}\right) \times V \quad (7)$$

[0060]

[0061] 그리고, 수학식 (7)을 변형함으로써 화소의 용량의 최대값($C_X + C_{L2}$)을 수학식 (2)로 나타낼 수 있다.

[0062] 즉, 본 발명의 일 형태의 액정 표시 장치는 화소의 용량의 최대값($C_X + C_{L2}$)이 액정 소자의 용량 성분의 변화량($C_{L2} - C_{L1}$)과 (n/m) 의 곱보다 크다.

[0063] 이에 의하여 화상 신호의 전위를 유지하고 액정 소자의 개구율을 높일 수 있다. 이 결과 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치를 제공할 수 있다.

[0064] 《(액정 소자의 용량 성분을 뺀) 화소의 용량》

[0065] 본 발명의 일 형태의 액정 표시 장치가 구비한 화소의 용량의 일례를 계산하여 이하에 기재한다.

[0066] 표시하는 계조수 n 을 256, 구별이 가능할 필요가 있는 계조의 폭 m 을 5, 액정 소자의 구동 전압 V 를 5V로 한다. 또한, 화소가 배치되는 밀도는 1인치당 300으로 한다.

[0067] 액정 소자의 용량 성분의 최소값 C_{L1} 을 1fF, 액정 소자의 용량 성분의 최대값 C_{L2} 를 3fF로 한다.

[0068] 액정 소자의 용량 성분을 뺀 화소의 용량 C_X 를 100fF보다 크게 함으로써 액정 표시 장치에 적용될 수 있는 화소를 구성할 수 있다.

[0069] 화소의 용량은 예를 들어, 화소에 용량 소자를 제공하여 조정할 수 있다. 용량 소자는 예를 들어, 화소에 제공되는 트랜지스터의 게이트 전극을 형성하는 층과 소스 전극 또는 드레인 전극을 형성하는 층과의 사이에 게이트 절연막 등의 절연막이 끼워져 제공된 구성으로 하면 좋다.

[0070] 또한, 본 발명의 일 형태는 상기 액정 소자가 절연층, 상기 절연층의 한쪽 면에 접하는 화소 전극, 상기 절연층의 다른 쪽 면에 접하고 화소 전극과 중첩되는 위치에 개구부를 갖는 공통 전극을 갖는, 상술한 액정 표시 장치이다.

[0071] 상술한 본 발명의 일 형태의 액정 표시 장치는 화소 전극을 절연층의 한쪽 면에, 공통 전극을 다른 쪽 면에 갖고, 화소 전극과 중첩되는 위치에 개구부를 갖는 공통 전극을 갖는다. 이로써 액정 소자를 제작함에 있어서 밀봉 기판을 화소 전극이 제공된 기판에 겹치는 공정에서 의도하지 않게 이물을 기판에 밀어 넣어 화소 전극과 공통 전극을 단락시키는 사고의 발생을 방지 또는 저감시킬 수 있다. 이 결과 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치를 높은 수율로 제공할 수 있다.

[0072] 또한, 본 발명의 일 형태는 행 방향으로 연장된 복수의 주사선과, 상기 주사선과 교차하여 열 방향으로 연장된 복수의 신호선과, 인접하는 주사선들과 인접하는 신호선들로 둘러싸인 영역에 배치된 화소를 갖는 액정 표시 장치이다. 그리고, 주사선과 신호선은 둘 다 1인치당 300 이상의 밀도로 배치되고, 화소는 실리콘보다 밴드 갭이 넓고 또 진성 캐리어 밀도가 실리콘보다 낮은 반도체 재료를 채널 형성 영역에 포함하고 게이트 전극이 하나의 주사선에 전기적으로 접속되고 소스 전극 및 드레인 전극 중 한쪽이 하나의 신호선에 전기적으로 접속된 트랜지스터와, 상기 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된 화소 전극, 액정층, 및 공통 전극을 포함한 액정 소자를 구비한다. 또한, 화소의 용량의 최소값($C_X + C_{L1}$)이 수학식 (1)을 만족시키고, 화소의 용량의 최대값($C_X + C_{L2}$)이 수학식 (2)를 만족시키는 액정 표시 장치이다.

[0073] 다만, 수학식 (1) 및 수학식 (2)에 있어서 C_{L1} 은 액정 소자의 용량 성분의 최소값을 나타내고, C_{L2} 는 액정 소자의 용량 성분의 최대값을 나타내고, $(C_{L2} - C_{L1})$ 은 액정 소자의 용량 성분의 변화량을 나타내고, C_X 는 화소의 용량으로부터 액정 소자에서 유래하는 용량을 뺀 용량을 나타내고, n 은 화상 신호에 포함되는 계조수를 나타내고, m 은 구별이 가능할 필요가 있는 계조의 폭을 나타낸다. 또한, 식에 있어서 [F]는 용량의 단위를 나타낸다.

[0074] 상술한 본 발명의 일 형태의 액정 표시 장치는 오프 상태에서의 누설 전류가 저감된 트랜지스터 및 액정 소자를 구비하고, 용량이 수학식 (1) 및 수학식 (2)를 만족시키는 화소를 1인치당 300 이상의 밀도로 매트릭스 형태로 갖는다. 이에 의하여 높은 밀도로 배치된 화소에 기록되는 화상 신호의 전위를 유지하고 액정 소자의 개구율을

높일 수 있다. 이 결과 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치를 제공할 수 있다.

- [0075] 또한, 본 발명의 일 형태는 선택 신호를 하나의 주사선에 입력하여 상기 주사선에 전기적으로 접속된 복수의 화소를 선택하는 제 1 단계와, 임의의 화소를 끼워 배치된 제 1 신호선과 제 2 신호선에 교대로 반대의 극성을 갖는 화상 신호들을 입력하여 상기 화상 신호를 선택된 복수의 화소에 순차적으로 기록하는 제 2 단계를 갖는 상술한 액정 표시 장치의 구동 방법이다.
- [0076] 상술한 본 발명의 일 형태의 액정 표시 장치의 구동 방법은 하나의 주사선에 전기적으로 접속된 복수의 화소를 선택하는 제 1 단계와, 선택된 복수의 화소에 교대로 반대의 극성을 갖는 화상 신호들을 순차적으로 기록하는 제 2 단계를 갖는다. 이로써 한 쌍의 신호선의 전위가 서로 반대의 극성 방향으로 변동되기 때문에 임의의 화소 전극의 전위의 변동이 상쇄되어 크로스토크의 발생이 억제될 수 있다. 이 결과, 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치의 구동 방법을 제공할 수 있다.
- [0077] 또한, 본 명세서에 있어서 표시 장치란, 화상 데이터에 따라 화상을 표시하는 장치를 말한다. 또한, 표시 장치는 커넥터 예를 들어, FPC(Flexible Printed Circuit) 또는 TCP(Tape Carrier Package)가 장착된 모듈, TCP 끝에 프린트 배선판이 제공된 모듈, 또는 표시 소자가 형성된 기판에 COG(Chip On Glass) 방식으로 IC(집적 회로)가 직접 실장된 모듈을 모두 그 범주에 포함한다.
- [0078] 또한, 본 명세서에 있어서 용량 소자는 액정 소자 자체가 갖는 용량 성분과는 구별된다.
- [0079] 또한, 특별히 언급이 없는 한 본 명세서에 있어서 오프 전류란, n채널형 트랜지스터에서 드레인 전극을 소스 전극과 게이트 전극보다 높은 전위로 한 상태에서 게이트 전극과 소스 전극 사이의 전압이 0 이하일 때에 소스 전극과 드레인 전극 사이에 흐르는 전류를 말한다. 또는, 본 명세서에 있어서 오프 전류란, p채널형 트랜지스터에서 드레인 전극을 소스 전극과 게이트 전극보다 낮은 전위로 한 상태에서 게이트 전극과 소스 전극 사이의 전압이 0 이상일 때에 소스 전극과 드레인 전극 사이에 흐르는 전류를 말한다.
- [0080] 또한, 트랜지스터가 갖는 소스 전극과 드레인 전극은 트랜지스터의 극성 및 각 전극에 공급되는 전위의 고저에 따라 그 호칭이 바뀐다. 일반적으로, n채널형 트랜지스터의 경우, 낮은 전위가 공급되는 전극을 소스 전극이라고 부르고, 높은 전위가 공급되는 전극을 드레인 전극이라고 부른다. 또한, p채널형 트랜지스터의 경우, 낮은 전위가 공급되는 전극을 드레인 전극이라고 부르고, 높은 전위가 공급되는 전극을 소스 전극이라고 부른다.
- [0081] 또한, 본 명세서에 있어서 트랜지스터가 직렬로 접속된 상태란, 예를 들어, 제 1 트랜지스터의 제 1 단자와 제 2 단자 중 어느 한쪽만이 제 2 트랜지스터의 제 1 단자와 제 2 단자 중 어느 한쪽에만 접속된 상태를 말한다. 또한, 트랜지스터가 병렬로 접속된 상태란, 제 1 트랜지스터의 제 1 단자가 제 2 트랜지스터의 제 1 단자에 접속되고, 제 1 트랜지스터의 제 2 단자가 제 2 트랜지스터의 제 2 단자에 접속된 상태를 말한다.
- [0082] 또한, 본 명세서에 있어서 접속이란, 전기적인 접속을 말하며 전류, 전압, 또는 전위의 공급이 가능한 상태 또는 전송이 가능한 상태를 말한다. 따라서, 접속된 상태란, 반드시 직접 접속된 상태를 가리키는 것이 아니라 전류, 전압, 또는 전위의 공급이 가능한 상태 또는 전송이 가능한 상태가 되도록 배선, 저항, 다이오드, 트랜지스터 등의 회로 소자를 통하여 간접적으로 접속된 상태도 그 범주에 포함된다.
- [0083] 또한, 회로도상에서 독립된 구성 요소들끼리 접속되어 있는 경우에도 실제로는 예를 들어, 배선의 일부가 전극으로서 기능하는 등, 하나의 도전막이 복수의 구성 요소로서의 기능을 겸비하는 경우도 있다. 본 명세서에서 접속이란, 이와 같이 하나의 도전막이 복수의 구성 요소로서의 기능을 겸비하는 경우도 그 범주에 포함한다.

발명의 효과

- [0084] 본 발명의 일 형태에 따르면 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치를 제공할 수 있다. 또는, 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치의 구동 방법을 제공할 수 있다.

도면의 간단한 설명

- [0085] 도 1a 내지 도 1d는 실시형태에 따른 액정 표시 장치를 설명하기 위한 도면.
 도 2a 내지 도 2c는 실시형태에 따른 액정 표시 장치를 설명하기 위한 도면.
 도 3a 및 도 3b는 실시형태에 따른 액정 표시 장치를 설명하기 위한 회로도.
 도 4a 및 도 4b는 실시형태에 따른 액정 표시 장치의 구동 방법을 설명하기 위한 도면.

도 5는 실시형태에 따른 액정 표시 장치의 구동 방법을 설명하기 위한 타이밍 차트.

도 6a 내지 도 6c는 실시형태에 따른 액정 표시 장치에 적용될 수 있는 트랜지스터의 구성을 설명하기 위한 도면.

도 7a 내지 도 7d는 실시형태에 따른 액정 표시 장치에 적용될 수 있는 트랜지스터의 제작 공정을 설명하기 위한 도면.

도 8a 및 도 8b는 실시형태에 따른 액정 표시 장치에 적용될 수 있는 화소의 구성을 설명하기 위한 도면.

도 9는 실시형태에 따른 액정 표시 장치에 적용될 수 있는 화소의 구성을 설명하기 위한 등가 회로도.

도 10a 및 도 10b는 실시형태에 따른 액정 표시 장치에 적용될 수 있는 화소의 구성을 설명하기 위한 도면.

도 11a 내지 도 11e는 실시형태에 따른 액정 표시 장치가 적용될 수 있는 전자 기기의 예를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0086] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재된 실시형태의 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에서 발명의 구성을 설명함에 있어서, 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면간에서 공통적으로 사용하여 그 반복 설명을 생략한다.

[0087] (실시형태 1)

[0088] 본 실시형태에서는 본 발명의 일 형태의 액정 표시 장치의 구성에 대하여 도 1a 내지 도 2c를 참조하여 설명한다. 도 1a는 본 발명의 일 형태의 액정 표시 장치의 상면도이고, 도 1b는 액정 표시 장치가 구비한 화소의 상면도이고, 도 1c는 도 1a 및 도 1b를 절단선 C-D에서 절단한 단면의 일부를 포함한 측면도이다. 도 1d는 도 1a를 절단선 A-B 및 절단선 C-D-E에서 절단한 단면을 포함한 측면도이다. 또한, 도 2a는 액정 표시 장치가 구비한 화소(350G)의 등가 회로도이다. 도 2b 및 도 2c는 화소에 기록되는 신호와 액정 소자의 투과율에 대하여 설명하기 위한 도면이다.

[0089] 본 실시형태에서 예로서 설명하는 액정 표시 장치(300)는 실리콘보다 밴드 갭이 넓고 또 진성 캐리어 밀도가 실리콘보다 낮은 반도체 재료를 채널 형성 영역에 포함한 트랜지스터(312)와, 트랜지스터(312)의 소스 전극 또는 드레인 전극에 전기적으로 접속된 화소 전극(321) 및 액정층(331)을 포함한 액정 소자(320G)를 구비한다. 그리고, 화소(350G)의 용량의 최소값(C_X+C_{L1})이 수학식 (1)을 만족시키고, 화소(350G)의 용량의 최대값(C_X+C_{L2})이 수학식 (2)를 만족시킨다(도 1a 및 도 1d 참조).

[0090] 다만, 수학식 (1) 및 수학식 (2)에 있어서 C_X 는 화소(350G)의 용량으로부터 액정 소자(320G)에서 유래하는 용량을 뺀 용량을 나타내고, C_{L1} 은 액정 소자(320G)의 용량 성분의 최소값을 나타내고, C_{L2} 는 액정 소자(320G)의 용량 성분의 최대값을 나타내고, $(C_{L2}-C_{L1})$ 은 액정 소자(320G)의 용량 성분의 변화량을 나타내고, n 은 계조수를 나타내고, m 은 구별이 가능할 필요가 있는 계조의 폭(환언하면 계조가 m 만큼 다른 2개의 화상 신호의 구별이 가능할 필요가 있음)을 나타낸다.

[0091] 또한, 액정 표시 장치(300)는 표시 영역(301)에 화소(350G)를 포함한 복수의 화소를 구비한다. 또한, 화소를 구동시키는 구동 회로(게이트 측 구동 회로(303g) 및 소스 측 구동 회로(303s))를 구비한다(도 1a 참조).

[0092] 화소(350G)는 트랜지스터(312), 화소 전극(321), 공통 전극(322)을 구비한다(도 1b 참조).

[0093] 화소(350G)의 트랜지스터(312)는 제 1 기관(310) 위에 제공되어 있다. 또한, 소스 측 구동 회로(303s)의 트랜지스터(313)는 트랜지스터(312)와 동일한 공정으로 형성할 수 있다.

[0094] 절연층(316)은 트랜지스터(312) 및 트랜지스터(313)의 반도체층들을 덮어 상기 반도체층들로 불순물이 확산되는 것을 억제한다. 절연층(317)은 제 1 기관(310) 위에 형성된 구조물(예를 들어, 트랜지스터(312), 신호선 등)에 기인하는 요철을 평탄화시키기 위한 층이다.

[0095] 외부 입력 단자는 리드(lead) 배선(308) 끝에 제공되어 있다. 또한, 외부 입력 단자에 FPC(309)가 접속되어 비

디오 신호, 클럭 신호, 스타트 신호, 리셋 신호 등이 FPC(309)를 통하여 액정 표시 장치(300)에 입력된다. FPC(309)에는 프린트 배선 기판(PWB)이 장착되어 있어도 좋다. 본 명세서에 있어서 표시 패널은 표시 패널 본체뿐만 아니라 그에 FPC 또는 PWB가 장착된 상태의 것도 그 범주에 포함한다.

- [0096] 실재(305)는 표시 영역(301), 게이트 측 구동 회로(303g), 및 소스 측 구동 회로(303s)를 둘러싸고 있다. 제 1 기판(310)과 제 2 기판(340)은 실재(305)로 접합되어 있다. 스페이서(326)는 제 1 기판(310)과 제 2 기판(340) 사이의 간극을 조정한다. 또한, 간극이 조정되어 형성된 공간은 액정층(331)으로 채워져 있다.
- [0097] <액정 소자>
- [0098] 액정 소자(320G)는 화소 전극(321)과 공통 전극(322), 및 이들 사이의 전계에 제공된 액정층(331)을 포함한다. 또한, 제 1 기판(310) 위에 배향막(328)이 액정층(331)에 접하여 형성되고, 제 2 기판(340) 위에 배향막(346)이 액정층(331)에 접하여 형성되어 있다.
- [0099] 화소 전극(321)은 컬러 필터(341G)와 중첩되는 위치에 있고 빗살 형상 또는 섬 형상으로 형성되어 있다.
- [0100] 본 실시형태에서 예로서 설명하는 액정 표시 장치가 구비한 화소의 공통 전극(322)은 절연층(324)의 한쪽 면에 접하고 컬러 필터(341G)와 중첩된다. 또한, 공통 전극(322)은 화소 전극(321)과 중첩되는 위치에 개구부를 갖는다. 그리고, 화소 전극(321)은 절연층(324)의 다른 쪽 면에 접하여 제공되어 있다(도 1b 및 도 1c 참조).
- [0101] 공통 전극(322)에 개구부를 제공함으로써 화소 전극(321)과 중첩되는 것을 억제하면 불필요한 용량이 저감되는 효과가 나타난다. 또한, 제 2 기판을 제 1 기판에 겹치는 공정에서 의도하지 않게 이물질을 제 1 기판에 밀어 넣어 화소 전극(321)과 공통 전극(322)을 단락시키는 사고의 발생을 방지 또는 저감시킬 수 있다. 이 결과, 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치(300)를 높은 수율로 제공할 수 있다.
- [0102] 또한, 공통 전극(322)은 차광층(342)과 중첩되는 위치에서 공통 전극(321)과 교차한다. 또한, 본 실시형태의 변형예로서, 공통 전극(322)에 개구부를 제공하지 않고 화소 전극(321)이 공통 전극(322)과 겹치는 구성으로 하고 FFS(Fringe Field Switching) 모드로 구동시켜도 좋다.
- [0103] 절연층(324)은 공통 전극(322)을 덮고, 화소 전극(321)은 절연층(324) 위에 형성되어 있다.
- [0104] 제 2 기판(340)은 컬러 필터(341G)와 차광층(342)을 구비한다.
- [0105] 화소(350G)는 액정 소자(320G)를 갖고, 액정 소자(320G)와 중첩되는 위치에 컬러 필터(341G)를 구비한다. 또한, 차광층(342)이 화소(350G)와 인접하는 화소 사이에 중첩하여 배치되어 있다(도 1d 참조).
- [0106] 또한, 본 발명의 일 형태의 액정 표시 장치에는 각종 액정 소자를 적용할 수 있다. 예를 들어, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다. 또한, 수직 배향(VA) 모드를 적용하여도 좋다. 수직 배향 모드로서는 예를 들어 MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 사용할 수 있다.
- [0107] <화소의 전기적 특성>
- [0108] 화소(350G)의 전기적 특성에 대해서는 도 2a에 도시된 등가 회로를 사용하여 설명할 수 있다. 화소(350G)는 트랜지스터(312)와 액정 소자(320G)를 포함한다. 트랜지스터(312)의 게이트 전극은 주사선 G에 전기적으로 접속되어 있다. 트랜지스터(312)의 소스 전극 및 드레인 전극 중 한쪽은 신호선 S에 전기적으로 접속되고, 다른 쪽은 액정 소자(320G)의 한쪽 전극에 접속되어 있다. 액정 소자(320G)의 다른 쪽 전극에는 접지 전위가 공급된다.
- [0109] 또한, 액정 소자(320G)는 저항 성분(320r)과 용량 성분(320c)을 포함하고, 이들은 둘 다 액정 소자(320G)의 전극에 병렬로 접속된다.
- [0110] 화소(350G)는 용량을 포함한다. 화소(350G)의 용량은 액정 소자(320G)의 용량 성분(320c) 외에 트랜지스터(312)의 게이트 전극-드레인 전극간의 기생 용량, 배선간의 기생 용량 등을 포함한다. 화소(350G)의 용량으로부터 액정 소자(320G)의 용량 성분을 뺀 것을 용량(314)으로 한다.
- [0111] 등가 회로상, 용량(314)은 액정 소자(320G)와, 트랜지스터(312)의 소스 전극 및 드레인 전극 중 다른 쪽에 병렬로 접속되는 것으로 간주할 수 있다.

- [0112] 또한, 화소(350G)의 용량을 조정하기 위하여 화소(350G)에 용량 소자를 제공하여도 좋다. 용량 소자는 공통 전극(322)과 중첩되는 화소 전극(321)을 제공하여 구성하여도 좋고, 게이트 전극과 동일한 도전막과 중첩되는 소스 전극 또는 드레인 전극과 동일한 도전막을 제공하여 구성하여도 좋다.
- [0113] 《누설 전류로 인한 전압 강하》
- [0114] 본 발명의 일 형태의 액정 표시 장치에 있어서, 화상 신호가 기록된 화소에서 전류가 누설되는 경로는 대표적으로 3개 있다. 이 3개의 경로를 통하여 누설되는 전류가 액정 소자의 전압을 강하시키는 정도를 계산하여 이하에 기재한다. 또한, 화소가 배치되는 밀도는 1인치당 300으로 한다.
- [0115] 전류가 누설되는 첫 번째 경로는 오프 상태의 트랜지스터이다. 트랜지스터에서 누설되는 전류는 약 10^{-18} A로 계산된다. 또한, 트랜지스터의 게이트 절연막을 통하여 누설되는 전류는 10^{-18} A 정도로 계산된다.
- [0116] 전류가 누설되는 두 번째 경로는 액정 소자이고, 세 번째 경로는 용량 소자이다. 누설되는 전류는 둘 다 10^{-18} A 정도로 계산된다. 이들 누설 전류의 합은 약 10^{-17} A 정도이다. 또한, 액정 소자의 저항 성분은 약 $10^{13} \Omega \cdot \text{cm}$ 내지 $10^{14} \Omega \cdot \text{cm}$ 이다.
- [0117] 화소의 용량이 1fF인 경우, 누설 전류로 인하여 1/60sec(화소 회로를 60Hz로 구동시키는 경우)간에 강하되는 전압은 약 10^{-6} V 정도로 계산된다. 이는 수V로 구동시키는 액정 소자의 경우에 문제가 되지 않을 정도라고 할 수 있다.
- [0118] 화소에 용량을 제공하지 않는 경우, 누설 전류로 인하여 1/60sec간에 강하되는 전압은 약 10^{-4} V 정도로 계산된다.
- [0119] 본 실시형태에서 예로서 설명하는 액정 표시 장치(300)는 오프 상태에서의 누설 전류가 저감된 트랜지스터(312), 및 액정 소자(320G)를 구비하고, 화소(350G)의 용량이 수학식 (1) 및 수학식 (2)를 만족시킨다. 이에 의하여 화소(350G)에 기록되는 화상 신호의 전위를 유지하고 액정 소자(320G)의 개구율을 높일 수 있다. 이 결과, 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치(300)를 제공할 수 있다.
- [0120] 이하에서는 본 발명의 일 형태의 액정 표시 장치(300)를 구성하는 각 요소에 대하여 설명한다.
- [0121] <트랜지스터>
- [0122] 본 발명의 일 형태의 액정 표시 장치에는 오프 전류가 매우 작은 절연 게이트 전계 효과형 트랜지스터(이하, 단순히 트랜지스터라고 기재함)가 적용될 수 있다.
- [0123] 예를 들어, 실리콘보다 밴드 갭이 넓고 진성 캐리어 밀도가 실리콘보다 낮은 반도체 재료를 채널 형성 영역에 포함한 트랜지스터가 적용될 수 있다. 구체적으로는 탄소화 실리콘(SiC), 질화 갈륨(GaN) 등의 화합물 반도체, 및 산화 아연(ZnO) 등의 금속 산화물로 이루어진 산화물 반도체 등을 사용할 수 있다. 산화물 반도체에는 밴드 갭이 실리콘의 약 3배 정도로 큰 것이 있다.
- [0124] 이와 같은 특성을 갖는 반도체 재료를 채널 형성 영역에 포함함으로써, 오프 전류가 현저히 낮고 또 내압이 높은 트랜지스터를 실현할 수 있다. 오프 전류가 현저히 낮은 트랜지스터를 화소에 사용함으로써, 실리콘이나 게르마늄 등의 통상의 반도체 재료로 형성된 트랜지스터를 이용한 경우에 비하여, 화상 신호의 전위가 더 긴 기간에 걸쳐 유지될 수 있다.
- [0125] 이 중에서도 산화물 반도체는 스퍼터링법이나 습식법(인쇄법 등)에 의한 제작이 가능하고, 양산성이 우수한 이점을 갖는다. 또한, 탄소화 실리콘의 프로세스 온도는 약 1500°C , 질화 갈륨의 프로세스 온도는 약 1100°C 이지만, 산화물 반도체의 프로세스 온도는 300°C 내지 500°C (유리의 전이 온도 이하, 최대로도 700°C 정도)로 낮고, 또 저렴하고 입수하기 쉬운 유리 기판 위에 성막할 수 있다. 또한, 기판의 대형화에도 대응할 수 있다. 따라서, 상술한 반도체 중에서도 특히 산화물 반도체는 양산성이 높은 장점을 갖는다. 또한, 트랜지스터의 성능(예를 들어, 전계 효과 이동도)을 향상시키기 위하여 결정성 산화물 반도체를 얻고자 하는 경우에도 450°C 내지 800°C 의 가열 처리에 의하여 결정성 산화물 반도체를 용이하게 얻을 수 있다.
- [0126] 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등 불순물이 저감되어 고순도화된 산화물 반도체(purified OS)는 i형(진성 반도체) 또는 i형에 한없이 가깝다. 따라서, 상기 산화물 반도체가 사용된 트랜지스터는 오프

전류가 현저히 낮은 특성을 갖는다.

[0127] 구체적으로는, 고순도화된 산화물 반도체막은 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의한 수소 농도의 측정값이 $5 \times 10^{19} / \text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16} / \text{cm}^3$ 이하이다. 또한, 홀 효과 측정에 의하여 측정할 수 있는 산화물 반도체막의 캐리어 밀도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만으로 한다. 또한, 산화물 반도체의 밴드 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 수분 또는 수소 등의 불순물 농도가 충분히 저감되어 고순도화된 산화물 반도체막을 사용함으로써 트랜지스터의 오프 전류를 낮출 수 있다.

[0128] 여기서, 산화물 반도체막 내의 수소 농도의 분석에 대하여 설명한다. 산화물 반도체막 내, 및 도전막 내의 수소 농도는 SIMS로 측정한다. SIMS 분석은 그 원리상, 시료의 표면 근방이나 재질이 다른 막과의 적층 계면 근방의 데이터를 정확하게 얻기 어렵다는 것이 알려져 있다. 그래서, 막 내의 수소 농도의 두께 방향의 분포를 SIMS로 분석하는 경우, 대상이 되는 막이 존재하는 범위에 있어서 값이 극단적으로 변동되는 일이 없고 거의 일정한 값이 얻어지는 영역에서의 평균값을 수소 농도로서 채용한다. 또한, 측정의 대상이 되는 막의 두께가 얇은 경우, 인접하는 막 내의 수소 농도의 영향을 받아 거의 일정한 값이 얻어지는 영역을 찾을 수 없는 경우가 있다. 이 경우, 그 막이 존재하는 영역에 있어서의, 수소 농도의 최대값 또는 최소값을 그 막 내의 수소 농도로서 채용한다. 또한, 그 막이 존재하는 영역에 있어서 최대값을 갖는 산형의 피크, 최소값을 갖는 골짜기형의 피크가 존재하지 않는 경우에는 변곡점의 값을 수소 농도로서 채용한다.

[0129] 구체적으로, 고순도화된 산화물 반도체막이 활성층으로서 사용된 트랜지스터의 오프 전류가 낮은 것은 다양한 실험으로 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 소자의 경우에도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V 내지 10V인 범위에서 오프 전류(게이트 전극과 소스 전극간의 전압을 0V 이하로 한 경우의 드레인 전류)가 반도체 파라미터 분석기의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{A}$ 이하라는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나눈 값에 상당하는 오프 전류 밀도는 $100 \text{zA} / \mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터가 접속되어 있고 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 상기 트랜지스터로 제어하는 회로를 사용하여, 오프 전류 밀도를 측정하였다. 또한, 상기 트랜지스터의 채널 형성 영역에는 고순도화된 산화물 반도체막이 사용되어 있었고, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류 밀도를 측정하였다. 이 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3V일 때, 수십 $\text{yA} / \mu\text{m}$ 라는 더 낮은 오프 전류 밀도가 얻어짐을 알았다. 따라서, 본 발명의 일 형태에 따른 반도체 장치에서는 고순도화된 산화물 반도체막이 활성층으로서 사용된 트랜지스터의 오프 전류 밀도를 소스 전극과 드레인 전극간의 전압에 따라서는 $100 \text{yA} / \mu\text{m}$ 이하, 바람직하게는 $10 \text{yA} / \mu\text{m}$ 이하, 더 바람직하게는 $1 \text{yA} / \mu\text{m}$ 이하로 할 수 있다. 그러므로, 고순도화된 산화물 반도체막이 활성층으로서 사용된 트랜지스터의 오프 전류는 결정성을 갖는 실리콘이 사용된 트랜지스터에 비하여 현저히 낮다.

[0130] 또한, 고순도화된 산화물 반도체가 사용된 트랜지스터는 오프 전류의 온도 의존성이 거의 나타나지 않는다. 이것은 산화물 반도체 내에서 전자 공여체(도너)가 되는 불순물이 제거되어 산화물 반도체가 고순도화함으로써 도전형이 진성형에 매우 가까워져 페르미 준위가 금지대(forbidden band) 중앙에 위치되기 때문이라고 할 수 있다. 또한, 이것은 산화물 반도체의 에너지 갭이 3eV 이상이고, 열 여기 캐리어가 매우 적은 것에도 기인한다. 또한, 소스 전극 및 드레인 전극이 축퇴된 상태에 있는 것도 온도 의존성이 나타나지 않는 요인이다. 트랜지스터의 동작은 축퇴된 소스 전극으로부터 산화물 반도체에 주입된 캐리어에 의한 것이 대부분이고, 캐리어 밀도에는 온도 의존성이 없기 때문에 오프 전류에는 온도 의존성이 없다.

[0131] 또한, 산화물 반도체는 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물, 3원계 금속 산화물인 In-Ga-Zn계 산화물, In-Sn-Zn계 산화물, In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, 2원계 금속 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물이나, 산화 인듐, 산화 주석, 산화 아연 등을 사용할 수 있다. 또한, 본 명세서에 있어서 예를 들어, In-Sn-Ga-Zn계 산화물이란, 인듐(In), 주석(Sn), 갈륨(Ga), 아연(Zn)을 갖는 금속 산화물을 말하며 그 조성은 특별히 불문한다. 또한, 상기 산화물 반도체는 실리콘을 포함하여도 좋다.

[0132] 또한, 산화물 반도체로서 $\text{InMO}_3(\text{ZnO})_m (m > 0 \text{ 또는 } m \text{은 정수가 아님})$ 으로 표기되는 재료를 사용하여도 좋다. 또한, M은 Ga, Fe, Mn, 및 Co 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체

체로서 $\text{In}_2\text{SnO}_5(\text{ZnO})_n (n>0 \text{ 또는 } n \text{은 정수임})$ 으로 표기되는 재료를 사용하여도 좋다.

- [0133] 상술한 바와 같은 특성을 갖는 반도체 재료를 채널 형성 영역에 포함함으로써, 오프 전류가 현저히 낮고 또 내압이 높은 트랜지스터를 실현할 수 있다. 그리고, 상술한 구성을 갖는 트랜지스터를 스위칭 소자로서 사용함으로써, 실리콘이나 게르마늄 등의 통상의 반도체 재료로 형성된 트랜지스터를 사용한 경우에 비하여 액정 소자에 축적된 전하의 누설을 방지할 수 있다. 따라서, 화상 신호의 전위가 더 긴 기간에 걸쳐 유지될 수 있기 때문에, 화상 신호의 전위 유지를 목적으로 하여 액정 소자에 용량 소자를 접속하지 않고도, 표시되는 화질이 저하되는 것을 방지할 수 있다. 따라서, 용량 소자를 제공하지 않고도, 또는 용량 소자의 크기를 작게 하더라도 개구율을 높일 수 있어 액정 표시 장치의 소비 전력을 저감시킬 수 있다.
- [0134] 또한, 본 실시형태는 본 명세서에 기재된 다른 실시형태와 적절히 조합할 수 있다.
- [0135] (실시형태 2)
- [0136] 본 실시형태에서는 본 발명의 일 형태의 액정 표시 장치의 구성에 대하여 도 3a를 참조하여 설명한다. 도 3a는 본 발명의 일 형태의 액정 표시 장치가 구비한 표시부의 구성을 설명하기 위한 회로도이다.
- [0137] 본 실시형태에서 예로서 설명하는 액정 표시 장치는 행 방향으로 연장된 복수의 주사선(주사선 G1 내지 주사선 Gy)과, 상기 주사선들과 교차하여 열 방향으로 연장된 복수의 신호선(신호선 S1 내지 신호선 Sx)과, 인접하는 주사선(예를 들어, 주사선 G1과 주사선 G2)과 인접하는 신호선(예를 들어, 신호선 S1과 신호선 S2)으로 둘러싸인 영역에 배치된 화소(100)를 갖고, 주사선과 신호선은 둘 다 1인치당 300 이상의 밀도로 배치된다(도 3a 참조).
- [0138] 화소(100)는 실리콘보다 밴드 갭이 넓고 또 진성 캐리어 밀도가 실리콘보다 낮은 반도체 재료를 채널 형성 영역에 포함하고 게이트 전극이 하나의 주사선에 전기적으로 접속되고 소스 전극 및 드레인 전극 중 한쪽이 하나의 신호선에 전기적으로 접속된 트랜지스터(102)와, 트랜지스터(102)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된 화소 전극, 액정층, 및 공통 전극을 포함한 액정 소자(103)를 구비하고, 화소(100)의 용량의 최소값(C_x+C_{L1})이 수학식 (1)을 만족시키고, 화소(100)의 용량의 최대값(C_x+C_{L2})이 수학식 (2)를 만족시킨다.
- [0139] 다만, 수학식 (1) 및 수학식 (2)에 있어서 C_x 는 화소(100)의 용량으로부터 액정 소자(103)에서 유래하는 용량을 뺀 용량을 나타내고, C_{L1} 은 액정 소자(103)의 용량 성분의 최소값을 나타내고, C_{L2} 는 액정 소자(103)의 용량 성분의 최대값을 나타내고, $(C_{L2}-C_{L1})$ 은 액정 소자(103)의 용량 성분의 변화량을 나타내고, n 은 계조수를 나타내고, m 은 구별이 가능할 필요가 있는 계조의 폭(환언하면 계조가 m 만큼 다른 2개의 화상 신호의 구별이 가능할 필요가 있음)을 나타낸다.
- [0140] 본 실시형태에서 예로서 설명하는 상기 액정 표시 장치는 오프 상태에서의 누설 전류가 저감된 트랜지스터(102), 및 액정 소자(103)를 구비하고, 용량이 수학식 (1) 및 수학식 (2)를 만족시키는 화소(100)를 1인치당 300 이상의 밀도로 매트릭스 형태로 갖는다. 이에 의하여 화소에 기록되는 화상 신호의 전위를 유지하고 액정 소자의 개구율을 높일 수 있다. 이 결과 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치를 제공할 수 있다.
- [0141] 각 화소(100)는 신호선 S1 내지 신호선 Sx 중 적어도 하나와, 주사선 G1 내지 주사선 Gy 중 적어도 하나를 갖는다. 또한, 화소(100)는 스위칭 소자로서 기능하는 트랜지스터(102)와, 액정 소자(103)를 갖는다. 액정 소자(103)는 화소 전극, 공통 전극을 갖고, 화소 전극과 공통 전극 사이의 전압이 인가되는 액정을 갖는다.
- [0142] 트랜지스터(102)는 액정 소자(103)의 화소 전극에 신호선의 전위, 즉 화상 신호의 전위를 공급할지 여부를 제어한다. 액정 소자(103)의 공통 전극에는 소정의 기준 전위가 공급된다.
- [0143] 다음에, 트랜지스터(102)와 액정 소자(103)의 접속 관계를 구체적으로 설명한다. 또한, 소스 전극 및 드레인 전극 중 한쪽을 제 1 단자, 다른 쪽을 제 2 단자로 부른다.
- [0144] 트랜지스터(102)의 게이트 전극은 주사선 G1 내지 주사선 Gy 중 어느 하나에 접속되어 있다. 트랜지스터(102)의 제 1 단자는 신호선 S1 내지 신호선 Sx 중 어느 하나에 접속되고, 트랜지스터(102)의 제 2 단자는 액정 소자(103)의 화소 전극에 접속되어 있다.
- [0145] 또한, 화소(100)는 필요에 따라 트랜지스터, 다이오드, 저항 소자, 용량 소자, 인덕턴스를 갖는 회로 소자 등 기타 회로 소자를 더 가져도 좋다.

- [0146] 도 3a는 화소(100)에서 하나의 트랜지스터(102)를 스위칭 소자로서 사용하는 경우를 도시한 것이지만 본 발명은 이 구성에 한정되지 않는다. 하나의 스위칭 소자로서 기능하는 복수의 트랜지스터를 사용하여도 좋다. 복수의 트랜지스터가 하나의 스위칭 소자로서 기능하는 경우, 이 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋으며, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0147] 또한, 본 실시형태는 본 명세서에 기재된 다른 실시형태와 적절히 조합할 수 있다.
- [0148] (실시형태 3)
- [0149] 본 실시형태에서는 실시형태 2에 기재된 본 발명의 일 형태의 액정 표시 장치의 구동 방법에 대하여 도 3a 내지 도 4b를 사용하여 설명한다. 도 3a는 본 발명의 일 형태의 액정 표시 장치가 구비한 표시부의 구성을 설명하기 위한 회로도이고, 도 3b는 임의의 화소와 이를 끼우는 신호선들의 배치에 대하여 설명하기 위한 상면도이다. 또한, 도 4a 및 도 4b는 본 발명의 일 형태의 액정 표시 장치가 구비한 표시부의 화소에 기록되는 화상 신호의 극성에 대하여 설명하기 위한 모식도이다.
- [0150] 본 실시형태에서 예로서 설명하는 액정 표시 장치의 구동 방법은 실시형태 2에 기재된 액정 표시 장치의 구동 방법이다.
- [0151] 제 1 단계에서, 선택 신호를 하나의 주사선(예를 들어, 주사선 G2)에 입력하여 상기 주사선에 전기적으로 접속된 복수의 화소(100)를 선택한다.
- [0152] 다음에 제 2 단계에서, 서로 반대의 극성을 갖는 화상 신호들을 임의의 화소를 끼워 배치된 제 1 신호선과 제 2 신호선(예를 들어, 신호선 S1과 신호선 S2)에 입력하여, 반대의 극성을 갖는 화상 신호들을 선택된 복수의 화소에 순차적으로 기록한다.
- [0153] 본 실시형태에서 예로서 설명하는 액정 표시 장치의 구동 방법은 하나의 주사선에 전기적으로 접속된 복수의 화소를 선택하는 제 1 단계와, 선택된 복수의 화소에 교대로 반대의 극성을 갖는 화상 신호들을 순차적으로 기록하는 제 2 단계를 갖는다. 이로써 한 쌍의 신호선의 전위가 서로 반대의 극성 방향으로 변동되기 때문에 임의의 화소 전극의 전위의 변동이 상쇄되어 크로스토크의 발생이 억제될 수 있다. 이 결과, 화질의 저하가 방지되고 소비 전력이 저감된 액정 표시 장치의 구동 방법을 제공할 수 있다.
- [0154] <크로스토크 현상>
- [0155] 크로스토크 현상이란, 화상 신호의 전위를 유지하는 기간에서 신호선의 전위가 변화된 경우에 화소 전극의 전위가 그 변화에 연동하여 변동되는 현상을 말한다. 크로스토크 현상이 일어나면 표시의 콘트라스트가 저하된다.
- [0156] 크로스토크 현상은 화소에 화상 신호를 입력하기 위한 신호선과 액정 소자가 갖는 화소 전극 사이에 형성되는 기생 용량에 의하여 초래되는 현상이다.
- [0157] 도 3b는 임의의 신호선 Si(i는 1 내지 x-1 중 어느 하나임)에 접속된 1열의 화소(100)의 구성을 도시한 것이다. 또한, 도 3b에는 도 3a에 도시된 액정 소자(103) 대신에 액정 소자(103)가 갖는 화소 전극(104)이 도시되어 있다.
- [0158] 신호선 Si에 접속된 화소(100)에서는 화소 전극(104)이 신호선 Si과, 신호선 Si에 인접하는 신호선 Si+1에 끼워져 화소(100) 내에 배치되어 있다. 트랜지스터(102)가 오프 상태일 때 화소 전극(104)과 신호선 Si는 전기적으로 분리되는 것이 이상적이다. 또한, 화소 전극(104)과 신호선 Si+1도 전기적으로 분리되는 것이 이상적이다. 그러나, 실제로는 화소 전극(104)과 신호선 Si 사이에는 기생 용량(106)이 존재하고, 또 화소 전극(104)과 신호선 Si+1 사이에는 기생 용량(107)이 존재한다.
- [0159] 액정 소자(103)에 용량 소자가 접속되지 않은 경우, 또는 액정 소자(103)에 접속된 용량 소자의 용량값이 작은 경우에는 화소 전극(104)의 전위가 기생 용량(106)과 기생 용량(107)의 영향을 받기 쉽다. 그러므로, 화상 신호의 전위를 유지하는 기간에서 트랜지스터(102)가 오프 상태이더라도, 신호선 Si 또는 신호선 Si+1의 전위의 변화에 연동하여 화소 전극(104)의 전위가 변동되는, 소위 크로스토크 현상이 일어나기 쉽다. 이 때문에, 액정 소자(103)에 노멀리 화이트의 액정을 사용한 경우, 화상이 흐려지고 콘트라스트가 낮게 된다.
- [0160] <소스 라인 반전 및 도트 반전>
- [0161] 본 발명의 일 형태에서는 임의의 1프레임 기간에서 화소 전극(104)을 사이에 끼워 배치된 신호선 Si과 신호선 Si+1에 서로 반대의 극성을 갖는 화상 신호들을 입력한다.

- [0162] 또한, 반대의 극성을 갖는 화상 신호들이란, 액정 소자의 공통 전극의 전위를 기준 전위로 하였을 때 기준 전위보다 높은 전위를 갖는 화상 신호와, 기준 전위보다 낮은 전위를 갖는 화상 신호를 말한다.
- [0163] 선택된 복수의 화소에 교대로 반대의 극성을 갖는 화상 신호들을 순차적으로 기록하는 방법으로서, 2가지 방법(소스 라인 반전 및 도트 반전)을 예로 들 수 있다. 어느 쪽 방법을 적용한 경우에도 한 쌍의 신호선의 전위가 서로 반대의 극성 방향으로 변동되기 때문에 임의의 화소 전극의 전위의 변동이 상쇄된다. 따라서, 크로스토크의 발생이 억제될 수 있다.
- [0164] 소스 라인 반전은 임의의 1프레임 기간에 있어서 하나의 신호선에 접속된 복수의 화소에 입력되는 화상 신호의 극성과, 상기 신호선에 인접하는 하나의 신호선에 접속된 복수의 화소에 입력되는 화상 신호의 극성이 반대인 기록 방법이다.
- [0165] 도 4a는 소스 라인 반전을 사용한 경우에 화소에 공급되는 화상 신호의 극성을 모식적으로 도시한 것이다. 임의의 1프레임 기간에 양의 극성을 갖는 화상 신호가 공급되는 화소를 +로, 음의 극성을 갖는 화상 신호가 공급되는 화소를 -로 나타내었다. 도 4a의 우측에 도시된 프레임은 좌측에 도시된 프레임의 다음 프레임이다.
- [0166] 소스 라인 반전에서는 동일한 신호선에 접속된 복수의 화소 모두에 동일한 극성을 갖는 화상 신호가 공급된다. 그리고, 인접하는 신호선들에 접속된 복수의 화소 모두에 상기 극성과는 반대의 극성을 갖는 화상 신호가 공급된다.
- [0167] 도트 반전은 임의의 1프레임 기간에 있어서 하나의 신호선에 접속된 복수의 화소에 입력되는 화상 신호의 극성과, 상기 신호선에 인접하는 하나의 신호선에 접속된 복수의 화소에 입력되는 화상 신호의 극성이 반대이고, 또 동일한 신호선에 접속된 복수의 화소 중에서 인접하는 화소들에 입력되는 화상 신호의 극성이 반대인 기록 방법이다.
- [0168] 도 4b는 도트 반전을 사용한 경우에 화소에 공급되는 화상 신호의 극성을 모식적으로 도시한 것이다. 임의의 1프레임 기간에 양의 극성을 갖는 화상 신호가 공급되는 화소를 +로, 음의 극성을 갖는 화상 신호가 공급되는 화소를 -로 나타내었다. 도 4b의 우측에 도시된 프레임은 좌측에 도시된 프레임의 다음 프레임이다.
- [0169] 도트 반전에서는 하나의 신호선에 접속된 복수의 화소와, 인접하는 하나의 신호선에 접속된 복수의 화소에 서로 반대의 극성을 갖는 화상 신호들이 공급된다. 또한, 동일한 신호선에 접속된 복수의 화소 중에서 인접하는 화소들에는 서로 반대의 극성을 갖는 화상 신호들이 공급된다. 즉, 하나의 프레임 기간에 착안하면 하나의 신호선에 입력되는 화상 신호의 극성은 교대로 반전된다.
- [0170] 어느 쪽 방법에서도 신호선 Si에 양(+)의 극성을 갖는 화상 신호를 입력하고, 신호선 Si+1에 음(-)의 극성을 갖는 화상 신호를 입력한다. 다음에, 신호선 Si에 음(-)의 극성을 갖는 화상 신호를 입력하고, 신호선 Si+1에 양(+)의 극성을 갖는 화상 신호를 입력한다. 다음에, 신호선 Si에 양(+)의 극성을 갖는 화상 신호를 입력하고, 신호선 Si+1에 음(-)의 극성을 갖는 화상 신호를 입력한다.
- [0171] 이와 같이, 신호선 Si와 신호선 Si+1에 서로 반대의 극성을 갖는 화상 신호를 입력함으로써, 신호선 Si의 전위의 변화에 기인하는 화소 전극(104)의 전위의 변동과, 신호선 Si+1의 전위의 변화에 의하여 기인하는 화소 전극(104)의 전위의 변동이 역방향으로 작용하여 서로 상쇄된다.
- [0172] 따라서, 화소(100)의 용량이 비교적 작은 경우에도 화소 전극(104)의 변동을 작게 할 수 있다. 이로써 크로스토크의 발생을 억제하여 화질을 향상시킬 수 있다.
- [0173] <타이밍 차트>
- [0174] 도 5는 도 3a에 도시된 표시부(101)를 소스 라인 반전으로 동작시킨 경우의 타이밍 차트를 나타낸 것이다. 구체적으로, 도 5는 주사선 G1에 공급되는 신호의 전위와, 신호선 S1로부터 신호선 Sx에 공급되는 화상 신호의 전위와, 주사선 G1에 접속된 각 화소가 갖는 화소 전극의 전위의 시간 변화를 나타낸 것이다.
- [0175] 우선, 주사선 G1에 펄스를 갖는 신호가 입력됨으로써 주사선 G1이 선택된다. 선택된 주사선 G1에 접속된 복수의 각 화소(100)에서 트랜지스터(102)가 온 상태가 된다. 그리고, 트랜지스터(102)가 온 상태일 때 신호선 S1로부터 신호선 Sx에 화상 신호의 전위가 공급되면, 온 상태의 트랜지스터(102)를 통하여 화상 신호의 전위가 액정 소자(103)의 화소 전극에 공급된다.
- [0176] 도 5에 나타낸 타이밍 차트에서는, 제 1 프레임 기간에서 주사선 G1이 선택되어 있는 기간에 홀수 번째 신호선 S1, 신호선 S3, ...에 양의 극성을 갖는 화상 신호가 순차적으로 입력되고, 짝수 번째 신호선 S2, 신호선 S4,

...신호선 Sx에 음의 극성을 갖는 화상 신호가 순차적으로 입력되는 예를 나타내고 있다. 따라서, 홀수 번째 신호선 S1, 신호선 S3, ...에 접속된 화소(100) 내의 화소 전극(S1), 화소 전극(S3), ...에는 양의 극성을 갖는 화상 신호가 공급된다. 또한, 짝수 번째 신호선 S2, 신호선 S4, ...신호선 Sx에 접속된 화소(100) 내의 화소 전극(S2), 화소 전극(S4), ...화소 전극(Sx)에는 음의 극성을 갖는 화상 신호가 공급된다.

[0177] 액정 소자(103)에서는 화소 전극과 공통 전극 사이에 인가되는 전압의 값에 따라 액정 분자의 배향이 변화되어 투과율이 변화된다. 따라서, 액정 소자(103)는 화상 신호의 전위에 따라 그 투과율이 제어됨으로써, 계조를 표시할 수 있다.

[0178] 신호선 S1 내지 신호선 Sx에 대한 화상 신호의 입력이 종료되면, 주사선 G1의 선택이 종료된다. 주사선의 선택이 종료되면 상기 주사선을 갖는 화소(100)의 트랜지스터(102)가 오프 상태가 된다. 그러면, 액정 소자(103)가 화소 전극과 공통 전극 사이에 인가된 전압을 유지함으로써 계조의 표시가 유지된다. 그리고, 주사선 G2에서부터 주사선 Gy가 차례로 선택되고, 주사선 G1이 선택되어 있던 기간과 마찬가지로 동작이 상기 각 주사선에 접속된 화소에서 행해진다.

[0179] 다음에, 제 2 프레임 기간에서 주사선 G1이 다시 선택된다. 그리고, 제 2 프레임 기간에서 주사선 G1이 선택되어 있는 기간에는 제 1 프레임 기간의 주사선 G1이 선택되어 있는 기간과는 달리 홀수 번째 신호선 S1, 신호선 S3, ...에 음의 극성을 갖는 화상 신호가 순차적으로 입력되고, 짝수 번째 신호선 S2, 신호선 S4, ...신호선 Sx에 양의 극성을 갖는 화상 신호가 순차적으로 입력된다. 따라서, 홀수 번째 신호선 S1, 신호선 S3, ...에 접속된 화소(100) 내의 화소 전극(S1), 화소 전극(S3), ...에는 음의 극성을 갖는 화상 신호가 공급된다. 또한, 짝수 번째 신호선 S2, 신호선 S4, ...신호선 Sx에 접속된 화소(100) 내의 화소 전극(S2), 화소 전극(S4), ...화소 전극(Sx)에는 양의 극성을 갖는 화상 신호가 공급된다.

[0180] 제 2 프레임 기간에서도 신호선 S1 내지 신호선 Sx에 대한 화상 신호의 입력이 종료되면, 주사선 G1의 선택이 종료된다. 그리고, 주사선 G2에서부터 주사선 Gy가 차례로 선택되고, 주사선 G1이 선택되어 있던 기간과 마찬가지로 동작이 상기 각 주사선에 접속된 화소에서 행해진다.

[0181] 제 3 프레임 기간과 제 4 프레임 기간에서도 상기 동작이 마찬가지로 반복된다.

[0182] 또한, 도 5의 타이밍 차트는 신호선 S1에서부터 신호선 Sx에 순차적으로 화상 신호가 입력되는 경우를 예시한 것이지만, 본 발명은 이 구성에 한정되지 않는다. 신호선 S1 내지 신호선 Sx에 동시에 화상 신호가 입력되어도 좋고, 복수의 신호선마다 순차적으로 화상 신호가 입력되어도 좋다.

[0183] 또한, 본 실시형태에서는, 프로그래시브 방식을 사용한 경우의 주사선의 선택에 대하여 설명하였지만, 인터레이스 방식을 이용하여 주사선을 선택하여도 좋다.

[0184] 또한, 화상 신호의 전위의 극성을, 공통 전극의 기준 전위를 기준으로 하여 반전시키는 반전 구동을 함으로써 번인(burn-in)이라고 불리는 액정의 열화를 방지할 수 있다.

[0185] 그러나, 반전 구동을 하면, 화상 신호의 극성이 변화할 때 신호선에 공급되는 전위의 변화가 커지기 때문에, 스윙칭 소자로서 기능하는 트랜지스터(102)의 소스 전극과 드레인 전극의 전위차가 커진다. 이에 따라 트랜지스터(102)의 문턱 전압이 시프트되는 등, 특성 열화가 생기기 쉽다.

[0186] 또한, 액정 소자(103)에 유지된 전압을 유지하기 위하여, 소스 전극과 드레인 전극의 전위차는 크더라도 오프 전류는 낮은 것이 요구된다.

[0187] 본 발명의 일 형태에서는 트랜지스터(102)에 실리콘 또는 게르마늄보다 밴드 갭이 넓고, 진성 캐리어 밀도가 낮은 산화물 반도체 등의 반도체를 사용하기 때문에, 트랜지스터(102)의 내압성을 높이고 오프 전류를 현저히 낮게 할 수 있다. 따라서, 실리콘이나 게르마늄 등의 통상의 반도체 재료로 형성된 트랜지스터를 사용한 경우에 비하여 트랜지스터(102)의 열화를 방지하고, 액정 소자(103)에 유지된 전압을 유지할 수 있다.

[0188] 또한, 액정은 전압이 인가되고 나서 그 투과율이 수축될 때까지의 응답 시간이 일반적으로 십몇 msec 정도이다. 따라서, 액정 소자의 투과율의 변화가 동영상의 흐릿함으로서 인식되기 쉽다. 그래서, 본 발명의 일 형태에서는 액정 소자(103)에 인가하는 전압을 일시적으로 크게 하여 액정의 배향을 빨리 변화시키는 오버 드라이브 구동을 사용하여도 좋다. 오버 드라이브 구동을 사용함으로써 액정 소자의 투과율의 변화가 동영상의 흐릿함으로서 인식되기 어려워져 동영상의 화질을 개선할 수 있다.

[0189] 또한, 트랜지스터(102)가 오프 상태가 된 후에도 액정 소자의 투과율이 수렴되지 않고 계속 변화하면 액정의 유

전율이 변화되기 때문에, 액정 소자에 유지된 전압이 변화되기 쉽다. 특히, 본 발명의 일 형태와 같이 액정 소자에 용량 소자가 병렬로 접속되지 않은 경우, 또는 액정 소자에 용량 소자가 병렬로 접속되어 있는데 그 용량 값이 작은 경우에 상술한 액정 소자에 유지된 전압의 변화는 현저하게 일어나기 쉽다. 그러나, 상기 오버 드라이브 구동을 이용하면 응답 시간을 짧게 할 수 있어, 트랜지스터(102)가 오프 상태가 된 후의 액정 소자의 투과율의 변화를 작게 할 수 있다. 따라서, 액정 소자에 용량 소자가 병렬로 접속되지 않은 경우, 또는 액정 소자에 용량 소자가 병렬로 접속되어 있는데 그 용량값이 작은 경우에도 트랜지스터(102)가 오프 상태가 된 후에 액정 소자가 유지하는 전압이 변화하는 것을 방지할 수 있다.

[0190] 또한, 본 실시형태는 본 명세서에 기재된 다른 실시형태와 적절히 조합할 수 있다.

[0191] (실시형태 4)

[0192] 본 실시형태에서는 본 발명의 일 형태의 액정 표시 장치에 적용될 수 있는 트랜지스터의 구성 및 그 제작 방법의 일 형태를 도 6a 내지 도 7d를 사용하여 설명한다. 구체적으로는 실시형태 1에 기재된 액정 표시 장치의 표시부가 구비한 트랜지스터(312)에 사용할 수 있다.

[0193] 도 6a는 본 발명의 일 형태의 액정 표시 장치에 적용될 수 있는 보텀 게이트형 트랜지스터(412)의 구조의 평면도이고, 도 6b는 도 6a를 X1-Y1에서 절단한 단면도이고, 도 6c는 도 6a를 V1-W1에서 절단한 단면도이다. 또한, 도 7a 내지 도 7d는 트랜지스터(412)의 제작 방법을 설명하기 위한 단면도이다.

[0194] 도 6a 내지 도 6c에 도시된 트랜지스터(412)는 절연 표면을 갖는 기판(410) 위에 제공된 게이트 전극층(402)과, 게이트 전극층(402) 위의 게이트 절연층(404)과, 게이트 절연층(404)과 접하고 게이트 전극층(402)에 중첩된 산화물 반도체층(408)과, 산화물 반도체층(408)에 전기적으로 접속된 소스 전극층 또는 드레인 전극층(406a) 및 소스 전극층 또는 드레인 전극층(406b)을 포함한다.

[0195] 또한, 소스 전극층 또는 드레인 전극층(406a) 및 소스 전극층 또는 드레인 전극층(406b)을 덮고 산화물 반도체층(408)과 접하는 절연층(416)을 트랜지스터(412)의 구성 요소로 하여도 좋다. 트랜지스터(412)의 채널 길이는 예를 들어, 1 μ m 이상으로 할 수 있다.

[0196] 절연층(417)은 기판(410) 위에 형성되는 트랜지스터(412) 등의 구조물에 기인하는 요철을 평탄하게 한다. 공통 전극(422)은 절연층(417) 위에 제공되고, 절연막(424)이 공통 전극(422) 위에 형성되어 있다. 화소 전극(421)은 절연막(424), 절연층(417), 및 절연층(416)에 제공된 개구부를 통하여 트랜지스터(412)의 소스 전극층 또는 드레인 전극층(406b)에 전기적으로 접속되어 있다.

[0197] 본 실시형태에서 예로서 기재하는 구성은 산화물 반도체층(408)과 접하는 절연층(게이트 절연층(404b) 및 절연층(416a))으로서 산소를 포함한 절연층(예를 들어, 산화 실리콘, 질소를 포함한 산화 실리콘)을 포함한다. 따라서, 산화물 반도체층(408)에 산소를 공급할 수 있게 되어 상기 산화물 반도체층(408)의 산소 결손을 보전할 수 있다.

[0198] 또한, 산소를 포함한 절연층에 접하여 산화물 반도체층(408) 외측에 제공된 절연층(게이트 절연층(404a) 및 절연층(416b))으로서 질화 실리콘막을 포함한다. 질화 실리콘막은 수소, 또는 수소를 포함한 화합물(물 등)이 산화물 반도체층(408)에 침입하는 것을 억제하는 블로킹막으로서 기능한다. 따라서, 이와 같은 적층 구조를 갖는 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0199] 이하에서는 본 발명의 일 형태의 액정 표시 장치에 적용될 수 있는 트랜지스터를 구성하는 각 요소에 대하여 설명한다.

[0200] <게이트 절연층>

[0201] 본 실시형태에서 게이트 절연층(404)은, 게이트 전극층(402)과 접하는 게이트 절연층(404a)과, 게이트 절연층(404a) 위에 제공되고 산화물 반도체층(408)과 접하는 게이트 절연층(404b)과의 적층 구조를 갖는다.

[0202] <절연층>

[0203] 절연층(416)은 소스 전극층 또는 드레인 전극층(406a) 및 소스 전극층 또는 드레인 전극층(406b)과 접하는 절연층(416a)과, 절연층(416a) 위의 절연층(416b)과의 적층 구조로 한다.

[0204] <산화물 반도체층>

[0205] 산화물 반도체층(408)은 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질 등의 상태를 취한다. 또한,

산화물 반도체층(408)은 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막으로 하는 것이 바람직하다. 산화물 반도체층(408)으로서 CAAC-OS막을 적용하는 경우의 구성에 대해서는 실시형태 5에서 자세히 설명한다.

- [0206] 산화물 반도체층(408)에 사용하는 산화물 반도체는 적어도 인듐(In)을 포함한다. 특히, 인듐과 아연(Zn)을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체가 사용된 트랜지스터의 전기 특성의 편차를 줄이기 위한 스테빌라이저로서, 이들에 더하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn), 하프늄(Hf), 알루미늄(Al), 지르코늄(Zr) 중 어느 하나 또는 복수 종류를 갖는 것이 바람직하다.
- [0207] 또한, 다른 스테빌라이저로서 란타노이드(lanthanoid)인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유클로프(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 하나 또는 복수를 가져도 좋다.
- [0208] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, 2원계 금속 산화물인 In-Zn계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속 산화물인 In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0209] 또한, 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물을 말하며 In과 Ga와 Zn의 비율은 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 좋다.
- [0210] 또한, 산화물 반도체로서, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$, 또 m 은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 여기서, M은 Ga, Fe, Mn, 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$, 또 n 은 정수)으로 표기되는 재료를 사용하여도 좋다.
- [0211] 예를 들어, 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=1:1:1(=1/3:1/3:1/3)$, $\text{In}:\text{Ga}:\text{Zn}=2:2:1(=2/5:2/5:1/5)$, 또는 $\text{In}:\text{Ga}:\text{Zn}=3:1:2(=1/2:1/6:1/3)$ 인 In-Ga-Zn계 산화물이나 그 근방의 조성을 갖는 산화물을 사용할 수 있다. 또는, 원자수비가 $\text{In}:\text{Sn}:\text{Zn}=1:1:1(=1/3:1/3:1/3)$, $\text{In}:\text{Sn}:\text{Zn}=2:1:3(=1/3:1/6:1/2)$, 또는 $\text{In}:\text{Sn}:\text{Zn}=2:1:5(=1/4:1/8:5/8)$ 인 In-Sn-Zn계 산화물이나 그 근방의 조성을 갖는 산화물을 사용하면 좋다.
- [0212] 그러나, 인듐을 포함한 산화물 반도체가 사용된 트랜지스터는 상술한 것에 한정되지 않고 필요한 전기적 특성(전계 효과 이동도, 문턱 전압, 편차 등)에 따라 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요한 전기적 특성을 얻기 위하여 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0213] 예를 들어, In-Sn-Zn계 산화물이 사용된 트랜지스터에서는 비교적 용이하게 높은 전계 효과 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물이 사용된 트랜지스터에서도 벌크 내 결함 밀도를 낮게 함으로써 전계 효과 이동도를 올릴 수 있다.
- [0214] 또한, 예를 들어 In과 Ga와 Zn의 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=a:b:c(a+b+c=1)$ 인 산화물의 조성이 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=A:B:C(A+B+C=1)$ 인 산화물의 조성의 근방이라는 것은 a, b, c 가 $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 를 만족시키는 것을 말한다. r 은 예를 들어, 0.05로 하면 좋다. 다른 산화물에 관해서도 마찬가지이다.
- [0215] 산화물 반도체층은 스퍼터링법으로 형성할 수 있고, 스퍼터링 타겟이 인듐을 포함하고 있으면 성막 시에 파티클이 발생하는 것을 저감시킬 수 있다. 따라서, 인듐을 포함한 산화물 반도체층을 적용하는 것이 더 바람직하다.
- [0216] <트랜지스터의 제작 방법>
- [0217] 이하에서는 트랜지스터(412)의 제작 방법의 일례에 대하여 도 7a 내지 도 7d를 사용하여 설명한다.
- [0218] 《게이트 전극층》
- [0219] 우선, 절연 표면을 갖는 기판(410) 위에 게이트 전극층(402)(이와 동일한 층으로 형성되는 배선을 포함함)을 형성한다.
- [0220] 절연 표면을 갖는 기판(410)으로서 사용할 수 있는 기판에 큰 제한은 없지만, 적어도 나중의 가열 처리에 견딜

수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어, 바륨 보로실리케이트 유리나 알루미늄 보로실리케이트 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘이나 탄소화 실리콘 등으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있고, 이러한 기판에 반도체 소자가 제공된 것을 기판(410)으로서 사용하여도 좋다. 또한, 기판(410) 위에 하지 절연층을 형성하여도 좋다.

[0221] 게이트 전극층(402)의 재료는 폴리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 또한, 게이트 전극층(402)으로서 인 등 불순물 원소가 도핑된 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드 등의 실리사이드막을 사용하여도 좋다. 게이트 전극층(402)은 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다. 게이트 전극층(402)은 테이퍼 형상으로 하여도 좋고, 예를 들어 테이퍼 각을 15° 이상 70° 이하로 하면 좋다. 여기서 테이퍼 각이란, 테이퍼 형상을 갖는 층의 측면과 상기 층의 저면이 이루는 각의 각도를 가리킨다.

[0222] 또한, 게이트 전극층(402)의 재료로서는 산화 인듐 산화 주석, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 산화 인듐 산화 아연, 산화 실리콘이 첨가된 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.

[0223] 또는, 게이트 전극층(402)의 재료로서 질소를 포함한 In-Ga-Zn계 산화물, 질소를 포함한 In-Sn계 산화물, 질소를 포함한 In-Ga계 산화물, 질소를 포함한 In-Zn계 산화물, 질소를 포함한 Sn계 산화물, 질소를 포함한 In계 산화물, 금속 질화물막(질화 인듐막, 질화 아연막, 질화 탄탈막, 질화 텅스텐막 등)을 사용하여도 좋다. 이들 재료는 5eV(전자 볼트) 이상의 일함수를 갖기 때문에 이들 재료를 사용하여 게이트 전극층(402)을 형성하면 트랜지스터의 문턱 전압을 양으로 할 수 있고 노멀리 오프의 스위칭 트랜지스터를 실현할 수 있다.

[0224] 《게이트 절연층》

[0225] 다음에, 게이트 전극층(402)을 덮도록 게이트 전극층(402) 위에 게이트 절연층(404)을 형성한다(도 7a 참조). 게이트 절연층(404)으로서 플라스마 CVD법, 스퍼터링법 등으로 형성된 산화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 이트륨막, 산화 지르코늄막, 산화 갈륨막, 산화 탄탈막, 산화 마그네슘막, 산화 란타넘막, 산화 세륨막, 및 산화 네오디뮴막 중에서 선택된 막을 단층 구조로, 또는 상술한 막 중에서 선택된 하나 이상의 막을 적층 구조로 하여 사용한다.

[0226] 또한, 게이트 절연층(404)에 있어서 나중에 형성되는 산화물 반도체층(408)과 접하는 영역(본 실시형태에서는 게이트 절연층(404b))은 산소를 포함한 절연층인 것이 바람직하고, 화학량론적 조성보다 과잉으로 산소를 포함한 영역(산소 과잉 영역)을 갖는 것이 더 바람직하다. 게이트 절연층(404)에 산소 과잉 영역을 제공하기 위해서는 예를 들어, 게이트 절연층(404)을 산소 분위기하에서 형성하면 좋다. 또는, 성막 후의 게이트 절연층(404)에 산소를 도입하여 산소 과잉 영역을 형성하여도 좋다. 산소의 도입 방법으로는 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 플라스마 처리 등을 사용할 수 있다.

[0227] 본 실시형태에서는 게이트 절연층(404a)으로서 질화 실리콘막을 형성하고 게이트 절연층(404b)으로서 산화 실리콘막을 형성한다.

[0228] 《산화물 반도체층》

[0229] 다음에, 게이트 절연층(404) 위에 산화물 반도체막(407)을 성막한다(도 7b 참조).

[0230] 산화물 반도체막(407)의 성막 방법으로는 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 사용할 수 있다.

[0231] 또한, 게이트 절연층(404) 및 산화물 반도체막(407)은 대기에 개방시킴이 없이 연속적으로 성막하는 것이 바람직하다. 게이트 절연층(404) 및 산화물 반도체막(407)을 대기에 개방시킴이 없이 연속적으로 성막함으로써 산화물 반도체막(407) 표면에 수소 또는 수소 화합물이 부착(예를 들어, 흡착수 등)되는 것을 방지할 수 있어 불순물의 혼입을 억제할 수 있다.

[0232] 또한, 산화물 반도체막을 성막하기 위한 스퍼터링 타겟으로서 다결정이고 또 상대 밀도(충전율)가 높은 것을 사용한다. 또한, 성막 시의 스퍼터링 타겟은 충분히 냉각시켜 실온으로 하고, 피성막 기판의 피성막면은 실온 이상으로 가열하고 성막 챔버 내에 수분이나 수소가 거의 존재하지 않는 분위기하에서 산화물 반도체막을 성막한다.

- [0233] 스퍼터링 타깃은 밀도가 높을수록 바람직하다. 스퍼터링 타깃의 밀도를 높게 하면 성막되는 막의 밀도도 높일 수 있다. 구체적으로는, 타깃의 상대 밀도(충전율)를 90% 이상 100% 이하, 바람직하게는 95% 이상, 더 바람직하게는 99.9% 이상으로 한다. 또한, 스퍼터링 타깃의 상대 밀도란, 스퍼터링 타깃의 밀도와, 스퍼터링 타깃과 동일한 조성을 갖는 재료의 기공(氣孔)이 없는 상태에서의 밀도와의 비를 말한다.
- [0234] 스퍼터링 타깃은 불활성 가스 분위기(질소 또는 희가스 분위기)하, 진공중, 또는 고압 분위기 중에서 소성하는 것이 바람직하다. 소성 방법으로서 상압 소성법, 가압 소성법 등을 적절히 사용하여 얻어지는 다결정 타깃을 사용한다. 가압 소성법으로서는 핫 프레스법, 열간 등방 가압(HIP: Hot Isostatic Pressing)법, 방전 플라즈마 소결법, 또는 충격법을 적용하는 것이 바람직하다. 소성의 최고 온도는 스퍼터링 타깃 재료의 소결 온도에 따라 선택하면 좋지만 1000℃ 내지 2000℃ 정도로 하는 것이 바람직하고 1200℃ 내지 1500℃로 하는 것이 더 바람직하다. 또한, 최고 온도의 유지 시간은 스퍼터링 타깃 재료에 따라 선택하면 좋지만 0.5 시간 내지 3시간으로 하는 것이 바람직하다.
- [0235] In-Ga-Zn계 산화물막을 성막하는 경우 스퍼터링 타깃으로서 원자수비가 In:Ga:Zn=3:1:2인 타깃이나 원자수비가 In:Ga:Zn=1:1:1인 타깃을 사용한다.
- [0236] 또한, 성막 챔버 내에 잔존하는 불순물을 저감시키는 것도 치밀한 막을 얻는 데 중요하다. 성막 챔버 내의 배압(도달 진공도: 반응 가스를 도입하기 전의 진공도)을 5×10^{-3} Pa 이하, 바람직하게는 6×10^{-5} Pa 이하로 하고, 성막 시의 압력을 2Pa 미만, 바람직하게는 0.4Pa 이하로 한다. 배압을 낮게 함으로써 성막 챔버 내의 불순물을 저감시킨다.
- [0237] 또한, 성막 챔버 내에 도입하는 가스, 즉 성막 시에 사용되는 가스 중의 불순물을 저감시키는 것도 치밀한 막을 얻는 데 중요하다. 또한, 성막 가스 중에 차지하는 산소의 비율을 높이고, 전력을 최적화하는 것이 중요하다. 성막 가스 중에 차지하는 산소의 비율(상한은 산소 100%)을 높이고, 전력을 최적화함으로써 성막 시의 플라즈마 대미지를 경감시킬 수 있다. 이에 의하여 치밀한 막을 얻기 쉬워진다.
- [0238] 또한, 산화물 반도체막의 성막 전 또는 성막 중에 성막 챔버 내의 수분량 등을 감시(모니터링)하기 위하여 4중극 질량 분석기(이하, Q-mass라고도 함)를 항상 작동시킨 상태로 성막하는 것이 바람직하다.
- [0239] 예를 들어, 스퍼터링법으로 산화물 반도체막(407)을 성막하는 경우에는 스퍼터링 장치의 성막 챔버 내에 공급하는 성막 가스로서 수소, 물, 수산기, 또는 수소화물 등 불순물이 제거된 고순도의 희가스와 산소의 혼합 가스, 또는 산소를 사용한다.
- [0240] 또한, 성막 후의 산화물 반도체막(407)에 탈수화 또는 탈수소화를 위한 가열 처리를 적절히 수행하여도 좋다. 또한, 탈수화 또는 탈수소화 처리를 수행한 산화물 반도체막(407)에 산소를 공급하여도 좋다.
- [0241] 다음에, 포토리소그래피법을 사용한 에칭 처리에 의하여 산화물 반도체막(407)을 섬 형상의 산화물 반도체층(408)으로 가공한다(도 7c 참조).
- [0242] 《소스 전극층 및 드레인 전극층》
- [0243] 다음에, 산화물 반도체층(408) 위에 도전막을 형성하고 이를 가공함으로써 소스 전극층 또는 드레인 전극층(406a) 및 소스 전극층 또는 드레인 전극층(406b)(이와 동일한 층으로 형성되는 배선을 포함함)을 형성한다.
- [0244] 소스 전극층 또는 드레인 전극층(406a) 및 소스 전극층 또는 드레인 전극층(406b)으로서는 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W 중에서 선택된 원소를 포함한 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텅스텐막) 등을 사용할 수 있다. 또한, Al, Cu 등의 금속막의 하층 및 상층 중 한쪽 또는 양쪽 모두에 Ti, Mo, W 등의 고용점 금속막 또는 이들 금속의 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텅스텐막)을 적층한 구성으로 하여도 좋다. 또한, 소스 전극층 또는 드레인 전극층(406a) 및 소스 전극층 또는 드레인 전극층(406b)을 도전성 금속 산화물로 형성하여도 좋다. 도전성 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 산화 주석($\text{In}_2\text{O}_3\text{-SnO}_2$), 산화 인듐 산화 아연($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 이들 금속 산화물 재료에 산화 실리콘이 포함된 것을 사용할 수 있다.
- [0245] 또한 소스 전극층 또는 드레인 전극층(406a) 및 소스 전극층 또는 드레인 전극층(406b)으로서 질소를 포함한 In-Ga-Zn-O막, 질소를 포함한 In-Sn-O막, 질소를 포함한 In-Ga-O막, 질소를 포함한 In-Zn-O막, 질소를 포함한 Sn-O막, 질소를 포함한 In-O막 등의 금속 질화물막을 사용할 수 있다. 이들 막은 산화물 반도체층(408)과 같은

구성 원소를 포함하기 때문에 산화물 반도체층(408)과의 계면을 안정화시킬 수 있다.

- [0246] 《절연층》
- [0247] 다음에, 소스 전극층 또는 드레인 전극층(406a), 소스 전극층 또는 드레인 전극층(406b), 및 노출된 산화물 반도체층(408)을 덮도록 절연층(416)을 형성한다(도 7d 참조).
- [0248] 절연층(416)은 플라즈마 CVD법이나 스퍼터링법으로 형성할 수 있고 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 질화 실리콘막, 산화 질화 실리콘막, 산화 질화 알루미늄막, 또는 질화 산화 실리콘막 등을 단층 구조 또는 적층 구조로 하여 사용할 수 있다. 다만, 산화물 반도체층(408)과 접하는 절연층(416)(본 실시형태에서는 절연층(416a))으로서 산소를 포함한 절연층을 형성하면 이 산소를 포함한 절연층에 의하여 산화물 반도체층(408)에 산소를 공급할 수 있게 되어 바람직하다.
- [0249] 예를 들어, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치(載置)된 기판을 180℃ 이상 400℃ 이하, 더 바람직하게는 200℃ 이상 370℃ 이하로 유지하고 처리실에 원료 가스를 도입하고 처리실 내의 압력을 30Pa 이상 250Pa 이하, 더 바람직하게는 40Pa 이상 200Pa 이하로 하고 처리실 내에 제공된 전극에 고주파 전력을 공급하는 조건으로 산화 실리콘막 또는 산화 질화 실리콘막을 형성하여도 좋다. 이 조건으로 성막함으로써 산소가 확산되는 산소를 포함한 절연층을 형성할 수 있다.
- [0250] 또한, 상기 산소가 확산되는 산소를 포함한 절연층을 성막한 후에 대기에 개방시킴이 없이 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 180℃ 이상 250℃ 이하, 더 바람직하게는 180℃ 이상 230℃ 이하로 유지하고 처리실에 원료 가스를 도입하고 처리실 내의 압력을 100Pa 이상 250Pa 이하, 더 바람직하게는 100Pa 이상 200Pa 이하로 하고 처리실 내에 제공된 전극에 0.17W/cm² 이상 0.5W/cm² 이하, 더 바람직하게는 0.26W/cm² 이상 0.35W/cm² 이하의 고주파 전력을 공급하는 조건으로 산화 실리콘막 또는 산화 질화 실리콘막을 형성하여도 좋다. 이 조건으로 성막함으로써 플라즈마 내의 원료 가스의 분해 효율이 높아지기 때문에 산소 라디칼이 증가하여 원료 가스의 산화가 진행되므로, 성막되는 산화 실리콘막 또는 산화 질화 실리콘막 내의 산소 함유량이 화학량론비보다 많게 된다. 그러나, 기판 온도가 상술한 온도인 경우 실리콘과 산소의 결합력이 약하기 때문에 가열에 의하여 산소의 일부가 탈리된다. 이 결과 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하고 가열됨으로써 산소의 일부가 탈리되는, 산소를 포함한 절연층을 형성할 수 있다.
- [0251] 상술한 바와 같이 하여 본 실시형태의 트랜지스터(412)를 형성할 수 있다.
- [0252] <공통 전극 및 화소 전극의 제작 방법>
- [0253] 트랜지스터(412)를 덮는 절연층(417)을 형성한다. 절연층(417)은 기판(410) 위에 형성된 구조물에 기인하는 요철을 평탄화시키기 위한 층이고 예를 들어, 아크릴 수지, 폴리이미드 수지 등을 사용하여 형성할 수 있다.
- [0254] 공통 전극(422)을 절연층(417) 위에 형성한다. 공통 전극(422)은 포토리소그래피 공정으로 도전막을 가공하여 형성한다.
- [0255] 절연막(424)을 공통 전극(422) 위에 형성한다.
- [0256] 화소 전극(421)을 절연막(424) 위에 형성한다. 절연막(424)은 화소 전극(421)과 공통 전극(422)을 절연시키는 층으로서 기능한다.
- [0257] 또한, 공통 전극(422)과 화소 전극(421)을 가시광에 대한 투광성을 갖는 막으로 하면 화소의 개구율을 높일 수 있어 바람직하다.
- [0258] 또한, 본 실시형태는 본 명세서에 기재된 다른 실시형태와 적절히 조합할 수 있다.
- [0259] (실시형태 5)
- [0260] 본 실시형태에서는 본 발명의 일 형태의 액정 표시 장치에 적용될 수 있는 트랜지스터에 사용하기에 바람직한 산화물 반도체층의 일례에 대하여 도면을 사용하여 자세히 설명한다.
- [0261] 산화물 반도체층은 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질 등의 상태를 취한다.
- [0262] 또한, 성막 조건, 예를 들어 피성막 기판의 온도를 200℃ 이상으로 함으로써 결정부를 포함하는 치밀한 산화물 반도체막, 즉 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막을 얻을 수도 있다.

- [0263] 이하에서는 산화물 반도체막의 구조에 대하여 설명한다.
- [0264] 산화물 반도체막은 단결정 산화물 반도체막과 비단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막 등을 말한다.
- [0265] 비정질 산화물 반도체막은 막 내의 원자 배열이 불규칙하고, 결정 성분을 갖지 않는 산화물 반도체막이다. 미소 영역에도 결정부를 갖지 않고, 막 전체가 완전한 비정질 구조인 산화물 반도체막이 전형이다.
- [0266] 미결정 산화물 반도체막은 예를 들어, 크기가 1nm 이상 10nm 미만인 미결정(나노 결정이라고도 함)을 포함한다. 그러므로, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 원자 배열의 규칙성이 높다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 결합 준위 밀도가 낮은 특징을 갖는다.
- [0267] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막의 하나이며, 대부분의 결정부는 하나의 면이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 하나의 면이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기일 수도 있다. CAAC-OS막은 미결정 산화물 반도체막보다 결합 준위 밀도가 낮은 특징을 갖는다. 이하에서는, CAAC-OS막에 대하여 자세히 설명한다.
- [0268] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)으로 관찰한 경우 결정부들끼리의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)가 확인되지 않는다. 그러므로, CAAC-OS막에서는 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0269] CAAC-OS막을 시료 면에 대략 평행한 방향으로부터 TEM으로 관찰(단면 TEM 관찰)하면 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막 상면의 요철이 반영된 형상을 갖고 CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.
- [0270] 한편, CAAC-OS막을 시료 면에 대략 수직인 방향으로부터 TEM으로 관찰(평면 TEM 관찰)하면 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 다른 결정부들간에서 금속 원자의 배열에 규칙성은 없다.
- [0271] 단면 TEM 관찰과 평면 TEM 관찰로부터 CAAC-OS막의 결정부가 배향성을 가짐을 알 수 있다.
- [0272] CAAC-OS막을 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석하면 예를 들어, InGaZnO₄의 결정을 갖는 CAAC-OS막을 out-of-plane법에 의하여 해석한 경우에 회절각(2θ)이 31° 근방일 때 피크가 나타날 수 있다. 이 피크는, InGaZnO₄의 결정의 (009)면에 귀속되기 때문에 CAAC-OS막의 결정이 c축 배향성을 갖고 c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향되어 있는 것을 확인할 수 있다.
- [0273] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는 2θ 가 56° 근방일 때 피크가 나타날 수 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막의 경우, 2θ 를 56° 근방에 고정시켜 시료 면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)하면 (110)면과 등가인 결정 면에 귀속되는 피크가 6개 관찰된다. 이에 반하여, CAAC-OS막의 경우, 2θ 를 56° 근방에 고정시켜 ϕ 스캔하여도 명확한 피크가 나타나지 않는다.
- [0274] 상술한 것으로부터 CAAC-OS막에 있어서 다른 결정부들간에서는 a축 및 b축의 배향이 불규칙하지만 c축 배향성을 갖고 또 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되어 있는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은, 결정의 ab면에 평행한 면이다.
- [0275] 또한, 결정부는 CAAC-OS막을 성막하였을 때, 또는 가열 처리 등의 결정화 처리를 수행하였을 때 형성된다. 상술한 바와 같이 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우에는 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않는 경우도 있다.
- [0276] 또한, CAAC-OS막 내의 결정화도는 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터 결정을 성장시킴으로써 형성되는 경우, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 될 수 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는 불순물이 첨가된 영역의 결정화도가 변화되어 부분적으로 결정화도가 다른 영역이 형성될 수도 있다.
- [0277] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 2θ 가 31° 근방일 때의 피크 외

에 2θ 가 36° 근방일 때에도 피크가 나타날 수 있다. 2θ 가 36° 근방일 때의 피크는 CAAC-OS막 내의 일부에 c축 배향성을 갖지 않는 결정이 포함되어 있는 것을 가리킨다. CAAC-OS막은 2θ 가 31° 근방일 때 피크가 나타나고 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.

- [0278] CAAC-OS막이 사용된 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0279] 또한, 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이어도 좋다.
- [0280] 본 명세서에 있어서, '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 '평행'의 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 '수직'의 범주에 포함된다.
- [0281] 또한, 본 명세서에 있어서, 삼방정 또는 능면체정은 육방정계에 포함된다.
- [0282] 피성막 기관의 온도를 200°C 이상으로 하면, 성막 중에 타깃으로부터 미소한 스퍼터링 입자가 비상하여 기관 위에 이 스퍼터링 입자들이 달라붙어 성막되고, 또 기관이 가열되어 있음으로써 입자들이 재배열되기 때문에 고밀도의 막이 된다.
- [0283] CAAC-OS막에는 가로 방향으로 2개 이상 20개 이하 정도의 인듐 원자가 존재하여 인듐 원자를 포함하는 층을 형성하고 있다. 또한, 상기 층이 가로 방향으로 20개보다 많은 인듐 원자를 갖는 경우도 있다. 예를 들어, 2개 이상 50개 이하, 2개 이상 100개 이하, 또는 2개 이상 500개 이하의 인듐 원자가 가로 방향으로 존재하여도 좋다.
- [0284] 또한, 인듐 원자를 포함한 층은 층들끼리 중첩되어 있고 그 층의 수는 1 이상 20 이하, 1 이상 10 이하, 또는 1 이상 4 이하이다.
- [0285] 이와 같이 인듐 원자를 포함한 층의 적층체는 가로 방향으로 몇 개 정도, 세로 방향으로 몇 개 정도의 그룹인 경우가 많다. 이것은 스퍼터링 입자가 평판 형상인 것에 기인한다고 생각할 수 있다.
- [0286] 또한, 피성막 기관의 온도를 높임으로써 기관 표면에서 스퍼터링 입자의 마이그레이션(migration)이 일어나기 쉬워진다. 이 작용으로 스퍼터링 입자는 평판 형상을 갖고 기관 표면에 도달된 후에 조금 이동하여, 평평한 면(ab면)이 기관 표면을 향하게 하여 부착된다. 그러므로, 표면에 수직인 방향으로부터 보아 c축 배향된 결정 영역을 갖는 산화물 반도체막을 얻기 쉬워진다.
- [0287] 또한, 산화물 반도체막의 성막 후에 200°C 이상의 가열 처리를 수행하여 더 치밀한 막으로 하여도 좋다. 다만, 산화물 반도체막 내의 불순물 원소(수소나 물 등)가 저감될 때 산소 결손이 생길 우려가 있어 가열 처리를 수행하기 전에 산화물 반도체막 위 또는 산화물 반도체막 아래에 산소 과잉의 절연층을 제공해 두는 것이 바람직하고, 가열 처리에 의하여 산화물 반도체막 내의 산소 결손을 저감시킬 수 있다.
- [0288] 성막 직후의 산화물 반도체막의 막질을 고밀도로 함으로써 박막이면서 단결정에 가까운 치밀한 막을 실현할 수 있고 막 내에 산소나 수소 등이 거의 확산되지 않는다. 이와 같은 치밀한 산화물 반도체막이 사용된 반도체 장치는 신뢰성이 향상된다.
- [0289] 본 발명의 일 형태의 트랜지스터에 포함되는 산화물 반도체층으로서 비정질 구조와 결정 구조의 어느 쪽 산화물 반도체층을 적용하여도 좋다. 다만, CAAC-OS막을 적용함으로써 산화물 반도체층 내에 존재하는 산소 결손에 기인하는 DOS(density of state)를 감소시킬 수 있게 되어 바람직하다.
- [0290] 또한, 본 실시형태는 본 명세서에 기재된 다른 실시형태와 적절히 조합할 수 있다.
- [0291] (실시형태 6)
- [0292] 본 실시형태에서는 본 발명의 일 형태의 액정 표시 장치에 적용될 수 있는 수직 배향(VA: Vertical Alignment) 모드로 동작하는 액정 소자를 구비한 화소의 구성에 대하여 도 8a 내지 도 9를 참조하여 설명한다. 도 8a는 액정 표시 장치가 구비한 화소의 상면도이고, 도 8b는 도 8a를 절단한 E-F에서 절단한 단면을 포함한 측면도이다. 또한, 도 9는 액정 표시 장치가 구비한 화소의 등가 회로도이다.
- [0293] VA형이란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이다. VA형 액정 표시 장치는 전압이 인

가되지 않을 때 액정 분자가 패널 면에 대하여 수직인 방향을 향하는 방식이다.

- [0294] 본 실시형태에서는 특히 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누고 분자가 각각 다른 방향으로 배향되도록 구리되어 있다. 이것을 멀티도메인(multi-domain)화 또는 멀티도메인 설계라고 한다. 이하의 설명에서는 멀티도메인 설계의 액정 표시 장치에 대하여 설명한다.
- [0295] 도 8a의 X1은 화소 전극(624)이 형성된 기판(600)의 상면도이고, X3은 공통 전극(640)이 형성된 기판(601)의 상면도이고, X2는 화소 전극(624)이 형성된 기판(600)과 공통 전극(640)이 형성된 기판(601)이 겹친 상태의 상면도이다.
- [0296] 기판(600) 위에는 트랜지스터(628)와 이에 접속된 화소 전극(624), 및 유지 용량부(630)가 형성되어 있다. 트랜지스터(628), 배선(618), 및 유지 용량부(630)는 절연층(620)과, 절연층(620) 위의 절연층(622)으로 덮여 있다. 화소 전극(624)은 절연층(620)과 절연층(622)을 관통하는 콘택트 홀(623)을 통하여 배선(618)에 접속되어 있다.
- [0297] 유지 용량부(630)는 트랜지스터(628)의 게이트 배선(602)과 동시에 형성된 제 1 용량 배선인 용량 배선(604)과, 게이트 절연층(606)과, 배선(616) 및 배선(618)과 동시에 형성된 제 2 용량 배선인 용량 배선(617)으로 구성되어 있다.
- [0298] 화소 전극(624)에는 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0299] 화소 전극(624)에는 슬릿(625)을 제공한다. 슬릿(625)은 액정의 배향을 제어하기 위한 것이다.
- [0300] 트랜지스터(629)와, 이에 접속된 화소 전극(626) 및 유지 용량부(631)는 각각 트랜지스터(628), 화소 전극(624), 및 유지 용량부(630)와 마찬가지로 형성할 수 있다. 트랜지스터(628)와 트랜지스터(629)는 배선(616)에 접속되어 있다. 이 액정 표시 패널의 화소는 화소 전극(624)과 화소 전극(626)으로 구성되어 있다. 화소 전극(624)과 화소 전극(626)은 서브 픽셀이다.
- [0301] 기판(601)에는 착색층(636)과 공통 전극(640)이 형성되고 공통 전극(640) 위에 돌기(644)가 형성되어 있다. 화소 전극(624) 위에는 배향막(648)이 형성되고 마찬가지로 공통 전극(640) 및 돌기(644) 위에도 배향막(646)이 형성되어 있다. 기판(600)과 기판(601) 사이에 액정층(650)이 형성되어 있다.
- [0302] 공통 전극(640)은 화소 전극(624)과 같은 재료를 사용하여 형성하는 것이 바람직하다. 공통 전극(640) 위에는 액정의 배향을 제어하는 돌기(644)가 형성되어 있다.
- [0303] 슬릿(625)이 제공된 화소 전극(624)에 전압을 인가하면, 슬릿(625) 근방에 전계의 왜곡(경사 전계(oblique electric field))이 발생한다. 이 슬릿(625)과, 기판(601) 측의 돌기(644)를 서로 맞물리도록 배치하는 것에 의하여 경사 전계를 효과적으로 발생시켜 액정의 배향을 제어함으로써, 액정이 배향되는 방향을 장소에 따라 다르게 한다. 즉, 멀티도메인화에 의하여 액정 표시 패널의 시야각을 넓힌다.
- [0304] 도 8b는 기판(600)과 기판(601)이 겹쳐 배치되고 액정이 주입된 상태를 도시한 것이다. 화소 전극(624)과 액정층(650)과 공통 전극(640)이 서로 겹쳐 액정 소자가 형성되어 있다.
- [0305] 도 9는 이 화소 구조의 등가 회로를 도시한 것이다. 트랜지스터(628)와 트랜지스터(629)는 게이트 배선(602)과 배선(616)에 접속되어 있다. 이 경우, 용량 배선(604)과 용량 배선(605)의 전위를 다르게 함으로써 액정 소자(651)와 액정 소자(652)의 동작을 다르게 할 수 있다. 즉, 용량 배선(604)과 용량 배선(605)의 전위를 개별적으로 제어함으로써 액정의 배향을 정밀하게 제어하여 시야각을 확대시킨다.
- [0306] 또한, 본 실시형태는 본 명세서에 기재된 다른 실시형태와 적절히 조합할 수 있다.
- [0307] (실시형태 7)
- [0308] 본 실시형태에서는 액정 소자가 갖는 액정층에 블루상을 나타내는 액정을 사용하는 경우의, 화소의 구체적인 구성에 대하여 설명한다.
- [0309] 도 10a는 화소의 상면도를 일례로서 도시한 것이다. 또한, 도 10b는 도 10a를 파선 A1-A2에서 절단한 단면도를 도시한 것이다. 또한, 도 10a는 스페이서(510)까지 형성된 화소의 상면도를 도시한 것이다. 도 10b는 스페이서(510)까지 형성된 기판(500)과 대향되도록 기판(514)이 배치된 구조를 도시한 것이다.

- [0310] 도 10a 및 도 10b에 도시된 화소는 주사선으로서 기능하는 도전막(501)과, 신호선으로서 기능하는 도전막(502)과, 용량 배선으로서 기능하는 도전막(503)과, 스위칭 소자로서 기능하는 트랜지스터(550)의 제 2 단자로서 기능하는 도전막(504)을 갖는다. 도전막(501)은 트랜지스터(550)의 게이트 전극으로서도 기능한다. 또한, 도전막(502)은 트랜지스터(550)의 제 1 단자로서도 기능한다.
- [0311] 도전막(501), 도전막(503)은 절연 표면을 갖는 기판(500) 위에 형성된 하나의 도전막을 원하는 형상으로 가공함으로써 형성할 수 있다. 도전막(501), 도전막(503) 위에는 게이트 절연막(506)이 형성되어 있다. 또한, 도전막(502), 도전막(504)은 게이트 절연막(506) 위에 형성된 하나의 도전막을 원하는 형상으로 가공하여 형성할 수 있다.
- [0312] 또한, 트랜지스터(550)의 활성층(507)은 도전막(501)과 중첩되는 위치에서 게이트 절연막(506) 위에 형성되어 있다. 또한, 활성층(507), 도전막(502), 도전막(504)을 덮도록 절연막(512)과, 절연막(513)이 차례로 형성되어 있다. 그리고, 절연막(513) 위에는 화소 전극(505) 및 공통 전극(508)이 형성되어 있고, 절연막(512) 및 절연막(513)에 형성된 콘택트 홀을 통하여 도전막(504)과 화소 전극(505)이 접속되어 있다.
- [0313] 또한, 용량 배선으로서 기능하는 도전막(503)과 도전막(504)이 게이트 절연막(506)을 사이에 개재(介在)하여 중첩되는 부분이 용량 소자(551)로서 기능한다.
- [0314] 또한, 본 실시형태에서는 도전막(503)과 게이트 절연막(506) 사이에 절연막(509)이 형성되어 있다. 그리고, 절연막(509)과 중첩되도록 화소 전극(505) 위에 스페이서(510)가 형성되어 있다.
- [0315] 기판(514)과 화소 전극(505) 및 공통 전극(508)과의 사이에는 액정을 포함한 액정층(516)이 제공되어 있다. 화소 전극(505), 공통 전극(508), 및 액정층(516)을 포함한 영역에 액정 소자(552)가 형성된다.
- [0316] 화소 전극(505)과 공통 전극(508)에는 예를 들어, 산화 실리콘을 포함한 산화 인듐 주석(ITSO), 산화 인듐 주석(ITO), 산화 아연(ZnO), 산화 인듐 아연, 갈륨이 첨가된 산화 아연(GZO) 등 투광성을 갖는 도전 재료를 사용할 수 있다.
- [0317] 액정층(516)을 형성하기 위한 액정 주입은 디스펜서식(적하식)으로 행하여도 좋고 펌핑식(pumping method)으로 행하여도 좋다.
- [0318] 또한, 화소간에서의 액정의 배향 흐트러짐에 기인하는 디스클리네이션(disclination)이 시인되는 것을 방지하기 위하여, 또는 확산된 빛이 인접하는 복수의 화소로 입사하는 것을 방지하기 위하여 기판(514) 위에 빛을 차폐할 수 있는 차폐막이 제공되어 있어도 좋다. 차폐막에는 카본 블랙, 이산화 티타늄보다 산화수가 적은 저차산화 티타늄 등의 흑색 안료를 포함한 유기 수지를 사용할 수 있다. 또는, 크롬을 사용한 막으로 차폐막을 형성할 수도 있다.
- [0319] 또한, IPS형 액정 소자나, 블루상을 사용하는 액정 소자의 경우, 도 10a 및 도 10b에 도시된 액정 소자(552)와 같이 화소 전극(505)과 공통 전극(508) 위에 액정층(516)이 제공된 구조를 갖는다. 그러나, 본 발명의 일 형태에 따른 액정 표시 장치는 이 구성에 한정되지 않고 액정 소자가, 화소 전극과 공통 전극 사이에 액정층이 끼워진 구조를 갖고 있어도 좋다.
- [0320] 트랜지스터(550)로서는 오프 전류가 극히 작은 트랜지스터를 적용할 수 있다. 예를 들어, 실시형태 4에 기재된 구성을 갖는 트랜지스터를 적용할 수 있다.
- [0321] 또한, 본 실시형태는 본 명세서에 기재된 다른 실시형태와 적절히 조합할 수 있다.
- [0322] (실시형태 8)
- [0323] 본 실시형태에서는 본 발명의 일 형태의 전자 기기에 대하여 설명한다. 구체적으로는 본 발명의 일 형태의 액정 표시 장치가 탑재된 전자 기기에 대하여 도 11a 내지 도 11e를 사용하여 설명한다.
- [0324] 액정 표시 장치가 적용된 전자 기기로서 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 액자, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코기 등의 대형 게임기 등을 들 수 있다. 도 11a 내지 도 11e는 이들 전자 기기의 구체적인 예를 도시한 것이다.
- [0325] 도 11a는 텔레비전 장치의 일례를 도시한 것이다. 텔레비전 장치(7100)는 하우징(7101)에 표시부(7103)가 제공되어 있다. 표시부(7103)에 영상을 표시할 수 있고, 표시부(7103)에 액정 표시 장치를 사용할 수 있다. 또한,

여기서는 스탠드(7105)에 의하여 하우징(7101)이 지지된 구성을 도시한 것이다.

- [0326] 텔레비전 장치(7100)는 하우징(7101)이 구비한 조작 스위치나 별체의 리모트 컨트롤러(7110)로 조작할 수 있다. 리모트 컨트롤러(7110)가 구비한 조작 키(7109)에 의하여 채널이나 음량을 조작할 수 있고 표시부(7103)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(7110)에 상기 리모트 컨트롤러(7110)로부터 출력되는 정보를 표시하는 표시부(7107)를 제공하는 구성으로 하여도 좋다.
- [0327] 또한, 텔레비전 장치(7100)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반 텔레비전 방송을 수신할 수 있고, 또 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속함으로써 단방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간 등)의 정보 통신을 행할 수도 있다.
- [0328] 도 11b에 도시된 컴퓨터는 본체(7201), 하우징(7202), 표시부(7203), 키보드(7204), 외부 접속 포트(7205), 포인팅 디바이스(7206) 등을 포함한다. 또한, 컴퓨터는 상술한 액정 표시 장치를 그 표시부(7203)에 사용하여 제작된다.
- [0329] 도 11c에 도시된 휴대형 게임기는 2개의 하우징(하우징(7301)과 하우징(7302))으로 구성되어 있고, 2개의 하우징은 연결부(7303)에 의하여 개폐가 가능하게 연결되어 있다. 하우징(7301)에는 표시부(7304)가 제공되고, 하우징(7302)에는 표시부(7305)가 제공되어 있다. 또한, 도 11c에 도시된 휴대형 게임기는 이 외에 스피커부(7306), 기록 매체 삽입부(7307), LED 램프(7308), 입력 수단(조작 키(7309), 접속 단자(7310), 센서(7311)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(7312)) 등을 구비한다. 물론, 휴대형 게임기의 구성은 상술한 것에 한정되지 않고 적어도 표시부(7304)와 표시부(7305)의 양쪽 모두, 또는 한쪽에 액정 표시 장치를 사용하고 있으면 좋고, 기타 부속 설비가 적절히 제공된 구성으로 할 수 있다. 도 11c에 도시된 휴대형 게임기는 기록 매체에 기록된 프로그램 또는 데이터를 관독하여 표시부에 표시하는 기능이나, 다른 휴대형 게임기와 무선 통신을 수행하여 정보를 공유하는 기능을 갖는다. 또한, 도 11c에 도시된 휴대형 게임기가 갖는 기능은 이에 한정되지 않고 다양한 기능을 가질 수 있다.
- [0330] 도 11d는 휴대 전화기의 일례를 도시한 것이다. 휴대 전화기(7400)는 하우징(7401)에 제공된 표시부(7402) 외에 조작 버튼(7403), 외부 접속 포트(7404), 스피커(7405), 마이크로폰(7406) 등을 구비하고 있다. 또한, 휴대 전화기(7400)는 상술한 액정 표시 장치를 그 표시부(7402)에 사용하여 제작된다.
- [0331] 도 11d에 도시된 휴대 전화기(7400)는 표시부(7402)를 손가락 등으로 터치하여 정보를 입력할 수 있다. 또한, 표시부(7402)를 손가락 등으로 터치하여 전화를 걸거나 또는 메일을 작성하는 등의 조작을 할 수 있다.
- [0332] 표시부(7402)의 화면에는 주로 3가지 모드가 있다. 첫 번째 모드는 화상의 표시가 주된 표시 모드이고, 두 번째 모드는 문자 등의 정보의 입력이 주된 입력 모드이다. 세 번째 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합된 표시+입력 모드이다.
- [0333] 예를 들어, 전화를 걸거나 또는 메일을 작성하는 경우에는 표시부(7402)를 문자의 입력이 주된 입력 모드로 하고 화면에 표시된 문자의 입력 조작을 하면 좋다. 이 경우, 표시부(7402)의 화면 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.
- [0334] 또한, 휴대 전화기(7400) 내부에 자이로(gyroscope), 가속도 센서 등 기울기를 검출하는 센서를 갖는 검출 장치를 제공함으로써, 휴대 전화기(7400)의 방향(세로인지 가로인지)을 판단하여 표시부(7402)의 화면 표시를 자동적으로 전환시키도록 할 수 있다.
- [0335] 또한, 표시부(7402)를 터치함으로써, 또는 하우징(7401)의 조작 버튼(7403)을 조작함으로써 화면 모드가 전환된다. 또한, 표시부(7402)에 표시되는 화상의 종류에 따라 화면 모드를 전환시키도록 할 수도 있다. 예를 들어, 표시부에 표시되는 화상 신호가 동영상 데이터이면 표시 모드로, 텍스트 데이터이면 입력 모드로 전환한다.
- [0336] 또한, 입력 모드 시에 표시부(7402)의 광 센서로 검출되는 신호를 검지하여, 표시부(7402)에서의 터치 조작에 의한 입력이 일정 기간 동안 없는 경우에 화면의 모드를 입력 모드로부터 표시 모드로 전환시키도록 제어하여도 좋다.
- [0337] 표시부(7402)는 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(7402)를 손바닥이나 손가락으로 터치하여 장문(掌紋)이나 지문 등을 촬상함으로써 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광(近赤外光)을 발광하는 백 라이트 또는 근적외광을 발광하는 센싱용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 촬

상할 수도 있다.

- [0338] 도 11e는 접이식 컴퓨터의 일례를 도시한 것이다. 접이식 컴퓨터(7450)는 힌지(7454)로 연결된 하우징(7451L)과 하우징(7451R)을 구비한다. 또한, 조작 버튼(7453), 좌측 스피커(7455L) 및 우측 스피커(7455R) 외에 컴퓨터(7450)의 측면에는 외부 접속 포트(7456)(도시되어 있지 않음)를 구비한다. 또한, 하우징(7451L)에 제공된 표시부(7452L)와 하우징(7451R)에 제공된 표시부(7452R)가 서로 대향되도록 힌지(7454)를 접음으로써 표시부를 하우징으로 보호할 수 있다.
- [0339] 표시부(7452L)와 표시부(7452R)는 화상을 표시할 수 있고, 손가락 등으로 터치하면 정보를 입력할 수 있다. 예를 들면, 설치된 프로그램을 나타내는 아이콘을 손가락으로 터치하여 선택함으로써 프로그램을 기동할 수 있다. 또는, 표시된 화상의 2개소에 터치한 손가락들의 간격을 바꾸어, 화상을 확대 또는 축소할 수 있다. 또는, 표시된 화상의 1개소에 터치한 손가락을 이동하여 화상을 이동할 수 있다. 또한, 키보드의 화상을 표시하여, 표시된 문자나 기호를 손가락으로 터치하여 선택함으로써 정보를 입력할 수도 있다.
- [0340] 또한, 컴퓨터(7450)에 자이로, 가속도 센서, GPS(Global Positioning System) 수신기, 지문 센서, 비디오 카메라를 탑재할 수도 있다. 예를 들어, 자이로, 가속도 센서 등 기울기를 검출하는 센서를 갖는 검출 장치를 제공함으로써, 컴퓨터(7450)의 방향(세로인지 가로인지)을 판단하여, 표시되는 화면의 방향을 자동적으로 전환시키도록 할 수 있다.
- [0341] 또한, 컴퓨터(7450)는 네트워크에 접속할 수 있다. 컴퓨터(7450)는 인터넷상의 정보를 표시할 수 있는 외에 네트워크에 접속된 다른 전자 기기를 원격으로 조작하는 단말로서 이용할 수 있다.
- [0342] 또한, 본 실시형태는 본 명세서에 기재된 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

- [0343] 100: 화소
101: 표시부
102: 트랜지스터
103: 액정 소자
104: 화소 전극
106: 기생 용량
107: 기생 용량
300: 액정 표시 장치
301: 표시 영역
303g: 게이트 측 구동 회로
303s: 소스 측 구동 회로
305: 실재
308: 배선
309: FPC
310: 기판
312: 트랜지스터
313: 트랜지스터
314: 용량
316: 절연층
317: 절연층

320c: 용량 성분
 320G: 액정 소자
 320r: 저항 성분
 321: 화소 전극
 322: 공통 전극
 324: 절연층
 326: 스페이서
 328: 배향막
 331: 액정층
 340: 기관
 341G: 컬러 필터
 342: 차광층
 346: 배향막
 350G: 화소
 402: 게이트 전극층
 404: 게이트 절연층
 404a: 게이트 절연층
 404b: 게이트 절연층
 406a: 소스 전극층 또는 드레인 전극층
 406b: 소스 전극층 또는 드레인 전극층
 407: 산화물 반도체막
 408: 산화물 반도체층
 410: 기관
 412: 트랜지스터
 416: 절연층
 416a: 절연층
 416b: 절연층
 417: 절연층
 421: 화소 전극
 422: 공통 전극
 424: 절연막
 500: 기관
 501: 도전막
 502: 도전막
 503: 도전막
 504: 도전막

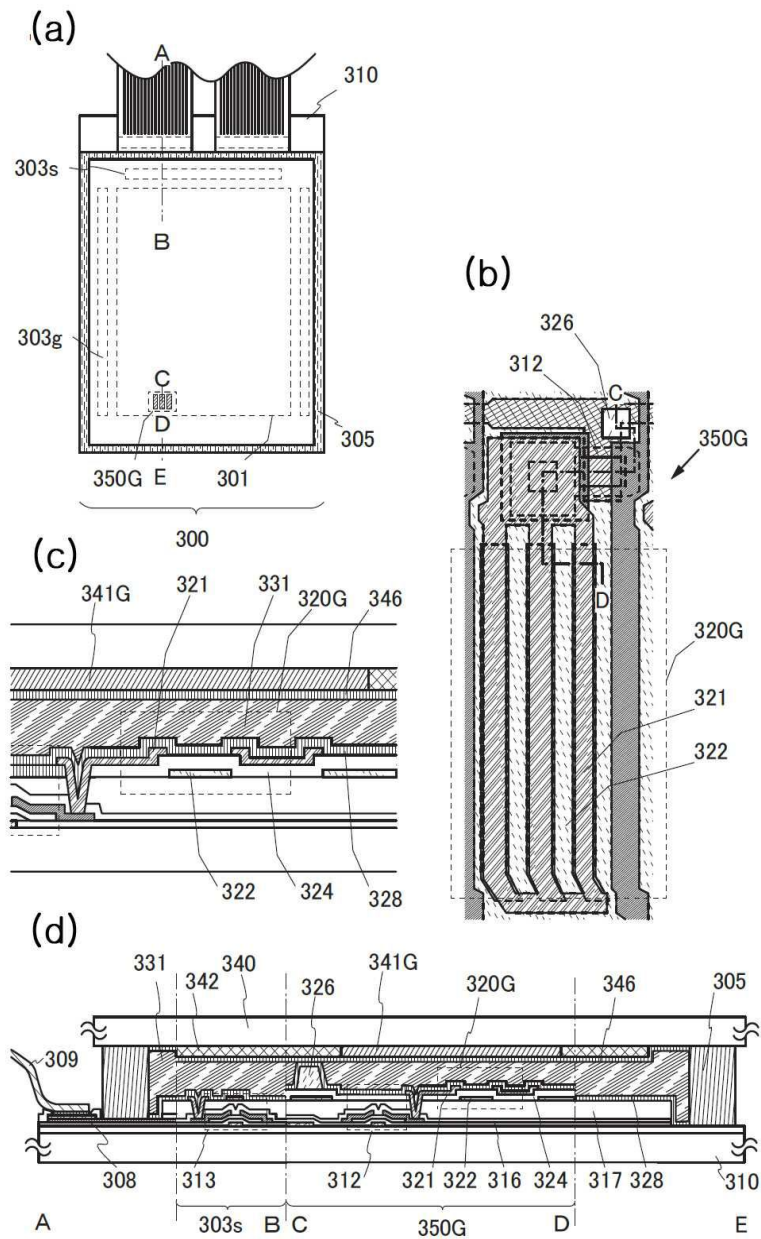
505: 화소 전극
506: 게이트 절연막
507: 활성층
508: 공통 전극
509: 절연막
510: 스페이서
512: 절연막
513: 절연막
514: 기관
516: 액정층
550: 트랜지스터
551: 용량 소자
552: 액정 소자
600: 기관
601: 기관
602: 게이트 배선
604: 용량 배선
605: 용량 배선
606: 게이트 절연층
616: 배선
617: 용량 배선
618: 배선
620: 절연층
622: 절연층
623: 콘택트 홀
624: 화소 전극
625: 슬릿
626: 화소 전극
628: 트랜지스터
629: 트랜지스터
630: 유지 용량부
631: 유지 용량부
636: 착색층
640: 공통 전극
644: 돌기
646: 배향막

648: 배향막
650: 액정층
651: 액정 소자
652: 액정 소자
2000: 기관
7100: 텔레비전 장치
7101: 하우징
7103: 표시부
7105: 스탠드
7107: 표시부
7109: 조작 키
7110: 리모트 컨트롤러
7201: 본체
7202: 하우징
7203: 표시부
7204: 키보드
7205: 외부 접속 포트
7206: 포인팅 디바이스
7301: 하우징
7302: 하우징
7303: 연결부
7304: 표시부
7305: 표시부
7306: 스피커부
7307: 기록 매체 삽입부
7308: LED 램프
7309: 조작 키
7310: 접속 단자
7311: 센서
7312: 마이크로폰
7400: 휴대 전화기
7401: 하우징
7402: 표시부
7403: 조작 버튼
7404: 외부 접속 포트
7405: 스피커

7406: 마이크론
7450: 컴퓨터
7451L:하우징
7451R:하우징
7452L: 표시부
7452R: 표시부
7453: 조작 버튼
7454: 힌지
7455L: 좌측 스피커
7455R: 우측 스피커
7456: 외부 접속 포트

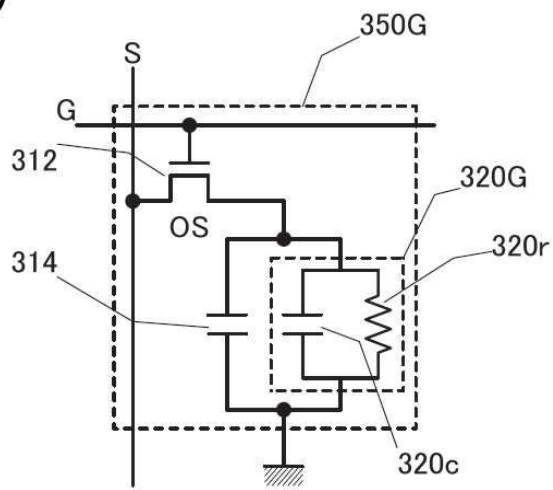
도면

도면1



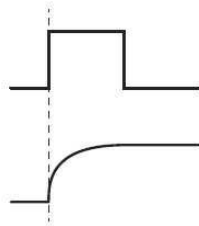
도면2

(a)



(b)

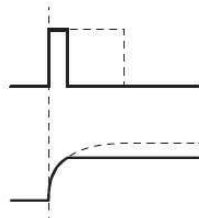
기록 시간이 긴 화상 신호



액정 소자의 투과율

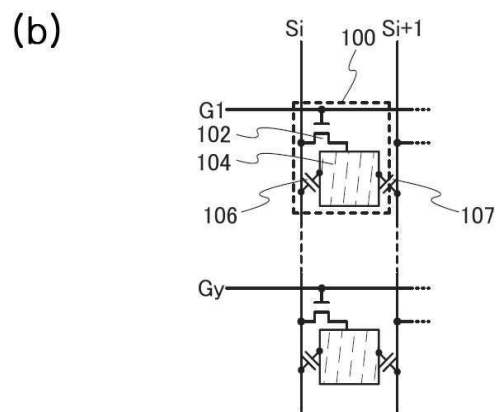
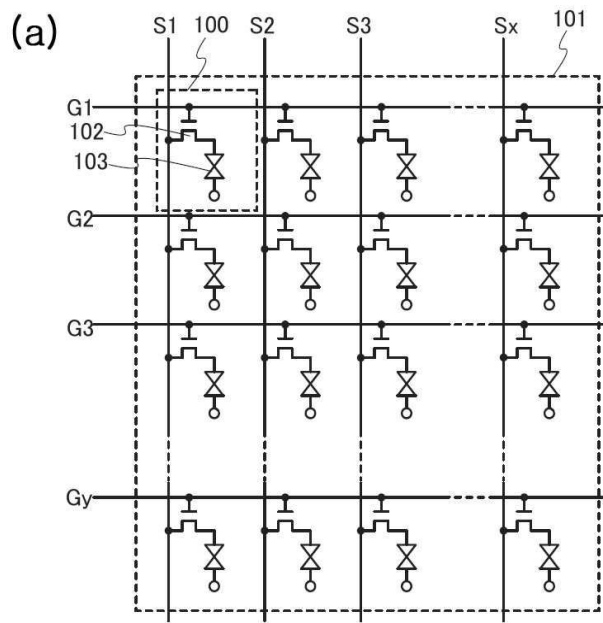
(c)

기록 시간이 짧은 화상 신호



액정 소자의 투과율

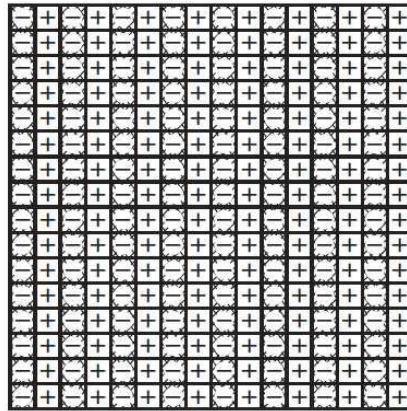
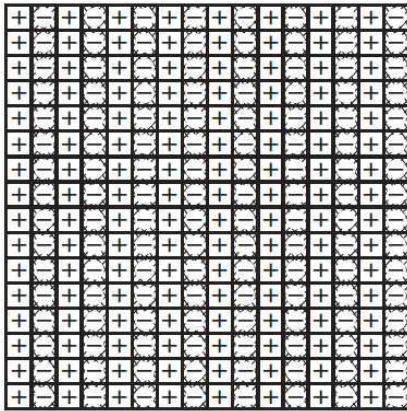
도면3



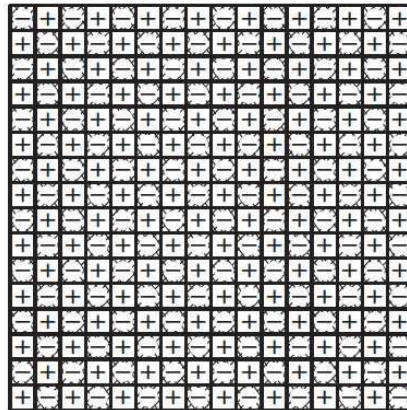
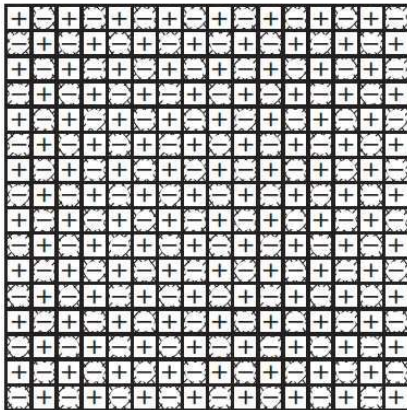
제 1 프레임 기간	+	-
↓	↓	↓
제 2 프레임 기간	-	+
↓	↓	↓
제 3 프레임 기간	+	-

도면4

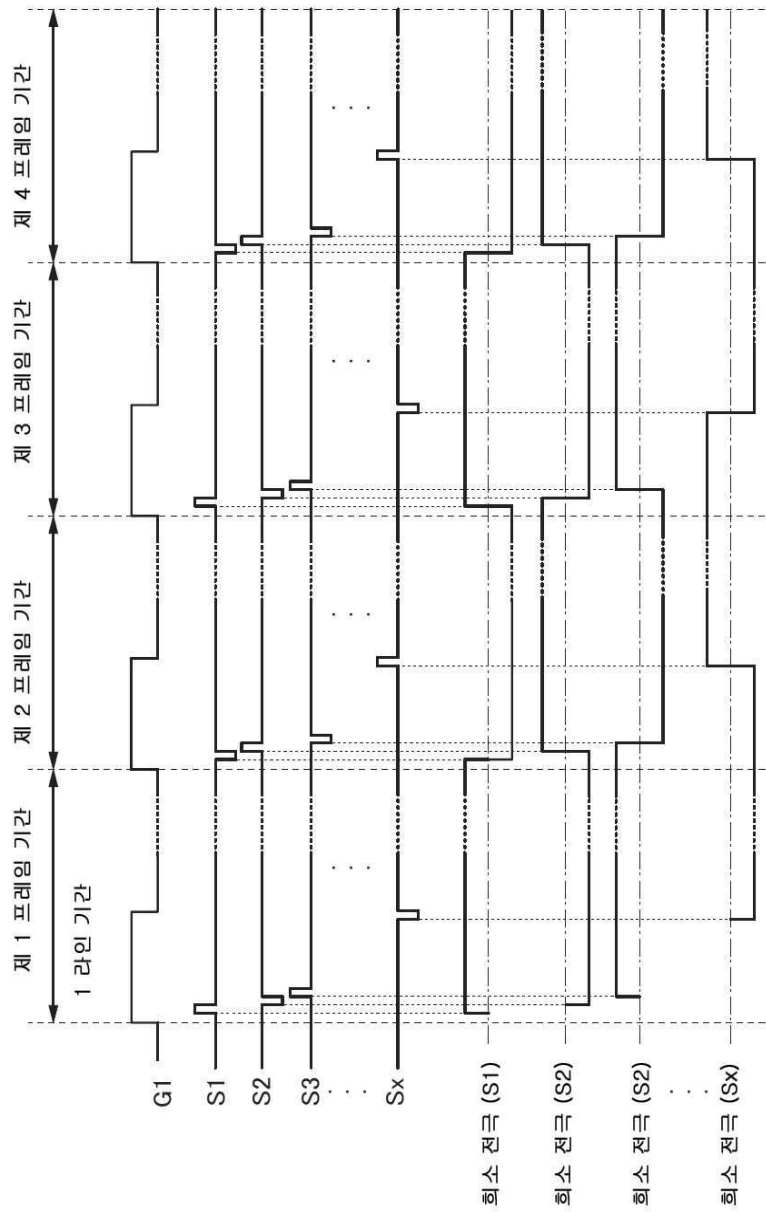
(a)



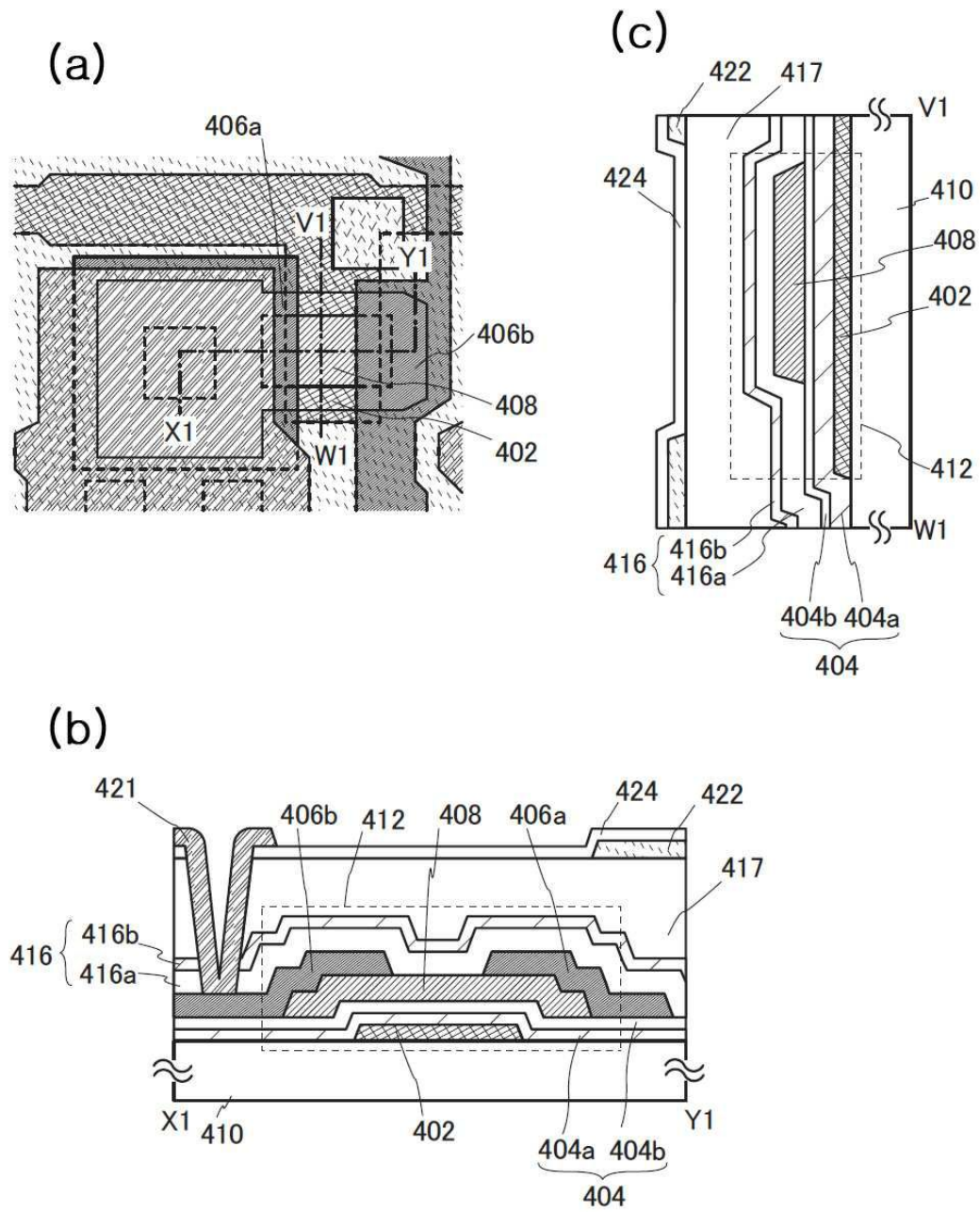
(b)



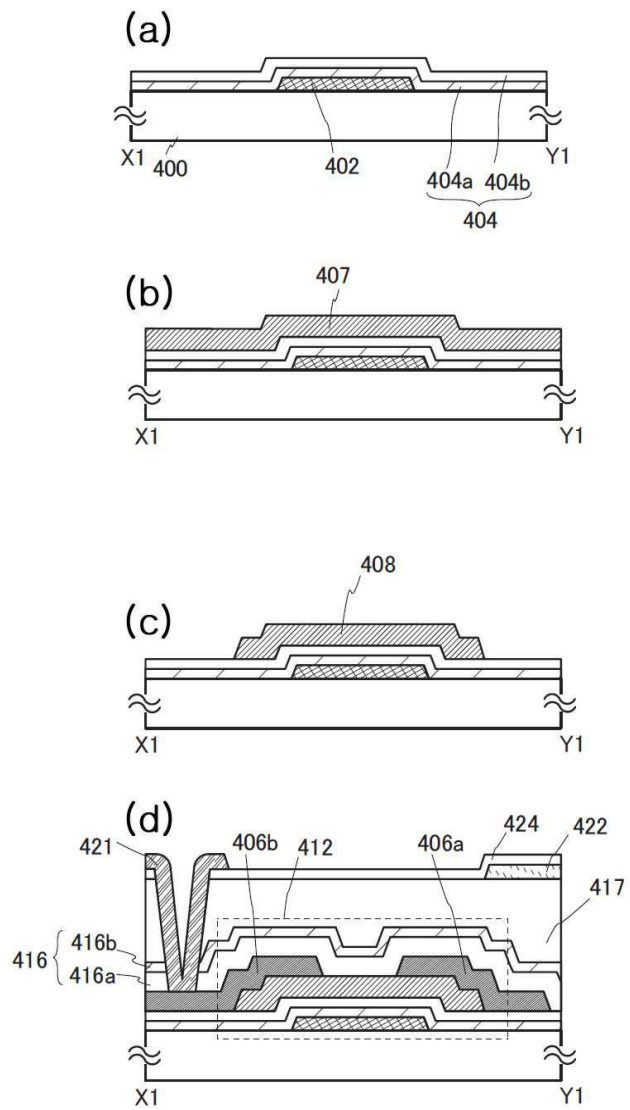
도면5



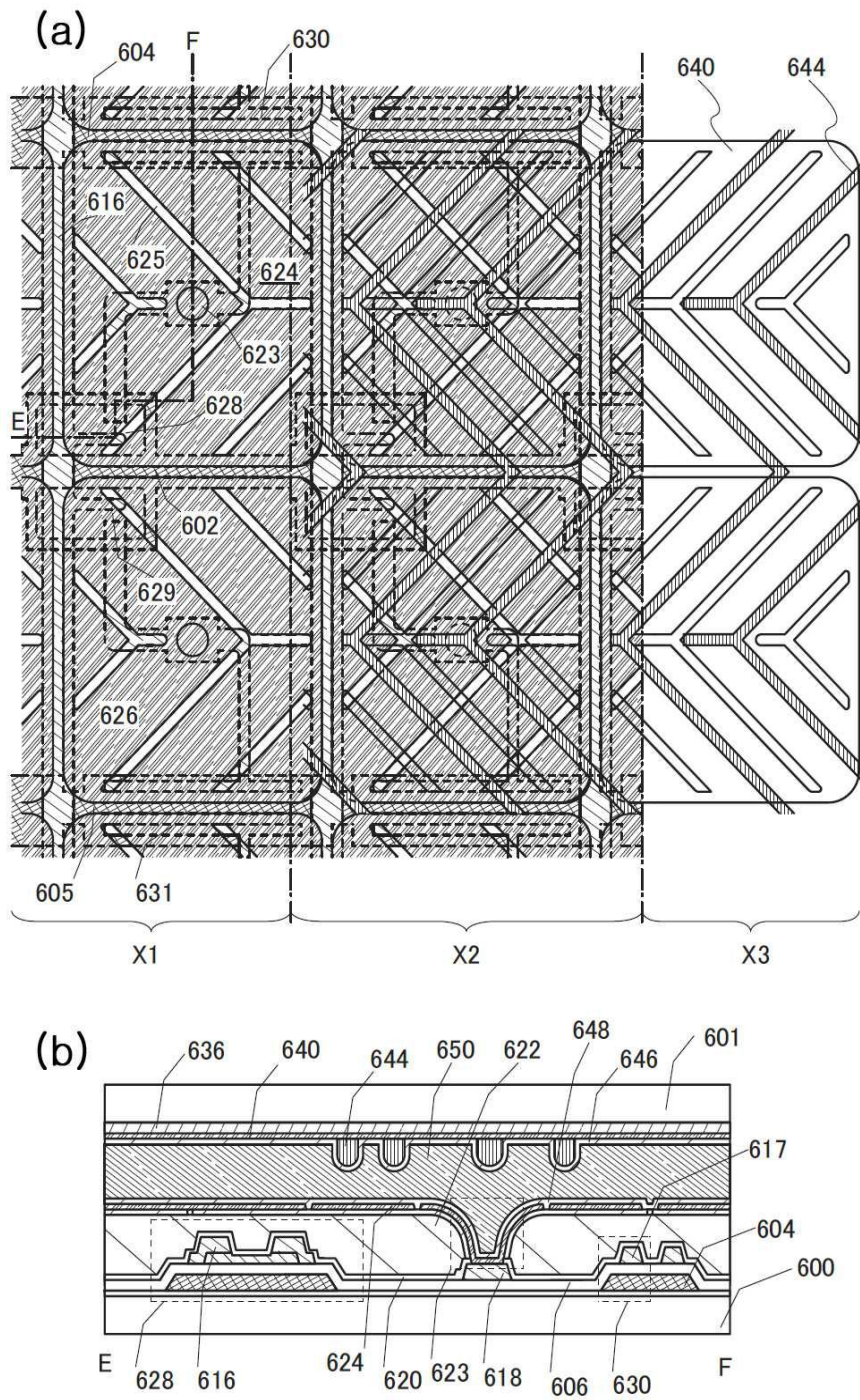
도면6



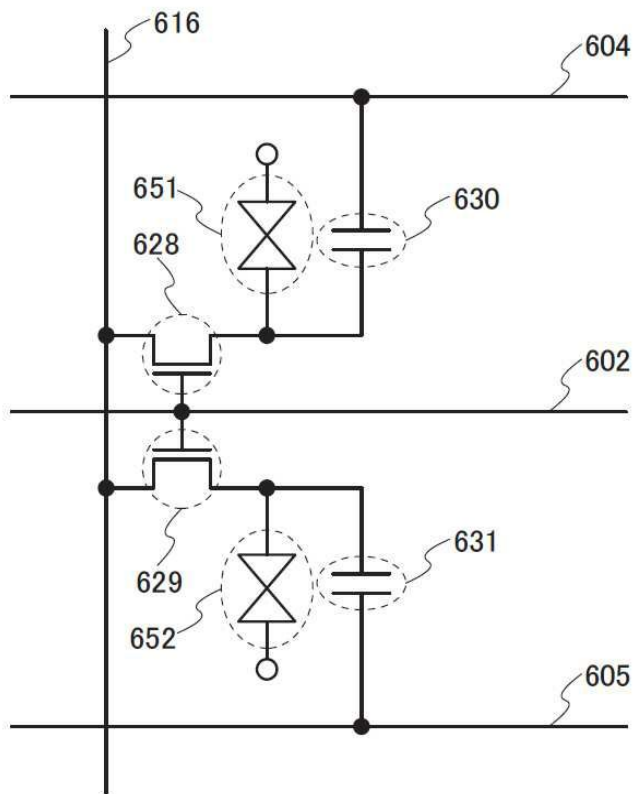
도면7



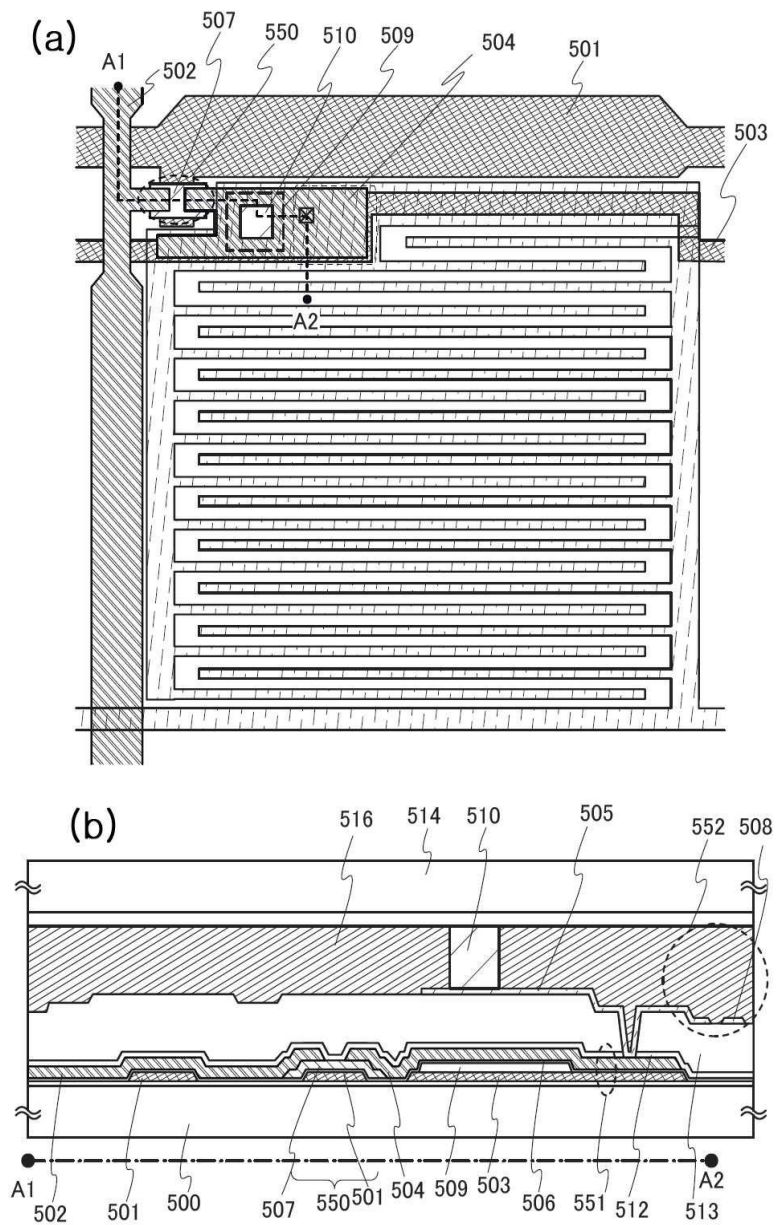
도면8



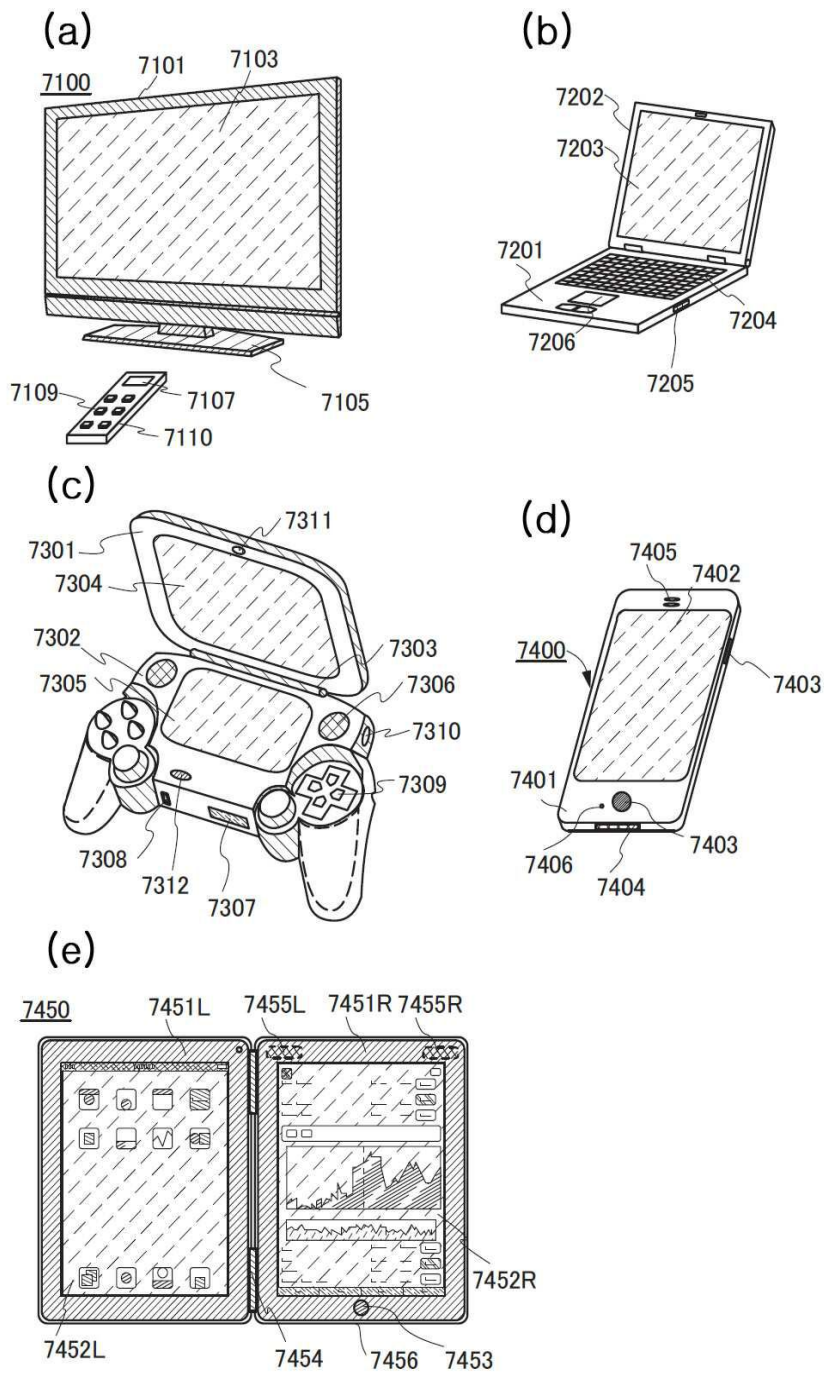
도면9



도면10



도면11



专利名称(译)	标题：液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	KR1020140008247A	公开(公告)日	2014-01-21
申请号	KR1020130077924	申请日	2013-07-03
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	MIYAKE HIROYUKI 미야케히로유키 HIRAKATA YOSHIHARU 히라카타요시하루		
发明人	미야케히로유키 히라카타요시하루		
IPC分类号	G02F1/1368 G09G3/36 G02F1/133		
CPC分类号	G02F1/1368 G09G3/3648 G09G3/3614 G09G3/36 H01L27/1225 G02F1/133345 G02F1/133512 G02F1/133514 G02F1/134309 G02F1/136213 G02F1/136286 G02F2201/121 G02F2201/123 G02F2201/40 G02F2202/10 G09G2330/023		
优先权	2012155318 2012-07-11 JP		
其他公开文献	KR102099262B1		
外部链接	Espacenet		

摘要(译)

在本发明中，提供了一种液晶显示器和液晶显示器的驱动方法，其中防止了图像质量的恶化并且降低了功耗。液晶显示器包括漏电流在关闭状态下减小的晶体管和液晶元件。像素的电容满足式(1)和(2)。

