

특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하는 게이트 라인, 공통 라인 및 화소 전극;

상기 게이트 라인, 상기 공통 라인 및 화소 전극 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며, 상기 게이트 라인과 대향하는 반도체층;

상기 반도체층 상에 위치하는 소스 전극과 드레인 전극;

상기 게이트 절연막 상에 위치하며, 상기 게이트 라인과 교차하는 데이터 라인 및 상기 공통 라인과 중첩되는 섬 패턴;

상기 소스 전극, 상기 드레인 전극, 상기 데이터 라인 및 상기 섬 패턴 상에 위치하는 패시베이션막; 및

상기 패시베이션막 상에 상기 화소 전극과 대향하게 위치하며, 콘택홀을 통해 상기 공통 라인과 접촉되는 공통 전극을 포함하며,

상기 공통 전극은 상기 콘택홀을 둘러싸는 영역에서 상기 섬 패턴에 의해 단차진 형상으로 이루어지는 액정표시 장치 어레이 기관.

청구항 2

제1 항에 있어서,

상기 공통 전극은 상기 섬 패턴과 접촉하는 액정표시장치 어레이 기관.

청구항 3

제2 항에 있어서,

상기 공통 전극과 상기 섬 패턴이 접촉하는 영역의 폭은 상기 공통 전극과 상기 공통 라인이 접촉하는 영역의 폭의 30 내지 100%인 액정표시장치 어레이 기관.

청구항 4

제1 항에 있어서,

상기 섬 패턴은 상기 공통 라인과 상기 공통 전극 사이에 위치하며, 상기 공통 라인 및 상기 공통 전극과 중첩되는 액정표시장치 어레이 기관.

청구항 5

제1 항에 있어서,

상기 공통 전극 상에 위치하는 배향막을 더 포함하는 액정표시장치 어레이 기관.

청구항 6

제1 항에 있어서,

상기 섬 패턴은 상기 소스 전극, 상기 드레인 전극 및 상기 데이터 라인과 동일한 물질로 이루어지는 액정표시장치 어레이 기판.

청구항 7

기판 상에 게이트 라인, 공통 라인 및 화소 전극을 형성하는 단계;

상기 게이트 라인, 상기 공통 라인 및 화소 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 게이트 라인과 대향하는 반도체층을 형성하는 단계;

상기 반도체층 상에 소스 전극과 드레인 전극을 형성하고, 상기 게이트 라인과 교차하는 데이터 라인 및 상기 공통 라인과 중첩되는 섬 패턴을 형성하는 단계;

상기 소스 전극, 상기 드레인 전극, 상기 데이터 라인 및 상기 섬 패턴 상에 패시베이션막을 형성하는 단계;

상기 패시베이션막을 식각하여 상기 공통 라인과 상기 섬 패턴의 일부를 노출시키는 단계; 및

상기 패시베이션막 상에 공통 전극을 형성하여, 콘택홀을 통해 상기 공통 라인과 접촉되며 상기 콘택홀을 둘러싸는 영역에서 상기 섬 패턴에 의해 단차지도록 공통 전극을 형성하는 단계를 포함하는 액정표시장치 어레이 기판의 제조방법.

청구항 8

제7 항에 있어서,

상기 공통 전극은 상기 섬 패턴과 접촉하는 액정표시장치 어레이 기판의 제조방법.

청구항 9

제8 항에 있어서,

상기 공통 전극과 상기 섬 패턴이 접촉하는 영역의 폭은 상기 공통 전극과 상기 공통 라인이 접촉하는 영역의 폭의 30 내지 100%로 형성되는 액정표시장치 어레이 기판의 제조방법.

청구항 10

제7 항에 있어서,

상기 섬 패턴은 상기 공통 라인과 상기 공통 전극 사이에 형성되며, 상기 공통 라인 및 상기 공통 전극과 중첩되는 액정표시장치 어레이 기판의 제조방법.

청구항 11

제7 항에 있어서,

상기 공통 전극 상에 배향막을 형성하는 단계를 더 포함하는 액정표시장치 어레이 기판의 제조방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치 어레이 기판 및 그 제조방법에 관한 것으로, 보다 자세하게는 콘택홀에 단차를 형성하여 배향막을 균일하게 형성할 수 있는 액정표시장치 어레이 기판 및 그 제조방법에 관한 것이다.

배정 기술

- [0002] 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- [0003] 현재는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다. 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.
- [0004] 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.
- [0005] 도 1은 종래 액정표시장치 어레이 기판을 나타낸 평면도이고, 도 2는 도 1의 I-I'에 따라 절취한 단면도이고, 도 3a 및 도 3b는 콘택홀 주변에 배향막의 끊김 현상을 나타낸 사진이다.
- [0006] 도 1을 참조하면, 일 방향으로 배열된 게이트 라인(12), 게이트 라인(12)과 교차하여 서브픽셀(P)을 정의하는 데이터 라인(15)이 위치한다. 또한, 게이트 라인(12)과 평행하게 배열된 공통 라인(16)이 위치한다. 그리고, 서브픽셀(P)영역에는 게이트 라인(12)과 데이터 라인(15)과 연결되며, 게이트 전극(17)과 게이트 절연막(미도시), 반도체층(미도시), 소오스 전극(19) 및 드레인 전극(21)을 포함하는 스위칭 박막 트랜지스터(Tr)가 위치한다.
- [0007] 또한, 서브픽셀(P)영역에는 게이트 라인(12)과 동일층에 박막 트랜지스터(Tr)의 드레인 전극(21)과 전기적으로 연결된 판 형상의 화소 전극(23)이 위치한다. 그리고, 서브픽셀(P)영역에 각 화소 전극(23)과 대응하여 공통 전극(25)이 위치한다. 공통 전극(25)은 각 서브픽셀(P)영역에 대응하여 일정 간격 이격하며 다수의 바(bar) 형상의 개구부(27)를 포함한다.
- [0008] 상기와 같은 구성으로 이루어진 종래 액정표시장치 어레이 기판은 공통 전극(25)에 전압을 인가하기 위해, 공통 라인(16)과 연결되는 콘택홀(29)을 각 서브픽셀(P)마다 구비하게 된다. 도 2를 참조하면, 게이트 절연막(GI)과 패시베이션막(PAS)에 콘택홀(29)이 형성되어 공통 라인(16)을 노출하고, 노출된 공통 라인(16)에는 공통 전극(25)이 접촉된다. 이후에는 폴리이미드인 배향막이 도포되는데 콘택홀(29)에서 배향막이 트랩(trap)되어, 도 3a 및 도 3b에 도시된 것처럼 배향막이 도포되지 않는 불량이 발생하게 된다.
- [0009] 따라서, 배향막의 도포 불량에 발생된 영역이 얼룩으로 표시되는 등 표시품질을 저하시키는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0010] 본 발명은 콘택홀에 단차를 형성하여 배향막을 균일하게 형성할 수 있는 액정표시장치 어레이 기판 및 그 제조 방법을 제공한다.

과제의 해결 수단

- [0011] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 기판, 상기 기판 상에 위치하는 게이트 라인, 공통 라인 및 화소 전극, 상기 게이트 라인, 상기 공통 라인 및 화소 전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하며, 상기 게이트 라인과 대향하는 반도체층, 상기 반도체층 상에 위치하는 소스 전극과 드레인 전극, 상기 게이트 절연막 상에 위치하며, 상기 게이트 라인과 교차하는 데이터 라인 및 상기 공통 라인에 중첩되는 섬 패턴, 상기 소스 전극, 상기 드레인 전극, 상기 데이터 라인 및 상기 섬 패턴 상에 위치하는 패시베이션막 및 상기 패시베이션막 상에 상기 화소 전극과 대향하게 위치하며, 콘택

홀을 통해 상기 공통 라인과 접촉되는 공통 전극을 포함하며, 상기 공통 전극은 상기 콘택홀을 둘러싸는 영역에서 상기 섬 패턴에 의해 단차진 형상으로 이루어질 수 있다.

[0012] 상기 공통 전극은 상기 섬 패턴과 접촉할 수 있다.

[0013] 상기 공통 전극과 상기 섬 패턴이 접촉하는 영역의 폭은 상기 공통 전극과 상기 공통 라인이 접촉하는 영역의 폭의 30 내지 100%일 수 있다.

[0014] 상기 섬 패턴은 상기 공통 라인과 상기 공통 전극 사이에 위치하며, 상기 공통 라인 및 상기 공통 전극과 중첩될 수 있다.

[0015] 상기 공통 전극 상에 위치하는 배향막을 더 포함할 수 있다.

[0016] 상기 섬 패턴은 상기 소스 전극, 상기 드레인 전극 및 상기 데이터 라인과 동일한 물질로 이루어질 수 있다.

[0017] 또한, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관의 제조방법은 기관 상에 게이트 라인, 공통 라인 및 화소 전극을 형성하는 단계, 상기 게이트 라인, 상기 공통 라인 및 화소 전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 상기 게이트 라인과 대향하는 반도체층을 형성하는 단계, 상기 반도체층 상에 소스 전극과 드레인 전극을 형성하고, 상기 게이트 라인과 교차하는 데이터 라인 및 상기 공통 라인과 중첩되는 섬 패턴을 형성하는 단계, 상기 소스 전극, 상기 드레인 전극, 상기 데이터 라인 및 상기 섬 패턴 상에 패시베이션막을 형성하는 단계, 상기 패시베이션막을 식각하여 상기 공통 라인과 상기 섬 패턴의 일부를 노출시키는 단계 및 상기 패시베이션막 상에 공통 전극을 형성하여, 콘택홀을 통해 상기 공통 라인과 접촉되며 상기 콘택홀을 둘러싸는 영역에서 상기 섬 패턴에 의해 단차지도록 공통 전극을 형성하는 단계를 포함할 수 있다.

[0018] 상기 공통 전극은 상기 섬 패턴과 접촉할 수 있다.

[0019] 상기 공통 전극과 상기 섬 패턴이 접촉하는 영역의 폭은 상기 공통 전극과 상기 공통 라인이 접촉하는 영역의 폭의 30 내지 100%로 형성될 수 있다.

[0020] 상기 섬 패턴은 상기 공통 라인과 상기 공통 전극 사이에 형성되며, 상기 공통 라인 및 상기 공통 전극과 중첩될 수 있다.

[0021] 상기 공통 전극 상에 배향막을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

[0022] 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관 및 그 제조방법은 공통 전극과 공통 라인이 접촉하는 콘택홀에 단차를 형성하여, 배향막의 도포 불량을 방지할 수 있는 이점이 있다. 따라서, 얼룩 등이 관찰되어 표시 품질이 저하되는 것을 방지할 수 있는 이점이 있다.

도면의 간단한 설명

[0023] 도 1은 종래 액정표시장치 어레이 기관을 나타낸 평면도.

도 2는 도 1의 I-I'에 따라 절취한 단면도.

도 3a 및 도 3b는 콘택홀 주변에 배향막의 끊김 현상을 나타낸 사진.

도 4는 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관을 나타낸 평면도.

도 5는 도 4의 II-II' 및 III-III'에 따라 절취한 단면도.

도 6a 내지 6e는 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관의 제조방법을 공정별로 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 첨부한 도면을 참조하여 본 발명의 일 실시예들을 상세히 설명하면 다음과 같다.

[0025] 도 4는 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관을 나타낸 평면도이고, 도 5는 도 4의 II-II' 및

III-III'에 따라 절취한 단면도이다.

- [0026] 도 4를 참조하면, 복수의 서브픽셀(P)을 포함하는 기판(미도시) 상에 일 방향으로 연장되며 배열된 게이트 라인(103)이 위치하고, 상기 게이트 라인(103)과 교차하여 서브픽셀(P)을 정의하는 데이터 라인(107)이 위치한다. 그리고, 상기 게이트 라인(103)과 서로 평행하게 배열되며 상기 데이터 라인(107)과 교차하는 공통 라인(109)이 위치한다. 상기 게이트 라인(103), 데이터 라인(107) 및 공통 라인(109)의 교차에 의해 복수의 서브픽셀(P)이 정의된다.
- [0027] 상기 각 서브픽셀(P)에는 상기 게이트 라인(103)에 연결된 게이트 전극(미도시), 게이트 절연막(미도시), 반도체층(미도시), 상기 데이터 라인(107)에 전기적으로 연결된 소스 전극(117), 상기 소스 전극(117)과 이격되된 드레인 전극(119)으로 구성된 박막 트랜지스터(Tr)가 위치한다.
- [0028] 본 도면에서 상기 박막 트랜지스터(Tr)는 채널을 이루는 영역이 'U'형태를 이루는 것을 예로 도시하였지만, 이에 한정되지 않으며, 'I'형태로도 이루어질 수 있다. 또한, 상기 박막 트랜지스터(Tr)는 게이트 전극이 게이트 라인(103) 그 자체로써 이루어지는 것을 예로 도시하였지만, 이에 한정되지 않으며, 게이트 라인(103)으로부터 서브픽셀(P)로 돌출되어 이루어질 수도 있다.
- [0029] 상기 각 서브픽셀(P) 내부에서 관 형태의 화소 전극(123)이 상기 박막 트랜지스터(Tr)의 드레인 전극(119)과 연결된다. 상기 복수의 서브픽셀(P)로 이루어진 표시영역 전면에는 상기 각 서브픽셀(P)에 형성된 상기 화소 전극(123)에 대응하여 바(bar) 형태를 갖는 복수의 개구부(131)를 갖는 공통 전극(135)이 위치한다.
- [0030] 상기 공통 전극(135)은 공통 전극(135)에 전압이 인가되기 위해 콘택홀(137)을 통해 상기 공통 라인(109)과 전기적으로 연결된다. 본 발명에서 공통 전극(135)과 공통 라인(109) 사이에 섬 패턴(IP)을 구비한다. 특히, 섬 패턴(IP)은 평면도 상에서 보면 콘택홀(137), 공통 전극(135) 및 공통 라인(109)과 모두 중첩되도록 형성된다. 보다 자세한 설명은 후술하는 제조방법에서 설명하기로 한다.
- [0031] 이하, 전술한 액정표시장치 어레이 기판의 평면 구조에 따른 단면 구조에 대해 설명하기로 한다.
- [0032] 도 5를 참조하면, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 기판(101) 상에 일 방향으로 배열된 게이트 라인(미도시)과 일체형의 게이트 전극(103)이 위치하고, 화소 전극(135)과 공통 라인(109)이 동일 평면 상에 위치한다. 공통 라인(109)과 게이트 전극(103)은 투명도전막(104)과 제1 금속층(105)으로 이루어진다.
- [0033] 게이트 전극(103), 화소 전극(135) 및 공통 라인(109) 상에 이들을 절연시키는 게이트 절연막(106)이 위치하고, 게이트 절연막(106) 상에 게이트 전극(103)과 대응되는 영역에 반도체층(115)이 위치한다. 반도체층(115)의 양측 단부에는 소스 전극(117)과 드레인 전극(119)이 각각 위치한다. 드레인 전극(119)은 게이트 절연막(106)의 비어홀(136)을 통해 전술한 화소 전극(135)과 전기적으로 접촉한다. 따라서, 게이트 전극(103), 반도체층(115), 소스 전극(117) 및 드레인 전극(119)을 포함하는 박막 트랜지스터(Tr)를 구성한다. 한편, 공통 라인(109)에 대응하는 게이트 절연막(106) 상에는 섬 패턴(IP)이 형성된다.
- [0034] 소스 전극(117), 드레인 전극(119) 및 섬 패턴(IP)이 형성된 기판(101) 상에 하부의 소자를 보호하는 패시베이션막(125)이 위치한다. 패시베이션막(125)과 게이트 절연막(106)에는 공통 라인(109)을 노출시키는 콘택홀(137)이 형성된다. 콘택홀(137)은 공통 라인(109) 뿐만 아니라 섬 패턴(IP)의 일부도 노출시킨다.
- [0035] 패시베이션막(125) 상에는 화소 전극(135)과 대응하는 영역에 복수의 개구부(131)가 형성된 공통 전극(123)이 위치한다. 그리고, 공통 전극(123)은 콘택홀(137)을 통해 섬 패턴(IP)과 공통 라인(109)에 각각 접촉된다. 공통 전극(123)은 패시베이션막(125), 섬 패턴(IP) 및 공통 라인(109)에 각각 접촉하면서 이들의 스텝 커버리지(step coverage)를 따라 형성되기 때문에, 패시베이션막(125)과 섬 패턴(IP) 사이에서 단차지게 되고, 섬 패턴(IP)과 공통 라인(109) 사이에서 또 한번 단차지게 형성된다.
- [0036] 여기서, 공통 전극(123)과 섬 패턴(IP)이 접촉하는 영역의 폭(W1)은 공통 전극(123)과 공통 라인(109)이 접촉하는 영역의 폭(W2)의 30 내지 100%일 수 있다. 공통 전극(123)과 섬 패턴(IP)이 접촉하는 영역의 폭(W1)이 공통 전극(123)과 공통 라인(109)이 접촉하는 영역의 폭(W2)의 30% 이상이면, 콘택홀(137)에 단차진 영역을 넓힐 수 있어 배향막이 트랩되는 것을 방지할 수 있는 이점이 있고, 공통 전극(123)과 섬 패턴(IP)이 접촉하는 영역의 폭(W1)이 공통 전극(123)과 공통 라인(109)이 접촉하는 영역의 폭(W2)의 100% 이하이면, 공통 전극(123)과 공통 라인(109)이 접촉하는 영역의 폭(W2)이 줄어들게 되어 콘택 불량 발생할 수 있는 것을 방지할 수 있다.
- [0037] 그리고, 공통 전극(123)까지 형성된 기판(101) 상에 배향막(180)이 위치한다. 본 발명에서는 콘택홀(137)에 다중 단차를 형성하여, 배향막(180)이 콘택홀(137) 주변에서 끊기지 않고 연속적으로 균일하게 배향막(180)이 형

성된다.

- [0038] 상기와 같이, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 공통 전극(123)과 공통 라인(109)이 접촉하는 콘택홀(137)에 다중 단차를 형성함으로써, 추후 배향막의 형성을 위한 제조 공정 시, 콘택홀(137)에 의해 배향막이 트랩되는 것을 방지할 수 있다.
- [0039] 이하, 도 5에 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판의 제조방법을 설명하면 다음과 같다. 도 6a 내지 6e는 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판의 제조방법을 공정별로 나타낸 도면이다.
- [0040] 도 6a를 참조하면, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판의 제조방법은 기판(101) 상에 ITO, IZO, ITZO, ZnO 중 선택된 하나의 투명도전물질을 증착하고, 그 상부에 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 하프톤 마스크를 이용하여 회절노광한 후 패터닝하여 게이트 전극(103), 공통 라인(109) 및 화소 전극(135)을 형성한다. 이때, 게이트 전극(103)과 공통 라인(109)은 투명도전층(104) 및 제1 금속층(105)이 적층된 형태로 형성하고, 화소 전극(135)은 투명도전물질만으로 이루어지도록 형성한다.
- [0041] 다음, 도 6b를 참조하면, 게이트 전극(103), 공통 라인(109) 및 화소 전극(135) 상에 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 게이트 절연막(106)을 형성한다. 이어, 기판(101) 상에 비정질 실리콘을 증착하고 하프톤 마스크를 이용하여 회절노광한 후 패터닝하여, 반도체층(115)과 화소 전극(135)을 노출시키는 비어홀(136)을 형성한다.
- [0042] 이어, 도 6c를 참조하면, 반도체층(115) 상에 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 금속물질을 패터닝하여 반도체층(115)의 양측 단부에 각각 접속하는 소스 전극(117)과 드레인 전극(119)을 형성하고, 공통 라인(109)과 대응하는 영역에 섬 패턴(IP)을 형성한다. 여기서, 드레인 전극(119)은 반도체층(115)의 일측 단부에 접촉하면서 비어홀(136)을 통해 노출된 화소 전극(123)과 접촉한다.
- [0043] 다음, 소스 전극(117), 드레인 전극(119), 섬 패턴(IP)이 형성된 기판(101) 상에 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 패시베이션막(125)을 형성한다.
- [0044] 이어, 도 6d를 참조하면, 공통 라인(109)과 섬 패턴(IP)이 위치한 영역의 패시베이션막(125)을 식각하여 콘택홀(137)을 형성한다. 이때, 공통 라인(109)이 추후 공통 전극과 접촉할 영역의 게이트 절연막(106)과 패시베이션막(125)을 식각하고, 단차를 형성할 섬 패턴(IP)의 일부를 노출하도록 패시베이션막(125)을 식각한다. 그리고, 추후 공통 전극(123)과 섬 패턴(IP)이 접촉하는 영역의 폭(W1)이 공통 전극(123)과 공통 라인(109)이 접촉하는 영역의 폭(W2)의 30 내지 100%가 될 수 있도록 패시베이션막(125)과 게이트 절연막(106)을 식각한다.
- [0045] 다음, 콘택홀(137)이 형성된 기판(101) 상에 ITO, IZO, ITZO, ZnO 중 선택된 하나의 투명도전물질을 증착하고 패터닝하여 공통 전극(123)을 형성한다. 공통 전극(123)은 화소 전극(123)에 대응하여 바(bar) 형태를 갖는 복수의 개구부(131)를 갖도록 형성된다. 또한, 공통 전극(135)은 콘택홀(137)에서 패시베이션막(125)의 스텝 커버리지를 따라 섬 패턴(IP) 및 공통 라인(109)에 접촉되도록 형성된다. 따라서, 공통 전극(135)은 패시베이션막(125), 섬 패턴(IP) 및 공통 라인(109)에 접촉하는 영역이 각각 단차지게 형성된다.
- [0046] 이어, 공통 전극(135)이 형성된 기판(101) 상에 폴리이미드(polyimide)를 도포하여 배향막(180)을 형성한다. 배향막(180)은 폴리이미드의 액상으로 도포되기 때문에 기판(101) 상에 도포되고 넓게 퍼지게 된다. 이때, 콘택홀(137)과 같은 홀(hole)들에서 배향막(180)의 퍼짐이 끊기게 되는데, 본 발명에서는 섬 패턴(IP)을 콘택홀(137)에 형성하여 단차를 만듦으로써, 배향막(180)의 끊김 현상을 방지할 수 있다.
- [0047] 상기와 같이, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판 및 그 제조방법은 공통 전극과 공통 라인이 접촉하는 콘택홀에 단차를 형성하여, 배향막의 도포 불량률을 방지할 수 있는 이점이 있다. 따라서, 얼룩 등이 관찰되어 표시품질이 저하되는 것을 방지할 수 있는 이점이 있다.
- [0048] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0049] 101 : 기관 103 : 게이트 전극

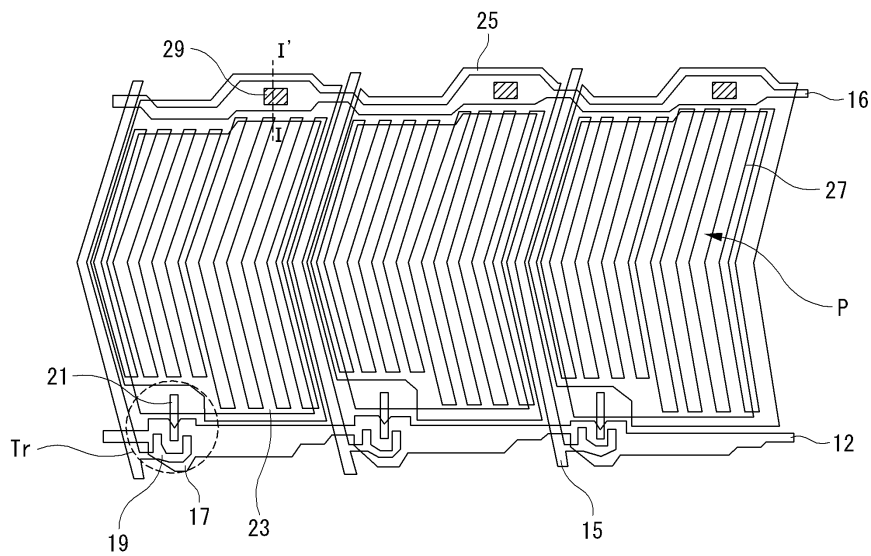
106 : 게이트 절연막 109 : 공통 라인

115 : 반도체층 123 : 공통 전극

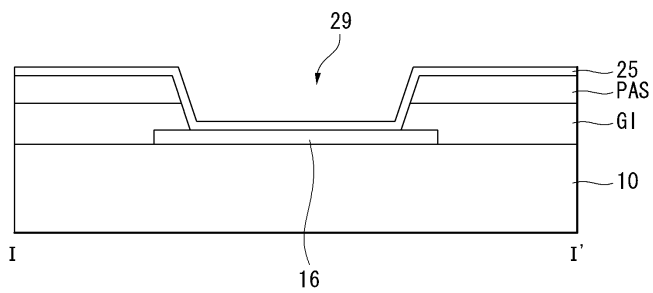
135 : 화소 전극 IP : 섬 패턴

도면

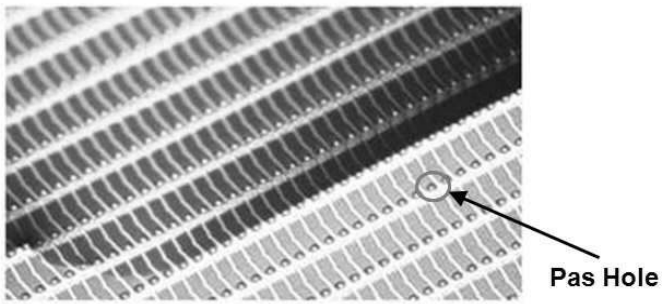
도면1



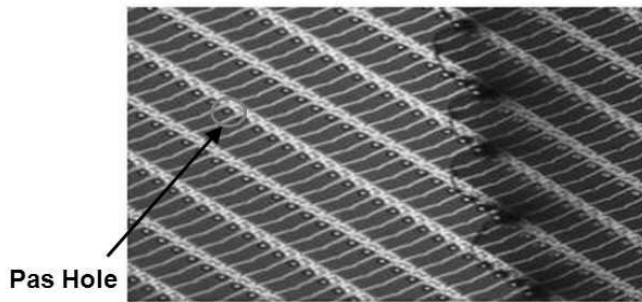
도면2



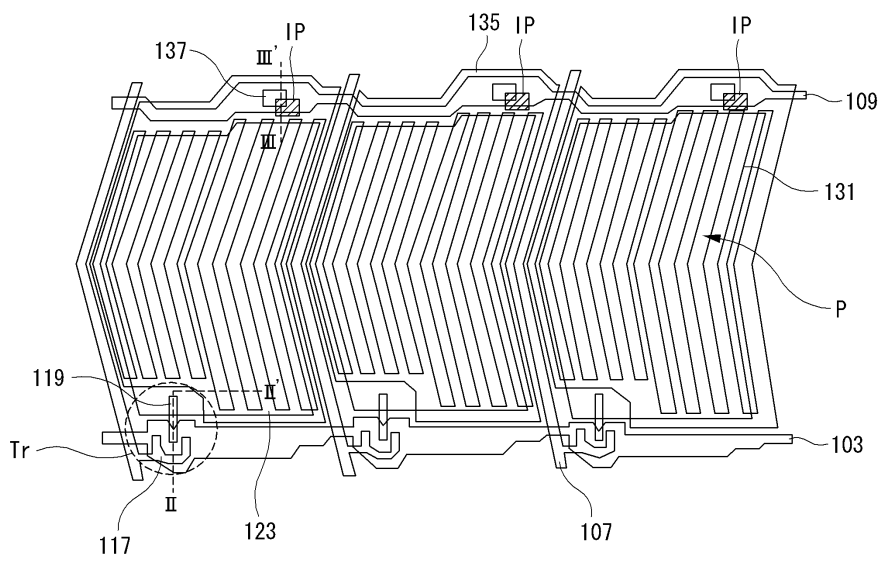
도면3a



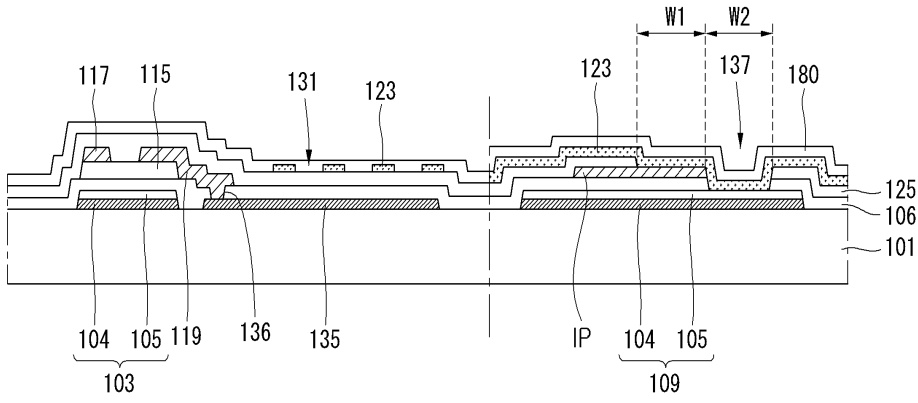
도면3b



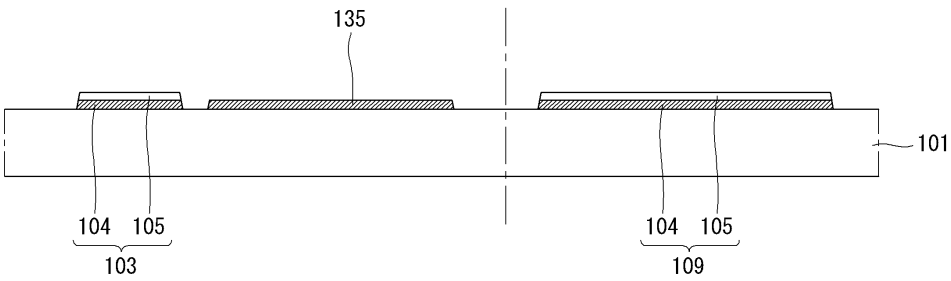
도면4



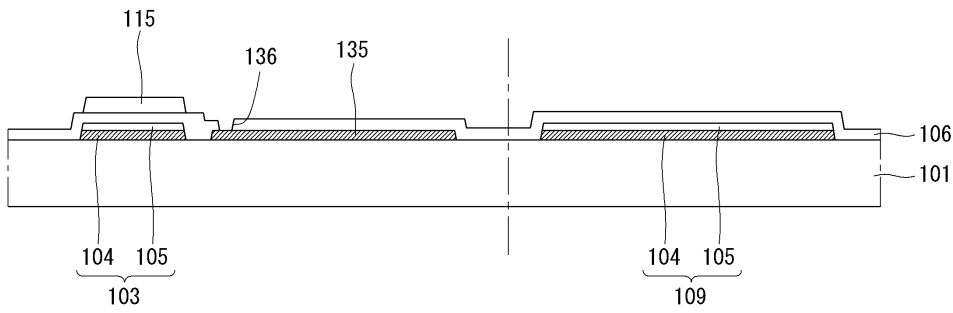
도면5



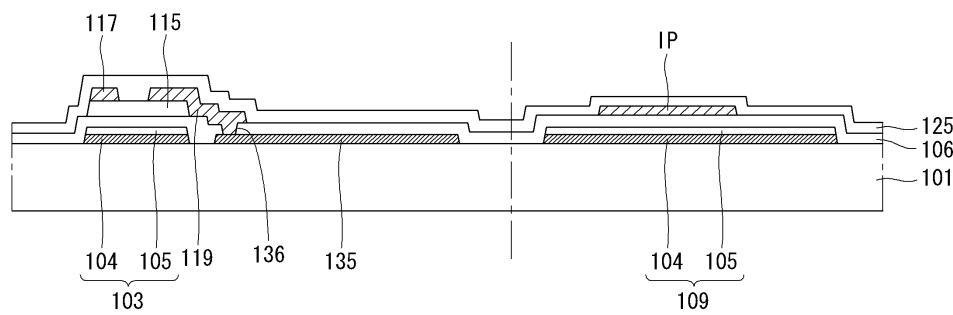
도면6a



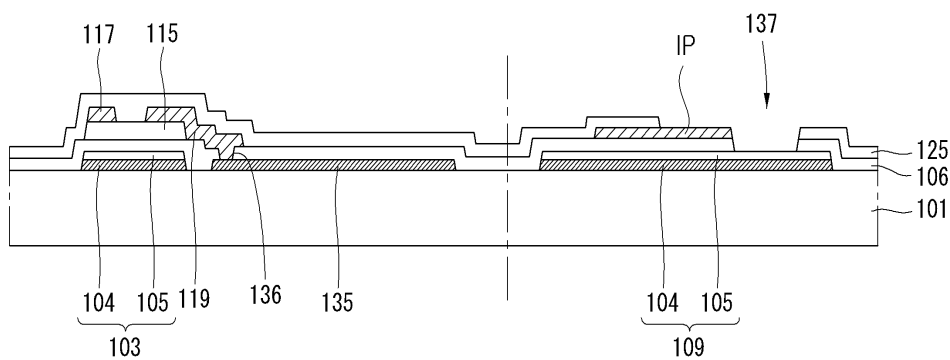
도면6b



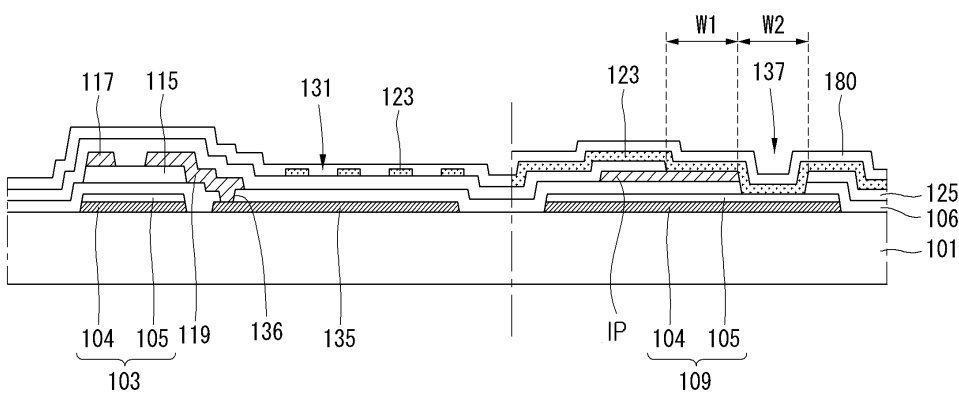
도면6c



도면6d



도면6e



专利名称(译)	用于液晶显示器的阵列基板及其制造方法		
公开(公告)号	KR1020130072896A	公开(公告)日	2013-07-02
申请号	KR1020110140516	申请日	2011-12-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PYO JONG SANG 표종상 KO DONG KUG 고동국		
发明人	표종상 고동국		
IPC分类号	G02F1/1343 G02F1/1337 G02F1/136 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/13439 G02F1/136286 G02F1/1368 G02F2001/134318 G02F2001/136295		
其他公开文献	KR101912940B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种LCD阵列基板及其制造方法，通过在具有公共电极和公共线连接的接触孔处形成阶梯滑轮，防止定向膜的涂层故障。组成：岛状图案位于在栅极绝缘层（106）上。钝化膜（125）位于源电极（117），漏电极（119），数据线和岛图案上。公共电极（135）面对钝化膜上的像素电极（123），并通过接触孔（137）连接到公共线。公共电极是在覆盖接触孔的区域中由岛状图案形成的阶梯形状。

도5

