



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0056876
(43) 공개일자 2013년05월30일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
<i>G09G 3/36</i> (2006.01)</p> <p>(21) 출원번호 10-2012-7032628</p> <p>(22) 출원일자(국제) 2012년10월26일
심사청구일자 2012년12월13일</p> <p>(85) 번역문제출일자 2012년12월13일</p> <p>(86) 국제출원번호 PCT/CN2012/083558</p> <p>(87) 국제공개번호 WO 2013/060285
국제공개일자 2013년05월02일</p> <p>(30) 우선권주장
201110331772.X 2011년10월26일 중국(CN)</p> | <p>(71) 출원인
베이징 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 베이징 100176 비디에이 시환중로 8호</p> <p>(72) 발명자
차오 쿤
중국 베이징 100176 비디에이 디저 로드 넘버 9
후 밍
중국 베이징 100176 비디에이 디저 로드 넘버 9</p> <p>(74) 대리인
리앤목특허법인</p> |
|--|---|

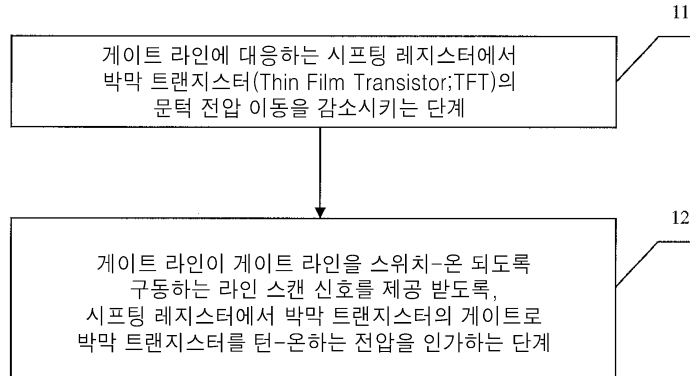
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **게이트 라인 구동 방법과 장치, 시프팅 레지스터 및 디스플레이 소자**

(57) 요약

본 개시는 액정 디스플레이의 분야와 관련되고, 시프팅 레지스터 동작시 안정성을 개선하기 위하여, 게이트 라인 구동 방법, 시프팅 레지스터 및 게이트 라인 구동 장치를 개시한다. 게이트 라인 구동 방법은, 게이트 라인에 대응하는 시프팅 레지스터에서 박막 트랜지스터의 문턱 전압 이동을 감소시키는 단계 및 시프팅 레지스터에 대응하는 게이트 라인이 게이트 라인들이 스위치-온 또는 오프되도록 구동하는 라인 스캔 신호를 제공 받도록, 시프팅 레지스터에서 박막 트랜지스터의 게이트에 박막 트랜지스터를 턴-온 하는 전압을 인가하는 단계를 포함한다. 시프팅 레지스터는 제1 TFT, 제2 TFT, 제3 TFT, 캐패시터, 리셋팅 모듈 및 피드백 수신 모듈을 포함한다. 본 개시는 게이트 라인들을 구동하는데 사용될 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

게이트 라인에 대응하는 시프팅(shifting) 레지스터에서 박막 트랜지스터(Thin Film Transistor; TFT)의 문턱 전압 이동을 감소시키는 단계;

상기 게이트 라인이 상기 게이트 라인을 스위치-온 되도록 구동하는 라인 스캔 신호를 제공받도록, 상기 시프팅 레지스터에서 상기 박막 트랜지스터의 게이트에 상기 박막 트랜지스터를 턴-온(turn-on)하는 전압을 인가하는 단계;를 포함하는 게이트 라인 구동 방법.

청구항 2

제1항에 있어서,

상기 게이트 라인에 대응하는 상기 시프팅 레지스터에서 상기 박막 트랜지스터의 상기 문턱 전압 이동을 감소시키는 단계는,

상기 TFT의 상기 문턱 전압 이동을 감소시키기 위하여, 상기 TFT의 게이트(gate) 절연층(insulation layer)에 축적된 전자들이 상기 TFT의 소스(source)에 도달하게 하는 단계를 포함하는 것을 특징으로 하는 게이트 라인 구동 방법.

청구항 3

제2항에 있어서,

상기 TFT의 상기 게이트 절연층에서 축적된 상기 전자들을 상기 TFT의 상기 소스에 도달하게 하는 단계는,

상기 TFT의 상기 게이트 절연층에서 축적된 상기 전자들이 상기 TFT의 상기 소스에 도달하도록, 상기 TFT의 상기 소스에 고준위(high level) 및 상기 TFT의 상기 게이트에 저준위(low level)를 인가하는 단계를 포함하는 것을 특징으로 하는 게이트 라인 구동 방법.

청구항 4

서로 연결되고 현재 단계에서의 트리거 신호 단자에 더 연결된 게이트(gate)와 소스(source), 및 풀-업(pull-up) 노드로서 제1 노드에 연결된 드레인(drain)을 구비하는 제1 TFT;

제1 노드에 연결된 게이트, 클락 신호 단자에 연결된 소스 및 현재 단계에서의 출력 단자에 연결된 드레인을 구비하는 제2 TFT;

상기 제1 노드 및 현재 단계에서의 상기 출력 단자 사이에 연결되어 있는 캐패시터;

현재 단계의 상기 출력이 완료된 이후, 상기 제2 TFT의 상기 드레인 및 상기 게이트에 저준위를 인가하기 위하여, 풀-다운(pull-down) 노드로서 제2 노드, 상기 클락 신호 단자 및 저준위 신호 단자 사이에 연결되어 있는 리셋팅 모듈; 및

현재 단계에서의 상기 제1 노드 및 상기 출력 단자를 풀-다운 하는 피드백 신호를 다음 단계로부터 수신하기 위하여, 상기 제1 노드, 상기 저준위 신호 단자 및 현재 단계의 상기 출력 단자 사이에 연결되어 있고, 피드백 신호 단자에 연결되어 있는 피드백 수신 모듈;을 포함하는 시프팅 레지스터.

청구항 5

제4항에 있어서,

상기 리셋팅 모듈은,

상기 제2 노드에 연결된 게이트, 제3 리셋팅 TFT의 드레인에 연결된 소스 및 상기 저준위 신호 단자에 연결된 드레인을 구비하는 제1 리셋팅 TFT;

상기 제2 노드에 연결된 게이트, 제4 리셋팅 TFT의 드레인에 연결된 소스 및 상기 저준위 신호 단자에 연결된

드레인을 구비하는 제2 리셋팅 TFT;

상기 클락 신호 단자에 연결된 게이트와 소스, 및 상기 제1 리셋팅 TFT의 상기 소스에 연결된 드레인을 구비하는 제3 리셋팅 TFT; 및

상기 제3 리셋팅 TFT의 상기 드레인에 연결된 게이트, 상기 클락 신호 단자에 연결된 소스 및 상기 제2 리셋팅 TFT의 상기 소스에 연결된 상기 드레인을 구비하는 제4 리셋팅 TFT;를 포함하고,

상기 시프팅 레지스터는,

상기 리셋팅 모듈에서 상기 제2 리셋팅 TFT의 상기 소스에 연결된 게이트, 상기 제1 노드에 연결된 소스 및 상기 저준위 신호 단자에 연결된 드레인을 구비하는 제9 TFT;

상기 리셋팅 모듈에서 상기 제2 리셋팅 TFT의 상기 소스에 연결된 게이트, 현재 단계에서의 상기 출력 단자에 연결된 소스 및 상기 저준위 신호 단자에 연결된 드레인을 구비하는 제10 TFT;를 더 포함하는 것을 특징으로 하는 시프팅 레지스터.

청구항 6

제4항에 있어서,

상기 피드백 수신 모듈은,

상기 피드백 신호 단자에 연결된 게이트, 현재 단계에서의 상기 출력 단자에 연결된 소스 및 상기 저준위 신호 단자에 연결된 드레인을 구비하는 제4 TFT; 및

상기 피드백 신호 단자에 연결된 게이트, 상기 제1 노드(PU)에 연결된 소스 및 상기 저준위 신호 단자에 연결된 드레인을 구비하는 제5 TFT를 포함하는 것을 특징으로 하는 시프팅 레지스터.

청구항 7

제4항에 있어서,

상기 시프팅 레지스터는,

제2 클락 신호 단자에 연결된 게이트, 상기 제2 노드에 연결된 소스 및 상기 저준위 단자에 연결된 드레인을 구비하는 제6 TFT를 더 포함하고,

상기 제2 클락 신호 단자에서 클락 신호 및 상기 클락 신호 단자에서 클락 신호는 서로 반전된 것을 특징으로 하는 시프팅 레지스터.

청구항 8

제4항에 있어서,

상기 시프팅 레지스터는,

제2 클락 신호 단자에 연결된 게이트, 현재 단계에서의 상기 트리거 신호 단자에 연결된 소스 및 상기 제1 노드에 연결된 드레인을 구비하는 제7 TFT를 더 포함하고,

상기 제2 클락 신호 단자에서 클락 신호 및 상기 클락 신호 단자에서 클락 신호는 서로 반전된 것을 특징으로 하는 시프팅 레지스터.

청구항 9

제4항에 있어서,

상기 시프팅 레지스터는,

상기 클락 신호 단자에 연결된 게이트, 상기 제1 노드에 연결된 소스 및 상기 제2 노드에 연결된 드레인을 구비하는 제8 TFT를 더 포함하는 것을 특징으로 하는 시프팅 레지스터.

청구항 10

제4항에 있어서,

상기 시프팅 레지스터는,

상기 제1 노드(PU)에 연결된 게이트, 상기 클락 신호 단자에 연결된 소스 및 다음 단계에 대한 상기 트리거 신호 단자에 연결된 드레인을 구비하는 제3 TFT를 더 포함하는 것을 특징으로 하는 시프팅 레지스터.

청구항 11

청구항 제4항 내지 제10항에 따른 상기 시프팅 레지스터가 복수개로 직렬 연결된 것을 포함하는 게이트 라인 구동 장치.

청구항 12

픽셀 어레이 및 제11항에 따른 상기 게이트 라인 구동 장치를 포함하는 디스플레이 소자.

명세서

기술분야

[0001] 본 개시는 액정 디스플레이 분야에 관련되고, 특히 게이트 라인 구동 방법과 장치, 시프팅 레지스터 및 디스플레이 소자와 관련된다.

배경기술

[0002] 액정 디스플레이의 픽셀 어레이(pixel array)는 픽셀 어레이의 행에 대응하는 게이트 라인 및 픽셀 어레이의 열에 대응하는 데이터 라인으로서, 서로 꼬인(interlaced) 복수의 게이트 라인들 및 복수의 데이터 라인들을 포함한다. 게이트 라인들을 구동하는 것은 부착된 내장된 구동 회로에 의해서 구현될 수 있다. 최근 몇 년간 비정질 실리콘 필름에 대한 공정의 개발로서, 게이트 라인을 구동하기 위하여 시프팅 레지스터를 구성하는 박막 트랜지스터(Thin Film Transistor; TFT) 어레이의 기판으로 게이트 라인 구동 회로를 집적하는 것이 가능하다.

[0003] 복수의 게이트가 차례차례로 스위치-온(switch-on) 되는 것이 제어되도록, 복수의 시프팅 레지스터들에 의해 구성된 게이트 라인 구동 장치는 픽셀 어레이 내 복수의 게이트 라인들에 스위칭 신호들을 제공하고, 픽셀 어레이 내 대응하는 행에서의 픽셀 전극들은 이미지를 디스플레이하는 각각의 그레이 레벨들에 의해 요구되는 그레이 전압들을 형성하기 위해 데이터 라인들로부터 충전되고, 이에 따라 이미지의 각 프레임은 디스플레이 될 수 있다.

[0004] 시프팅 레지스터들 각각에 있어서, 박막 트랜지스터들은 대응하는 게이트 라인의 스위칭-온 또는 스위칭-오프를 실현시키기 위하여 턴-온(turn-on) 및/또는 오프(off) 된다. 그러나, 실제 동작 동안, 문턱 전압 이동(여기서는 양의 이동, 즉 문턱 전압의 상승을 말한다)의 발생으로 인하여, 일정 시간 이후 보통 턴-온에 실패한다.

[0005] 박막 트랜지스터를 턴-온하기 위한 문턱 전압의 상승은 그것의 소스와 게이트 사이에 인가된 전압과 관련된다. 소스와 게이트 사이에 인가된 전압이 높아질수록 그리고 전압이 인가된 시간이 길어질수록 박막 트랜지스터를 턴-온하기 위한 문턱전압은 더 증가한다. 따라서, 만약 박막 트랜지스터에 일정한 전압이 항상 인가되는 경우, 문턱 전압 이동은 내내 증가하여 박막 트랜지스터를 정상적으로 턴-온하는 것의 실패를 야기하고, 최종적으로 시프팅 레지스터 회로의 고장을 일으킨다.

발명의 내용

해결하려는 과제

[0006] 본 개시의 실시예들은 게이트 라인 구동 방법, 시프팅 레지스터, 게이트 라인 구동 장치 및 디스플레이 소자를 제공하고, 동작시 시프팅 레지스터의 안정성을 개선할 수 있다.

과제의 해결 수단

[0007] 본 개시의 실시예에 따라서, 게이트 라인 구동 방법이 제공되고, 그 방법은

[0008] 게이트 라인에 대응하는 시프팅 레지스터에서 박막 트랜지스터의 문턱 전압 이동을 감소시키는 단계;

- [0009] 게이트 라인이 게이트 라인을 스위치-온 되도록 구동하는 라인 스캔 신호를 제공받도록, 시프팅 레지스터에서 박막 트랜지스터의 게이트에 박막 트랜지스터를 턴-온하는 전압을 인가하는 단계를 포함한다.
- [0010] 본 개시의 실시예에 따라서, 시프팅 레지스터가 제공되고, 시프팅 레지스터는
- [0011] 현재 단계에서의 트리거 신호 단자에 더 연결된 게이트(gate)와 소스(source), 및 풀-업(pull-up) 노드로서 제1 노드와 연결된 드레인(drain)을 구비하는 제1 박막 트랜지스터(TFT);
- [0012] 제1 노드에 연결된 게이트, 클락 신호 단자에 연결된 소스 및 현재 단계에서의 출력 단자에 연결된 드레인을 구비하는 제2 박막 TFT;
- [0013] 제1 노드 및 현재 단계에서의 출력 단자 사이에 연결되어 있는 캐패시터;
- [0014] 현재 단계의 출력이 완료된 이후 제2 TFT의 드레인 및 게이트에 저준위를 인가하기 위하여, 풀-다운(pull-down) 노드로서 제2 노드, 클락 신호 단자 및 저준위(low level) 신호 단자 사이에 연결되어 있는 리셋팅(resetting) 모듈;
- [0015] 다음 단계로부터 제1 노드 및 현재 단계에서의 출력 단자를 풀-다운하는 피드백 신호를 수신하기 위하여, 제1 노드, 저준위 신호 단자 및 출력 단자 사이에 연결되어 있고, 피드백 신호 단자에 더 연결되어 있는 피드백 수신 모듈을 포함한다.
- [0016] 본 개시의 실시예에 따라서, 앞서 언급한 바와 같이 직렬로 연결된 복수의 시프팅 레지스터를 포함하는 게이트 라인 구동 장치가 제공된다.
- [0017] 더욱이, 본 개시의 실시예에 따라서, 픽셀 어레이 및 앞서 언급한 바와 같은 게이트 라인 구동 장치를 포함하는 디스플레이 소자가 제공된다.

발명의 효과

- [0018] 박막 트랜지스터의 게이트에 일정 전압이 장시간 인가되는 경우, 박막 트랜지스터의 게이트 절연층에 전자가 형성되고 축적되기 쉽고, 이에 따라 박막 트랜지스터의 문턱 전압이 이동하는 것을 야기한다. 본 개시의 실시예들에 따른 게이트 라인 구동 방법, 시프팅 레지스터, 게이트 라인 구동 장치 및 디스플레이 소자에 있어서, 터널링(tunneling) 효과 및 양자 역학의 원리에 따라, TFT의 소스에 고준위 및 그것의 게이트에 저준위를 인가하는 것에 의해서, TFT의 게이트 절연층에 형성되고 축적된 전자들은 전위 장벽(potential barrier)을 통과하고 TFT의 소스에 도달할 수 있고, 이에 따라 그것은 각각의 게이트 라인에 대응하는 시프팅 레지스터에서 TFT의 문턱 전압 이동을 감소시키고, 동작시 시프팅 레지스터의 안정성을 개선하고 시프팅 레지스터의 수명을 연장하면서, 마침내 정상적으로 동작하는 것을 가능하게 한다.

도면의 간단한 설명

- [0019] 도 1은 본 개시의 실시예에 따른 게이트 라인 구동 방법의 개략도이다.
- 도 2는 본 개시의 실시예에 따른 시프팅 레지스터의 개략도이다.
- 도 3은 본 개시의 시프팅 레지스터의 특정 실시예의 개략도이다.
- 도 4는 도 3에 도시된 시프팅 레지스터의 타이밍 컨트롤 차트이다.
- 도 5는 t1 구간 동안 동작시 도 3에 도시된 시프팅 레지스터의 개략도이다.
- 도 6은 t2 구간 동안 동작시 도 3에 도시된 시프팅 레지스터의 개략도이다.
- 도 7은 t3 구간 동안 동작시 도 3에 도시된 시프팅 레지스터의 개략도이다.
- 도 8은 t4 구간 동안 동작시 도 3에 도시된 시프팅 레지스터의 개략도이다.
- 도 9는 본 개시의 실시예에 따른 게이트 라인 구동 장치의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이후, 본 개시에 따른 게이트 라인 구동 방법, 시프팅 레지스터, 게이트 라인 구동 장치 및 디스플레이 소자가 도면을 참조하여 상세히 설명된다.

- [0021] 설명된 모든 실시예들은 본 개시의 가능한 모든 실시예라기 보다 단지 실시예들의 일부에 불과하다. 어떠한 창조적 노력을 기울이지 않고서 본 개시에서 제안된 실시예들에 기반하여 당업자에 의해 얻어질 수 있는 모든 다른 실시예들은 반드시 본 개시에 의해 청구된 범위에 속하여야 한다.
- [0022] 명세서 및 청구항에 정의된 “소스(sorce)” 및 “드레인(drain)” 용어는 서로 교체할 수 있고, 화살표의 방향은 전도의 방향이 아니라 단지 트랜지스터의 전도를 나타낸다.
- [0023] 도 1에 도시된 바와 같이, 본 개시의 실시예의 게이트 라인 구동 방법의 개략도가 있다. 게이트 라인 구동 방법은
- [0024] 행 게이트 라인에 대응하는 시프팅 레지스터에서 박막 트랜지스터의 문턱 전압 이동을 감소시키는 단계(11);
- [0025] 게이트 라인이 게이트 라인을 스위치-온 되도록 구동하는 라인 스캔 신호를 제공받도록, 시프팅 레지스터에서 박막 트랜지스터의 게이트에 박막 트랜지스터를 턴-온하는 전압을 인가하는 단계(12)를 포함한다.
- [0026] 박막 트랜지스터의 게이트에 일정 전압이 항상 인가되는 경우, 박막 트랜지스터의 게이트 절연 층에서 전자들이 형성되고 축적되기 쉽고, 이에 따라 박막 트랜지스터의 문턱 전압이 이동되는 것을 야기한다. 본 개시의 실시예들에서 제공되는 바와 같은 게이트 라인 구동 방법에 따르면, 동작시 시프팅 레지스터의 안정성을 개선하고 시프팅 레지스터의 수명을 연장하면서, 각각의 게이트 라인에 대응하는 시프팅 레지스터에서 박막 트랜지스터의 문턱 전압 이동을 감소시킴으로써 시프팅 레지스터 회로가 정상적으로 동작하는 것을 가능하게 한다.
- [0027] 위에서 알 수 있듯이, 박막 트랜지스터의 문턱 전압 이동은 일반적으로 박막 트랜지스터의 게이트 절연층 상에서 형성되고 축적된 전자들에 기인한다. 위에서 언급한 단계(11), 즉 게이트 라인에 대응하는 시프팅 레지스터에서 박막 트랜지스터의 문턱 전압의 이동을 감소시키는 단계는
- [0028] 박막 트랜지스터의 문턱 전압 이동을 감소시키기 위하여, 박막 트랜지스터의 게이트 절연층에 축적된 전자들이 그것의 소스에 도달하게 하는 단계(111)를 더 포함할 수 있다.
- [0029] 박막 트랜지스터의 게이트 절연층 상에 전자들의 형성 및 축적 뿐만 아니라, 패시베이션(passivation) 층 상에 전자들의 축적과 같이 다른 요인들도 문턱 전압의 이동을 초래할 수 있음은 반드시 유의해야 한다. 따라서, 실시예에서 제안된 바와 같이 각각의 게이트 라인에 대응하는 시프팅 레지스터에서 박막 트랜지스터의 문턱 전압 이동을 감소시키기 위한 단계는 상기 단계(111)만을 포함하는 것이 아니라, 패시베이션 층 상에 축적된 전자들이 박막 트랜지스터의 소스에 도달하게 하는 단계 및 기타 등등과 같은 그러한 다른 단계들도 포함할 수 있다.
- [0030] 상기 단계(111), 즉TFT의 게이트 절연층 상에 축적된 전자들이 그것의 소스에 도달하게 하는 단계는, TFT의 게이트 절연층 상에 축적된 전자들이 그것의 소스에 도달할 수 있도록, TFT의 소스에 고준위 및 그것의 게이트에 저준위를 인가하는 단계를 포함한다.
- [0031] 터널링 효과 및 양자 역학의 원리에 따르면, TFT의 소스에 고준위 및 그것의 게이트에 저준위 인가에 후속하여, TFT의 게이트 절연층 상에 형성되고 축적된 전자들은 전위 장벽을 통과하고 TFT의 소스에 도달할 수 있고, 이에 따라 TFT의 게이트 절연층 상에 전자들의 축적으로 인한 TFT의 문턱 전압 이동이 감소한다.
- [0032] 이후, 시프팅 레지스터는 게이트 라인 구동 방법에 따라 설계되고 제조되며, 시프팅 레지스터는 동작시 높은 안정성을 갖는다. 예를 들면, 도 2에 도시된 바와 같이, 실시예에 따른 시프팅 레지스터는 3개의 TFT들, 저장 캐패시터, 리셋팅 모듈, 피드백 수신 모듈 및 대응하는 I/O 단자들을 포함한다. 특히, 시프팅 레지스터는
- [0033] 이전 단계에서의 시프팅 레지스터(즉, (n-1)번째 단계에서의 시프팅 레지스터)의 출력 단자(Output(n-1))가 고준위를 출력할 때, 트리거 신호 터미널(Input(n))은 고준위 신호를 수신하고, 트리거 신호 단자(Input(n))로부터 보내진 고준위 신호를 수신할 때, 시프팅 레지스터가 동작을 시작하도록 제어하기 위하여, 서로 연결되고 현재 단계에서의 트리거 신호 단자(Input(n))와 더 연결된 게이트와 소스, 및 풀-업 노드로서 제1 노드(PU)에 연결된 드레인을 구비하는 제1 TFT(M1);
- [0034] 현재 단계에서의 시프팅 레지스터에 대응하는 게이트 라인을 스위치-온 되도록 구동하는 고준위 출력을 출력 단자(Output(n))에 제공하기 위하여, 제1 노드(PU)에 연결된 게이트, 클락 신호 단자에 연결된 소스 및 현재 단계에서의 출력 단자(Output(n))에 연결된 드레인을 구비하는 제2 박막 트랜지스터(M2);
- [0035] 다음 단계에서의 시프팅 레지스터(즉, (n+1)번째 단계에서의 시프팅 레지스터)가 동작을 시작하도록 제어하는 트리거 신호를 다음 단계에서의 시프팅 레지스터에 제공하기 위하여, 제1 노드(PU)에 연결된 게이트, 클락 신호 단자에 연결된 소스 및 다음 단계(즉, (n+1)번째 단계)에 대한 트리거 신호 단자(Input(n+1))에 연결된 드레인

을 구비하는 제3 TFT(M3);

- [0036] 제1 노드(PU) 및 현재 단계에서의 출력 노드(Output(n)) 사이에 연결되어 있는 캐패시터(C1);
- [0037] 현재 단계의 출력이 완료된 이후에 제2 TFT(M2)의 드레인 및 게이트에 저준위를 인가하기 위하여, 풀-다운 노드로서 제2 노드(PL), 클락 신호 단자 및 저준위 신호 단자(Vss) 사이에 연결되어 있는 리셋팅 모듈;
- [0038] 다음 단계에서의 시프팅 레지스터(즉, (n+1)번째 단계에서의 시프팅 레지스터)의 출력 단자(Output(n+1))가 고준위를 출력할 때, 피드백 신호 단자(Reset(n+1))는 고준위 신호를 수신하고; 피드백 신호 단자(Reset(n+1))는 다음 단계에서의 시프팅 레지스터(즉, (n+1)번째 단계에서의 시프팅 레지스터)의 출력 단자(Output(n+1))와 연결되거나 또는 현재 단계의 다음 단계에 후속하는 단계에서의 시프팅 레지스터(즉, (n+2)번째 단계에서의 시프팅 레지스터)의 트리거 신호 단자(Input(n+2))에 연결될 수 있고, 제1 노드(PU) 및 현재 단계에서의 출력 단자(Output(n))를 풀-다운 하도록 다음 단계로부터 피드백 신호를 수신하기 위하여, 제1 노드(PU), 저준위 신호 단자(Vss) 및 현재 단계에서의 출력 단자(Output(n)) 사이에 연결되어 있고, 피드백 신호 단자(Reset(n+1))에 더 연결되어 있는 피드백 수신 모듈(2)을 포함한다.
- [0039] 비록 도 2에서 시프팅 레지스터는 3개의 TFT들을 포함하지만, 본 개시의 실시예들은 거기에 제한되지 않는 점을 유의해야 한다. 예를 들면, 본 개시의 실시예에 따른 시프팅 레지스터에서, 제3 TFT(M3)는 제외될 수 있으며, 제2 TFT(M2)의 드레인에 연결된 현재 단계에서의 출력 단자(Output(n))는 다음 단계에 대한 트리거 신호 단자(Input(n+1))에 연결되도록 기능할 수 있다.
- [0040] 이에 따라, 본 개시의 다른 실시예에 따른 시프팅 레지스터는 2개의 TFT들, 저장 캐패시터, 리세팅 모듈, 피드백 수신 모듈 및 대응하는 I/O 단자들을 포함한다. 특히, 시프팅 레지스터는
- [0041] 이전 단계에서의 시프팅 레지스터(즉, (n-1)번째 단계에서의 시프팅 레지스터)의 출력 단자(Output(n-1))가 고준위를 출력할 때, 트리거 신호 단자(Input(n))가 고준위 신호를 수신하고, 현재 단계에서의 트리거 신호 단자(Input(n))로부터 보내진 고준위 신호를 수신할 때 시프팅 레지스터가 동작을 시작하도록 제어하기 위하여, 서로 연결되고 현재 단계에서의 트리거 신호 단자(Input(n))에 더 연결된 게이트와 소스, 및 풀-업 노드로서 제1 노드(PU)에 연결된 드레인을 구비하는 제1 TFT(M1);
- [0042] 현재 단계에서의 시프팅 레지스터(즉, n번째 시프팅 레지스터)에 대응하는 게이트 라인을 스위치-온 되도록 구동하고, 다음 단계에서의 시프팅 레지스터(즉, (n+1)번째 단계에서의 시프팅 레지스터)가 동작을 시작하도록 제어하는 트리거 신호를 다음 단계에서의 시프팅 레지스터에 제공하할 목적으로 고준위 출력을 현재 단계에서의 출력 단자(Output(n))에 제공하기 위하여, 제1 노드(PU)에 연결된 게이트, 클락 신호 단자에 연결된 소스, 및 현재 단계에서의 출력 단자(Output(n))와 다음 단계에 대한 트리거 신호 단자(Input(n+1))에 연결된 소스를 구비하는 제2 TFT(M2);
- [0043] 제1 노드(PU) 및 현재 단계에서의 출력 단자(Output(n)) 사이에 연결되어 있는 캐패시터(C1);
- [0044] 현재 단계의 출력이 완료된 이후, 제2 TFT(M2)의 드레인 및 게이트에 저준위를 인가하기 위하여, 풀-다운 노드로서 제2 노드(PL), 클락 신호 단자 및 저준위 신호 단자(Vss) 사이에 연결되어 있는 리셋팅 모듈(1);
- [0045] 다음 단계에서의 시프팅 레지스터(즉, (n+1)번째 단계에서의 시프팅 레지스터)의 출력 단자(Output(n+1))가 고준위를 출력할 때, 피드백 신호 단자(Reset(n+1))가 고준위 신호를 수신하고, 피드백 신호 단자(Reset(n+1))는 다음 단계의 시프팅 레지스터(즉, (n+1)번째 시프팅 레지스터)의 출력 단자(Output(n+1))에 연결될 수 있거나 또는 피드백 신호 단자(Reset(n+1))는 피드백 신호를 제공하기 위한 다음 단계에서의 시프팅 레지스터(즉, (n+2)번째 단계에서의 시프팅 레지스터)에 추가된 다른 TFT(즉, 도 2에서 TFT(M3))에 연결될 수 있고, 제1 노드(PU) 및 현재 단계에서의 출력 단자(Output(n))에서 준위를 풀-다운하도록 다음 단계로부터 피드백 신호를 수신하기 위하여, 제1 노드(PU), 저준위 신호 단자(Vss) 및 현재 단계에서의 출력 단자(Output(n)) 사이에 연결되어 있고, 피드백 신호 단자(Reset(n+1))에 더 연결되어 있는 피드백 수신 모듈(2)을 포함한다.
- [0046] 일정 전압이 박막 트랜지스터에 항상 인가되는 경우, 박막 트랜지스터의 게이트 절연층 내에서 전자들이 형성되고 축적되기 쉽고, 이에 따라 박막 트랜지스터의 문턱 전압이 이동하는 것을 야기한다. 본 개시의 실시예에서 제공된 시프팅 레지스터에 따르면, 터널링 효과 및 양자 역학의 원리에 근거하여, TFT의 소스에 고준위 및 그것의 게이트에 저준위를 인가함으로써, 각각의 게이트 라인에 대응하는 시프팅 레지스터에서 TFT의 문턱 전압 이동을 감소시키도록 TFT의 게이트 절연층 상에 형성되고 축적된 전자들은 전위 장벽을 통과하고 그것의 소스에 도달할 수 있고, 이에 따라 그것은 동작시 시프팅 레지스터의 안정성을 개선하고 시프팅 레지스터의 수명을 연

장하면서, 시프팅 레지스터 회로가 정상적으로 동작하게 한다. 문턱 전압 이동이 대응하는 TFT들의 게이트 절연층 상에서 전자들의 형성 및 축적에 기인하여 시프팅 레지스터 내 개별적인 TFT들에서 일어나고, 따라서 시프팅 레지스터의 현재 단계의 출력이 완료된 이후 TFT의 소스에 고준위 및 그것의 게이트에 저준위를 인가하여 그 결과 TFT의 게이트 절연층에서 전자들이 TFT의 문턱 전압 이동을 감소시키도록 그것의 소스에 도달할 수 있게 하기 위하여, 시프팅 레지스터 내 대응하는 TFT들은 리셋팅 모듈(1)을 제공받을 수 있다는 점은 반드시 제시되어야 한다. 시프팅 레지스터에서, 제2 TFT(M2)는 시프팅 레지스터에 대응하는 게이트 라인이 스위치-온 되게 하도록 클락 신호 단자 및 현재 단계의 출력 단자 사이에 연결을 스위치-온 할 수 있기 때문에, 제2 TFT(M2)는 시프팅 레지스터에서 매우 중요한 역할을 한다. 제2 TFT(M2)가 문턱 전압 이동으로 인해 정상적으로 턴-온 되는데 실패하면, 디스플레이의 품질은 영향 받을 수 있다. 더욱이, 제2 TFT(M2)에서 동작 전류는 일반적으로 크고, 이는 문턱 전압 이동을 야기하기 쉽다. 따라서, 제2 TFT(M2)를 본 실시예에서의 예시와 같이 적용하는 것은 리셋팅 모듈(1)을 사용함으로써 TFT의 문턱 전압 이동을 감소시키는 방법을 설명한다. 상기 설명은 제한을 위한 것이 아닌 단지 실례를 보여주기 위한 것임은 반드시 이해되어야 한다.

[0047] 도 3에 도시된 바와 같이, 개시의 특정 실시예의 시프팅 레지스터의 개략도이다. 도 3으로부터, 시프팅 레지스터는 14개의 TFT들, 저장 캐패시터 및 대응하는 I/O 단자들을 포함하는 것을 알 수 있다. 14개의 TFT들은 각각 다음과 같다: 제1 TFT(M1), 제2 TFT(M2), 제3 TFT(M3), 제4 TFT(M4), 제5 TFT(M5), 제6 TFT(M6), 제7 TFT(M7), 제8 TFT(M8), 제9 TFT(M9), 제10 TFT(M10), 제1 리셋팅 TFT(T1), 제2 리셋팅 TFT(T2), 제3 리셋팅 TFT(T3) 및 제4 리셋팅 TFT(T4). 저장 캐패시터는 캐패시터(C1)로서 도시된다. I/O 단자들은 이전 단계에서의 시프팅 레지스터로부터 트리거 신호를 수신하기 위한 트리거 신호 단자(Input(n)), 현재 단계에서의 시프팅 레지스터에 대한 준위 신호를 출력하기 위한 출력 단자(Output(n)), 다음 단계에서의 시프팅 레지스터로 트리거 신호를 보내기 위한 트리거 신호 단자(Input(n+1)), 저준위 신호 단자(Vss) 및 클락 신호 단자들을 포함하고, 제1 클락 신호 단자(CLK)에서 클락 신호 및 제2 클락 신호 단자(CLKB)에서 클락 신호는 동일한 주파수 및 듀티(duty) 사이클을 가지고 단지 위상만 180° 다르다.

[0048] 특히, 제1 TFT(M1)는 서로 연결되고 현재 단계에서의 트리거 신호 단자(Input(n))와 더 연결된 게이트와 소스, 및 풀-업 노드로서 제1 노드(PU)와 연결된 드레인을 구비하고, 제2 TFT(M2)는 제1 노드(PU)에 연결된 게이트, 제1 클락 신호 단자(CLK)에 연결된 소스 및 현재 단계에서의 출력 단자(Output(n))에 연결된 드레인을 구비하고, 제3 TFT(M3)는 제1 노드(PU)에 연결된 게이트, 제1 클락 신호 단자(CLK)에 연결된 소스 및 다음 단계에 대한 트리거 신호 단자(Input(n+1))에 연결된 드레인을 구비하고, 제4 TFT(M4)는 피드백 신호 단자(Reset(n+1))에 연결된 게이트, 현재 단계에서의 출력 단자(Output(n))에 연결된 소스 및 저준위 신호 단자(Vss)에 연결된 드레인을 구비하고, 제5 TFT(M5)는 피드백 신호 단자(Reset(n+1))에 연결된 게이트, 제1 노드(PU)에 연결된 소스 및 저준위 신호 단자(Vss)에 연결된 드레인을 구비하고, 제6 TFT(M6)는 제2 클락 신호 단자(CLKB)에 연결된 게이트, 제2 노드(PL)에 연결된 소스 및 저준위 신호 단자(Vss)에 연결된 드레인을 구비하고, 제7 TFT(M7)는 제2 클락 신호 단자(CLKB)에 연결된 게이트, 현재 단계에서의 트리거 신호 단자(Input(n))에 연결된 소스 및 제1 노드(PU)에 연결된 드레인을 구비하고, 제8 TFT(M8)는 제1 클락 신호 단자(CLK)에 연결된 게이트, 제1 노드(PU)에 연결된 소스 및 제2 노드(PL)에 연결된 드레인을 구비하고, 제9 TFT(M9)는 리셋팅 모듈(1)에서 제4 리셋팅 TFT(T4)의 드레인에 연결된 게이트, 제1 노드(PU)에 연결된 소스 및 저준위 신호 단자(Vss)에 연결된 드레인을 구비하고, 제10 TFT(M10)는 리셋팅 모듈(1)에서 제4 리셋팅 TFT(T4)의 드레인에 연결된 게이트, 현재 단계에서의 출력 단자(Output(n))에 연결된 소스 및 저준위 신호 단자(Vss)에 연결된 드레인을 구비한다. 제1 리셋팅 TFT(T1)는 제2 노드(PL)에 연결된 게이트, 제3 리셋팅 TFT(M3)의 드레인에 연결된 소스 및 제2 노드(PL)에 연결된 드레인을 구비하고, 제2 리셋팅 TFT(T2)는 제2 노드(PL)에 연결된 게이트, 제4 리셋팅 TFT(T4)의 드레인에 연결된 소스 및 저준위 신호 단자(Vss)에 연결된 드레인을 구비하고, 제3 리셋팅 TFT(T3)는 제1 클락 신호 단자(CLK)에 연결된 게이트와 소스 및 제1 리셋팅 TFT(T1)의 소스에 연결된 드레인을 구비하고, 제4 리셋팅 TFT(T4)는 제3 리셋팅 TFT(T3)의 드레인에 연결된 게이트, 제1 클락 신호 단자(CLK)에 연결된 소스 및 제2 리셋팅 TFT(T2)의 소스에 연결된 드레인을 구비한다. 저장 캐패시터는 제1 노드(PU) 및 현재 단계에서의 출력 단자(Output(n)) 사이에 연결된다.

[0049] 제1 리셋팅 TFT(T1), 제2 리셋팅 TFT(T2), 제3 리셋팅 TFT(T3) 및 제4 리셋팅 TFT(T4)는 제1 TFT(M1) 내지 제10 TFT(M10)의 구조들과 같은 구조들을 갖는다. 제1 리셋팅 TFT(T1), 제2 리셋팅 TFT(T2), 제3 리셋팅 TFT(T3) 및 제4 리셋팅 TFT(T4)는 본 실시예의 리셋팅 모듈 1을 구성하고, 그것들은 제1 TFT(M1) 내지 제10 TFT(M10)과 명칭에서 다르다.

[0050] 전술한 바와 같이, 제1 리셋팅 TFT(T1), 제2 리셋팅 TFT(T2), 제3 리셋팅 TFT(T3) 및 제4 리셋팅 TFT(T4)는 본

실시예의 리셋팅 모듈(1)을 구성하고, 리셋팅 모듈(1)은 본 단계의 출력이 완료된 이후에 제2 TFT(T2)의 소스에 고준위 및 그것의 게이트에 저준위를 인가하는데 사용되고, 이에 따라 터널링 효과 및 양자 역학의 원리에 따라, 제2 TFT(M2)의 게이트 절연층에서 형성되고 축적된 전자들은 게이트 라인들 각각에 대응하는 시프팅 레지스터에서 제2 TFT(M2)의 문턱 전압 이동을 감소시키도록 전위 장벽을 통과하고 제2 TFT(M2)의 소스에 도달할 수 있고, 동작시 시프팅 레지스터의 안정성을 개선하고 시프팅 레지스터의 수명을 연장하면서, 그것은 시프팅 레지스터 회로가 정상적으로 동작하게 한다.

- [0051] 제 4 TFT(M4) 및 제5 TFT(M5)는 피드백 수신 모듈(2)을 구성한다. 현재 단계에서의 출력 단자(Output(n))가 다른 간섭 신호들의 영향으로 고준위로 변경되고, 이에 따라 그것의 제어 하에서 게이트 라인이 스위치-온 되는 것을 야기하여, 마침내 잘못하여 게이트 라인의 스위칭-온을 야기하는 그러한 경우의 발생을 피하기 위하여, 피드백 수신 모듈(2)은 현재 단계에서의 시프팅 레지스터가 동작되지 않고 다음 단계에서의 시프팅 레지스터가 동작될 때, 현재 단계에서의 출력 단자(Output(n)) 및 풀-업 노드로서 제1 노드(PU)를 저준위로 유지한다. 제2 TFT(M2)가 잘못하여 턴-온 되는 것을 방지하기 위하여, 제4 TFT(M4)는 현재 단계에서의 출력 단자(Output(n))를 피드백 신호 단자(Reset(n+1))의 작용 하에서 저준위로 유지되고, 제5 TFT(M5)는 제1 노드(PU)를 피드백 신호 단자(Reset(n+1))의 작용 하에서 저준위로 유지한다.
- [0052] 도 3으로부터 알 수 있듯이, 시프팅 레지스터는 제6 TFT(M6)를 더 포함한다. 현재 단계의 출력 단자(Output(n))가 다른 간섭 신호들의 영향으로 고준위로 변경되고, 이에 따라 그것의 영향 하에서 게이트 라인이 스위치-온 되는 것을 야기하여, 마침내 잘못하여 게이트 라인의 스위칭-온을 야기하는 그러한 경우의 발생을 피하기 위하여, 현재 단계에서의 시프팅 레지스터가 동작하지 않을 때, 제6 TFT(M6)는 제2 클락 신호 단자(CLKB)에서 고준위 신호를 수신함으로써 풀-다운 노드로서 제2 노드(PL)를 풀-다운시킨다.
- [0053] 시프팅 레지스터는 제7 TFT(M7)를 더 포함한다. 현재 단계에서의 트리거 신호 단자(Input(n))가 고준위이고 제2 클락 신호 단자(CLKB)가 고준위로 변경될 때, 제7 TFT(M7)는 저장 캐패시터(C1)의 충전 과정을 촉진시킨다.
- [0054] 시프팅 레지스터는 제8 TFT(M8)를 더 포함한다. 제2 TFT(M2)의 턴-온 능력을 더 개선하면서, 현재 단계에서의 출력 단자(Output(n))가 고준위인 구간 동안(즉, 현재 단계에서의 시프팅 레지스터가 동작상태에 있는 동안의 구간) 캐패시터(C1)를 충전하는 것을 계속하기 위하여, 제8 TFT(M8)는 제1 노드(PU)가 고준위에서 유지되는 것을 확실히 한다.
- [0055] 더욱이, 시프팅 레지스터는 제9 TFT(M9) 및 제10 TFT(M10)를 더 포함하고, 제2 TFT(M2)가 리셋되면서 제2 TFT(M2)의 게이트와 드레인 둘 모두 저준위에 있도록, 상기 TFT 둘 모두 리셋팅 모듈(1)과 결합되고, 제9 TFT(M9)는 제2 TFT(M2)가 잘못하여 턴-온되는 것을 방지하도록 제1 노드(PU)를 저준위에 있도록 풀-다운하고, 제10 TFT(M10)는 출력 단자(Output(n))가 고준위로 변경되는 것을 방지하도록 현재 단계에서의 출력 단자(Output(n))를 저준위에 있도록 풀-다운한다.
- [0056] 비록 도 3에서 시프팅 레지스터는 14개의 TFT들을 포함하지만, 본 개시의 실시예들은 그것에 제한되지 않는 점을 유의해야 한다. 예를 들면, 본 개시의 다른 실시예에 따른 시프팅 레지스터는 제3 TFT(M3)를 제외할 수 있고, 제2 TFT(M2)의 드레인에 연결된 현재 단계에서의 출력 단자(Output(n))는 다음 단계에 대한 트리거 신호 단자(Input(n+1))로서 동시에 직접적으로 기능할 수 있다.
- [0057] 이에 따라, 본 개시의 다른 실시예에 따른 시프팅 레지스터는 13개 TFT들, 저장 캐패시터 및 대응하는 I/O 단자들을 포함한다. 13개의 TFT들은 각각 다음과 같다: 제1 TFT(M1), 제2 TFT(M2), 제4 TFT(M4), 제5 TFT(M5), 제6 TFT(M6), 제7 TFT(M7), 제8 TFT(M8), 제9 TFT(M9), 제10 TFT(M10), 제1 리셋팅 TFT(T1), 제2 리셋팅 TFT(T2), 제3 리셋팅 TFT(T3), 제4 리셋팅 TFT(T4). 저장 캐패시터는 캐패시터(C1)으로 도시된다. I/O 단자들은 이전 단계에서의 시프팅 레지스터로부터 트리거 신호를 수신하기 위한 트리거 신호 단자(Input(n)), 현재 단계에서의 시프팅 레지스터에 대한 준위 신호를 출력하고 다음 단계에서의 시프팅 레지스터로 트리거 신호를 보내기 위한 출력 단자(Output(n)), 다음 단계에서의 시프팅 레지스터로부터 피드백 신호를 수신하기 위한 피드백 신호 단자(Reset(n+1)), 저준위 신호 단자(Vss) 및 클락 신호 단자들을 포함하고, 클락 신호 단자들은 제1 클락 신호 단자(CLK) 및 제2 클락 신호 단자(CLKB)를 포함하고, 제1 클락 신호 단자(CLK)에서 클락 신호는 제2 클락 신호 단자(CLKB)에서 클락 신호는 동일한 주파수 및 듀티 사이클을 가지고 단지 위상만 180° 다르다. 13개의 TFT들에서 동작들은 도 3을 참조하여 설명한 실시예의 대응하는 TFT들에서 동작들과 동일하고, 상세한 내용은 생략된다.
- [0058] 실제로, 본 개시의 본 실시예에서 TFT들은 수소와 화합된(hydrogenated) 비정질 TFT들의 형태가 될 수 있고,

TFT들의 다른 형태들도 될 수 있다.

[0059] 이후, 본 실시예에서 시프팅 레지스터의 동작 과정은 도 3에 도시된 시프팅 레지스터와 도 4에 도시된 제어 컨트롤 타이밍 차트와 결합을 통해서 설명된다.

[0060] 도 4에 도시된바 와 같이, 본 실시예에서 시프팅 레지스터의 컨트롤 타이밍 차트이고, 차트에서 4개의 구간들, 즉 t1, t2, t3 및 t4가 존재한다. 제1 클락 신호 단자(CLK) 및 제2 클락 신호 단자(CLKB)는 교대로 사용된다. STV는 스위칭 신호 단자, 즉 이전 단계에서의 시프팅 레지스터로부터 고준위 신호를 수신하기 위한 현재 단계에서의 트리거 신호 단자(Input(n))을 표시하고, 고준위 신호는 1로 표시되고, 저준위 신호는 0으로 표시된다. 도 5 내지 8에서, 화살표 “↓”는 대응하는 TFT가 온(ON)인 것을 나타내고, 십자 “X”는 대응하는 TFT가 오프(OFF)인 것을 나타낸다.

[0061] t1 구간에서, Input(n)=1, CLK=0, CLKB=1 및 Reset(n+1)=0 이다.

[0062] 현재 단계에서의 시프팅 레지스터의 STV에서의 신호는 현재 단계에서의 트리거 신호 단자(Input(n))에 의해 제공받는다. 도 5에 도시된 바와 같이, Input(n)=1이기 때문에, 제1 TFT(M1)는 턴-온 하고 현재 단계에서의 시프팅 레지스터가 동작을 시작하도록 제어하고, 저장 캐패시터(C1)는 트리거 신호 단자(Input(n))에서 신호에 의해 제1 TFT(M1)을 경유하여 충전된다. CLKB=1이기 때문에, 제7 TFT(M7)는 턴-온 하고, 저장 캐패시터(C1)의 충전 과정은 제2 클락 신호 단자(CLKB)에서 신호에 의해 제7 TFT(M7)를 경유하여 촉진된다. 이 때, 제1 노드(PU)는 풀-업 되고 고준위에 있으며, 제2 TFT(M2)는 턴-온 하고, CLK=0이기 때문에, 제1 클락 신호 단자(CLK)에서 저준위 신호는 제2 TFT(M2)를 경유하여 현재 단계에서의 출력 단자(Output(n))로 출력되고, 저준위 신호는 현재 단계에서의 시프팅 레지스터에 대응하는 게이트 라인이 저준위에 있는 것을 야기한다. 추가로, CLKB=1이기 때문에, 제6 TFT(M6)는 턴-온 한다. 현재 단계에서의 시프팅 레지스터가 동작하지 않을 때, 제6 TFT(M6)는 제2 노드(PL)를 저준위(Vss)로 풀-다운하고, 이는 출력 단자(Output(n))가 다른 간섭 신호들의 영향으로 고준위로 변경되는 것을 방지한다. 더욱이, 제1 노드(PU)는 고준위로 풀-업되고, 제3 TFT(M3)는 턴-온 하고, 제1 클락 신호 단자 CLK=0이기 때문에, 다음 단계에 대한 트리거 신호 단자(Input(n+1))는 저준위로 풀-다운되고, 즉 현재 단계에서의 시프팅 레지스터는 그 구간에서 다음 단계에서의 시프팅 레지스터로 트리거 신호를 보내지 않는다. t1 구간은 저장 캐패시터(C1)이 충전되는 동안의 구간인 것을 상기로부터 알 수 있다.

[0063] t2 구간에서, Input(n)=0, CLK=1, CLKB=0 및 Reset(n+1)=0 이다.

[0064] 도 6에 도시된 바와 같이, Input(n)=0, CLKB=0이기 때문에, 제1 TFT(M1) 및 제7 TFT(M7)이 턴-오프 하고, 저장 캐패시터(C1)는 트리거 신호 단자(Input(n)) 및 제2 클락 신호 단자(CLKB)를 경유하여 더 이상 충전되지 않는다. CLKB=0이기 때문에, 제6 TFT(M6)는 턴-오프하고, 제6 TFT(M6)는 제2 노드(PL)를 풀-다운하지 않을 것이다. CLK=1이기 때문에, 제2 TFT(M2)가 저장 캐패시터(C1)의 작용 하에서 턴-온 한 이후, 그것은 현재 단계에서의 출력 단자(Output(n))로 제1 클락 신호 단자(CLK)에서 고준위를 출력하고, 그러면 현재 단계에서의 출력 단자(Output(n))는, 게이트 라인에 대응하는 행에 위치한 모든 TFT들을 턴-온하면서, 현재 단계에서의 시프팅 레지스터에 대응하는 게이트 라인으로 고준위를 출력하고, 데이터 라인들은 신호를 기록하기 시작한다. CLK=1이기 때문에, 캐패시터(C1)를 계속 충전하도록 제1 노드(PU)가 고준위에서 유지되는 것을 확실하게 하기 위하여, 제2 TFT(M2)의 턴-온 능력을 더 개선시키면서, 제8 TFT(M8)는 턴-온하고 출력 단자(Output(n))에서 고준위를 제1 노드(PU)로 피드백한다. Output(n)=1 이후, 제2 노드(PL)는 풀-업되고, 이에 따라 제1 리셋팅 TFT(T1) 및 제2 리셋팅 TFT(T2)는 턴-온 한다. 더욱이, CLK=1이기 때문에, 제3 리셋팅 TFT(T3)가 턴-온 하고, 제1 리셋팅 TFT(T1)는 제1 리셋팅 TFT(T1)의 채널의 폭-길이 비율 및 제3 리셋팅 TFT(T3)의 채널의 폭-길이 비율을 적절하게 설계함으로써 제4 리셋팅 TFT(T4)의 게이트를 저준위에 유지시킬 수 있다. 게다가, 제2 리셋팅 TFT(T2)는 제4 리셋팅 TFT(T4)의 드레인을 저준위에 유지시킨다. 제4 리셋팅 TFT(T4)가 턴-오프 하기 때문에, 제1 노드(PU) 및 현재 단계에서의 출력 단자(Output(n))가 계속 고준위에 있고 풀-다운 되지 않는 것이 확실하게 하도록, 제9 및 제10 TFT들(M9 및 M10)이 턴-오프한다.

[0065] t3 구간에서, Input(n)=0, CLK=0, CLKB=1 및 Reset(n+1)=1 이다.

[0066] 현재 단계에서의 시프팅 레지스터의 리셋 신호는 피드백 신호 단자(Reset(n+1))로부터 제공받는다. 도 7에 도시된 바와 같이, Reset(n+1)=1이기 때문에, 현재 단계에서의 출력 단자(Output(n))가 다른 간섭 신호들의 영향으로 고준위로 변경되고, 이에 따라 그것의 제어 하에서 게이트 라인이 고준위의 작용 하에서 스위치-온 되는 것을 야기하여, 마침내 잘못하여 게이트 라인의 스위칭-온을 야기하는 그러한 경우의 발생을 피하기 위하여, 제4 TFT(M4) 및 제5 TFT(M5)는 턴-온 하고, 제4 TFT(M4)가 턴-온 한 이후에 출력 단자(Output(n))는 Vss로 풀-다운

되고, 제5 TFT(M5)가 턴-온 한 이후에 제1 노드(PU)는 Vss로 풀-다운 된다. 추가로, CLKB=1이기 때문에, 제6 TFT(M6)는 턴-온 하고, 현재 단계에서의 출력 단자(Output(n))가 다른 간섭 신호들의 영향으로 고준위로 변경되는 것을 방지하기 위하여, 현재 단계에서의 시프팅 레지스터가 동작하지 않을 때, 제6 TFT(M6)는 제2 노드(PL)를 Vss로 풀-다운한다. 요약하면, t3 구간은 고준위가 다음 단계에서의 시프팅 레지스터의 출력 단자(Output(n+1))로 출력되는 동안의 구간이다.

[0067] t4 구간에서, Input(n)=0, CLK=1, CLKB=0 및 Reset(n+1)=0 이다.

[0068] 도 8에 도시된 바와 같이, CLK=1이기 때문에, 제3 리셋팅 TFT(T3)는 턴-온 하고, 이는 제4 리셋팅 TFT(T4)의 게이트가 고준위로 변경되는 것을 야기하고, 이에 따라 제4 리셋팅 TFT(T4)가 턴-온 한다. 더욱이, 제4 리셋팅 TFT(T4)가 턴-온 하기 때문에, 제9 TFT(M9)의 게이트 및 제10 TFT(M10)의 게이트는 고준위로 변하고, 이에 따라 제9 및 제10 TFT들(M9 및 M10)은 턴-온 한다. 제2 TFT(M2)가 리셋될 때 제2 TFT(M2)의 게이트 및 드레인 둘 모두가 저준위에 있도록, 제9 TFT(M9)는 제1 노드(PU)를 Vss로 풀-다운하고, 제10 TFT(M10)는 출력 단자(Output(n))를 Vss로 풀-다운한다. 이 때, 고준위가 인가된 소스 및 저준위가 인가된 게이트를 갖는 제2 TFT(M2)에 대하여, 제2 TFT(M2)의 게이트 절연층 상에 축적된 전자들은 제2 TFT(M2)의 소스에 도달하도록 전위 장벽을 통과할 수 있고, 이에 따라 그 문턱 전압 이동이 감소한다. 요약하면, t4 구간은 리셋팅 모듈(1)이 제2 TFT(M2)를 리셋하는 동안의 구간, 즉 현재 단계에서의 시프팅 레지스터의 리셋팅 구간이다.

[0069] 본 실시예에서 시프팅 레지스터는 게이트 라인의 각각에 대응하는 시프팅 레지스터에서 TFT들의 문턱 전압 이동을 감소시킬 수 있고, 동작시 시프팅 레지스터의 안정성을 개선하고 시프팅 레지스터의 수명을 연장하면서, 마침내 시프팅 레지스터 회로가 정상적으로 동작하게 하는 점을 상기 설명으로부터 알 수 있다.

[0070] 같은 이유로, 상기 동작 과정은 제3 TFT(M3)가 제외된 실시예에도 적용될 수 있고, 상세한 내용은 생략된다.

[0071] 게다가, 본 개시의 다른 실시예는 게이트 라인 구동 장치도 제공한다. 도 9에 도시된 바와 같이, 게이트 라인 구동 장치는 직렬로 연결된 복수의 시프팅 레지스터들을 포함하고, 간결함을 위하여, 도 9에서는 5개의 시프팅 레지스터들, 즉 각각 (N-2)번째 시프팅 레지스터, (N-1)번째 시프팅 레지스터, N번째 시프팅 레지스터, (N+1)번째 시프팅 레지스터 및 (N+2)번째 시프팅 레지스터만 도시된다. N번째 시프팅 레지스터의 출력 단자(Output(n))는 (N-1)번째 시프팅 레지스터를 스위치-오프하도록 (N-1)번째 시프팅 레지스터로 피드백 신호를 피드백할 뿐만 아니라, (N+1)번째 시프팅 레지스터를 트리거하기 위하여 (N+1)번째 시프팅 레지스터로 트리거 신호를 출력한다.

[0072] 이외에도, 도 9에 도시된 바와 같이, 개별적인 단계들에서의 시프팅 레지스터에 대하여, 클락 신호(CLK) 및 클락 신호(CLKB)는 교대로 사용된다. 특히, N번째 시프팅 레지스터의 클락 신호 단자가 클락 신호(CLK)를 수신하고, (N-1)번째 및 (N+1)번째 시프팅 레지스터들의 클락 신호 단자들이 클락 신호(CLKB)를 수신하는 것이 도시된다. 따라서, N번째 시프팅 레지스터에 대한 클락 신호 및 (N-1)번째와 (N+1)번째 시프팅 레지스터들의 클락 신호들은 완전히 반전된 위상들을 갖고, 즉 180° 위상이 차이 난다.

[0073] 다른 경우, 즉 클락 신호 단자들이 제1 클락 신호 단자 및 제2 클락 신호 단자를 포함하는 경우에서, 개별적인 단계들에서의 시프팅 레지스터들에 대하여, 클락 신호(CLK) 및 클락 신호(CLKB)도 교대로 사용된다. (N-1)번째 시프팅 레지스터 및 (N+1)번째 시프팅 레지스터에 대하여, 그것들의 제1 클락 신호 단자가 클락 신호(CLKB)를 수신하고 그것들의 제2 클락 신호 단자가 클락 신호(CLK)를 수신하는 반면, N번째 시프팅 레지스터에 대하여, 그것의 제1 클락 신호 단자는 클락 신호(CLK)를 수신하고 그것의 제2 클락 신호 단자는 클락 신호(CLKB)를 수신한다.

[0074] 도 2에 도시된 바와 같이, 각 단계에서의 시프팅 레지스터는 3개의 TFT들, 저장 캐패시터, 리셋팅 모듈, 피드백 수신 모듈 및 대응하는 I/O 단자들을 포함한다. 특히, 시프팅 레지스터는

[0075] 이전 단계에서의 시프팅 레지스터(즉, (n-1)번째 단계에서의 시프팅 레지스터)의 출력 단자(Output(n-1))가 고준위를 출력할 때, 트리거 신호 단자(Input(n))가 고준위 신호를 수신하고, 트리거 신호 단자(Input(n))로부터 보내진 고준위 신호를 수신할 때, 시프팅 레지스터가 동작을 시작하도록 제어하기 위하여, 서로 연결되고 현재 단계에서의 트리거 신호 단자(Input(n))에 더 연결된 게이트와 소스 및 풀-업 노드로서 제1 노드(PU)에 연결된 드레인을 구비하는 제1 TFT(M1); 현재 단계에서의 시프팅 레지스터(즉, n번째 단계에서의 시프팅 레지스터)에 대응하는 게이트 라인을 스위치-온 되도록 구동하는 고준위를 출력 단자(Output(n))로 제공하기 위하여, 제1 노드(PU)에 연결된 게이트, 클락 신호 단자에 연결된 소스 및 현재 단계에서의 출력 단자(Output(n))에 연결된 드레인을 구비하는 제2 박막 트랜지스터(M2); 다음 단계에서의 시프팅 레지스터(즉, (N+1)번째 단계에서의 시프팅

레지스터)에 대하여 동작을 시작하도록 제어하는 트리거 신호를 제공하기 위하여, 제1 노드(PU)에 연결된 게이트, 클락 신호 단자에 연결된 소스 및 다음 단계에 대한 트리거 신호 단자(Input(n+1))에 연결된 드레인을 구비하는 제3 TFT(M3); 제1 노드(PU) 및 현재 단계에서의 출력 단자(Output(n)) 사이에 연결되어 있는 캐패시터(C1); 현재 단계의 출력이 완료된 이후 제2 TFT(M2)의 소스로 고준위 및 그것의 게이트로 저준위를 인가하기 위하여, 풀-다운 노드로서 제2 노드(PL), 클락 신호 단자 및 저준위 신호 단자(Vss) 사이에 연결되어 있는 리셋팅 모듈(1); 제1 노드(PU) 및 현재 단계에서의 출력 단자(Output(n))에서 레벨들을 풀-다운하도록 다음 단계로부터 피드백 신호를 수신하기 위한, 제1 노드(PU), 저준위 신호 단자(vss) 및 현재 단계에서의 출력 단자(Output(n)) 사이에 연결되어 있고, 피드백 신호 단자(Reset(n+1))에 더 연결되어 있는 피드백 수신 모듈(2)을 포함한다.

[0076] 더욱이, 본 개시의 다른 실시예에 따른 게이트 라인 구동 장치에 대하여, N번째 시프팅 레지스터의 출력 단자(Output(n))는 (N-1)번째 시프팅 레지스터(즉, 이전 단계에서의 피드백 신호 단자(Reset(n-1))로 기능하는)로 (N-1)번째 시프팅 레지스터를 스위치-오프 하는 피드백 신호를 피드백하고, 이 때, N번째 단계에서의 시프팅 레지스터의 트리거 신호 단자(Input(n+1))가 (N+1)번째 시프팅 레지스터로 신호를 출력하고, (N+1)번째 시프팅 레지스터에 대한 트리거 신호로서 기능하는 점은 도 2 및 3에 대한 설명들로부터 알 수 있다.

[0077] 전술한 바와 같이, 본 개시의 다른 실시예에 따른 게이트 라인 구동 장치에서 각각의 단계에서의 시프팅 리제스터는 제3 TFT(M3)를 제외하고, 제2 TFT(M2)의 드레인에 연결된 현재 단계에서의 출력 단자(Output(n))는 다음 단계에 대한 트리거 신호 단자(Input(n+1))로서 동시에 직접적으로 기능할 수 있다. 제3 TFT(M) 외에, 시프팅 레지스터상 동작은 본 개시의 실시예에서 게이트 라인 구동 장치에서 시프팅 레지스터의 동작과 같고, 상세한 내용은 생략된다.

[0078] 일정 전압이 박막 트랜지스터에 항상 인가된다면, 박막 트랜지스터의 게이트 절연층 상에 전자들이 형성되고 축적되기 쉽고, 이에 따라 박막 트랜지스터의 문턱 전압이 이동하는 것을 야기한다. 본 개시의 실시예들에 따라 게이트 라인 구동 장치에서, TFT의 소스에 고준위 및 그것의 게이트에 저준위를 인가함으로써, 터널링 효과 및 양자 역학의 원리에 따라서, TFT의 게이트 절연층 상에 형성되고 축적된 전자들은 전위 장벽을 통과하고 TFT의 소스에 도달할 수 있고, 이에 따라 그것은 각 게이트 라인에 대응하는 시프팅 레지스터에서 TFT의 문턱 전압 이동을 감소시키고, 동작시 시프팅 레지스터의 안정성을 개선시키고 시프팅 레지스터의 수명을 연장하면서, 마침내 시프팅 레지스터 회로가 정상적으로 동작되도록 한다.

[0079] 실시예들에 따른 게이트 라인 구동 장치에 사용된 시프팅 레지스터는 시프팅 레지스터에 대한 실시예들에서 사용된 시프팅 레지스터와 같은 기능 및 구조를 갖고, 이에 따라 그것들은 동일한 기술적인 문제를 해결할 수 있고, 동일한 기대 효과를 달성할 수 있는 점은 반드시 제시되어야 한다.

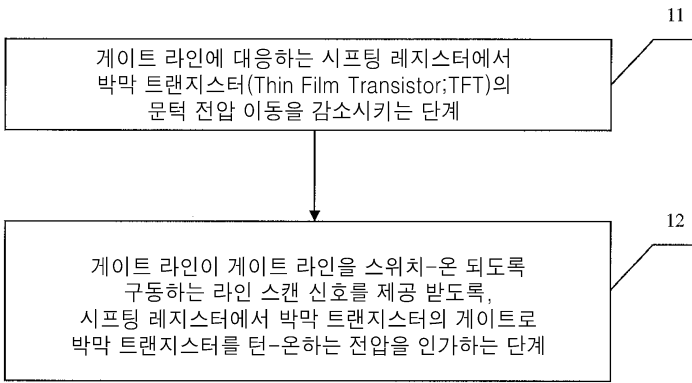
[0080] 본 개시는 픽셀 어레이 및 상기 서술된 바와 같은 게이트 라인 구동 장치를 포함하는 디스플레이 소자도 제공한다.

[0081] 비록 본 개시의 실시예들은 액정 디스플레이의 분야에서 설명되었지만, 그것들은 AMOLED(Active Matrix Organic Light Emitting Diode) 등과 같은 픽셀 어레이에 기반한 다른 디스플레이의 분야에서 적용될 수 있다.

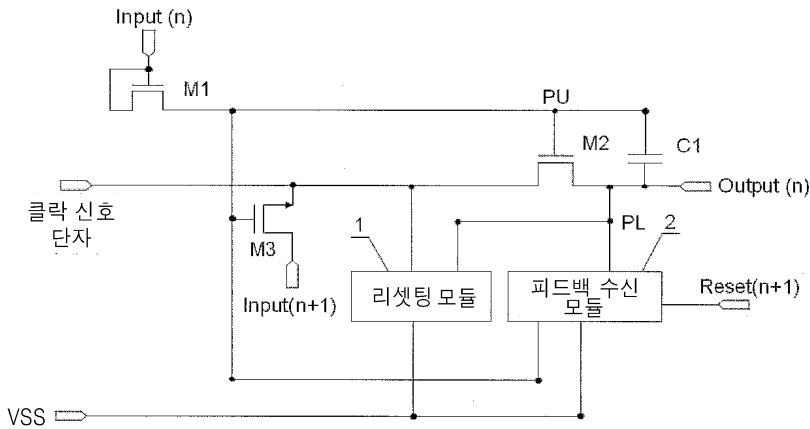
[0082] 상기 설명들은 단지 본 개시의 특정 구현들을 위한 것이고, 본 개시의 범위는 그것에 제한되지 않는다. 본 개시를 고려하여 당업자에 의해 쉽게 생각될 수 있는 변경들 및 대체들은 반드시 본 개시의 범위에서 커버되어야 한다. 따라서, 본 개시의 보호 범위는 첨부된 청구항들에 의해서 정의되어야 한다.

도면

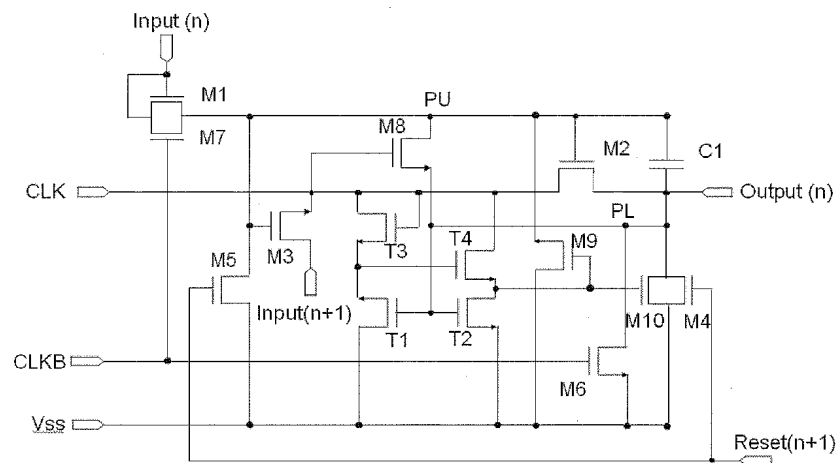
도면1



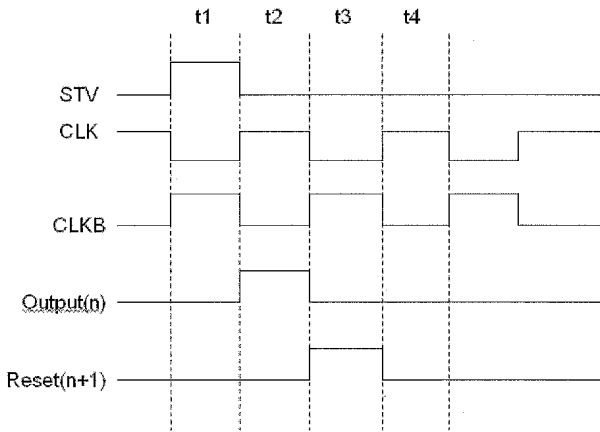
도면2



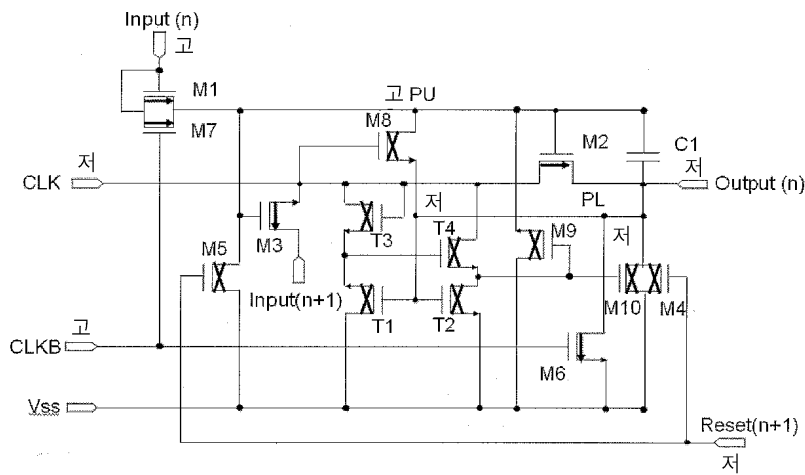
도면3



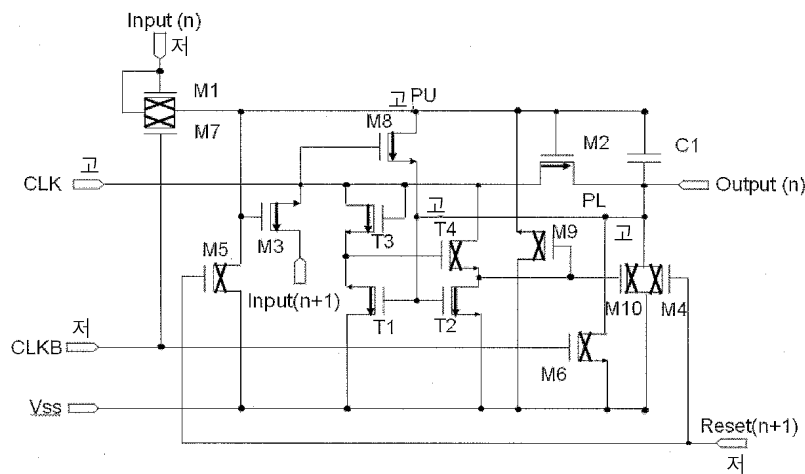
도면4



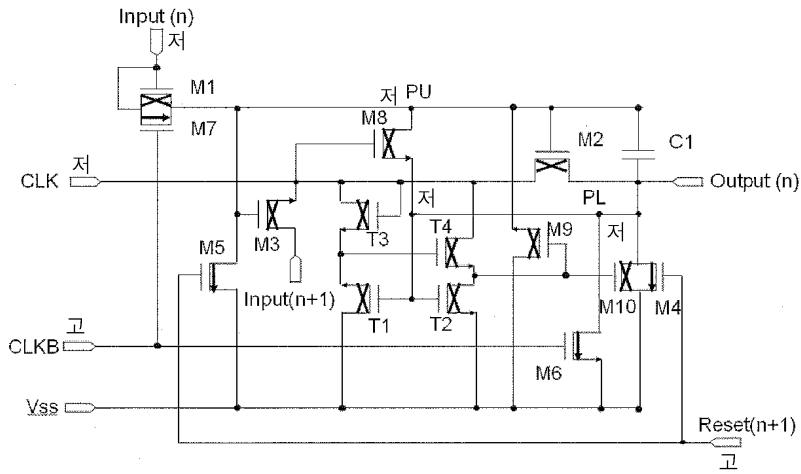
도면5



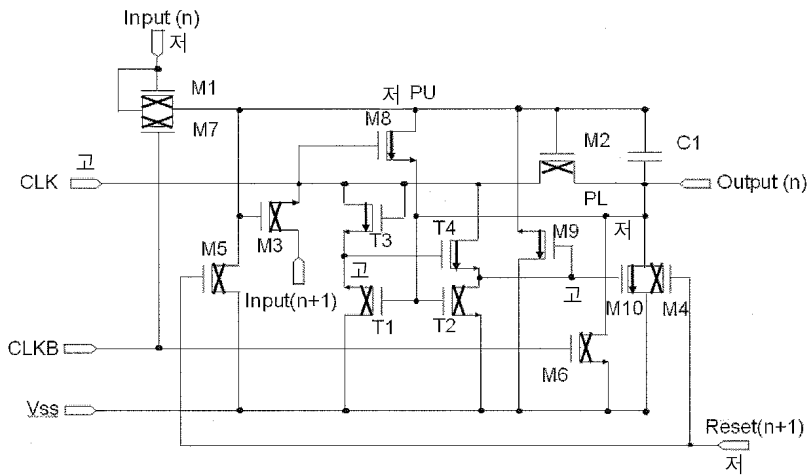
도면6



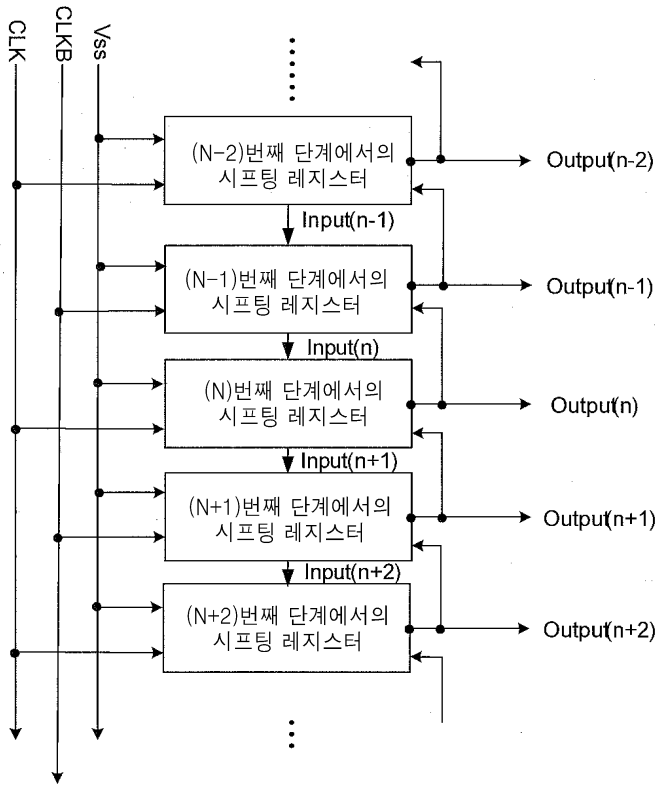
도면7



도면8



도면9



专利名称(译)	标题：门线驱动方法和装置，移位电阻器和显示装置		
公开(公告)号	KR1020130056876A	公开(公告)日	2013-05-30
申请号	KR1020127032628	申请日	2012-10-26
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	CAO KUN 차오쿤 HU MING 후밍		
发明人	차오쿤 후밍		
IPC分类号	G09G3/36		
CPC分类号	G11C19/28 G09G3/36 G02F1/13 G09G3/3674 G09G2310/0286 G09G2310/08 G09G2320/043		
优先权	201110331772.X 2011-10-26 CN		
其他公开文献	KR101459521B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器领域，公开了一种栅线驱动方法，移位寄存器和栅线驱动装置，用于提高移位寄存器的工作稳定性。栅极线驱动方法包括以下步骤：减小对应于栅极线的移位寄存器中的薄膜晶体管的阈值电压移位；向移位寄存器中的薄膜晶体管的栅极施加电压以导通薄膜晶体管，使得对应于移位寄存器的栅极线提供行扫描信号以驱动栅极线的行为打开或关闭。移位寄存器包括第一TFT，第二TFT，第三TFT，电容器，复位模块和反馈接收模块。本发明可用于驱动栅极线。

