

특허청구의 범위

청구항 1

다수의 게이트 라인 및 다수의 데이터 라인이 형성되며, 상기 게이트 라인과 데이터 라인의 교차 영역에 형성된 다수의 화소를 포함하는 액정패널;

상기 액정패널을 구동하기 위한 다수의 제어 신호를 생성하는 타이밍 제어부;

상기 다수의 게이트 라인을 구동하기 위한 다수의 게이트 구동부;

상기 다수의 데이터 라인을 구동하기 위한 다수의 데이터 구동부; 및

상기 타이밍 제어부로부터 클럭 신호를 입력받고, 외부로부터 입력 및 구동 전압을 입력 받아 다수의 게이트 구동 신호를 생성하며, 전원 오프시 상기 게이트 구동 신호 중 적어도 어느 하나에 의해 턴 온 되는 다이오드를 포함하는 레벨 시프터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 다이오드는 레벨 시프터의 출력 단자 중에서 방전 신호와 제1 구동 전압이 출력되는 단자 사이에 배치된 것을 특징으로 하는 액정표시장치.

청구항 3

제2항에 있어서,

상기 방전 신호와 상기 제1 구동 전압은 동일한 전압 레벨을 갖는 것을 특징으로 하는 액정표시장치.

청구항 4

제2항에 있어서,

상기 다이오드는 상기 방전 신호에 의해 턴 온 되어 상기 제1 구동 전압이 출력되는 단자로 게이트 온 신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 5

제4항에 있어서,

상기 게이트 온 신호는 상기 게이트 라인에 연결되어 있는 박막트랜지스터를 턴 온 시켜 상기 화소에 충전된 데이터 전압을 방전시키는 것을 특징으로 하는 액정표시장치.

청구항 6

제2항에 있어서,

상기 제1 구동 전압은 상기 게이트 구동부의 홀수번째 쉬프트 레지스터에 인가되는 구동 전압인 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,

상기 게이트 구동부의 쉬프트 레지스터는,

게이트와 드레인 공통으로 연결되며, 소스는 제1 노드와 연결되고, 상기 제1 구동 전압에 따라 턴 온 되는 제1 트랜지스터;

게이트와 드레인 공통으로 연결되며, 소스는 제2 노드와 연결되고, 제2 구동 전압에 따라 턴 온 되는 제2 트랜지스터;

게이트에는 개시 신호가 인가되고, 드레인에는 외부에서 인가되는 입력 전압이 인가되며, 소스는 제3 노드와 연결되고, 상기 개시 신호에 따라 턴 온 되는 제3 트랜지스터;

게이트에는 외부에서 인가되는 바이어스 전압이 인가되고, 드레인은 상기 제3 노드와 연결되며, 소스에는 상기 방전 신호가 인가되고, 상기 바이어스 전압에 따라 턴 온 되는 제4 트랜지스터;

게이트는 상기 제1 노드와 연결되고, 드레인은 제4 노드와 연결되며, 소스에는 상기 방전 신호가 인가되는 제5 트랜지스터;

게이트는 상기 제2 노드와 연결되고, 드레인은 상기 제4 노드와 연결되며, 소스에는 상기 방전 신호가 인가되는 제6 트랜지스터; 및

게이트는 상기 제3 노드와 연결되고, 드레인은 상기 클럭 신호가 인가되며, 소스는 상기 제4 노드와 연결된 제7 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 제2 구동 전압은 상기 게이트 구동부의 짝수번째 쉬프트 레지스터에 인가되는 구동 전압인 것을 특징으로 하는 액정표시장치.

청구항 9

제7항에 있어서,

상기 제1 및 제2 트랜지스터의 각각의 게이트에는 전원 오프 시 상기 레벨 시프터로부터 상기 제1 및 제2 구동 전압을 인가 받아 턴 온 되어 상기 제5 및 제6 트랜지스터를 턴 온 시키고, 상기 제5 및 제6 트랜지스터의 각각의 소스로 인가되는 상기 방전 신호를 상기 제4 노드로 출력하는 것을 특징으로 하는 액정표시장치.

청구항 10

제9항에 있어서,

상기 제4 노드에 출력되는 신호는 상기 게이트 온 신호인 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 전원 오프(off)시 화면에 발생하는 플리커(flicker) 현상을 방지할 수 있는 액정표시장치에 관한 것이다.

배경기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD : liquid crystal display), 플라즈마표시장치(PDP : plasma display panel), 유기 발광소자(OLED : organic light emitting diode)와 같은 여러가지 평판표시장치(flat display device)가 활용되고 있다.

[0003] 이들 평판표시장치 중에서, 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동의 장점을 가지고 있어 현재 널리 사용되고 있다.

[0004] 일반적으로 액정표시장치(Liquid Crystal Display; LCD)는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다.

[0005] 이러한 액정표시장치는 타이밍 제어부(미도시)로부터 제어신호를 제공받아 게이트 신호를 생성하고, 생성된 게이트 신호를 게이트 라인(미도시)에 순차적으로 공급하여 게이트 라인에 연결되어 있는 TFT를 턴온시키는 게이트 구동부와, 타이밍 제어부로부터 제어신호와 영상 신호를 제공받아 데이터 라인(미도시)에 영상 신호에 해당하는 데이터 전압을 인가하는 데이터 구동부와, 게이트 구동부와 데이터 구동부를 제어하는 타이밍 제어부를 포함한다.

- [0006] 여기서, 게이트 구동부, 데이터 구동부, 타이밍 제어부는 액정패널과 전기적으로 연결되어 있는 인쇄회로기판 상에 실장되어 있다.
- [0007] 도 1은 종래 레벨 시프터의 입력 및 출력 신호를 나타내는 파형도이다.
- [0008] 도 1을 참조하면, 레벨 시프터(미도시)는 타이밍 제어부(미도시)로부터 클럭 신호(Clk)와 외부로부터 입력 전압(Vin) 및 구동 전압(VGL)을 제공받아 게이트 구동부를 제어하기 위한 다수의 신호를 생성한다.
- [0009] 여기서, 인쇄회로기판을 동작시키기 위한 입력 전압(Vin)이 오프되는 경우, 레벨 시프터도 입력 전압(Vin)에 영향을 받게 된다.
- [0010] 도 1에서와 같이, 레벨 시프터에 입력되는 구동 전압(VGL)은 일정 전압(VGH), 예를 들면, -5V의 전압이 인가되나, A에서와 같이, 레벨 시프터에서 출력되는 신호들 중에서 게이트 구동부(미도시)를 구성하는 홀수번째 쉬프트 레지스터들(미도시)에 인가되는 전압(VGH_0)은 플로팅(floating) 상태가 된다. 이때, 전압(VGH_0)은 게이트 구동부의 쉬프트 레지스터에 인가되어 게이트 온 신호를 출력하도록 하는데, 전원 오프 시 전압(VGH_0)은 플로팅 상태가 되므로, 게이트 라인에 연결되어 있는 박막트랜지스터를 턴 온 시키지 못하게 되어 화소에 충전된 데이터 전압을 충분히 방전시켜주지 못하게 된다. 따라서, 화면이 깜박거리는 플리커 현상이 발생하게 된다.

발명의 내용

해결하려는 과제

- [0011] 본 발명은 상기한 문제점을 해결하기 위한 것으로, 전원 오프(off)시 화면에 발생하는 플리커(flicker) 현상을 방지할 수 있는 액정표시장치를 제공함에 있다.
- [0012] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

- [0013] 상기한 목적들을 달성하기 위하여, 본 발명의 일 실시예에 따른 액정표시장치는 다수의 게이트 라인 및 다수의 데이터 라인이 형성되며, 상기 게이트 라인과 데이터 라인의 교차 영역에 형성된 다수의 화소를 포함하는 액정패널, 상기 액정패널을 구동하기 위한 다수의 제어 신호를 생성하는 타이밍 제어부, 상기 다수의 게이트 라인을 구동하기 위한 다수의 게이트 구동부, 상기 다수의 데이터 라인을 구동하기 위한 다수의 데이터 구동부 및 상기 타이밍 제어부로부터 클럭 신호를 입력받고, 외부로부터 입력 및 구동 전압을 입력 받아 다수의 게이트 구동 신호를 생성하며, 전원 오프시 상기 게이트 구동 신호 중 적어도 어느 하나에 의해 턴 온 되는 다이오드를 포함하는 레벨 시프터를 포함한다.
- [0014] 상기 다이오드는 레벨 시프터의 출력 단자 중에서 방전 신호와 제1 구동 전압이 출력되는 단자 사이에 배치된다.
- [0015] 상기 방전 신호와 상기 제1 구동 전압은 동일한 전압 레벨을 갖는다.
- [0016] 상기 다이오드는 상기 방전 신호에 의해 턴 온 되어 상기 제1 구동 전압이 출력되는 단자로 게이트 온 신호를 출력한다.
- [0017] 상기 게이트 온 신호는 상기 게이트 라인에 연결되어 있는 박막트랜지스터를 턴 온 시켜 상기 화소에 충전된 데이터 전압을 방전시킨다.
- [0018] 상기 제1 구동 전압은 상기 게이트 구동부의 홀수번째 쉬프트 레지스터에 인가되는 구동 전압이다.
- [0019] 상기 게이트 구동부의 쉬프트 레지스터는, 게이트와 드레인 공통으로 연결되며, 소스는 제1 노드와 연결되고, 상기 제1 구동 전압에 따라 턴 온 되는 제1 트랜지스터, 게이트와 드레인 공통으로 연결되며, 소스는 제2 노드와 연결되고, 제2 구동 전압에 따라 턴 온 되는 제2 트랜지스터, 게이트에는 개시 신호가 인가되고, 드레인에는 외부에서 인가되는 입력 전압이 인가되며, 소스는 제3 노드와 연결되고, 상기 개시 신호에 따라 턴 온 되는 제3 트랜지스터, 게이트에는 외부에서 인가되는 바이어스 전압이 인가되고, 드레인은 상기 제3 노드와 연결되며, 소스에는 상기 방전 신호가 인가되고, 상기 바이어스 전압에 따라 턴 온 되는 제4 트랜지스터, 게이트는 상기 제1 노드와 연결되고, 드레인은 제4 노드와 연결되며, 소스에는 상기 방전 신호가 인가되는 제5 트랜지스터, 게이트는 상기 제2 노드와 연결되고, 드레인은 상기 제4 노드와 연결되며, 소스에는 상기 방전 신호가 인가되는 제6 트랜지스터 및 게이트는 상기 제3 노드와 연결되고, 드레인은 상기 클럭 신호가 인가되며, 소스는

상기 제4 노드와 연결된 제7 트랜지스터를 포함한다.

[0020] 상기 제2 구동 전압은 상기 게이트 구동부의 짝수번째 쉬프트 레지스터에 인가되는 구동 전압이다.

[0021] 상기 제1 및 제2 트랜지스터의 각각의 게이트에는 전원 오프 시 상기 레벨 시프터로부터 상기 제1 및 제2 구동 전압을 인가 받아 턴 온 되어 상기 제5 및 제6 트랜지스터를 턴 온 시키고, 상기 제5 및 제6 트랜지스터의 각각의 소스로 인가되는 상기 방전 신호를 상기 제4 노드로 출력한다.

[0022] 상기 제4 노드에 출력되는 신호는 상기 게이트 온 신호이다.

발명의 효과

[0023] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 전원 오프(off)시 화면에 발생하는 플리커(flicker) 현상을 방지할 수 있는 효과를 제공한다.

도면의 간단한 설명

[0024] 도 1은 종래 레벨 시프터의 입력 및 출력 신호를 나타내는 파형도.

도 2는 본 발명의 일 실시예에 따른 액정표시장치를 나타내는 도면.

도 3은 본 발명의 일 실시예에 따른 레벨 시프터의 입력 및 출력 신호를 나타내는 도면.

도 4는 본 발명의 일 실시예에 따른 레벨 시프터의 입력 전압, 구동 전압 및 방전 신호를 각각 나타내는 파형도.

도 5는 본 발명의 일 실시예에 따른 게이트 구동부를 구성하는 쉬프트 레지스터를 나타내는 도면.

도 6은 도 5의 쉬프트 레지스터의 내부 회로도를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치의 바람직한 실시예를 상세히 설명한다.

[0026] 도 2는 본 발명의 일 실시예에 따른 액정표시장치를 나타내는 도면이다.

[0027] 도 2를 참조하면, 액정패널(110)은 등가 회로로 볼 때 다수의 표시 신호 라인(GL, DL)과 이에 연결되어 있으며, 매트릭스(matrix) 형태로 배열된 다수의 단위 화소(pixel)를 포함한다.

[0028] 여기서, 표시 신호 라인(GL, DL)은 게이트 신호를 전달하는 다수의 게이트 라인(GL)과 데이터 신호를 전달하는 데이터 라인(DL)을 포함한다. 게이트 라인(GL)은 행방향으로 뻗어 있으며 서로가 거의 평행하고 데이터 라인(DL)은 열방향으로 뻗어 있으며 서로가 거의 평행하다.

[0029] 각 단위 화소는 표시 신호 라인(GL, DL)에 연결된 스위칭 소자(TFT)와 이에 연결된 액정 커패시터(liquid crystal capacitor)(Clc) 및 유지 커패시터(storage capacitor)(Cst)를 포함한다. 유지 커패시터(Cst)는 필요에 따라 생략할 수 있다.

[0030] 스위칭 소자(TFT)는 TFT 기판에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 제1 단자는 각각 게이트 라인(GL) 및 데이터 라인(DL)에 연결되어 있으며, 출력 단자는 액정 커패시터(Clc) 및 유지 커패시터(Cst)에 연결되어 있다.

[0031] 액정 커패시터(Clc)는 TFT 기판의 화소 전극과 컬러 필터 기판의 공통 전극을 두 단자로 하며 두 전극 사이의 액정층은 유전체로서 기능한다. 화소 전극은 스위칭 소자(TFT)에 연결되며 공통 전극은 컬러 필터 기판의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 여기에서, 공통 전극이 TFT 기판에 구비되는 경우도 있으며 이때에는 두 전극이 모두 선형 또는 막대형으로 만들어진다.

[0032] 유지 커패시터(Cst)는 TFT 기판에 구비된 별개의 신호 라인(도시하지 않음)과 화소 전극이 중첩되어 이루어지며 이 별개의 신호 라인에는 공통 전압(Vcom) 등의 정해진 전압이 인가된다. 그러나, 유지 커패시터(Cst)는 화소 전극이 절연체를 매개로 바로 위의 전단 게이트 라인과 중첩되어 이루어질 수 있다.

[0033] 한편, 색 표시를 구현하기 위해서는 각 단위 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극에 대응하는 영역에 적색, 녹색, 또는 청색의 컬러 필터를 구비함으로써 가능하다. 여기에서, 컬러 필터는 컬러 필

터 기관의 해당 영역에 형성할 수 있으며, 또한, TFT 기관의 화소 전극 위 또는 아래에 형성할 수도 있다.

- [0034] 액정패널(110)의 TFT 기관 및 컬러 필터 기관 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착된다.
- [0035] 게이트 구동부(120)는 액정패널(110)의 게이트 라인(GL)에 연결되어 외부로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트 라인(GL)에 인가한다. 여기서, 게이트 구동부(120)는 액정패널(110) 상에 박막트랜지스터(TFT) 공정시 함께 형성될 수 있다.
- [0036] 데이터 구동부(130)는 액정패널(110)의 데이터 라인(DL)에 연결되어 있으며, 감마 전압 발생부(미도시)로부터 제공된 다수의 감마 전압에 기초하여 다수의 계조 전압을 생성하고, 생성된 계조 전압을 선택하여 데이터 신호로서 단위 화소에 인가하며 통상 다수의 집적 회로로 이루어진다.
- [0037] 타이밍 제어부(140)는 게이트 구동부(120) 및 데이터 구동부(130) 등의 동작을 제어하는 제어 신호(CONT1, CONT2)를 생성하여, 각 해당하는 제어 신호를 게이트 구동부(120) 및 데이터 구동부(130)에 제공한다.
- [0038] 레벨 시프터(150)는 타이밍 제어부(140)로부터 클럭 신호(Clk)와 외부로부터 입력 전압(Vin) 및 구동 전압(VGL)을 제공받아 게이트 구동부(120)를 제어하기 위한 다수의 게이트 구동 신호를 생성한다.
- [0039] 도면에 도시하지 않았으나, 구동 전압 발생부 다수의 구동 전압을 생성한다. 예를 들어, 구동 전압 발생부는 게이트 온 전압(Von), 게이트 오프 전압(Voff) 및 공통 전압(Vcom)을 생성한다.
- [0040] 이하에서 액정표시장치의 표시 동작에 대하여 좀더 상세하게 설명한다.
- [0041] 타이밍 제어부(140)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 영상 신호(R, G, B) 및 이의 표시를 제어하는 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 타이밍 제어부(140)는 제공 제어 신호를 기초로 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성하고 영상 신호(R, G, B)를 액정패널(110)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(120)로 제공하고 데이터 제어 신호(CONT2)와 처리된 영상 신호(DAT)를 데이터 구동부(130)로 제공한다.
- [0042] 여기서, 게이트 제어 신호(CONT1)는 게이트 온 펄스(게이트 온 전압 구간)의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클럭 신호(CPV) 및 게이트 온 펄스의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다. 이 중, 출력 인에이블 신호(OE)와 게이트 클럭 신호(CPV)는 구동 전압 발생부로 제공된다.
- [0043] 데이터 제어 신호(CONT2)는 영상 데이터(DAT)의 제공 시작을 지시하는 수평 동기 시작 신호(STH)와 데이터 라인(DL)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 '공통 전압에 대한 데이터 전압의 극성'을 줄여 '데이터 전압의 극성'이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함한다.
- [0044] 데이터 구동부(130)는 타이밍 제어부(140)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 단위 화소에 대응하는 영상 데이터(DAT)를 차례로 제공받고, 계조 전압 중 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써, 영상 데이터(DAT)를 해당 데이터 전압으로 변환한다.
- [0045] 게이트 구동부(120)는 타이밍 제어부(140)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트 라인(GL)에 인가하여 이 게이트 라인(GL)에 연결된 스위칭 소자(TFT)를 턴온시킨다.
- [0046] 하나의 게이트 라인(GL)에 게이트 온 전압(Von)이 인가되어 이에 연결된 한 행의 스위칭 소자(TFT)가 턴온되어 있는 동안[이 기간을 '1H' 또는 '1 수평 주기(horizontal period)'이라고 하며 수평 동기 신호(Hsync), 데이터 인에이블 신호(DE), 게이트 클럭(CPV)의 한 주기와 동일함], 데이터 구동부(130)는 각 데이터 전압을 해당 데이터 라인(DL)에 공급한다. 데이터 라인(DL)에 공급된 데이터 전압은 턴온된 스위칭 소자(TFT)를 통해 해당 단위 화소에 인가된다.
- [0047] 액정 분자들은 화소 전극과 공통 전극이 생성하는 전기장의 변화에 따라 그 배열을 바꾸고 이에 따라 액정층을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 TFT 기관 및 컬러 필터 기관에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.
- [0048] 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트 라인(GL)에 대하여 차례로 게이트 온 전압(Von)을 인가하

여 모든 단위 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 단위 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(130)에 인가되는 반전 신호(RVS)의 상태가 제어된다('프레임 반전'). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터 라인을 통하여 흐르는 데이터 전압의 극성이 바뀌거나('라인 반전'), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다('도트 반전').

[0049] 도 3은 본 발명의 일 실시예에 따른 레벨 시프터의 입력 및 출력 신호를 나타내는 도면이고, 도 4는 본 발명의 일 실시예에 따른 레벨 시프터의 입력 전압, 구동 전압 및 방전 신호를 각각 나타내는 파형도이고, 도 5는 본 발명의 일 실시예에 따른 게이트 구동부를 구성하는 쉬프트 레지스터를 나타내는 도면이고, 도 6은 도 5의 쉬프트 레지스터의 내부 회로도를 나타내는 도면이다.

[0050] 도 3을 참조하면, 본 발명의 일 실시예에 따른 레벨 시프터(150)는 타이밍 제어부(140)로부터 클럭 신호(Clk)와 외부로부터 입력 전압(Vin) 및 제1 구동 전압(VGL)을 제공받아 게이트 구동부(120)를 제어하기 위한 다수의 게이트 구동 신호(CONT3)를 생성한다. 예를 들면, 레벨 시프터(150)는 개시 신호(VST)와 제2 및 제3 구동 전압(VGH_0, VGH_E), 제1 내지 제4 클럭 신호(CLK1 내지 CLK4) 및 방전 신호(VDIS)를 출력한다.

[0051] 또한, 레벨 시프터(150)는 다수의 입력 단자(a 내지 c)와 출력 단자(d 내지 k)를 포함한다. 이때, 다수의 입력 단자(a 내지 c)는 외부로부터 제공되는 입력 전압(Vin)이 인가되는 제1 입력 단자(a)와 타이밍 제어부(140)로부터 클럭 신호(Clk)가 인가되는 제2 입력 단자(b) 및 외부로부터 제공되는 제1 구동 전압(VGL)이 인가되는 제3 입력 단자(c)를 포함한다.

[0052] 여기서, 다수의 출력 단자(d 내지 k)는 게이트 구동부(120)를 구성하는 쉬프트 레지스터(미도시)에 인가되는 개시 신호(VST)를 출력하는 제1 출력 단자(d), 게이트 구동부(120)의 쉬프트 레지스터(미도시)에 인가되는 제2 및 제3 구동 전압(VGH_0, VGH_E)을 출력하는 제2 및 제3 출력 단자(e, f), 게이트 구동부(120)의 쉬프트 레지스터(미도시)에 인가되는 제1 내지 제4 클럭 신호(CLK1 내지 CLK4)를 출력하는 제4 내지 7출력 단자(g 내지 j) 및 액정패널(110)의 화소에 충전된 데이터 전압을 방전시키는 방전 신호(VDIS)를 출력하는 제8 출력 단자(k)를 포함한다.

[0053] 이때, 제2 구동 전압(VGH_0)은 게이트 구동부(120)의 홀수번째 쉬프트 레지스터에 인가되는 구동 전압이고, 제3 구동 전압(VGH_E)은 게이트 구동부(120)의 짝수번째 쉬프트 레지스터에 인가되는 구동 전압을 나타낸다.

[0054] 그리고, 레벨 시프터(150)의 제2 구동 전압(VGH_0)을 출력하는 단자와 방전 신호(VDIS)를 출력하는 단자 사이에는 다이오드(D1)가 배치된다.

[0055] 여기서, 레벨 시프터(150)의 제2 구동 전압(VGH_0)을 출력하는 제2 출력 단자(e)와 방전 신호(VDIS)를 출력하는 제8 출력 단자(k) 사이에 다이오드(D1)를 배치하는 이유는 다음과 같다.

[0056] 인쇄회로기판을 동작시키기 위한 입력 전압(Vin)이 오프되는 경우, 레벨 시프터(150)도 입력 전압(Vin)에 영향을 받게 되는데, 레벨 시프터(150)의 제3 입력 단자(c)에는 외부에서 제1 구동 전압(VGL)이 인가되고 있으나, 레벨 시프터(150)의 제2 출력 단자(e)는 플로팅 상태가 되어 화소에 충전된 데이터 전압을 충분히 방전시켜주지 못함으로써, 화면이 깜박거리는 플리커 현상이 발생하게 된다.

[0057] 이를 해결하기 위해 본 발명의 일 실시예에서는 레벨 시프터(150)의 제2 구동 전압(VGH_0)을 출력하는 제2 출력 단자(e)와 방전 신호(VDIS)를 출력하는 제8 출력 단자(k) 사이에 다이오드(D1)를 배치하여 전원 오프시 화소에 충전된 데이터 전압을 방전시켜주어 화면이 깜박거리는 플리커 현상을 방지하도록 한다.

[0058] 좀 더 자세하게 설명하면, 전원 온(On) 시 레벨 시프터(150)의 제2 출력 단자(e)는 일정 시간 간격으로 로우 레벨과 하이 레벨의 전압을 교대로 출력한다. 예를 들면, 제2 출력 단자(e)는 2초 간격으로 -5V와 29V 전압을 교대로 출력한다. 이때, 제2 구동 전압(VGH_0)을 출력하는 제2 출력 단자(e)와 방전 신호(VDIS)를 출력하는 제8 출력 단자(k) 사이에는 전위차가 발생하지 않으므로, 다이오드(D1)는 오프 상태이다.

[0059] 그리고, 전원 오프(Off) 시 레벨 시프터(150)의 방전 신호(VDIS)를 출력하는 제8 출력 단자(k)는 하이 레벨의 전압 예를 들면, 29V의 전압을 출력한다. 이때, 제2 구동 전압(VGH_0)을 출력하는 제2 출력 단자(e)는 로우 레벨의 전압과 0V 사이의 전압을 출력하게 된다. 도 4의 B에서와 같이, 레벨 시프터(150)의 제2 출력 단자(e) 제8 출력 단자(k) 사이에 순방향 전위차가 발생하여 다이오드(D1)는 턴 온 되어 제2 구동 전압(VGH_0)을 출력하는 제2 출력 단자(e)는 방전 신호(VDIS)를 출력하는 제8 출력 단자(k)와 동일한 전압을 갖게 된다.

[0060] 이에 따라 제2 구동 전압(VGH_0)을 출력하는 제2 출력 단자(e)의 전압은 게이트 구동부(120)의 쉬프트 레지스터

에 인가되어 게이트 온 신호를 출력하도록 하고, 게이트 라인에 연결되어 있는 박막트랜지스터를 턴 온 시켜 화소에 충전된 데이터 전압을 충분히 방전시켜 화면이 깜박거리는 플리커 현상을 방지할 수 있다.

- [0061] 도 5를 참조하면, 본 발명의 일 실시예에 따른 게이트 구동부(120)는 레벨 시프터(150)로부터 개시 신호(VST)와 제2 및 제3 구동 전압(VGH_0, VGH_E), 제1 내지 제4 클럭 신호(CLK1 내지 CLK4) 및 방전 신호(VDIS)를 제공 받아 구동하는 N개의 쉬프트 레지스터를 포함한다.
- [0062] 여기서, N개의 쉬프트 레지스터 중 제1 쉬프트 레지스터는 개시 신호(VST)와 제1 클럭 신호(CLK1)를 제공받아 첫 번째 게이트 라인(미도시)에 게이트 신호(Vout1)를 출력하며, 리셋 신호(RESET)를 입력 받아 게이트 신호(Vout1)의 출력을 종료한다. 이때, 리셋 신호(RESET)로서 예를 들면, 제3 쉬프트 레지스터에서 출력되는 게이트 신호(Vout3)를 입력 받아 리셋 신호(RESET)로 사용할 수 있다.
- [0063] 제2 쉬프트 레지스터는 개시 신호(VST)와 제2 클럭 신호(CLK2)를 제공받아 두 번째 게이트 라인(미도시)에 게이트 신호(Vout2)를 출력하며, 리셋 신호(RESET)를 입력 받아 게이트 신호(Vout2)의 출력을 종료한다. 이때, 리셋 신호(RESET)로서 제4 쉬프트 레지스터에서 출력되는 게이트 신호(Vout4)를 입력 받아 리셋 신호(RESET)로 사용할 수 있다.
- [0064] 제(N-1) 쉬프트 레지스터는 개시 신호(VST)와 제3 클럭 신호(CLK3)를 제공받아 (N-1)번째 게이트 라인(GL)에 게이트 신호(Vout((N-1)))를 출력하며, 리셋 신호(RESET)를 입력 받아 게이트 신호(Vout((N-1)))의 출력을 종료한다. 이때, 개시 신호(VST)로서 예를 들면, 제(N-3) 쉬프트 레지스터에서 출력되는 게이트 신호(Vout(N-3))를 입력 받아 사용할 수 있으며, 리셋 신호(RESET)로서 도면에 도시하지 않았으나, 더미 쉬프트 레지스터에서 제공되는 게이트 신호를 입력 받아 리셋 신호(RESET)로 사용할 수 있다.
- [0065] 또한, 제N 쉬프트 레지스터는 개시 신호(VST)와 제4 클럭 신호(CLK4)를 제공받아 N번째 게이트 라인(GL)에 게이트 신호(VoutN)를 출력하며, 리셋 신호(RESET)를 입력 받아 게이트 신호(Vout((N)))의 출력을 종료한다. 이때, 개시 신호(VST)로서 더미 쉬프트 레지스터에서 제공되는 게이트 신호를 입력 받아 사용할 수 있으며, 리셋 신호(RESET)로서 외부에서 제공되는 별도의 리셋 신호(RESET)를 입력 받아 사용할 수 있다.
- [0066] 도 6을 참조하면, 본 발명의 일 실시예에 따른 하나의 쉬프트 레지스터(122)는 제1 내지 제7 트랜지스터(T11 내지 T17)를 포함한다. 이때, 쉬프트 레지스터는 레벨 시프터(150)로부터 개시 신호(VST)와 제2 및 제3 구동 전압(VGH_0, VGH_E), 제1 내지 제4 클럭 신호(CLK1 내지 CLK4) 및 방전 신호(VDIS)를 입력 받아 게이트 온 신호를 출력한다.
- [0067] 제1 트랜지스터(T11)의 게이트와 드레인은 공통으로 연결되어 있으며, 제2 구동 전압(VGH_0)에 따라 턴 온 되고, 소스는 제1 노드(N1)와 연결된다.
- [0068] 제2 트랜지스터(T12)의 게이트와 드레인은 공통으로 연결되어 있으며, 제3 구동 전압(VGH_E)에 따라 턴 온 되고, 소스는 제2 노드(N2)와 연결된다.
- [0069] 제3 트랜지스터(T13)의 게이트에는 개시 신호(VST)가 인가되고, 드레인에는 외부에서 인가되는 입력 전압(VDD)이 인가되며, 소스는 제3 노드(N3)와 연결되고, 개시 신호(VST)에 따라 턴 온 된다.
- [0070] 제4 트랜지스터(T14)의 게이트에는 외부에서 인가되는 바이어스 전압(VBIAS)이 인가되고, 드레인은 제3 노드(N3)와 연결되며, 소스에는 방전 신호(VDISH)가 인가되고, 바이어스 전압(VBIAS)에 따라 턴 온 된다.
- [0071] 제5 트랜지스터(T15)의 게이트는 제1 노드(N1)와 연결되고, 드레인은 제4 노드(N4)와 연결되며, 소스에는 방전 신호(VDISH)가 인가된다.
- [0072] 제6 트랜지스터(T16)의 게이트는 제2 노드(N2)와 연결되고, 드레인은 제4 노드(N4)와 연결되며, 소스에는 방전 신호(VDISH)가 인가된다.
- [0073] 제7 트랜지스터(T17)의 게이트는 제3 노드(N3)와 연결되고, 드레인은 제1 클럭 신호(CLK1)가 인가되며, 소스는 제4 노드(N4)와 연결된다. 이때, 제4 노드(N4)는 출력 단자(VOUT)와 연결된다.
- [0074] 여기서, 전원 오프 시 레벨 시프터(150)의 제2 출력 단자(e) 제8 출력 단자(k) 사이에 순방향 전위차가 발생하여 다이오드(D1)는 턴 온 되어 제2 구동 전압(VGH_0)을 출력하는 제2 출력 단자(e)는 방전 신호(VDIS)를 출력하는 제8 출력 단자(k)와 동일한 전압을 갖게 되므로, 쉬프트 레지스터의 제1 트랜지스터(T11)의 게이트와 드레인에 일정 레벨의 전압이 인가되어 제1 트랜지스터(T11)가 턴 온 된다.

[0075] 이에 따라 제1 트랜지스터(T11)의 드레인과 소스 사이에 전류가 흘러 제5 트랜지스터(T15)의 게이트에 인가되고, 제5 트랜지스터(T15)가 턴 온 되며, 제5 트랜지스터(T15)의 소스에 방전 신호(VDISH)가 인가되어 전류가 화살표 방향과 같이, 제5 트랜지스터(T15)를 통해 출력 단자(VOUT)로 흘러가게 된다.

[0076] 또한, 제2 트랜지스터(T12)의 게이트와 드레인에도 일정 레벨의 전압이 인가되어 제6 트랜지스터(T16)가 턴 온 되며, 제6 트랜지스터(T16)의 소스에도 방전 신호(VDISH)가 인가되어 전류가 화살표 방향과 같이, 제6 트랜지스터(T16)를 통해 출력 단자(VOUT)로 흘러가게 된다.

[0077] 따라서, 전원 오프 시 쉬프트 레지스터의 출력 단자(VOUT)에서 출력되는 전압 즉, 게이트 온 신호는 해당 게이트 라인에 인가되어 이에 연결되어 있는 박막트랜지스터를 턴 온 시켜 화소에 충전된 데이터 전압을 충분히 방전시켜 화면이 깜박거리는 플리커 현상을 방지할 수 있다.

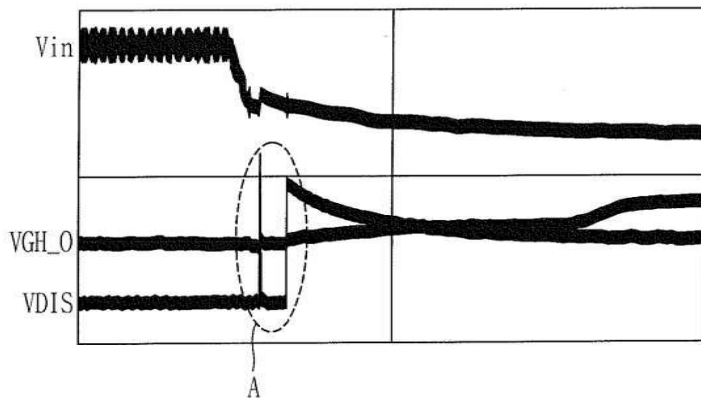
[0078] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서, 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

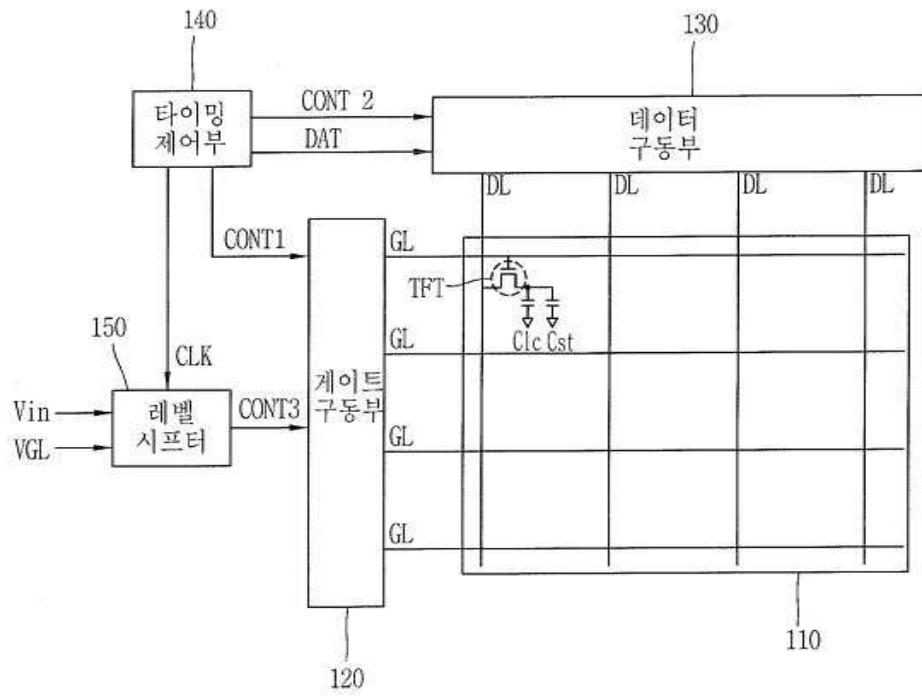
[0079]	110: 액정패널	120: 게이트 구동부
	122: 쉬프트 레지스터	130: 데이터 구동부
	140: 타이밍 제어부	150: 레벨 시프터

도면

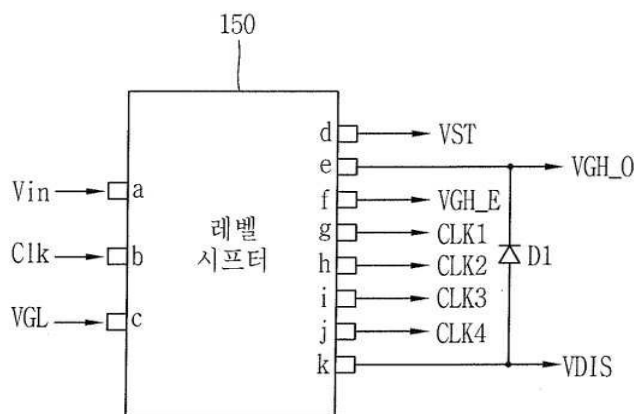
도면1



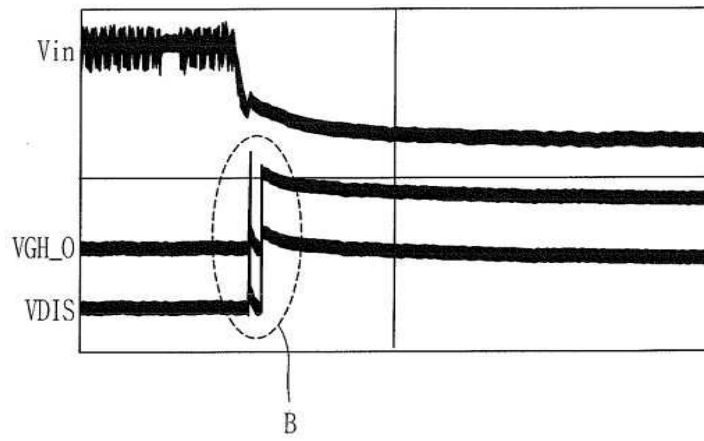
도면2



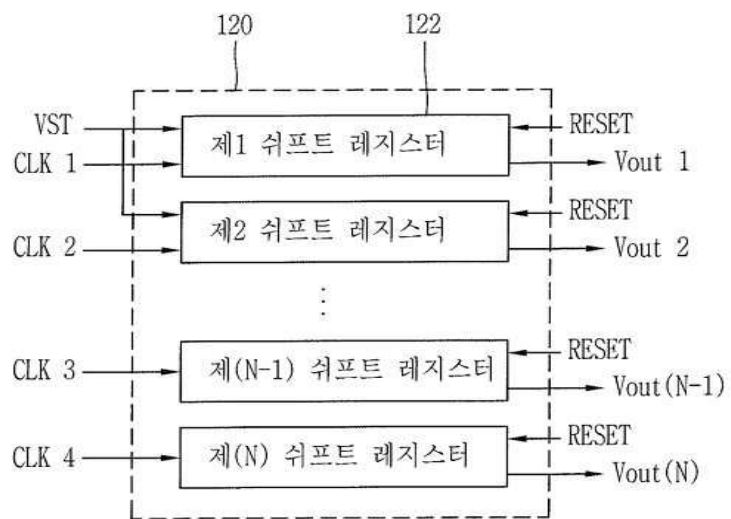
도면3



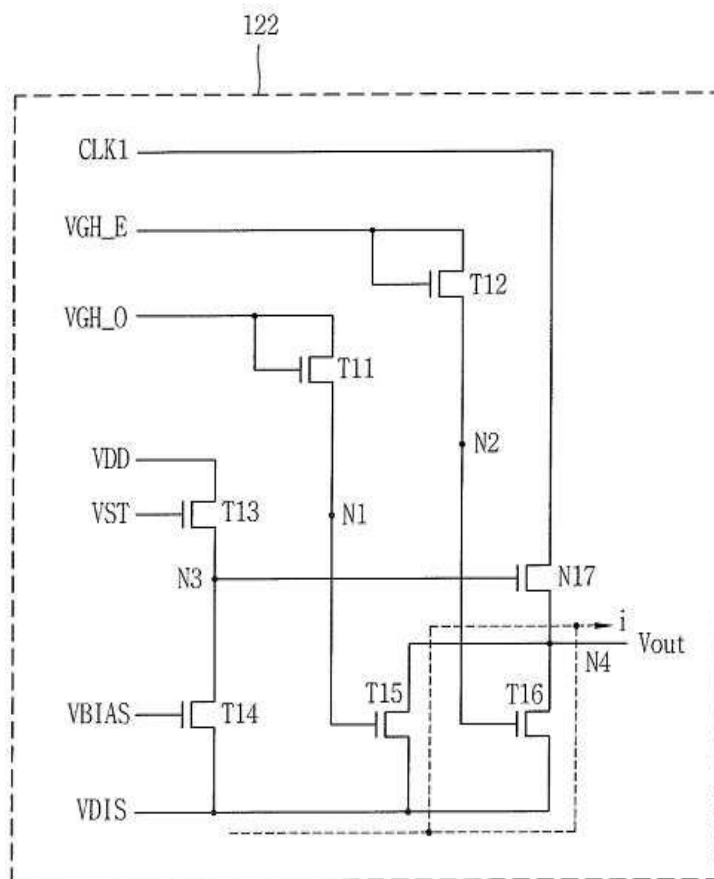
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR1020130028590A	公开(公告)日	2013-03-19
申请号	KR1020110092244	申请日	2011-09-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MOON SUNG JOON 문성준 PARK SUN WOO 박선우 CHOI SANG MI 최상미		
发明人	문성준 박선우 최상미		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G1/146 G09G3/3648 G09G2320/0247		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器，其能够防止在关闭时屏幕中发生闪烁现象。液晶显示器包括多条栅极线和多条数据线，它们是从液晶面板输入时钟信号的电平移位器，包括在时域控制单元的跨域上形成的多个像素，产生多个控制信号用于驱动液晶面板的多个栅极驱动单元，用于驱动多条栅极线，多个数据驱动器用于驱动多条数据线的定时控制单元以及输入和驱动电压从外部输入，并产生多个栅极驱动信号并且包括在栅极驱动信号中导通的二极管，其中至少任何一个在栅极线和数据线之外形成。

