



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0114110
(43) 공개일자 2012년10월16일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/136 (2006.01)
G02B 26/00 (2006.01)
(21) 출원번호 10-2011-0031906
(22) 출원일자 2011년04월06일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
양준영
경기도 부천시 원미구 상동로 57, 2407동 1303호
(상동, 행복한마을)
(74) 대리인
박영복, 김용인

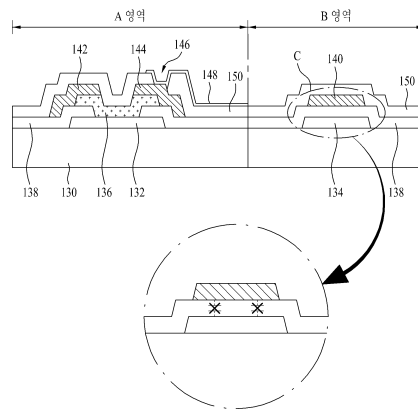
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 액정 표시 장치 및 광학 박막 트랜지스터 기판의 제조 방법

(57) 요약

본 발명은 배선 간의 기생 커패시터들을 제거하며, 고속 구동이 가능한 액정 표시 장치 및 광학 박막 트랜지스터 기판의 제조 방법에 관한 것으로, 본 발명에 따른 액정 표시 장치는 절연층으로 형성된 다수의 게이트 라인들과, 상기 다수의 게이트 라인과 서로 교차하도록 형성된 다수의 데이터 라인들과, 상기 게이트 라인들과 상기 데이터 라인들의 교차부마다 형성되며, 상기 게이트 라인들과 접속된 게이트부를 포함하는 광학 박막 트랜지스터와, 상기 게이트 라인들에 광전자 신호를 순차적으로 공급하는 광전자 스위칭부와, 상기 광전자 스위칭부에 게이트 전압을 공급하는 게이트 구동부와, 상기 광전자 스위칭부에 광전자 신호를 공급하는 광전자 신호 공급부를 포함하며, 상기 광전자 스위칭부는 게이트 구동부로부터의 게이트 전압에 따라 광전자 신호를 스위칭하여 광전자 신호를 게이트 라인에 순차적으로 공급하는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

절연층으로 형성된 다수의 게이트 라인들과;

상기 다수의 게이트 라인과 서로 교차하도록 형성된 다수의 데이터 라인들과;

상기 게이트 라인들과 상기 데이터 라인들의 교차부마다 형성되며, 상기 게이트 라인들과 접속된 게이트부를 포함하는 광학 박막 트랜지스터와;

상기 게이트 라인들에 광전자 신호를 순차적으로 공급하는 광전자 스위칭부와;

상기 광전자 스위칭부에 게이트 전압을 공급하는 게이트 구동부와,

상기 광전자 스위칭부에 광전자 신호를 공급하는 광전자 신호 공급부를 포함하며,

상기 광전자 스위칭부는 게이트 구동부로부터의 게이트 전압에 따라 광전자 신호를 스위칭하여 광전자 신호를 게이트 라인에 순차적으로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 광학 박막 트랜지스터는

기관 상에 상기 게이트 라인과 접속된 상기 게이트부와;

상기 게이트부가 노출되도록 게이트 컨택홀이 형성된 게이트 절연막과;

상기 게이트 컨택홀을 통해 상기 게이트부와 접속된 반도체층과;

상기 반도체층을 사이에 두고 서로 마주보도록 형성된 소스 및 드레인 전극과;

상기 드레인 전극과 화소 컨택홀을 통해 접속된 화소 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 게이트부는 상기 게이트 라인과 동일 재질로 동일층에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 4

제2항에 있어서,

상기 게이트부 및 상기 게이트 라인은 상기 게이트 절연막보다 높은 굴절률을 가지는 절연층의 재질로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제2항에 있어서,

상기 반도체층은 상기 게이트부 및 상기 게이트 라인의 재질보다 높은 굴절률을 가지는 절연층의 재질로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 6

제2항에 있어서,

상기 게이트부 및 게이트 라인 하부에 외부로부터 광을 간섭을 방지하기 위해 광차단층을 형성하는 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,

상기 광전자 스위칭부는 다수의 광 스위치를 포함하며, 상기 광 스위치는 광의 위상차에 따라 상쇄간섭과 보강간섭이 일어나는 마흐-젠더 간섭계를 이용하여 상기 광전자 신호를 스위칭하는 것을 특징으로 하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 광 스위치는 기관 상에 공통 전극층, 클래딩층, 코어층, 마흐-젠더 패턴부를 순차적으로 적층되며,

상기 마흐-젠더 패턴부는

상기 광전자 신호 공급부로부터 입력된 상기 광전자 신호를 제1 및 제2 경로로 분배하는 Y형 분배부와;

상기 Y형 분배부로부터 갈라진 제1 경로와 제2 경로를 포함하는 본체부와;

상기 Y형 분배부로부터 분배된 상기 광전자 신호를 게이트 구동부의 게이트 게이트 전압에 따라 위상 반전시키는 위상 반전부와;

상기 제1 및 제2 경로로부터의 광전자 신호의 위상차 결합으로 게이트 라인으로 순차적으로 공급하는 Y형 결합부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 9

기관 상에 절연층으로 형성된 게이트부 및 게이트 라인을 포함하는 게이트 패턴을 형성하는 단계와;

상기 게이트부를 노출시키는 게이트 콘택홀을 포함하는 게이트 절연막을 형성하는 단계와;

상기 게이트 콘택홀을 통해 상기 게이트부와 접속하도록 반도체층을 형성하는 단계와;

상기 반도체층을 사이에 두고 마주보도록 소스 및 드레인 전극과, 상기 소스 전극과 접속된 데이터 라인을 포함하는 데이터 금속 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 광학 박막 트랜지스터 기관의 제조 방법.

청구항 10

제9항에 있어서,

상기 게이트부 및 상기 게이트 라인은 상기 게이트 절연막보다 높은 굴절률을 가지는 절연층의 재질로 형성되는 것을 특징으로 하는 광학 박막 트랜지스터 기관의 제조 방법.

청구항 11

제9항에 있어서,

상기 반도체층은 상기 게이트부 및 상기 게이트 라인의 재질보다 높은 굴절률을 가지는 절연층의 재질로 형성되는 것을 특징으로 하는 광학 박막 트랜지스터 기관의 제조 방법.

청구항 12

제9항에 있어서,

상기 게이트부 및 게이트 라인 하부에 외부로부터 광 간섭을 차단하기 위해 광차단층을 형성하는 것을 특징으로 하는 광학 박막 트랜지스터 기관의 제조 방법.

명세서

기술분야

[0001] 본 발명은 액정 표시 장치 및 광학 박막 트랜지스터 기관의 제조 방법에 관한 것으로, 특히 배선 간의 기생 커

패시터들을 제거하며, 고속 구동이 가능한 액정표시장치 및 광학 박막 트랜지스터 기관의 제조 방법에 관한 것이다.

배경 기술

- [0002] 액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 서로 대향하여 합착된 박막 트랜지스터 기관 및 컬러 필터 기관을 포함하는 액정 표시 패널과, 게이트 라인을 구동하기 위한 게이트 구동부와, 데이터 라인을 구동하기 위한 데이터 구동부를 포함한다.
- [0003] 컬러 필터 기관은 컬러 구현을 위한 칼라 필터 및 빛샘 방지를 위한 블랙 매트릭스와, 화소 전극과 수직 전계를 이루는 공통 전극과, 그들 위에 액정 배향을 위해 도포된 상부 배향으로 구성된다.
- [0004] 박막 트랜지스터 기관은 하부 기관 위에 게이트 절연막을 사이에 두고 교차하게 형성된 게이트 라인 및 데이터 라인과, 그 교차부마다 형성된 박막 트랜지스터(TFT)와, 그 교차 구조로 마련된 화소 영역에 형성된 화소 전극과, 그들 위에 도포된 하부 배향막을 포함한다.
- [0005] 상술한 바와 같이, 금속 재질로 형성된 게이트 라인과 데이터 라인은 게이트 절연막을 사이에 두고 교차하게 되는데 두 배선 간의 기생 커패시터가 발생되어 구동시 로드 증가 및 소비 전력이 증가하게 되는 문제점이 발생된다. 이에 따라, 차징(charging) 특성을 저하시키며, 고속 구동 등에 심각한 문제를 야기한다. 두 배선 간의 기생 커패시터를 해결하기 위해 층간 절연막의 두께를 증가시키거나 배선 폭을 증가시키게 되는데 이 경우 투과율이 저하되게 된다.

발명의 내용

해결하려는 과제

- [0006] 본 발명은 상기 문제점을 해결하기 위해 창안된 것으로서, 층간 절연막의 두께나 배선 폭을 증가시키지 않아도 배선 간의 기생 커패시터들을 제거할 수 있으며, 고속 구동이 가능한 액정 표시 장치 및 광학 박막 트랜지스터 기관의 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0007] 이를 위하여, 본 발명에 따른 액정 표시 장치는 절연층으로 형성된 다수의 게이트 라인들과, 상기 다수의 게이트 라인과 서로 교차하도록 형성된 다수의 데이터 라인들과, 상기 게이트 라인들과 상기 데이터 라인들의 교차부마다 형성되며, 상기 게이트 라인들과 접속된 게이트부를 포함하는 광학 박막 트랜지스터와, 상기 게이트 라인들에 광전자 신호를 순차적으로 공급하는 광전자 스위칭부와, 상기 광전자 스위칭부에 게이트 전압을 공급하는 게이트 구동부와, 상기 광전자 스위칭부에 광전자 신호를 공급하는 광전자 신호 공급부를 포함하며, 상기 광전자 스위칭부는 게이트 구동부로부터의 게이트 전압에 따라 광전자 신호를 스위칭하여 광전자 신호를 게이트 라인에 순차적으로 공급하는 것을 특징으로 한다.
- [0008] 여기서, 상기 광학 박막 트랜지스터는 기관 상에 상기 게이트 라인과 접속된 상기 게이트부와, 상기 게이트부가 노출되도록 게이트 콘택홀이 형성된 게이트 절연막과, 상기 게이트 콘택홀을 통해 상기 게이트부와 접속된 반도체층과, 상기 반도체층을 사이에 두고 서로 마주보도록 형성된 소스 및 드레인 전극과, 상기 드레인 전극과 화소 콘택홀을 통해 접속된 화소 전극을 포함하는 것을 특징으로 한다.
- [0009] 또한, 상기 게이트부는 상기 게이트 라인과 동일 재질로 동일층에 형성되는 것을 특징으로 한다.
- [0010] 그리고, 상기 게이트부 및 상기 게이트 라인은 상기 게이트 절연막보다 높은 굴절률을 가지는 절연층의 재질로 형성되는 것을 특징으로 한다.
- [0011] 또한, 상기 반도체층은 상기 게이트부 및 상기 게이트 라인의 재질보다 높은 굴절률을 가지는 절연층의 재질로 형성되는 것을 특징으로 한다.
- [0012] 그리고, 상기 게이트부 및 게이트 라인 하부에 외부로부터 광을 간섭을 방지하기 위해 광차단층을 형성하는 것을 특징으로 한다.
- [0013] 또한, 상기 광전자 스위칭부는 다수의 광 스위치를 포함하며, 상기 광 스위치는 광의 위상차에 따라 상쇄간섭과

보강간섭이 일어나는 마흐-젠더 간섭계를 이용하여 상기 광전자 신호를 스위칭하는 것을 특징으로 한다.

[0014] 여기서, 상기 광 스위치는 기관 상에 공통 전극층, 클래딩층, 코어층, 마흐-젠더 패턴부를 순차적으로 적층되며, 상기 마흐-젠더 패턴부는 상기 광전자 신호 공급부로부터 입력된 상기 광전자 신호를 제1 및 제2 경로로 분배하는 Y형 분배부와, 상기 Y형 분배부로부터 갈라진 제1 경로와 제2 경로를 포함하는 본체부와, 상기 Y형 분배부로부터 분배된 상기 광전자 신호를 게이트 구동부의 게이트 게이트 전압에 따라 위상 반전시키는 위상 반전부와, 상기 제1 및 제2 경로로부터의 광전자 신호의 위상차 결합으로 게이트 라인으로 순차적으로 공급하는 Y형 결합부를 포함하는 것을 특징으로 한다.

[0015] 본 발명에 따른 광학 박막 트랜지스터 기관의 제조 방법은 기관 상에 절연층으로 형성된 게이트부 및 게이트 라인을 포함하는 게이트 패턴을 형성하는 단계와, 상기 게이트부를 노출시키는 게이트 콘택홀을 포함하는 게이트 절연막을 형성하는 단계와, 상기 게이트 콘택홀을 통해 상기 게이트부와 접속하도록 반도체층을 형성하는 단계와, 상기 반도체층 사이에 두고 마주보도록 소스 및 드레인 전극과, 상기 소스 전극과 접속된 데이터 라인을 포함하는 데이터 금속 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0016] 여기서, 상기 게이트부 및 상기 게이트 라인은 상기 게이트 절연막보다 높은 굴절률을 가지는 절연층의 재질로 형성되는 것을 특징으로 한다.

[0017] 또한, 상기 반도체층은 상기 게이트부 및 상기 게이트 라인의 재질보다 높은 굴절률을 가지는 절연층의 재질로 형성되는 것을 특징으로 한다.

[0018] 그리고, 상기 게이트부 및 게이트 라인 하부에 외부로부터 광 간섭을 차단하기 위해 광차단층을 형성하는 것을 특징으로 한다.

발명의 효과

[0019] 본 발명에 따른 액정표시장치 및 광학 박막 트랜지스터 기관은 게이트부 및 게이트 라인을 절연층으로 형성함으로써 게이트 라인과 데이터 라인 간의 기생 커패시터를 제거할 수 있다. 이에 따라, 게이트 라인이나 데이터 라인의 배선 폭을 넓게 하지 않아도 됨으로써 투과율이 감소되지 않으며, 게이트 라인 및 데이터 라인 사이의 층간 절연막의 두께를 증가시키지 않아도 된다.

[0020] 또한, 본 발명은 광전자 신호를 이용하는 광에 의한 구동을 함으로써 480MHz의 고속 구동이 가능하며, 게이트 라인을 절연층으로 형성함으로써 게이트 라인과 데이터 라인 간의 기생 커패시터를 제거할 수 있어 라인 지연(Line delay) 현상 또한 급격히 감소시킬 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 제1 실시 예에 따른 액정 표시 장치에 대한 블록도이다.

도 2는 도 1에 도시된 각 구동부의 연결 관계를 설명하기 위한 평면도이다.

도 3은 도 2에 도시된 A영역 및 B영역에 따른 광학 박막 트랜지스터 기관을 나타낸 단면도이다.

도 4a 및 도 4b는 도 1에 도시된 광전자 스위칭부를 설명하기 위한 사시도들이다.

도 5a 내지 도 5f는 본 발명의 제1 실시 예에 따른 광학 박막 트랜지스터 기관의 제조 방법을 나타낸 단면도들이다.

도 6은 본 발명의 제2 실시 예에 따른 액정 표시 장치의 광학 박막 트랜지스터 기관에 따른 단면도이다.

도 7a 내지 도 7f는 본 발명의 제2 실시 예에 따른 광학 박막 트랜지스터 기관의 제조 방법을 나타낸 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다. 본 발명의 구성 및 그에 따른 작용 효과는 이하의 상세한 설명을 통해 명확하게 이해될 것이다. 본 발명의 상세한 설명에 앞서, 동일한 구성 요소에 대해서는 다른 도면 상에 표시되더라도 가능한 동일한 부호로 표시하며, 공지된 구성에 대해서는 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 구체적인 설명은 생략하기로 함에 유의한다.

- [0023] 이하, 본 발명의 바람직한 실시 예를 도 1 내지 도 7f를 참조하여 상세히 설명하기로 한다.
- [0024] 도 1은 본 발명의 제1 실시 예에 따른 액정 표시 장치에 대한 블록도이고, 도 2는 도 1에 도시된 각 구동부의 연결 관계를 설명하기 위한 평면도이고, 도 3은 도 2에 도시된 A영역 및 B영역에 따른 광학 박막 트랜지스터 기판을 나타낸 단면도이다.
- [0025] 도 1 내지 도 3에 도시된 바와 같이 본 발명의 제1 실시 예에 따른 액정 표시 장치는 다수의 게이트 라인들(GL0 내지 GLn; 여기서, n은 양의 정수)과 다수의 데이터 라인들(DL1 내지 DLn)이 서로 교차하고, 그 교차로 정의되는 화소 영역들에 형성된 액정셀들 및 게이트 라인들(GL0 내지 GLn)과 데이터 라인들(DL1 내지 DLn)의 교차부마다 형성되어 각각의 액정셀(C1c)들을 구동하는 광학 박막 트랜지스터(TFT)를 포함하는 액정 표시 패널과, 데이터 라인들(DL1 내지 DLn)에 비디오 신호를 공급하는 데이터 구동부(100)와, 게이트 전압을 광전자 스위칭부(110)에 순차적으로 공급하는 게이트 구동부(122)와, 광전자 스위칭부(110)에 광전자 신호를 공급하는 광전자 신호 공급부(120)와, 게이트 구동부(122)로부터의 게이트 전압에 따라 광전자 신호를 스위칭하여 광전자 신호를 게이트 라인(GL0 내지 GLn)에 순차적으로 공급하는 광전자 스위칭부(Optoelectronic switching device)(110)를 포함한다.
- [0026] 액정 표시 패널은 컬러 필터 기판과 광학 박막 트랜지스터 기판이 합착된 구조로 형성된다. 컬러 필터 기판에는 상부 기판 상에 색상을 구현하기 위한 컬러필터, 인접한 화소들간의 광 간섭을 줄이기 위한 블랙 매트릭스 등이 포함된 컬러 필터 어레이가 형성된다.
- [0027] 광학 박막 트랜지스터 기판에는 게이트 라인들(GL0 내지 GLn)과 데이터 라인들(DL1 내지 DLn)이 서로 교차하도록 형성되며, 광학 박막 트랜지스터(TFT)가 형성된다. 게이트 라인들(GL0 내지 GLn)과 데이터 라인들(DL1 내지 DLn)의 교차부마다 형성된 광학 박막 트랜지스터들(TFT)은 각각 게이트 라인들(GL0 내지 GLn)로부터의 광전자 신호에 응답하여 데이터 라인들(DL1 내지 DLn)로부터 데이터 전압을 액정셀(C1c)의 화소 전극(148)에 공급한다. 액정셀(C1c)은 화소 전극(148)에 공급되는 데이터 전압과 공통 전극에 공급되는 공통 전압의 전위차로 충전되며, 이 전위차로 형성되는 전계에 의해 액정분자들의 배열이 바뀌면서 투과되는 빛의 광량이 조절되게 된다. 공통 전극(미도시)은 액정셀(C1c)에 전계를 인가하는 방식에 따라 상부 기판 또는 하부 기판에 형성된다. 화소 전극(148)과 전단 게이트 라인(GL0 내지 GLn) 사이에는 액정셀(C1c)의 충전 전압을 한 프레임 동안 유지시키기 위한 스토리지 커패시터(Cst)가 형성된다.
- [0028] 이러한, 광학 박막 트랜지스터(TFT)는 도 3에 도시된 바와 같이 게이트부(132), 소스 전극(142), 드레인 전극(144), 반도체층(136)을 구비한다. 소스 전극(142)은 데이터 라인(DL1 내지 DLn; 140)으로부터 화소 신호가 공급되도록 데이터 라인(DL1 내지 DLn; 140)과 접속된다. 드레인 전극(144)은 반도체층(136)을 사이에 두고 소스 전극(142)과 마주보도록 형성되어 데이터 라인(140)으로부터 화소 신호를 화소 전극(148)에 공급한다.
- [0029] 게이트부(132)는 게이트 라인(GL0 내지 GLn; 134)으로부터의 광전자 신호가 공급되도록 게이트 라인(134)과 접속된다. 이러한, 게이트부(132)는 게이트 라인(134)과 동일 재질로 동일층에 형성되며, 게이트 절연막(138)보다 높은 굴절률을 가지는 절연층의 재질로 형성된다. 게이트부(132)는 게이트 절연막(138)의 게이트 콘택홀을 통해 반도체층(136)과 접속한다. 반도체층(136)은 게이트부(132) 및 게이트 라인(134)의 재질보다 높은 굴절률을 가지는 절연층의 재질로 형성된다. 이와 같이, 각 매질에 대한 굴절률의 크기는 게이트 절연막(138) < 게이트부(132) 및 게이트 라인(134) < 반도체층(136) 순으로 커진다. 이는, 광섬유에서 이용되는 전반사의 원리를 이용한 것이다. 광섬유는 굴절율이 높은 매질이 중심(코어;core)을 이루고, 주변(클래딩;cladding)은 굴절율이 낮은 매질로 덮혀져 있다. 즉, 광섬유의 단면을 살펴보면, 중앙의 코어(core) 부분과 이를 둘러싼 클래딩(cladding)이라는 부분이 이중 원기둥 모양을 하고 있다.
- [0030] 전반사 원리는 굴절률이 서로 다른 두 가지 투명체의 경계면에서 빛이 입사하는 각도가 조건에 맞을 경우 빛의 완전반사가 일어나는 현상을 이용한 것이다. 다시 말하여, 코어의 매질의 굴절률이 클래딩의 매질의 굴절률보다 클 경우, 입사된 광은 코어의 매질 내에 갇혀 진행하게 된다. 이러한 특성을 본 발명에 따른 광학 박막 트랜지스터에 이용하였다.
- [0031] 전반사 원리에 따라, 본 발명은 게이트 라인(134)을 통해 게이트부(132)로 입력된 광전자 신호가 게이트부(132)에 갇혀 진행하게 되고, 게이트부(132)에 갇힌 광전자 신호는 반도체층(136)으로 진행되어 채널이 형성하게 된다. 이는, 반도체층(136)의 재질이 게이트부(132)의 재질보다 굴절률이 크기 때문에 광전자 신호가 반도체층(136)으로 진행되어 채널을 형성하게 된다.
- [0032] 상술한 바와 같이 게이트 라인(134)은 도 3에 도시된 바와 같이 절연층으로 형성되므로 게이트 라인(134)과 데

이터 라인(140)이 교차하는 영역(B)에는 기생 커패시터가 발생되지 않는다. 즉, 종래에는 게이트 라인이 도전성 전극 재질로 형성되며, 데이터 라인도 도전성 전극 재질로 형성되어 게이트 절연막을 사이에 두고 서로 오버랩되어 형성된다. 이에 따라, 게이트 라인과 데이터 라인 배선 간의 기생 커패시터가 발생되었지만, 본 발명에 따른 게이트 라인(134)은 절연층으로 형성되므로 게이트 라인(134)과 데이터 라인(140) 간의 기생 커패시터가 발생되지 않는다.

- [0033] 한편, 게이트부(132) 및 게이트 라인(134)을 절연층으로 형성된 것을 예로 들어 설명하였지만, 데이터 라인(140)을 절연층으로 형성할 수 있으므로 이는 사용자에게 필요에 따라 변경할 수 있다.
- [0034] 데이터 구동부(100)는 액정 표시 패널의 데이터 라인(DL1 내지 DLn; 140)을 구동한다. 데이터 구동부(100)는 타이밍 컨트롤러(미도시)로부터 공급되는 디지털 비디오 데이터를 아날로그 감마보상 전압, 즉 데이터 전압으로 변환하여 광전자 스위칭부(110)에 의해 게이트 라인(GL0 내지 GLn)에 광전자 신호가 공급될 때마다 데이터 라인(DL1 내지 DLn)으로 공급한다.
- [0035] 게이트 구동부(122)는 광전자 스위칭부(110)에 순차적으로 게이트 전압을 공급한다. 게이트 구동부(122)는 전원부(미도시)로부터 게이트 전압을 다수의 게이트 라인들(GL0 내지 GLn)과 접속된 다수의 광 스위치(110-0~110-n)에 순차적으로 공급한다.
- [0036] 구체적으로, 게이트 구동부(122)는 게이트 전압을 다수의 광 스위치(110-0~110-n)에 공급하기 위해 다수의 광 스위치(110-0~110-n)와 각각 접속된 다수의 게이트 전압 공급라인(GVL0 내지 GVLn)을 포함한다. 이에 따라, 게이트 구동부(122)로부터 게이트 전압은 다수의 게이트 전압 공급라인(GVL0 내지 GVLn)을 통해 순차적으로 다수의 광 스위치(110-0~110-n)에 공급된다. 도 1에 도시된 바와 같이, 더미 게이트 전압 공급라인(GVL0)은 더미 광 스위치(110-0)와 접속되어 더미 광 스위치(110-0)에 게이트 전압을 공급하며, 제1 게이트 전압 공급라인(GVL1)은 제1 광 스위치(110-1)와 접속되어 제1 광 스위치(110-1)에 게이트 전압을 공급하며, 제2 게이트 전압 공급라인(GVL2)은 제2 광 스위치(110-2)와 접속되어 제2 광 스위치(110-2)에 게이트 전압을 공급하며, 제n 게이트 전압 공급라인(GVLn)은 제n 광 스위치(110-n)와 접속되어 게이트 전압을 공급한다.
- [0037] 광전자 신호 공급부(120)는 광전자 스위칭부(110)에 광전자 신호를 공급한다. 광전자 신호 공급부(120)는 광전자 신호를 다수의 광 스위치(110-0 내지 110-n)에 공급하기 위해 다수의 광 스위치(110-0 내지 110-n)와 접속된 다수의 광전자 신호공급라인(OPL0 내지 OPLn)을 포함한다. 이에 따라, 광전자 신호 공급부(120)로부터의 광전자 신호는 다수의 광전자 신호공급라인(OPL0 내지 OPLn)을 통해 다수의 광 스위치(110-0 내지 110-n)에 공급된다. 도 1에 도시된 바와 같이, 더미 광전자 신호공급라인(OPL0)은 더미 광 스위치(110-0)와 접속되어 더미 광 스위치(110-0)에 광전자 신호를 공급하며, 제1 광전자 신호공급라인(OPL1)은 제1 광 스위치(110-1)와 접속되어 제1 광 스위치(110-1)에 광전자 신호를 공급하며, 제2 광전자 신호공급라인(OPL2)은 제2 광 스위치(110-2)와 접속되어 제2 광 스위치(110-2)에 광전자 신호를 공급하며, 제n 광전자 신호공급라인(OPLn)은 제n 광 스위치(110-n)와 접속되어 제n 광 스위치(110-n)에 광전자 신호를 공급한다.
- [0038] 광전자 스위칭부(110)는 게이트 구동부(122)으로부터의 게이트 전압에 따라 광전자 신호를 스위칭하여 광전자 신호를 게이트 라인(GL0 내지 GLn)에 순차적으로 공급한다. 이러한, 광전자 스위칭부(110)는 다수의 광 스위치(110-0~110-n)를 포함하며, 다수의 광 스위치(110-0~110-n)는 예를 들어 마흐-젠더 간섭계(Mach-Zehnder Interferometric; MZI)를 이용하여 광전자 신호를 스위칭한다. 이때, 다수의 광 스위치(110-0~110-n)는 마흐-젠더 간섭계를 이용한 광 스위치 외에 사용자 필요에 따라 변경될 수 있으며, 이에 한정하지 않는다. 본 발명은 예를 들어 광전자 스위칭부를 마흐-젠더 간섭계를 이용한 것을 예로 들어 설명하지만, 광전자 신호를 스위칭할 수 있는 스위칭부면 가능하다.
- [0039] 다수의 광 스위치(110-0~110-n)는 전계에 의해 온/오프하며, 도 4a 및 도 4b에 도시된 바와 같이 기관(130) 상에 공통 전극층(210), 클래딩층(212), 코어층(214), 마흐-젠더 패턴부(112, 114, 116, 118)를 포함한다. 마흐-젠더 패턴부(112, 114, 116, 118)는 광전자 신호 공급부(120)로부터 입력된 광전자 신호를 제1 및 제2 경로로 분배하는 Y형 분배부(112)와, Y형 분배부(112)로부터 갈라진 제1 경로와 제2 경로를 포함하는 본체부(118)와, Y형 분배부(112)로부터 분배된 광전자 신호를 게이트 구동부(22)의 게이트 전압에 따라 위상 반전시키는 위상 반전부(116)와, 제1 및 제2 경로로부터의 광전자 신호를 결합하여 게이트 라인(GL0 내지 GLn)으로 순차적으로 공급하는 Y형 결합부(114)를 포함한다. 이를 이용한 게이트 라인의 구동 방법을 도 4a 및 도 4b를 결부하여 설명하기로 한다.
- [0040] 우선, 도 4a를 참조하면, 게이트 구동부(122)의 게이트 전압 공급라인(GVL0 내지 GVLn)을 통해 위상 반전부

(116)로 게이트 전압이 인가된 경우를 설명하기로 한다. 광전자 신호 공급부(120)로부터의 광전자 신호는 Y형 분배부(112)를 통해 제1 및 제2 경로로 분배된다. 제1 경로로 분배된 광전자 신호는 Y형 결합부(114)로 진행되며, 제2 경로로 분배된 광전자 신호는 위상 반전부(116)에 의해 위상이 반전되어 Y형 결합부(114)로 진행된다. 게이트 구동부(122)을 통해 게이트 전압이 위상 반전부(116)로 인가되면, 공통 전극층(210)의 전압과 전계가 이루어지면서 Y형 분배부(112)로부터 입력된 광전자 신호의 위상을 반전시킨다. 이에 따라, 제1 경로로부터의 광전자 신호와 제2 경로로부터 위상이 반전된 광전자 신호가 결합하여 광전자 신호가 상쇄되어 게이트 라인(GL0 내지 GLn)으로 출력되는 광전자 신호는 없다.

[0041] 또한, 도 4b를 참조하면, 게이트 구동부(122)의 게이트 전압 공급라인(GVL0 내지 GVLn)을 통해 위상반전부(116)로 게이트 전압이 인가되지 않는 경우를 설명하기로 한다. 광전자 신호 공급부(120)로부터의 광전자 신호를 Y형 분배부(112)를 통해 제1 및 제2 경로로 분배된다. 제1 경로로 분배된 광전자 신호는 Y형 결합부(114)로 진행되며, 제2 경로로 분배된 광전자 신호도 Y형 결합부(114)로 진행된다. 이는, 게이트 구동부(122)로부터 게이트 전압이 위상 반전부(116)로 인가되지 않았기 때문에, 공통 전극층(210) 간의 전계가 이루어지지 않게 되어 Y형 분배부(112)로부터 입력된 광전자 신호의 위상이 Y형 결합부(114)로 그대로 출력하게 된다. 즉, 위상 반전부(116)로 게이트 전압이 인가되지 않았으므로 광전자 신호는 위상이 반전되지 않는다. 이에 따라, 제1 경로로부터의 광전자 신호와 제2 경로로부터의 광전자 신호가 결합하여 게이트 라인(GL0 내지 GLn)으로 출력된다.

[0042] 이와 같이, 광 스위치(110-0 내지 110-n)는 광의 위상차에 따라 상쇄간섭과 보강간섭이 일어나며, 이를 이용하여 게이트 라인(GL0 내지 GLn)에 광전자 신호를 순차적으로 공급한다. 상술한 공통 전극층(210)은 도전성 전극층으로 형성되며, 클래딩층(212)과 코어층(214)은 서로 다른 굴절률을 가지는 절연층으로 형성되며, 코어층(214)은 클래딩층(212)의 굴절률보다 큰 매질의 절연층으로 형성된다. 예를 들어, 클래딩층(212)은 SiO_2 로 형성될 수 있으며, 코어층(214)은 SiN_x 으로 형성될 수 있으며, 이에 한정하지 않는다. 마호-젠더 패터닝(112, 114, 116, 118)은 코어층(214)으로부터 포토레지스트 공정 및 식각 공정을 통해 패터닝되어 형성된다. 또한, 위상 반전부(116)는 도전성 금속 재질로 형성되어 포토레지스트 공정 및 식각 공정을 통해 패터닝되어 형성된다.

[0043] 상술한 바와 같이, 도 3에 도시된 바와 같이 본 발명은 광전자 신호를 이용하는 광에 의한 구동을 함으로써 480MHz의 고속 구동이 가능하며, 게이트 라인(134)을 절연층으로 형성함으로써 게이트 라인(134)과 데이터 라인(140) 간의 기생 커패시터를 제거할 수 있어 라인 지연(Line delay) 현상 또한 급격히 감소시킬 수 있다.

[0044] 도 5a 내지 도 5f는 본 발명의 제1 실시 예에 따른 광학 박막 트랜지스터 기판의 제조 방법을 설명하기 위한 단면도들이다.

[0045] 도 5a를 참조하면, 하부 기판(130) 상에 게이트부(132) 및 게이트 라인(134)을 포함하는 게이트 패터닝이 형성된다.

[0046] 구체적으로, 하부 기판(130) 상에 CVD, PECVD 등의 방법으로 절연층이 형성된다. 절연층으로는 투명한 무기 절연 물질로 형성할 수 있으며, 게이트 절연막(138)보다 굴절률이 높은 절연층의 재질로 형성된다. 이 절연층은 포토리소그래피 공정 및 식각 공정에 의해 패터닝됨으로써 게이트부(132) 및 게이트 라인(134)을 포함하는 게이트 패터닝이 형성된다.

[0047] 도 5b를 참조하면, 게이트 패터닝이 형성된 하부 기판(130) 상에 게이트 콘택홀을 포함하는 게이트 절연막(138)이 형성된다.

[0048] 구체적으로, 게이트 패터닝이 형성된 하부 기판(130) 상에 CVD, PECVD 등의 방법으로 절연층이 형성된다. 절연층으로는 투명한 무기 절연 물질로 형성되며, 게이트부(132) 및 게이트 라인(134)의 재질보다 굴절률이 낮은 절연층의 재질로 형성된다. 예를 들어, 게이트 절연막은 1.5 이하의 굴절률을 가지는 이산화 실리콘(SiO_2)으로 형성할 수 있으며, 게이트부 및 게이트 라인은 1.6~2.9의 범위의 굴절률을 가지는 질화 실리콘(SiN_x)으로 형성될 수 있다. 이 절연층은 포토리소그래피 공정 및 식각 공정에 의해 패터닝됨으로써 게이트부(132)가 노출된 게이트 콘택홀이 형성된다.

[0049] 도 5c를 참조하면, 게이트 콘택홀을 통해 게이트부(132)와 접속하도록 반도체층(136)이 형성된다.

[0050] 구체적으로, 게이트 콘택홀이 형성된 게이트 절연막(138) 상에 CVD, PECVD 등의 방법으로 절연층이 형성된다. 절연층으로는 투명한 무기 절연 물질로 형성되며, 게이트부(132) 및 게이트 라인(134)의 재질보다 굴절률이 높

은 절연층의 재질로 형성된다. 이 절연층은 포토리소그래피 공정 및 식각 공정에 의해 패터닝됨으로써 반도체층(136)이 형성된다.

- [0051] 도 5d를 참조하면, 반도체층(136)이 형성된 하부 기판(130) 상에 소스 전극(142), 드레인 전극(144), 데이터 라인(140)을 포함하는 데이터 금속 패턴이 형성된다.
- [0052] 구체적으로, 반도체층(136)이 형성된 하부 기판(130) 상에 스퍼터링 방법으로 도전성 금속층이 형성된다. 도전성 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등으로 형성될 수 있다. 이러한, 도전성 금속층은 포토리소그래피 공정 및 식각 공정에 의해 패터닝됨으로써 소스 및 드레인 전극(142,144)과 데이터 라인(140)이 형성된다.
- [0053] 도 5e를 참조하면, 데이터 금속 패턴이 형성된 하부 기판(130) 상에 화소 컨택홀(146)이 포함된 보호막(150)이 형성된다.
- [0054] 구체적으로, 데이터 금속 패턴이 형성된 하부 기판(130) 상에 CVD, PECVD 등의 방법으로 보호막(150)이 형성된다. 보호막(150)으로는 무기 절연 물질 또는 유기 절연 물질로 형성될 수 있다. 이 보호막(150)은 포토리소그래피 공정 및 식각 공정에 의해 패터닝됨으로써 드레인 전극(144)이 노출된 화소 컨택홀(146)이 형성된다.
- [0055] 도 5f를 참조하면, 화소 컨택홀(146)을 통해 드레인 전극(144)과 접속된 화소 전극(148)이 형성된다.
- [0056] 구체적으로, 화소 컨택홀(146)이 포함된 보호막(150) 상에 스퍼터링 방법으로 투명 도전층이 형성된다. 투명 도전층으로는 틴 옥사이드(Tin Oxide : TO), 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zind Oxide : ITZO) 등이 이용된다. 이 투명 도전층이 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 화소 컨택홀(146)을 통해 드레인 전극(144)과 접속된 화소 전극(148)이 형성된다.
- [0057] 도 6은 본 발명의 제2 실시 예에 따른 액정표시장치의 광학 박막 트랜지스터 기판을 나타낸 단면도이다.
- [0058] 본 발명의 제2 실시 예에 따른 액정표시장치는 본 발명의 제1 실시 예에 따른 액정표시장치 중 광학 박막 트랜지스터 기판을 제외하고 동일한 구성 요소 및 효과를 가짐으로 생략하기로 한다.
- [0059] 광학 박막 트랜지스터 기판은 도 6에 도시된 바와 같이 하부 기판(130) 상에 게이트부(132), 소스 전극(142), 드레인 전극(144), 반도체층(136), 광차단층(132a,134a)을 구비한다. 소스 전극(142)은 데이터 라인(140)으로부터 화소 신호가 공급되도록 데이터 라인(140)과 접속된다. 드레인 전극(144)은 반도체층(136)을 사이에 두고 소스 전극(142)과 마주보도록 형성되어 데이터 라인(140)으로부터 화소 신호를 화소 전극(148)에 공급한다.
- [0060] 게이트부(132)는 게이트 라인(134)으로부터의 광전자 신호가 공급되도록 게이트 라인(134)과 접속된다. 이러한, 게이트부(132)는 게이트 라인(134)과 동일 재질로 동일층에 형성되며, 게이트 절연막(138)보다 높은 굴절률을 가지는 절연층의 재질로 형성된다. 게이트부(132)는 게이트 절연막(138)의 게이트 컨택홀을 통해 반도체층(136)과 접속한다. 반도체층(136)은 게이트부(132) 및 게이트 라인(134)의 재질보다 높은 굴절률을 가지는 절연층의 재질로 형성된다. 이와 같이, 각 매질에 대한 굴절률의 크기는 게이트 절연막(138) < 게이트부(132) 및 게이트 라인(134) < 반도체층(136) 순으로 커진다.
- [0061] 또한, 게이트부(132) 및 게이트 라인(134) 하부에 광차단층(132a,134a)이 형성된다. 광차단층(132a,134a)은 게이트부(132) 및 게이트 라인(134)에 공급되는 광전자 신호가 외부의 광(예로 들어 하부로부터 백라이트 유닛으로부터 출사되는 광)으로부터 간섭받지 않도록 방지한다. 이에 따라, 광차단층(132a,134a)은 게이트부(132) 및 게이트 라인(134)에 외부로부터 광을 간섭받지 않기 위해 게이트부(132)의 하부 및 게이트 라인(134) 하부에 블랙 수지층 또는 금속 재질로 형성된다. 이는, 광차단층(132a,134a)은 게이트부 및 게이트 라인 하부에 형성됨으로써 하부로부터 입사되는 광을 반사하거나 차단할 수 있다.
- [0062] 도 7a 내지 도 7f는 본 발명의 제2 실시 예에 따른 광학 박막 트랜지스터 기판의 제조 방법을 설명하기 위한 단면도들이다.
- [0063] 도 7a를 참조하면, 하부 기판(130) 상에 게이트부(132) 및 게이트 라인(134)을 포함하는 게이트 패턴 및 광차단층(132a,134a)이 형성된다.
- [0064] 구체적으로, 하부 기판(130) 상에 광차단층, 절연막층이 순차적으로 형성된다. 광차단층은 블랙 수지 또는 불투명한 금속 재질로 형성될 수 있으며, 절연층으로는 투명한 무기 절연 물질로 형성할 수 있으며, 게이트 절연막보다 굴절률이 높은 절연층의 재질로 형성된다. 이 광차단층 및 절연층은 포토리소그래피 공정 및 식각 공정

에 의해 패터닝됨으로써 게이트부(132) 및 게이트 라인(134)을 포함하는 게이트 패턴 및 광차단층(132a, 134a)이 형성된다. 도 7a에 도시된 바와 같이, 광차단층(132a, 134a)은 게이트부(132) 및 게이트 라인(134)의 하부에 형성된다.

[0065] 도 7b 내지 도 7f는 본 발명의 제1 실시 예에 따른 광학 박막 트랜지스터 기관의 제조 방법과 동일하므로 생략하기로 한다.

[0066] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

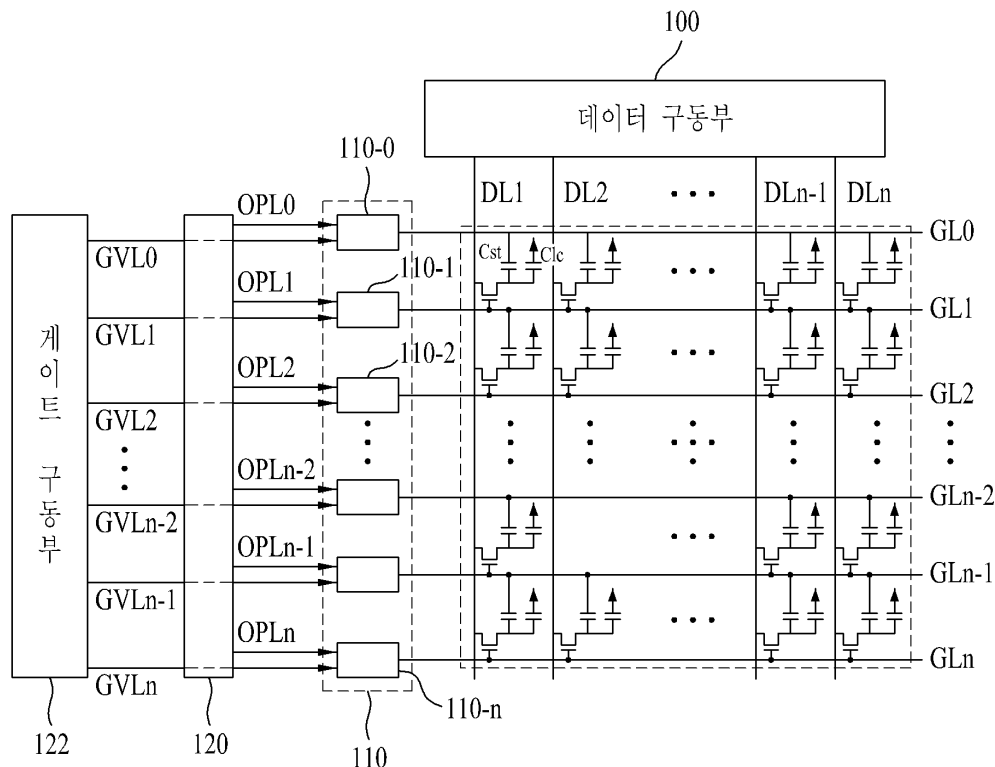
부호의 설명

[0067]

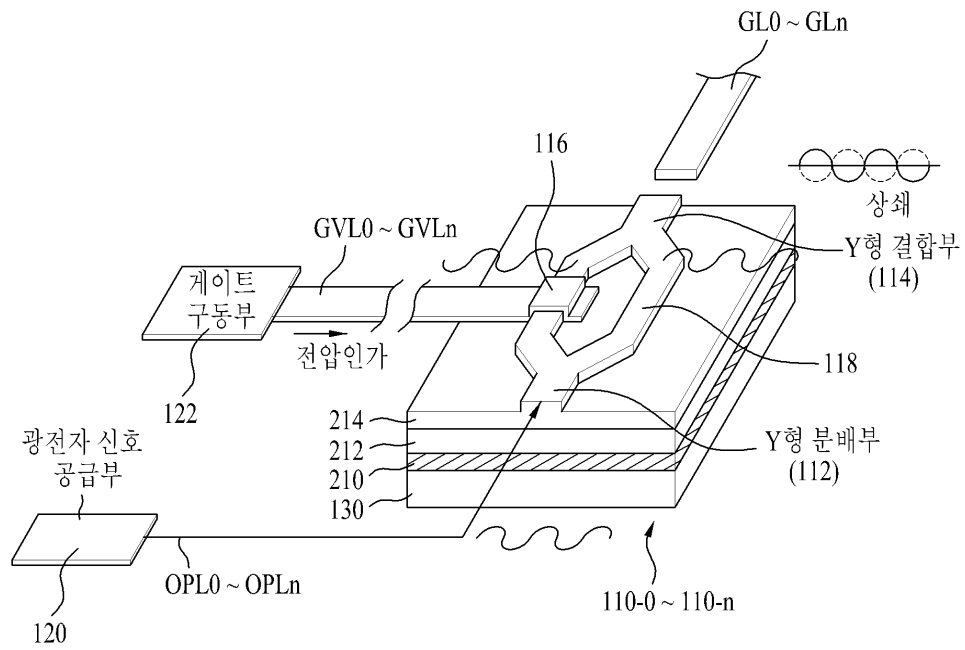
100 : 데이터 구동부	110 : 광전자 스위칭부
120 : 광전자 신호 공급부	122 : 게이트 구동부
130 : 하부 기관	132 : 게이트부
132a, 134a : 광차단층	134 : 게이트 라인
136 : 반도체층	138 : 게이트 절연막
140 : 데이터 라인	142 : 소스 전극
144 : 드레인 전극	146 : 화소 콘택홀
148 : 화소 전극	

도면

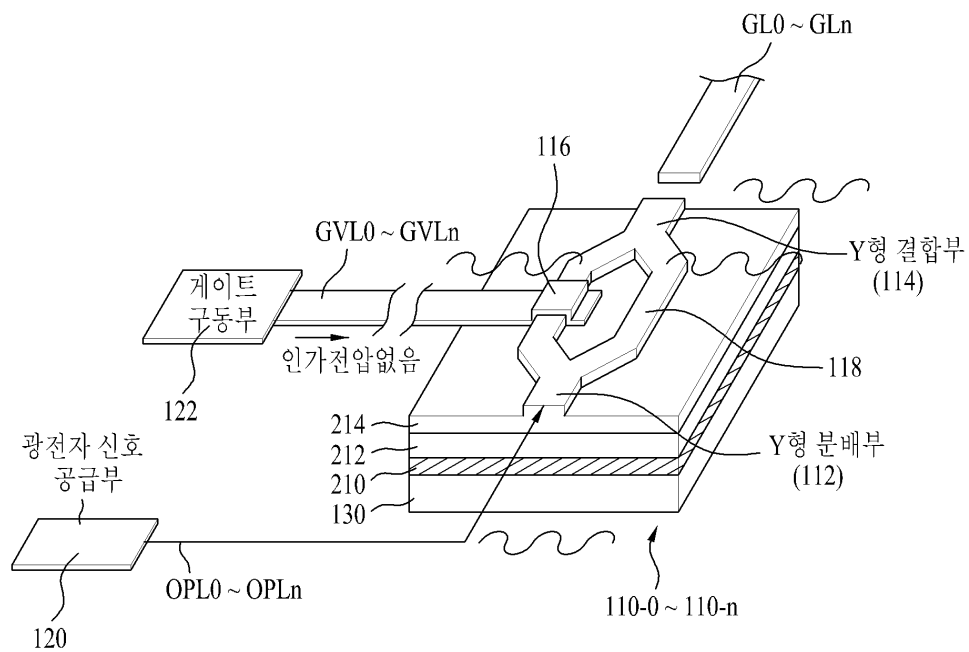
도면1



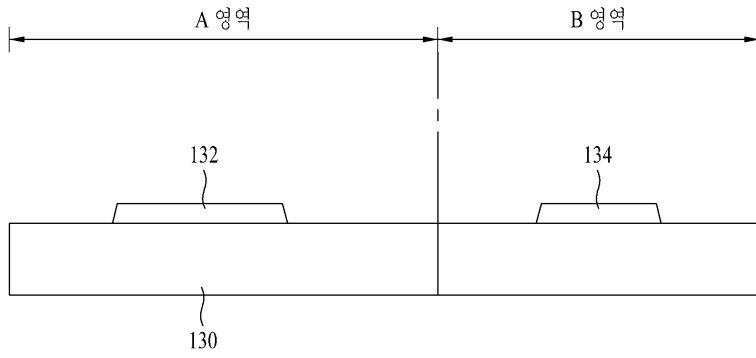
도면4a



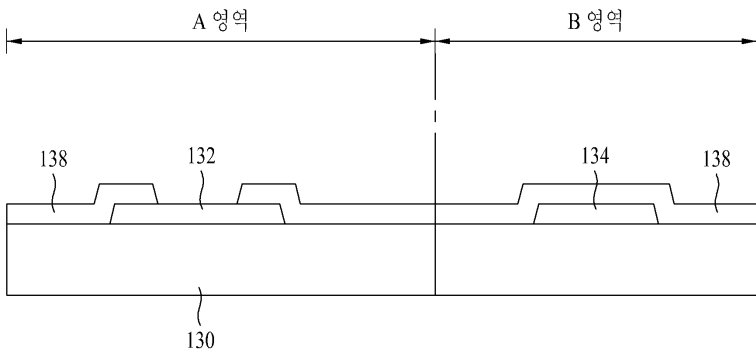
도면4b



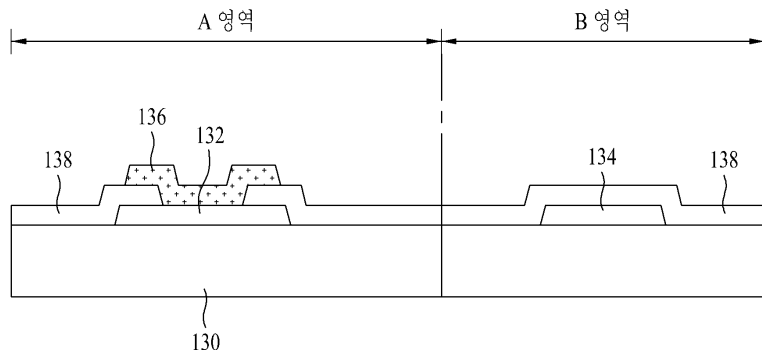
도면5a



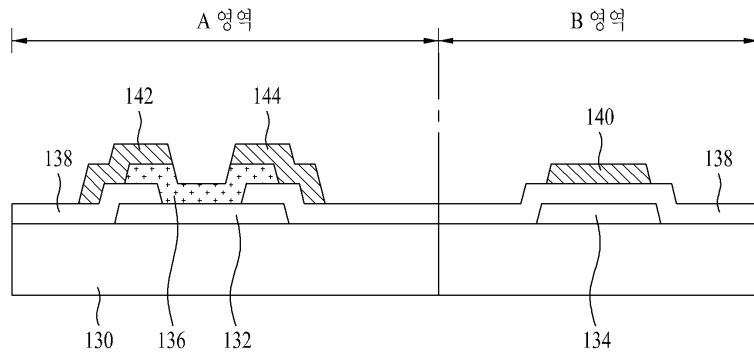
도면5b



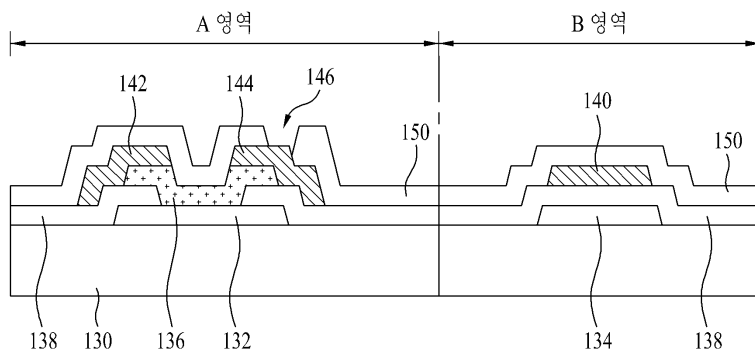
도면5c



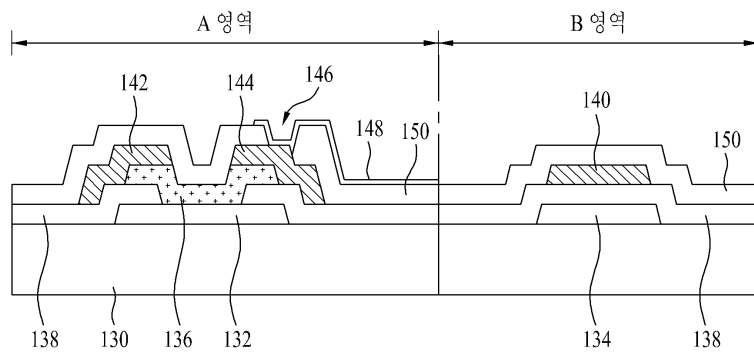
도면5d



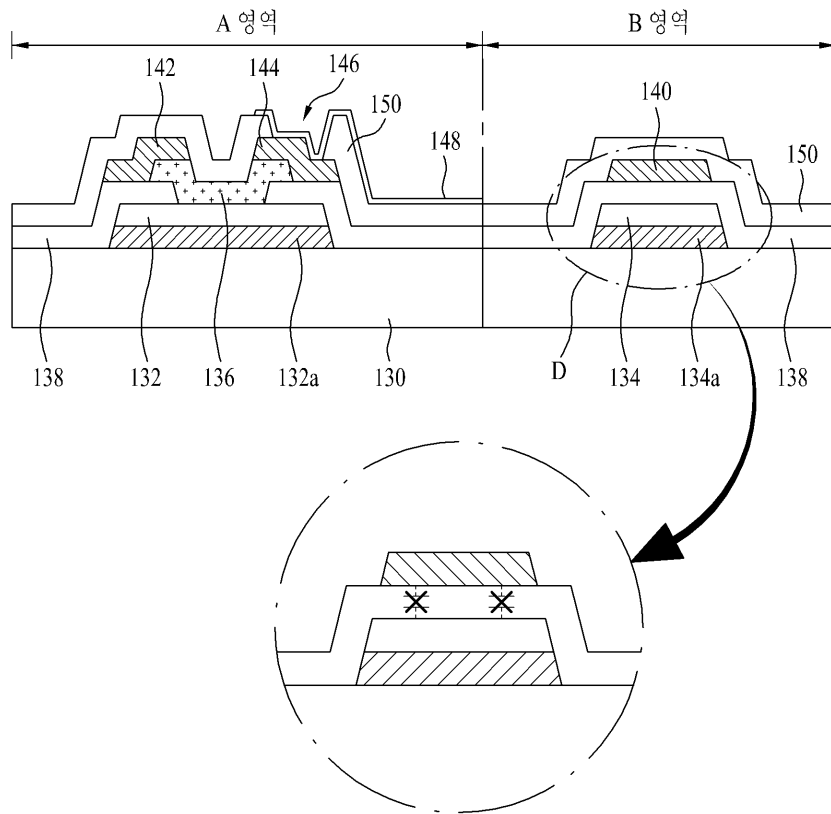
도면5e



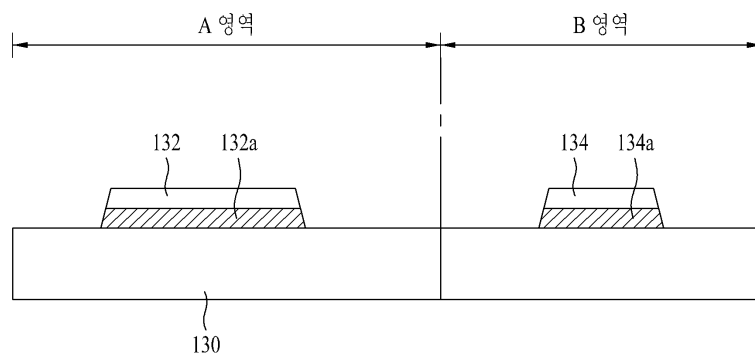
도면5f



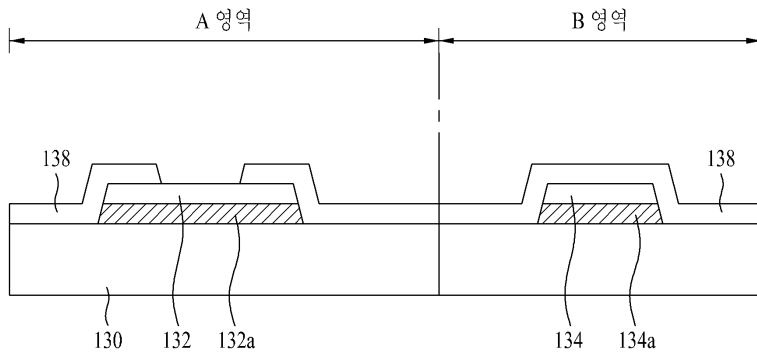
도면6



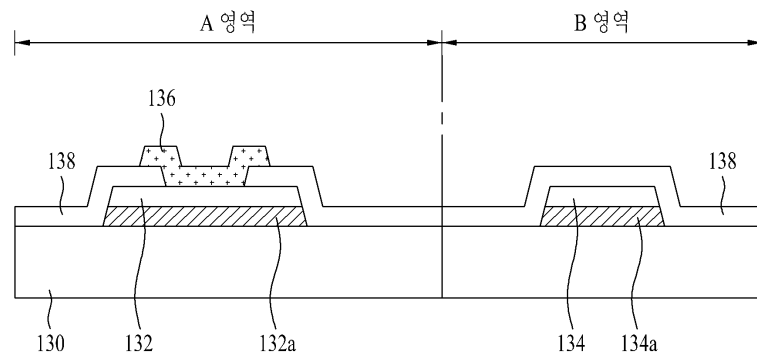
도면7a



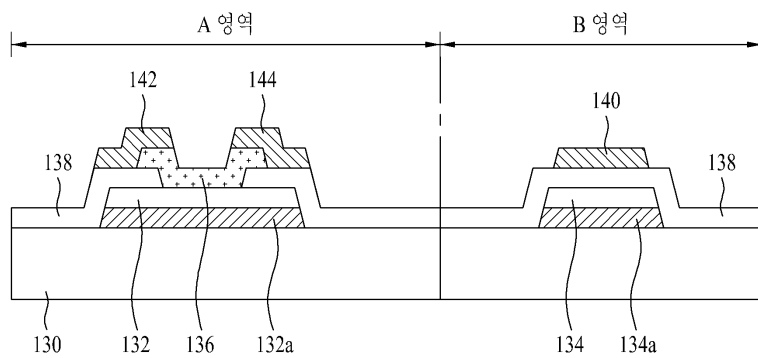
도면7b



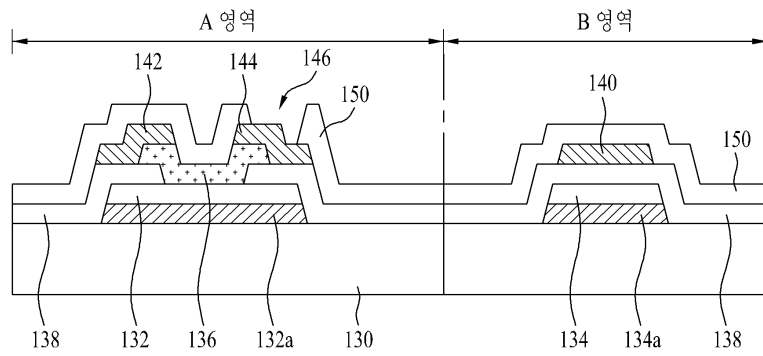
도면7c



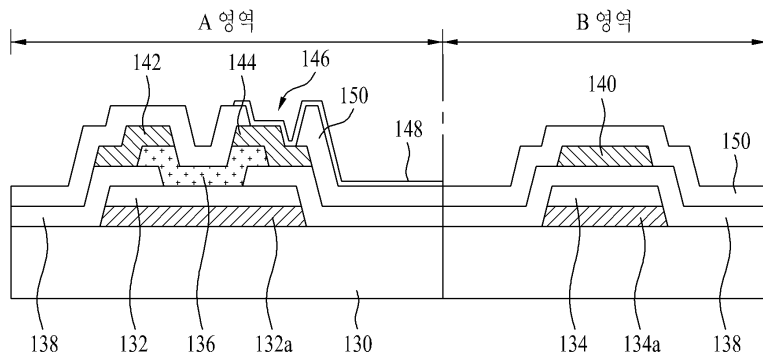
도면7d



도면7e



도면7f



专利名称(译)	标题：液晶显示装置和光学薄膜晶体管基板的制造方法		
公开(公告)号	KR1020120114110A	公开(公告)日	2012-10-16
申请号	KR1020110031906	申请日	2011-04-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG JOON YOUNG 양준영		
发明人	양준영		
IPC分类号	G02F1/133 G02F1/136 G02B26/00		
CPC分类号	G02F1/13439 G02F1/136286 H01L29/786 G02F2001/13606		
代理人(译)	Bakyoungbok		
其他公开文献	KR10175666B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示器件和制造光学晶体管基板的方法，以消除线间寄生电容，而不增加层间绝缘膜的厚度和线宽。组成：光学薄膜晶体管形成于数据线和栅极线的交叉点。光学薄膜晶体管包括栅极单元。栅极单元连接到栅极线。光电开关单元（110）连续地向栅极线提供光电信号。栅极操作单元（122）将栅极电压提供给光电开关单元。光电信号供应单元（120）向光电开关单元提供光电信号。COPYRIGHT KIPO 2013

