



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0080580
(43) 공개일자 2010년07월09일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2010-0056522(분할)

(22) 출원일자 2010년06월15일

심사청구일자 2010년06월15일

(62) 원출원 특허 10-2008-0060339

원출원일자 2008년06월25일

(30) 우선권주장

JP-P-2007-179092 2007년07월06일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 243-0036 가나가와Ken 아쓰기시 하세 398

가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

스즈키 유카에

일본국 243-0036 가나가와Ken 아쓰기시 하세 398

가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(뒷면에 계속)

(74) 대리인

황의만

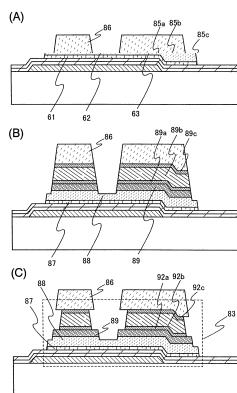
전체 청구항 수 : 총 10 항

(54) 액정 표시장치

(57) 요 약

본 발명은, 전기 특성이 양호하고 신뢰성이 높은 박막트랜지스터를 가지는 액정 표시장치를 양산성 높게 제작하는 방법을 제안하는 것을 과제로 한다. 역 스태거형의 박막트랜지스터를 가지는 액정 표시장치에 있어서, 역 스태거형의 박막트랜지스터는, 게이트 전극 위에 게이트 절연막이 형성되고, 게이트 절연막 위에 채널 형성 영역으로서 기능하는 미(微)결정 반도체막이 형성되고, 미결정 반도체막 위에 베퍼층이 형성되고, 베퍼층 위에 한 쌍의 소스 영역 및 드레인 영역이 형성되고, 소스 영역 및 드레인 영역의 일부를 노출하도록 소스 영역 및 드레인 영역에 접하는 한 쌍의 소스 전극 및 드레인 전극이 형성된다.

대 표 도 - 도2



(72) 발명자

쿠와바라 히데아키

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

키무라 하지메

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

게이트 전극과,

상기 게이트 전극 위에 형성된 게이트 절연막과,

상기 게이트 절연막 위에 형성된 반도체막과,

상기 반도체막 위에 형성되고, 미결정 반도체막을 각각 포함하는 소스 영역과 드레인 영역과,

상기 소스 영역과 상기 드레인 영역과 접하여 있는 소스 전극과 드레인 전극을 구비하고, 제 1 기판 위에 형성된 박막트랜지스터와;

상기 박막트랜지스터 위에 형성된 절연막과;

상기 박막트랜지스터에 전기적으로 접속되어 있으며 상기 절연막 위에 형성되어 있는 화소 전극과;

상기 제 1 기판에 대향되어 있는 제 2 기판과;

상기 제 1 기판과 상기 제 2 기판 사이에서 상기 제 2 기판 위에 형성되어 있는 대향 전극과;

상기 제 1 기판과 상기 대향 전극 사이에서 상기 대향 전극 위에 형성되어 있는 제 1 돌출부 및 제 2 돌출부와;

상기 화소 전극과 상기 대향 전극 사이에 액정층을 구비하고,

차광막, 제 1 착색막, 제 2 착색막, 제 3 착색막, 상기 대향 전극은 상기 제 1 돌출부와 상기 제 2 기판 사이에 적층되어 있고,

상기 대향 전극과, 상기 제 1 착색막, 상기 제 2 착색막, 상기 제 3 착색막 중의 하나는 상기 제 2 돌출부와 상기 제 2 기판 사이에 적층되어 있는, 액정 표시장치.

청구항 2

게이트 전극과,

상기 게이트 전극 위에 형성된 게이트 절연막과,

상기 게이트 절연막 위에 형성된 반도체막과,

상기 반도체막 위에 형성되고, 미결정 반도체막을 각각 포함하는 소스 영역과 드레인 영역과,

상기 소스 영역과 상기 드레인 영역과 접하여 있는 소스 전극과 드레인 전극을 구비하고, 제 1 기판 위에 형성된 박막트랜지스터와;

상기 박막트랜지스터 위에 형성된 절연막과;

상기 박막트랜지스터에 전기적으로 접속되어 있으며 상기 절연막 위에 형성되어 있는 화소 전극과; 상기 화소 전극은 슬릿을 구비하고,

상기 제 1 기판에 대향되어 있는 제 2 기판과;

상기 제 1 기판과 상기 제 2 기판 사이에서 상기 제 2 기판 위에 형성되어 있는 대향 전극과;

상기 제 1 기판과 상기 대향 전극 사이에서 상기 대향 전극 위에 형성되어 있는 제 1 돌출부 및 제 2 돌출부와;

상기 화소 전극과 상기 대향 전극 사이에 액정층을 구비하고,

차광막, 제 1 착색막, 제 2 착색막, 제 3 착색막, 상기 대향 전극은 상기 제 1 돌출부와 상기 제 2 기판 사이에 적층되어 있고,

상기 대향 전극과, 상기 제 1 착색막, 상기 제 2 착색막, 상기 제 3 착색막 중의 하나는 상기 제 2 돌출부와 상

기 제 2 기판 사이에 적층되어 있는, 액정 표시장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 소스 전극과 상기 드레인 전극의 단부는 상기 소스 영역과 상기 드레인 영역의 단부의 내측에 위치하는, 액정 표시장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 소스 전극과 상기 드레인 전극의 단부는 상기 반도체막의 단부의 내측에 위치하는, 액정 표시장치.

청구항 5

게이트 전극과,

상기 게이트 전극 위에 형성된 게이트 절연막과,

상기 게이트 절연막 위에 형성된 미결정 반도체막과,

상기 미결정 반도체막 위에 형성되고, 오목부를 가진 버퍼층과,

상기 버퍼층 위에 형성된 소스 영역과 드레인 영역과

상기 소스 영역과 상기 드레인 영역과 접하여 있는 소스 전극과 드레인 전극을 구비하고, 제 1 기판 위에 형성되어 있는 박막트랜지스터와;

상기 박막트랜지스터 위에 형성된 절연막과;

상기 박막트랜지스터에 전기적으로 접속되어 있으며 상기 절연막 위에 형성되어 있는 화소 전극과;

상기 제 1 기판에 대향되어 있는 제 2 기판과;

상기 제 1 기판과 상기 제 2 기판 사이에서 상기 제 2 기판 위에 형성되어 있는 대향 전극과;

상기 제 1 기판과 상기 대향 전극 사이에서 상기 대향 전극 위에 형성되어 있는 제 1 돌출부 및 제 2 돌출부와;

상기 화소 전극과 상기 대향 전극 사이에 액정층을 구비하고,

상기 소스 전극과 상기 드레인 전극은 상기 소스 영역과 상기 드레인 영역과 상기 미결정 반도체막의 단부와 중첩되어 있지 않고,

상기 게이트 전극과 겹쳐져 있는 상기 소스 영역과 상기 드레인 영역의 단부는 상기 버퍼층의 상기 오목부의 측면과 정렬되어 있고,

차광막과, 제 1 착색막, 제 2 착색막, 제 3 착색막, 상기 대향 전극은 상기 제 1 돌출부와 상기 제 2 기판 사이에 적층되어 있고,

상기 대향 전극과, 상기 제 1 착색막, 상기 제 2 착색막, 상기 제 3 착색막 중의 하나는 상기 제 2 돌출부와 상기 제 2 기판 사이에 적층되어 있는, 액정 표시장치.

청구항 6

게이트 전극과,

상기 게이트 전극 위에 형성된 게이트 절연막과,

상기 게이트 절연막 위에 형성된 미결정 반도체막과,

상기 미결정 반도체막 위에 형성되고, 오목부를 가진 베피충과,

상기 베피충 위에 형성된 소스 영역과 드레인 영역과

상기 소스 영역과 상기 드레인 영역과 접하여 있는 소스 전극과 드레인 전극을 구비하고, 제 1 기판 위에 형성되어 있는 박막트랜지스터와;

상기 박막트랜지스터 위에 형성된 절연막과;

상기 박막트랜지스터에 전기적으로 접속되어 있으며 상기 절연막 위에 형성되어 있는 화소 전극과; 상기 화소 전극은 슬릿을 구비하고,

상기 제 1 기판에 대향되어 있는 제 2 기판과;

상기 제 1 기판과 상기 제 2 기판 사이에서 상기 제 2 기판 위에 형성되어 있는 대향 전극과;

상기 제 1 기판과 상기 대향 전극 사이에서 상기 대향 전극 위에 형성되어 있는 제 1 돌출부 및 제 2 돌출부와;

상기 화소 전극과 상기 대향 전극 사이에 액정층을 구비하고,

상기 소스 전극과 상기 드레인 전극은 상기 소스 영역과 상기 드레인 영역과 상기 미결정 반도체막의 단부와 중첩되어 있지 않고,

상기 게이트 전극과 겹쳐져 있는 상기 소스 영역과 상기 드레인 영역의 단부는 상기 베피충의 상기 오목부의 측면과 정렬되어 있고,

차광막, 제 1 착색막, 제 2 착색막, 제 3 착색막, 상기 대향 전극은 상기 제 1 돌출부와 상기 제 2 기판 사이에 적층되어 있고,

상기 대향 전극과, 상기 제 1 착색막, 상기 제 2 착색막, 상기 제 3 착색막 중의 하나는 상기 제 2 돌출부와 상기 제 2 기판 사이에 적층되어 있는, 액정 표시장치.

청구항 7

제 5 항 또는 제 6 항에 있어서,

상기 베피충은 아모르퍼스 반도체막으로 형성되어 있는, 액정 표시장치.

청구항 8

제 5 항 또는 제 6 항에 있어서,

상기 베피충은 질소 함유 아모르퍼스 반도체막으로 형성되어 있는, 액정 표시장치.

청구항 9

제 5 항 또는 제 6 항에 있어서,

상기 베피충은 수소 함유 아모르퍼스 반도체막으로 형성되어 있는, 액정 표시장치.

청구항 10

제 5 항 또는 제 6 항에 있어서,

상기 베피충은 불소, 염소, 브롬, 또는 요오드 함유 아몰퍼스 반도체막으로 형성되어 있는, 액정 표시장치.

명세서

기술분야

[0001]

본 발명은 적어도 화소부에 박막트랜지스터를 사용한 액정 표시장치에 관한 것이다.

배경기술

[0002]

근년, 절연 표면을 가지는 기판 위에 형성된 반도체막(두께 수십 nm 내지 수백 nm 정도)을 채널 형성 영역에 사용하여 박막트랜지스터를 구성하는 기술이 주목을 받고 있다. 박막트랜지스터는 IC나 전기광학 장치와 같은 전자 디바이스에 널리 응용되고, 특히, 화상 표시장치의 스위칭 소자로서 개발이 촉진되고 있다.

[0003]

화상 표시장치의 스위칭 소자로서, 비정질 반도체막을 채널 형성 영역에 사용한 박막트랜지스터, 또는 다결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터 등이 사용되고 있다. 다결정 반도체막의 형성 방법으로서는, 필스 발진 엑시머 레이저 빔을 광학계에 의하여 선 형상으로 가공하여, 비정질 규소막에 대하여 선형 빔을 주사시키면서 조사하여 결정화하는 기술이 알려져 있다.

[0004]

또한, 화상 표시장치의 스위칭 소자로서, 미(微)결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터가 사용되고 있다(문헌 1 및 문헌 2 참조).

[0005]

[문헌 1] 일본국 공개특허공고 평4-242724호 공보

[0006]

[문헌 2] 일본국 공개특허공고 2005-49832호 공보

발명의 내용

해결하려는 과제

[0007]

다결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터는, 비정질 반도체막을 채널 형성 영역에 사용한 박막트랜지스터에 비하여 전계효과 이동도가 2자릿수 이상 높고, 반도체 표시장치의 화소부와 그 주변의 구동회로를 동일 기판 위에 일체로 형성할 수 있는 이점(利點)을 가진다. 그러나, 비정질 반도체막을 채널 형성 영역에 사용한 경우에 비하여, 반도체막의 결정화를 위한 공정이 복잡화하기 때문에, 수율이 저감하고 비용이 높아진다는 문제가 있다.

[0008]

또한, 미(微)결정 반도체막의 결정립의 표면은 산화되기 쉽다는 문제가 있다. 따라서, 채널 형성 영역의 결정립이 산화되면, 결정립의 표면에 산화막이 형성되고, 그 산화막이 캐리어 이동의 장해가 되어, 박막트랜지스터의 전기 특성이 저하한다는 문제가 있다.

[0009]

상술한 문제를 감안하여, 본 발명은, 전기 특성이 양호하고 신뢰성이 높은 박막트랜지스터를 가지는 액정 표시장치 및 그 액정 표시장치를 양산성 높게 제작하는 방법을 제안하는 것을 과제로 한다.

과제의 해결 수단

[0010]

역 스태거형의 박막트랜지스터를 가지는 액정 표시장치에 있어서, 역 스태거형의 박막트랜지스터는, 게이트 전극 위에 게이트 절연막이 형성되고, 게이트 절연막 위에 채널 형성 영역으로서 기능하는 미(微)결정 반도체막(세미아모르페스(semi-amorphous) 반도체막이라고도 한다)이 형성되고, 미결정 반도체막 위에 베퍼층이 형성되고, 베퍼층 위에 한 쌍의 소스 영역 및 드레인 영역이 형성되고, 소스 영역 및 드레인 영역의 일부가 노출하도록 소스 영역 및 드레인 영역에 접하는 한 쌍의 소스 전극 및 드레인 전극이 형성된다. 따라서, 소스 영역 및 드레인 영역은, 소스 전극 및 드레인 전극에 접하는 영역과, 소스 전극 및 드레인 전극에 접하지 않는 영역을 가진다. 또한, 소스 전극 및 드레인 전극의 외측에서, 소스 영역 및 드레인 영역의 일부와, 베퍼층의 일부가 노출하여 있고, 소스 전극 및 드레인 전극은 미결정 반도체막 및 소스 영역 및 드레인 영역의 단부와 겹치지 않는다. 또한, 소스 전극 및 드레인 전극의 단부의 외측에 소스 영역 및 드레인 영역의 단부와, 베퍼층의 단부가 형성된다.

[0011] 소스 전극 및 드레인 전극의 단부와 소스 영역 및 드레인 영역의 단부가 일치하지 않고, 소스 전극 및 드레인 전극의 단부의 외측에 소스 영역 및 드레인 영역의 단부가 형성됨으로써, 소스 전극 및 드레인 전극의 단부들의 거리가 떨어지기 때문에, 소스 전극 및 드레인 전극간의 리크 전류나 단락(短絡)을 방지할 수 있다. 또한, 소스 전극 및 드레인 전극의 단부와 소스 영역 및 드레인 영역의 단부에 전계가 집중하지 않고, 게이트 전극과 소스 전극 및 드레인 전극과의 사이에서의 리크 전류를 방지할 수 있다.

[0012] 또한, 베퍼층은 일부에 오목부를 가지고, 그 오목부의 측면과 소스 영역 및 드레인 영역의 단부가 일치하여 있다. 베퍼층은 일부에 오목부를 가지고, 소스 영역 및 드레인 영역간의 거리가 떨어져 있기 때문에, 소스 영역 및 드레인 영역 사이의 캐리어가 이동하는 거리가 길기 때문에, 소스 영역 및 드레인 영역 사이에서의 리크 전류를 저감시킬 수 있다.

[0013] 또한, 미결정 반도체막과 소스 영역 및 드레인 영역과의 사이에 베퍼층이 형성되어 있다. 미결정 반도체막은 채널 형성 영역으로서 기능한다. 또한, 베퍼층은 미결정 반도체막의 산화를 방지하는 것과 함께, 고저항 영역으로서 기능한다. 미결정 반도체막과 소스 영역 및 드레인 영역과의 사이에, 고저항률의 비정질 반도체막을 사용하여 베퍼층이 형성되어 있다. 이것에 의하여, 본 발명의 박막트랜지스터는 전계효과 이동도가 높고, 또한 오프의 경우(즉, 게이트 전극에 부(負)의 전압이 인가된 경우)에 리크 전류가 적고, 드레인 내압(耐壓)이 높다.

[0014] 베퍼층으로서는, 비정질 반도체막이 있고, 또한 질소, 수소, 및 할로겐 중의 어느 하나 이상을 함유하는 비정질 반도체막인 것이 바람직하다. 비정질 반도체막에 질소, 수소, 및 할로겐 중의 어느 하나를 함유함으로써, 미결정 반도체막에 포함되는 결정립이 산화되는 것을 저감할 수 있다.

[0015] 베퍼층은 플라즈마 CVD법, 스퍼터링법 등에 의하여 형성할 수 있다. 또한, 비정질 반도체막을 형성한 후, 비정질 반도체막을 질소 플라즈마, 수소 플라즈마, 또는 할로겐 플라즈마로 처리하여 비정질 반도체막을 질소화, 수소화 또는 할로겐화할 수도 있다.

[0016] 베퍼층을 미결정 반도체막의 표면에 형성함으로써, 미결정 반도체막에 포함되는 결정립의 산화를 저감할 수 있기 때문에, 박막트랜지스터의 전기 특성의 열화(劣化)를 저감시킬 수 있다.

[0017] 미결정 반도체막은, 다결정 반도체막과 달리, 미결정 반도체막으로서 직접 기판 위에 성막할 수 있다. 구체적으로는, 수소화 규소를 원료 가스로 하고 플라즈마 CVD 장치를 사용하여 성막할 수 있다. 이 방법을 사용하여 제작된 미결정 반도체막은, $0.5 \text{ nm} \sim 20 \text{ nm}$ 의 결정립을 비정질 반도체 중에 포함하는 미결정 반도체막도 포함한다. 따라서, 다결정 반도체막을 사용하는 경우와 달리, 반도체막의 성막 후에 결정화 공정을 마련할 필요는 없다. 박막트랜지스터의 제작에 있어서의 공정수를 삭감할 수 있으므로, 액정 표시장치의 수율을 높이고, 비용을 억제할 수 있다. 또한, 주파수가 1 GHz 이상인 마이크로파를 사용한 플라즈마는 전자 밀도가 높고, 원료 가스인 수소화 규소의 해리(解離)가 용이하게 된다. 따라서, 주파수가 1 GHz 이상인 마이크로파를 사용한 플라즈마 CVD법을 사용함으로써, 주파수가 수십 MHz 내지 수백 MHz 인 마이크로파 플라즈마 CVD법과 비교하여, 미결정 반도체막을 용이하게 제작할 수 있고, 성막 속도를 높일 수 있다. 따라서, 액정 표시장치의 양산성을 높일 수 있다.

[0018] 또한, 미결정 반도체막을 사용하여 박막트랜지스터(TFT)를 제작하고, 그 박막트랜지스터를 화소부 및 구동회로에 사용하여 액정 표시장치를 제작한다. 미결정 반도체막을 사용한 박막트랜지스터는 그의 전계효과 이동도가 $1 \text{ cm}^2/\text{V} \cdot \text{sec} \sim 20\text{cm}^2/\text{V} \cdot \text{sec}$ 로, 비정질 반도체막을 채널 형성 영역에 사용한 박막트랜지스터의 2배 내지 20배의 전계효과 이동도를 가지기 때문에, 구동회로의 일부 또는 전체를 화소부와 같은 기판 위에 일체로 형성하여, 시스템 온 패널(system-on-panel)을 형성할 수 있다.

[0019] 또한, 액정 표시장치는 액정 소자를 포함한다. 또한, 액정 표시장치는, 액정 소자가 봉지(封止)된 상태의 패널과, 그 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태의 모듈을 포함한다. 또한, 본 발명은, 상기 액정 표시장치를 제작하는 과정에 있어서의 액정 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관한 것이고, 그 소자 기판은 액정 소자에 전압을 공급하기 위한 수단을 다수의 각 화소에 구비한다. 소자 기판은, 구체적으로는, 액정 소자의 화소 전극만이 형성된 상태이어도 좋고, 화소 전극이 되는 도전막을 성막한 후이고, 에칭하여 화소 전극을 형성하기 전의 상태이어도 좋고, 다양한 형태가 적합하다.

[0020] 또한, 본 명세서 중에 있어서의 액정 표시장치란, 화상 표시 디바이스, 액정 표시 디바이스, 또는 광원(조명 장치를 포함한다)을 가리킨다. 또한, 커넥터, 예를 들면, FPC(Flexible printed circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 액정 소자에 COG(Chip on Glass) 방식에 의하여 IC(집적회로)가 직접 실장된 모듈

도 모두 액정 표시장치에 포함된다.

발명의 효과

[0021]

본 발명에 의하여, 전기 특성이 양호하고, 또한 신뢰성이 높은 박막트랜지스터를 가지는 액정 표시장치를 양산성 높게 제작할 수 있다.

도면의 간단한 설명

[0022]

도 1(A) 및 도 1(B)는 본 발명의 액정 표시장치의 제작방법을 설명하는 단면도.

도 2(A)~도 2(C)는 본 발명의 액정 표시장치의 제작방법을 설명하는 단면도.

도 3(A) 및 도 3(B)는 본 발명의 액정 표시장치의 제작방법을 설명하는 단면도.

도 4(A) 및 도 4(B)는 본 발명의 액정 표시장치의 제작방법을 설명하는 단면도.

도 5(A)~도 5(C)는 본 발명의 액정 표시장치의 제작방법을 설명하는 상면도.

도 6(A)~도 6(C)는 본 발명의 액정 표시장치의 제작방법을 설명하는 단면도.

도 7(A)~도 7(C)는 본 발명의 액정 표시장치의 제작방법을 설명하는 단면도.

도 8(A) 및 도 8(B)는 본 발명의 액정 표시장치의 제작방법을 설명하는 단면도.

도 9(A)~도 9(D)는 본 발명의 액정 표시장치의 제작방법을 설명하는 상면도.

도 10은 본 발명의 마이크로파 플라즈마 CVD 장치를 설명하는 상면도.

도 11(A)~도 11(D)는 본 발명에 적용할 수 있는 다계조 마스크를 설명하는 단면도.

도 12(A)~도 12(C)는 본 발명의 액정 표시 패널을 설명하는 사시도.

도 13(A)~도 13(C)는 본 발명의 액정 표시장치를 사용한 전자 기기를 설명하는 사시도.

도 14는 본 발명의 액정 표시장치를 사용한 전자 기기를 설명하는 도면.

도 15는 본 발명의 액정 표시장치를 설명하는 도면.

도 16은 본 발명의 액정 표시장치를 설명하는 도면.

도 17은 본 발명의 액정 표시장치를 설명하는 도면.

도 18은 본 발명의 액정 표시장치를 설명하는 도면.

도 19는 본 발명의 액정 표시장치를 설명하는 도면.

도 20은 본 발명의 액정 표시장치를 설명하는 도면.

도 21은 본 발명의 액정 표시장치를 설명하는 도면.

도 22는 본 발명의 액정 표시장치를 설명하는 도면.

도 23은 본 발명의 액정 표시장치를 설명하는 도면.

도 24는 본 발명의 액정 표시장치를 설명하는 도면.

도 25는 본 발명의 액정 표시장치를 설명하는 도면.

도 26은 본 발명의 액정 표시장치를 설명하는 도면.

도 27은 본 발명의 액정 표시장치를 설명하는 도면.

도 28은 본 발명의 액정 표시장치를 설명하는 도면.

도 29(A) 및 도 29(B)는 본 발명의 액정 표시 패널을 설명하는 상면도 및 단면도.

도 30은 본 발명의 액정 표시장치의 구성을 설명하는 블록도.

도 31은 본 발명의 액정 표시장치의 구동회로의 구성을 설명하는 등가 회로도.

도 32는 본 발명의 액정 표시장치의 구동회로의 구성을 설명하는 등가 회로도.

도 33은 본 발명의 액정 표시장치의 구동회로의 레이아웃을 설명하는 상면도.

도 34(A) 및 도 34(B)는 미결정 반도체막을 라만 분광법으로 측정한 결과를 나타내는 도면.

도 35는 디바이스 시뮬레이션에 사용한 모델도를 나타내는 도면.

도 36은 디바이스 시뮬레이션에 의하여 얻어진 전류-전압 특성을 나타내는 도면.

도 37(A) 및 도 37(B)는 디바이스 시뮬레이션에 의하여 얻어진 박막트랜지스터의 전자 농도 분포를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 본 발명의 실시형태에 대하여 도면을 참조하여 설명한다. 그러나, 본 발명은 많은 다른 양태로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0024] [실시형태 1]

[0025] 본 실시형태에서는, 액정 표시장치에 사용되는 박막트랜지스터의 제작 공정에 대하여 도 1~도 12를 사용하여 설명한다. 도 1~도 4, 도 6~도 8은 박막트랜지스터의 제작 공정을 나타내는 단면도이고, 도 5 및 도 9는 일화소에 있어서의 박막트랜지스터 및 화소 전극의 접속 영역의 상면도이다.

[0026] 미(微)결정 반도체막을 가지는 박막트랜지스터는, p형보다도 n형의 쪽이 전계효과 이동도가 높기 때문에 구동회로에 사용하는 박막트랜지스터로서 적합하다. 동일 기판 위에 형성하는 박막트랜지스터를 모두 동일 극성으로 일치시키는 것은, 공정수를 억제하기 위해서도 바람직하다. 여기서는, n채널형 박막트랜지스터를 사용하여 설명한다.

[0027] 도 1(A)에 나타내는 바와 같이, 기판(50) 위에 게이트 전극(51)을 형성한다. 기판(50)은, 바륨 봉규산 유리, 알루미노 봉규산 유리, 또는 알루미노 실리케이트 유리 등, 용융법(fusion method)이나 부유법(floating method)에 의하여 제조되는 무(無)알칼리 유리 기판, 세라믹스 기판, 그 외에, 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판 등을 사용할 수 있다. 또한, 스테인리스 합금 등의 금속 기판의 표면에 절연막을 형성한 기판을 적용하여도 좋다. 기판(50)이 마더(mother) 유리인 경우, 기판의 크기는, 제 1 세대(320 mm×400 mm), 제 2 세대(400 mm×500 mm), 제 3 세대(550 mm×650 mm), 제 4 세대(680 mm×880 mm 또는 730 mm×920 mm), 제 5 세대(1000 mm×1200 mm 또는 1100 mm×1250 mm), 제 6 세대(1500 mm×1800 mm), 제 7 세대(1900 mm×2200 mm), 제 8 세대(2160 mm×2460 mm), 제 9 세대(2400 mm×2800 mm, 2450 mm×3050 mm), 제 10 세대(2950 mm×3400 mm) 등을 사용할 수 있다.

[0028] 게이트 전극(51)은, 티탄, 몰리브덴, 크롬, 탄탈, 텉스텐, 알루미늄 등의 금속 재료 또는 그의 합금 재료를 사용하여 형성한다. 게이트 전극(51)은, 스팍터링법이나 진공 증착법에 의하여 기판(50) 위에 도전막을 형성하고, 그 도전막 위에 포토리소그래피 기술 또는 잉크젯법에 의하여 마스크를 형성하고, 그 마스크를 사용하여 도전막을 에칭함으로써 형성할 수 있다. 또한, 게이트 전극(51)의 밀착성 향상과 하지(下地)에의 확산을 방지하는 배리어 메탈로서, 상기 금속 재료의 질화물을 기판(50)과 게이트 전극(51) 사이에 형성하여도 좋다. 여기서는, 제 1 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 기판(50) 위에 형성된 도전막을 에칭하여 게이트 전극을 형성한다.

[0029] 또한, 게이트 전극(51) 위에는, 절연막, 반도체막, 배선 등을 형성하기 때문에, 단절 방지를 위해 단부가 테이퍼 형상으로 되도록 가공하는 것이 바람직하다. 또한, 도시하지 않지만, 이 공정에서 게이트 전극(51)에 접속되는 배선도 동시에 형성할 수 있다.

[0030] 다음에, 게이트 전극(51) 위에 게이트 절연막(52a, 52b), 미결정 반도체막(53), 베퍼층(54), 일 도전형을 부여

하는 불순물 원소가 첨가된 반도체막(55), 도전막(65a~65c)을 순차로 형성한다. 다음에, 도전막(65c) 위에 레지스트(80)를 도포한다. 또한, 적어도, 게이트 절연막(52a, 52b), 미결정 반도체막(53), 및 베퍼층(54)을 연속적으로 형성하는 것이 바람직하다. 또한, 게이트 절연막(52a, 52b), 미결정 반도체막(53), 베퍼층(54), 및 일도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)을 연속적으로 형성하는 것이 바람직하다. 적어도, 게이트 절연막(52a, 52b), 미결정 반도체막(53), 및 베퍼층(54)을 대기에 노출시키지 않고 연속 성막함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있기 때문에, 박막 트랜지스터 특성의 편차를 저감할 수 있다.

[0031] 게이트 절연막(52a, 52b)은 각각, CVD법이나 스펀터링법 등을 사용하여 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 여기서는, 게이트 절연막(52a, 52b)으로서 산화규소막 또는 산화질화규소막과, 질화규소막 또는 질화산화규소막의 순서로 적층하여 형성하는 형태를 나타낸다. 또한, 게이트 절연막을 2층으로 하지 않고, 기판 측으로부터 질화규소막 또는 질화산화규소막과, 산화규소막 또는 산화질화규소막과, 질화규소막 또는 질화산화규소막의 순서로 3층 적층하여 형성할 수도 있다. 또한, 게이트 절연막을 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막의 단층으로 형성할 수도 있다.

[0032] 여기서는, 산화질화규소막이란, 그의 조성으로서, 질소보다 산소의 함유량이 많은 것으로서, 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정한 경우에, 농도 범위로서, 산소가 50~70 원자%, 질소가 0.5~15 원자%, 규소가 25~35 원자%, 수소가 0.1~10 원자%의 범위로 함유되는 것을 의미한다. 또한, 질화산화규소막이란, 그의 조성으로서, 산소보다 질소의 함유량이 많은 것으로서, RBS 및 HFS를 사용하여 측정한 경우에, 농도 범위로서, 산소가 5~30 원자%, 질소가 20~55 원자%, 규소가 25~35 원자%, 수소가 10~30 원자%의 범위로 함유되는 것을 의미한다. 다만, 산화질화규소 또는 질화산화규소를 구성하는 원자의 합계를 100 원자%로 한 때, 질소, 산소, 규소 및 수소의 함유비율이 상기의 범위 내에 포함되는 것으로 한다.

[0033] 미결정 반도체막(53)은, 비정질과 결정 구조(단결정, 다결정을 포함한다)의 중간적인 구조의 반도체를 포함하는 막이다. 이 반도체는 자유 에너지적으로 안정한 제 3 상태를 가지는 반도체로서, 단거리 질서를 가지고 격자 왜곡을 가지는 결정질의 것이고, 입경이 0.5 nm~20 nm의 주상(柱狀) 또는 침상(針狀)의 결정이 기판 표면에 대하여 법선(法線) 방향으로 성장하여 있다. 또한, 미결정 반도체와 비정질 반도체가 혼재한다. 미결정 반도체의 대표예인 미결정 실리콘은, 그의 라만 스펙트럼이 단결정 실리콘을 나타내는 521 cm^{-1} 보다도 저파수(低波數) 측으로 시프트(shift)하여 있다. 즉, 단결정 실리콘을 나타내는 521 cm^{-1} 와 아모르페스 실리콘을 나타내는 480 cm^{-1} 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(未結合手)(댕글링 본드(dangling bond))를 종단하기 위해 수소 또는 할로겐을 적어도 1 원자% 또는 그 이상 함유하고 있다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희가스 원소를 함유시켜 격자 왜곡을 더욱 조장함으로써, 안정성이 높아지고 양호한 미결정 반도체막을 얻을 수 있다. 이러한 미결정 반도체막에 관한 기재는, 예를 들면, 미국특허 제4,409,134호에 개시되어 있다.

[0034] 이 미결정 반도체막은, 주파수가 수십 MHz 내지 수백 MHz인 고주파 플라즈마 CVD법, 또는 주파수가 1 GHz 이상인 마이크로파 플라즈마 CVD 장치에 의하여 형성할 수 있다. 대표적으로는, SiH_4 , Si_2H_6 등의 수소화 규소를 수소로 희석하여 형성할 수 있다. 또한, 수소화 규소 및 수소에 더하여, 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 1종 또는 다수 종의 희가스 원소로 희석하여 미결정 반도체막을 형성할 수도 있다. 이 때의 수소화 규소에 대하여 수소의 유량비를 50배 이상 1000배 이하, 바람직하게는, 50배 이상 200배 이하, 더 바람직하게는, 100배로 한다. 또한, 수소화 규소 대신에, SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수도 있다.

[0035] 또한, 미결정 반도체막은, 가전자(價電子) 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않은 때 약한 n형의 전기 전도성을 나타내기 때문에, 박막트랜지스터의 채널 형성 영역으로서 기능하는 미결정 반도체막에 대해서는, p형을 부여하는 불순물 원소를 성막과 동시에 혹은 성막 후에 첨가함으로써, 스레시홀드 제어를 할 수 있다. p형을 부여하는 불순물 원소로서는, 대표적으로는, 붕소이고, B_2H_6 , BF_3 등의 불순물 기체를 1 ppm~1000 ppm, 바람직하게는, 1 ppm~100 ppm의 비율로 수소화 규소에 혼입시키면 좋다. 그리고, 붕소의 농도를, 예를 들면, $1 \times 10^{14} \text{ atoms}/\text{cm}^3 \sim 6 \times 10^{16} \text{ atoms}/\text{cm}^3$ 로 하면 좋다.

[0036] 또한, 미결정 반도체막의 산소 농도를 $5 \times 10^{19} \text{ cm}^{-3}$ 이하, 또는 $1 \times 10^{19} \text{ cm}^{-3}$ 이하, 질소 및 탄소의 농도 각각을 3

$\times 10^{18} \text{ cm}^{-3}$ 이하로 하는 것이 바람직하다. 산소, 질소, 및 탄소가 미결정 반도체막에 혼입하는 농도를 저감시킴으로써, 미결정 반도체막이 n형화하는 것을 방지할 수 있다.

[0037] 미결정 반도체막(53)은, 0 nm보다 두껍고 200 nm 이하, 바람직하게는, 1 nm 이상 100 nm 이하, 더 바람직하게는 5 nm 이상 50 nm 이하로 형성한다. 미결정 반도체막(53)은 후에 형성되는 박막트랜지스터의 채널 형성 영역으로서 기능한다. 미결정 반도체막(53)의 두께를 5 nm 이상 50 nm 이하로 함으로써, 후에 형성되는 박막트랜지스터는 완전 공핍형이 된다. 또한, 미결정 반도체막(53)은 성막 속도가 비정질 반도체막의 성막 속도의 1/10 내지 1/100로 늦기 때문에, 막 두께를 얇게 함으로써 스루풋을 향상시킬 수 있다. 미결정 반도체막은 미결정으로 구성되어 있기 때문에, 비정질 반도체막과 비교하여 저항이 낮다. 따라서, 미결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터는, 전류-전압 특성을 나타내는 곡선의 상승부분의 기울기가 급준하게 되어, 스위칭 소자로서의 응답성이 뛰어나고, 고속 동작이 가능하게 된다. 또한, 박막트랜지스터의 채널 형성 영역에 미결정 반도체막을 사용함으로써, 박막트랜지스터의 스레시홀드 전압의 변동을 억제할 수 있다. 따라서, 전기 특성의 편차가 적은 액정 표시장치를 제작할 수 있다.

[0038] 또한, 미결정 반도체막은 비정질 반도체막과 비교하여 이동도가 높다. 따라서, 액정 소자의 스위칭으로서, 채널 형성 영역이 미결정 반도체막으로 형성되는 박막트랜지스터를 사용함으로써, 채널 형성 영역의 면적, 즉, 박막트랜지스터의 면적을 축소할 수 있다. 따라서, 1화소당 차지하는 박막트랜지스터의 면적이 작아져, 화소의 개구율을 높일 수 있다. 그 결과, 해상도가 높은 장치를 제작할 수 있다.

[0039] 베피충(54)은, SiH_4 , Si_2H_6 등의 수소화 규소를 사용하여, 플라즈마 CVD법에 의하여 형성할 수 있다. 또한, 상기 수소화 규소에, 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 1종 또는 다수 종의 희가스 원소로 희석하여 비정질 반도체막을 형성할 수 있다. 수소화 규소의 유량의 1배 이상 20배 이하, 바람직하게는, 1배 이상 10배 이하, 더 바람직하게는, 1배 이상 5배 이하의 유량의 수소를 사용하여, 수소를 함유하는 비정질 반도체막을 형성할 수 있다. 또한, 상기 수소화 규소와 질소 또는 암모니아를 사용함으로써, 질소를 함유하는 비정질 반도체막을 형성할 수 있다. 또한, 상기 수소화 규소와, 불소, 염소, 브롬, 또는 요오드를 함유하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF , HCl , HBr , HI 등)를 사용함으로써, 불소, 염소, 브롬, 또는 요오드를 함유하는 비정질 반도체막을 형성할 수 있다. 또한, 수소화 규소 대신에, SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수도 있다.

[0040] 또한, 베피충(54)은, 타깃에 비정질 반도체를 사용하여 수소 또는 희가스로 스퍼터링하여 비정질 반도체막을 형성할 수 있다. 이 때, 암모니아, 질소, 또는 N_2O 를 분위기 중에 함유시킴으로써, 질소를 함유하는 비정질 반도체막을 형성할 수 있다. 또한, 분위기 중에 불소, 염소, 브롬, 또는 요오드를 함유하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF , HCl , HBr , HI 등)를 함유시킴으로써, 불소, 염소, 브롬, 또는 요오드를 함유하는 비정질 반도체막을 형성할 수 있다.

[0041] 또한, 베피충(54)으로서, 미결정 반도체막(53)의 표면에 플라즈마 CVD법 또는 스퍼터링법에 의하여 비정질 반도체막을 형성한 후, 비정질 반도체막의 표면을 수소 플라즈마, 질소 플라즈마, 또는 할로겐 플라즈마로 처리하여, 비정질 반도체막의 표면을 수소화, 질소화, 또는 할로겐화하여도 좋다. 또는, 비정질 반도체막의 표면을 헬륨 플라즈마, 네온 플라즈마, 아르곤 플라즈마, 크립톤 플라즈마 등으로 처리하여도 좋다.

[0042] 베피충(54)은 결정립을 포함하지 않는 비정질 반도체막으로 형성하는 것이 바람직하다. 따라서, 주파수가 수십 MHz 내지 수백 MHz인 고주파 플라즈마 CVD법, 또는 마이크로파 플라즈마 CVD법에 의하여 형성하는 경우는, 결정립을 포함하지 않는 비정질 반도체막이 되도록 성막 조건을 제어하는 것이 바람직하다.

[0043] 베피충(54)은 후의 소스 영역 및 드레인 영역의 형성 프로세스에서 일부 에칭되는 경우가 있는데, 그 때, 베피충(54)의 일부가 에칭 후에 잔존하는 두께로 형성하는 것이 바람직하다. 대표적으로는, 150 nm 이상 400 nm 이하의 두께로 형성하는 것이 바람직하다. 박막트랜지스터의 인가 전압이 높은(예를 들면, 15 V 정도) 액정 표시장치에서, 베피충(54)의 막 두께를 상기 범위에 나타내는 바와 같이 두껍게 형성하면, 내압이 높아지고, 박막트랜지스터에 높은 전압이 인가되어도, 박막트랜지스터가 열화하는 것을 회피할 수 있다.

[0044] 또한, 베피충(54)에는, 인이나 붕소 등의, 일 도전형을 부여하는 불순물 원소가 첨가되지 않는 것이 바람직하다. 특히, 스레시홀드를 제어하기 위하여 미결정 반도체막에 함유되는 붕소, 또는 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막에 포함되는 인이 베피충(54)에 혼입되지 않는 것이 바람직하다. 그 결과, PN 접합에 의한 리크 전류의 발생 영역을 없앰으로써, 리크 전류의 저감을 도모할 수 있다. 또한, 일 도전형을

부여하는 불순물 원소가 첨가된 반도체막과 미결정 반도체막의 사이에, 인이나 봉소 등의, 일 도전형을 부여하는 불순물 원소가 첨가되지 않은 비정질 반도체막을 형성함으로써, 미결정 반도체막과 소스 영역 및 드레인 영역 각각에 포함되는 불순물이 확산하는 것을 방지할 수 있다.

[0045] 미결정 반도체막(53)의 표면에 비정질 반도체막, 또한, 수소, 질소, 또는 할로겐을 함유하는 비정질 반도체막을 형성함으로써, 미결정 반도체막(53)에 포함되는 결정립의 표면의 자연산화를 방지할 수 있다. 특히, 비정질 반도체와 미결정립이 접하는 영역에서는, 국부 응력에 의하여 균열이 생기기 쉽다. 이 균열이 산소에 접촉하면 결정립은 산화되어, 산화규소가 형성된다. 그러나, 미결정 반도체막(53)의 표면에 베퍼층을 형성함으로써, 미결정립의 산화를 방지할 수 있다. 또한, 베퍼층을 형성함으로써, 후에 소스 영역 및 드레인 영역을 형성할 때에 발생하는 애칭 잔사(殘渣)가 미결정 반도체막에 혼입하는 것을 방지할 수 있다.

[0046] 또한, 베퍼층(54)은 비정질 반도체막을 사용하여 형성하거나, 또는 수소, 질소, 또는 할로겐을 함유하는 비정질 반도체막으로 형성한다. 비정질 반도체막의 에너지 캡이 미결정 반도체막에 비하여 크고(비정질 반도체막의 에너지 캡은 1.1 eV~1.5 eV, 미결정 반도체막의 에너지 캡은 1.6 eV~1.8 eV), 또한 저항이 높고, 이동도가 낮고, 미결정 반도체막의 1/5 내지 1/10이다. 따라서, 후에 형성되는 박막트랜지스터에서, 소스 영역 및 드레인 영역과 미결정 반도체막과의 사이에 형성되는 베퍼층은 고저항 영역으로서 기능하고, 미결정 반도체막이 채널 형성 영역으로서 기능한다. 따라서, 박막트랜지스터의 오프 전류를 저감시킬 수 있다. 그 박막트랜지스터를 액정 표시장치의 스위칭 소자로서 사용한 경우, 액정 표시장치의 콘트라스트를 향상시킬 수 있다.

[0047] 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)은, n채널형 박막트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 인을 첨가하면 좋고, 수소화 규소에 PH₃ 등의 불순물 기체를 가하면 좋다. 또한, p채널형 박막트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 봉소를 첨가하면 좋고, 수소화 규소에 B₂H₆ 등의 불순물 기체를 가하면 좋다. 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)은 미결정 반도체막 또는 비정질 반도체로 형성할 수 있다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)을, 일 도전형을 부여하는 불순물 원소가 첨가된 비정질 반도체막과, 일 도전형을 부여하는 불순물 원소가 첨가된 미결정 반도체막과의 적층으로 형성하여도 좋다. 베퍼층(54) 층에, 일 도전형을 부여하는 불순물 원소가 첨가된 비정질 반도체막을 형성하고, 그 위에, 일 도전형을 부여하는 불순물 원소가 첨가된 미결정 반도체막을 형성함으로써, 저항이 단계적으로 변화하기 때문에, 캐리어가 흐르기 쉽게 되어, 이동도를 높일 수 있다. 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)은 2 nm 이상 50 nm 이하의 두께로 형성한다. 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막의 막 두께를 얇게 함으로써, 스루풋을 향상시킬 수 있다.

[0048] 여기서, 게이트 절연막(52a, 52b)으로부터 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)을 연속 성막할 수 있는 플라즈마 CVD 장치에 대하여 도 10을 사용하여 나타낸다. 도 10은 플라즈마 CVD 장치의 상단면(上斷面)을 나타내는 모식도이고, 공통실(1120)의 주변에, 로드(load)실(1110), 언로드(unload)실(1115), 반응실 1~반응실 4(1111~1114)을 구비한 구성으로 되어 있다. 공통실(1120)과 각 실과의 사이에는 게이트 벨브(1122~1127)가 구비되어, 각 실에서 행해지는 처리가 상호 간섭하지 않도록 구성되어 있다. 기판은 로드실(1110)과 언로드실(1115)의 카셋트(1128, 1129)에 장전되어, 공통실(1120)의 반송 수단(1121)에 의하여 반응실 1~반응실 4(1111~1114)로 운반된다. 이 장치에서는, 퇴적막 종류마다 반응실을 선택할 수 있고, 다수의 상이한 페막을 대기에 노출시키지 않고 연속적으로 형성할 수 있다.

[0049] 반응실 1~반응실 4 각각에서, 게이트 절연막(52a, 52b), 미결정 반도체막(53), 베퍼층(54), 및 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)을 적층 형성한다. 이 경우는, 원료 가스를 바꿈으로써 다른 종류의 막을 연속적으로 다수 적층할 수 있다. 이 경우, 게이트 절연막을 형성한 후, 반응실 내에 실란 등의 수소화 규소를 도입하여, 잔류 산소 및 수소화 규소를 반응시키고, 반응물을 반응실 밖으로 배출함으로써, 반응실 내의 잔류 산소 농도를 저감시킬 수 있다. 그 결과, 미결정 반도체막에 함유되는 산소의 농도를 저감시킬 수 있다. 또한, 미결정 반도체막에 포함되는 결정립의 산화를 방지할 수 있다.

[0050] 또는, 반응실 1 및 반응실 3에서 게이트 절연막(52a, 52b), 미결정 반도체막(53), 및 베퍼층(54)을 형성하고, 반응실 2 및 반응실 4에서 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)을 형성한다. 일 도전형을 부여하는 불순물만 단독으로 성막함으로써, 체임버에 잔존하는 일 도전형을 부여하는 불순물 원소가 다른 막에 혼입하는 것을 방지할 수 있다.

[0051] 이와 같이, 다수의 체임버가 접속된 마이크로파 플라즈마 CVD 장치에서, 게이트 절연막(52a, 52b), 미결정 반도체막(53), 베퍼층(54), 및 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)을 동시에 성막할 수 있기

때문에, 양산성을 높일 수 있다. 또한, 어느 반응실이 메인테이너스(maintenance)나 클리닝(cleaning)을 행하고 있어도, 나머지 반응실에서 성막 처리를 행할 수 있게 되어, 성막의 텍트(tact)를 향상시킬 수 있다. 또한, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되는 일 없이 각 적층 계면을 형성할 수 있기 때문에, 박막트랜지스터 특성의 편차를 저감할 수 있다.

[0052] 또한, 반응실 1에서 게이트 절연막(52a, 52b)을 형성하고, 반응실 2에서 미결정 반도체막(53) 및 베퍼층(54)을 형성하고, 반응실 3에서 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)을 형성할 수 있다. 또한, 게이트 절연막(52a)을 산화규소막 또는 산화질화규소막으로 형성하고, 게이트 절연막(52b)을 질화규소막 또는 질화산화규소막으로 형성하는 경우, 반응실을 5개 설치하고, 반응실 1에서 게이트 절연막(52a)의 산화규소막 또는 산화질화규소막을 형성하고, 반응실 2에서 게이트 절연막(52b)의 질화규소막 또는 질화산화규소막을 형성하고, 반응실 3에서 미결정 반도체막을 형성하고, 반응실 4에서 베퍼층을 형성하고, 반응실 5에서 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)을 형성하여도 좋다. 또한, 미결정 반도체막은 성막 속도가 늦기 때문에, 다수의 반응실에서 미결정 반도체막을 성막하여도 좋다. 예를 들면, 반응실 1에서 게이트 절연막(52a, 52b)을 형성하고, 반응실 2 및 반응실 3에서 미결정 반도체막(53)을 형성하고, 반응실 4에서 베퍼층(54)을 형성하고, 반응실 5에서 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55)을 형성하여도 좋다. 이와 같이, 다수의 반응실에서 동시에 미결정 반도체막(53)을 성막함으로써, 스루풋을 향상시킬 수 있다. 또한, 이 때, 각 반응실의 내벽을 성막하는 종류의 막으로 코팅하는 것이 바람직하다.

[0053] 이와 같은 구성의 플라즈마 CVD 장치를 사용하면, 각 반응실에서 유사한 종류의 막 또는 1종류의 막을 성막할 수 있고, 또한 대기에 노출시키지 않고 연속적으로 형성할 수 있기 때문에, 이미 성막한 막의 잔류물이나 대기 중에 부유하는 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있다.

[0054] 또한, 도 10에 나타내는 플라즈마 CVD 장치에는 로드실과 언로드실이 따로따로 마련되어 있지만, 하나의 로드/언로드실로 하여도 좋다. 또한, 플라즈마 CVD 장치에 예비실을 마련하여도 좋다. 예비실에서 기판을 예비 가열함으로써, 각 반응실에서 성막까지의 가열 시간을 단축할 수 있기 때문에, 스루풋을 향상시킬 수 있다.

[0055] 이하에, 성막 처리에 대하여 설명한다. 이들 성막 처리는 그의 목적에 따라, 가스 공급부로부터 공급하는 가스를 선택하면 좋다.

[0056] 여기서는, 게이트 절연막(52a)에 산화질화규소막을 형성하고, 게이트 절연막(52b)에 질화산화규소막을 형성하는 방법을 일례로서 든다.

[0057] 먼저, 마이크로파 플라즈마 CVD 장치의 반응실의 처리 용기의 내부를 불소 라디칼로 클리닝한다. 또한, 불소 라디칼은 반응실의 외측에 설치된 플라즈마 발생기에 불화탄소, 불화질소, 또는 불소를 도입하고, 해리(解離)하여, 불소 라디칼을 반응실에 도입함으로써, 반응실 내를 클리닝할 수 있다.

[0058] 불소 라디칼로 클리닝한 후, 반응실 내부에 수소를 대량 도입함으로써, 반응실 내의 잔류 불소와 수소를 반응시켜, 잔류 불소의 농도를 저감할 수 있다. 따라서, 후에 반응실의 내벽에 성막하는 보호막에의 불소의 혼입량을 줄일 수 있고, 보호막의 두께를 얇게 할 수 있다.

[0059] 다음에, 반응실의 처리 용기 내벽 표면에 보호막으로서 산화질화막을 퇴적한다. 여기서는, 처리 용기 내의 압력을 $1\text{ Pa} \sim 200\text{ Pa}$, 바람직하게는, $1\text{ Pa} \sim 100\text{ Pa}$ 로 하고, 플라즈마 착화(着火)용 가스로서, 헬륨, 아르곤, 크세논, 크립톤 등의 희가스 중의 어느 1종 이상의 가스를 도입한다. 또한, 희가스 중의 어느 1종 및 수소를 도입한다. 특히, 플라즈마 착화용 가스로서 헬륨, 또한 헬륨과 수소를 사용하는 것이 바람직하다.

[0060] 헬륨의 이온화 에너지는 24.5 eV 로 높은 에너지를 가지지만, 약 20 eV 에 준안정(準安定) 상태가 있기 때문에, 방전 중에 있어서는, 약 4 eV 로 이온화가 가능하다. 따라서, 방전 개시 전압이 낮고, 또한 방전을 유지하기 쉽다. 따라서, 플라즈마를 균일하게 유지할 수 있는 것과 함께, 전력 절약화가 가능하게 된다.

[0061] 또한, 플라즈마 착화용 가스로서, 헬륨, 아르곤, 크세논, 크립톤 등의 희가스 중의 어느 1종 이상 및 산소 가스를 도입하여도 좋다. 희가스와 함께 산소 가스를 처리 용기 내에 도입함으로써, 플라즈마의 착화를 용이하게 할 수 있다.

[0062] 다음에, 전원 장치의 전원을 온(ON)으로 하고, 전원 장치의 출력은 $500\text{ W} \sim 6000\text{ W}$, 바람직하게는, $4000\text{ W} \sim 6000\text{ W}$ 로 하여 플라즈마를 발생시킨다. 다음에, 가스 공급부로부터 원료 가스를 처리 용기 내에 도입한다. 구체적으로는, 원료 가스로서, 일산화이질소, 희가스, 및 실란을 도입함으로써, 처리 용기의 내벽 표면에 보호막으로서 산화질화규소막을 형성한다. 이 때의 수소화 규소의 유량을 $50\text{ sccm} \sim 300\text{ sccm}$, 일산화이질소의 유량을 500

sccm~6000 sccm로 하고, 보호막의 막 두께를 500 nm~2000 nm로 한다.

[0063] 다음에, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하시키고, 전원 장치의 전원을 오프로 한 후, 처리 용기 내의 지지대 위에 기판을 도입한다.

[0064] 다음에, 상기 보호막과 같은 공정에 의하여, 기판 위에 게이트 절연막(52a)으로서 산화질화규소막을 퇴적시킨다.

[0065] 소정의 두께의 산화질화규소막이 퇴적되면, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하시키고, 전원 장치의 전원을 오프로 한다.

[0066] 다음에, 처리 용기 내의 압력을 1 Pa~200 Pa, 바람직하게는, 1 Pa~100 Pa로 하고, 플라즈마 착화용 가스로서, 헬륨, 아르곤, 크세논, 크립톤 등의 희가스 중의 어느 1종 이상과, 원료 가스인 실란, 일산화이질소, 및 암모니아를 도입한다. 또한, 원료 가스로서, 암모니아 대신에 질소를 도입하여도 좋다. 다음에, 전원 장치의 전원을 온으로 하고, 전원 장치의 출력은 500 W~6000 W, 바람직하게는, 4000 W~6000 W로 하여 플라즈마를 발생시킨다. 다음에, 가스 공급부로부터 원료 가스를 처리 용기 내에 도입하여, 기판(1130)의 산화질화규소막 위에 게이트 절연막으로서 질화산화규소막을 형성한다. 다음에, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하시키고, 전원 장치의 전원을 오프로 하여, 성막 프로세스를 종료한다.

[0067] 이상의 공정에 의하여, 반응실 내벽의 보호막을 산화질화규소막으로 하고, 기판 위에 산화질화규소막 및 질화산화규소막을 연속적으로 성막함으로써, 상층 층의 질화산화규소막 중에 산화규소 등의 불순물의 혼입을 저감시킬 수 있다. 전원 장치로서 마이크로파를 발생시킬 수 있는 전원 장치를 사용한 마이크로파 플라즈마 CVD법에 의하여 상기 막을 형성함으로써, 플라즈마 밀도가 높아지고, 내압이 높은 막을 형성할 수 있고, 그 막을 게이트 절연막으로서 사용하면, 트랜지스터의 스레시홀드 전압의 편차를 저감시킬 수 있다. 또한, BT 특성을 향상시킬 수 있다. 또한, 정전기에 대한 내성(耐性)이 높아져, 높은 전압이 인가되어도 파괴되기 어려운 트랜지스터를 제작할 수 있다. 또한, 경시(經時) 파괴가 적은 트랜지스터를 제작할 수 있다. 또한, 핫 캐리어 데미지(damage)가 적은 트랜지스터를 제작할 수 있다.

[0068] 또한, 게이트 절연막으로서, 마이크로파 플라즈마 CVD 장치에 의하여 형성한 산화질화규소막 단층의 경우, 상기 보호막의 형성 방법 및 산화질화규소막의 형성 방법을 사용한다. 특히, 실란에 대한 일산화이질소의 유량비를 50배 이상 300배 이하, 바람직하게는, 50배 이상 250배 이하로 하면, 내압이 높은 산화질화규소막을 형성할 수 있다.

[0069] 다음에, 플라즈마 CVD법에 의한 미결정 반도체막 및 베퍼층으로서 비정질 반도체막을 연속적으로 성막하는 성막 처리 방법에 대하여 나타낸다. 먼저, 상기 게이트 절연막과 마찬가지로, 반응실 내를 클리닝한다. 다음에, 처리 용기 내에 보호막으로서 규소막을 퇴적한다. 여기서는, 처리 용기 내의 압력을 1 Pa~200 Pa, 바람직하게는, 1 Pa~100 Pa로 하고, 플라즈마 착화용 가스로서, 헬륨, 아르곤, 크세논, 크립톤 등의 희가스 중의 어느 1종 이상을 도입한다. 또한, 희가스와 함께 수소를 도입하여도 좋다.

[0070] 다음에, 전원 장치의 전원을 온으로 하고, 전원 장치의 출력은 500 W~6000 W, 바람직하게는, 4000 W~6000 W로 하여 플라즈마를 발생시킨다. 다음에, 가스 공급부로부터 원료 가스를 처리 용기 내에 도입한다. 구체적으로는, 원료 가스로서 수소화 규소 가스, 및 수소 가스를 도입함으로써, 처리 용기의 내벽 표면에 보호막으로서 미결정 규소막을 형성한다. 또한, 수소화 규소 가스 및 수소 가스에 더하여, 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 1종 또는 다수 종의 희가스 원소로 희석하여 미결정 반도체막을 형성할 수 있다. 이 때의 수소화 규소에 대하여 수소의 유량비를 5배 이상 1000배 이하, 바람직하게는, 50배 이상 200배 이하, 더 바람직하게는, 100배 이상 150배 이하로 한다. 또한, 이 때의 보호막의 막 두께를 500 nm~2000 nm로 한다. 또한, 전원 장치의 전원을 온으로 하기 전에, 처리 용기 내에 상기 희가스 외에 수소화 규소 가스 및 수소 가스를 도입하여도 좋다.

[0071] 또한, 수소화 규소 가스 및 수소 가스에 더하여, 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 1종 또는 다수 종의 희가스 원소로 희석하여, 보호막으로서 비정질 반도체막을 형성할 수 있다.

[0072] 다음에, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하시키고, 전원 장치의 전원을 오프로 한 후, 처리 용기 내의 지지대 위에 기판을 도입한다.

[0073] 다음에, 기판 위에 형성되는 게이트 절연막(52b)의 표면을 수소 플라즈마 처리하여도 좋다. 미결정 반도체막을 형성하기 전에 수소 플라즈마 처리를 행함으로써, 게이트 절연막 및 미결정 반도체막의 계면에서의 격자 왜곡을

저감할 수 있고, 게이트 절연막 및 미결정 반도체막의 계면 특성을 향상시킬 수 있다. 따라서, 후에 형성되는 박막트랜지스터의 전기 특성을 향상시킬 수 있다.

[0074] 또한, 상기 수소 플라즈마 처리에서, 처리 용기 내에 형성된 보호막인 비정질 반도체막 또는 미결정 반도체막도 수소 플라즈마 처리함으로써, 보호막이 에칭되어 게이트 절연막(52b)의 표면에 소량의 반도체가 퇴적한다. 그 반도체가 결정 성장의 핵(核)이 되고, 상기 핵에 의하여 미결정 반도체막이 퇴적한다. 그 결과, 게이트 절연막 및 미결정 반도체막의 계면에서의 격자 왜곡을 저감할 수 있고, 게이트 절연막 및 미결정 반도체막의 계면 특성을 향상시킬 수 있다. 따라서, 후에 형성되는 박막트랜지스터의 전기 특성을 향상시킬 수 있다.

[0075] 다음에, 상기 보호막과 같은 공정에 의하여, 기판 위에 미결정 규소막을 퇴적시킨다. 미결정 규소막의 막 두께를 0 nm보다 두껍고 50 nm 이하, 바람직하게는, 0 nm보다 두껍고 20 nm 이하로 한다.

[0076] 소정의 두께의 미결정 규소막이 퇴적되면, 다음에, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하시키고, 전원 장치의 전원을 오프로 하여, 미결정 반도체막 성막 프로세스를 종료한다.

[0077] 다음에, 처리 용기 내의 압력을 낮추고, 원료 가스의 유량을 조정한다. 구체적으로는, 수소 가스의 유량을 미결정 반도체막의 성막 조건보다 대폭 저감한다. 대표적으로는, 수소화 규소의 유량의 1배 이상 20배 이하, 바람직하게는, 1배 이상 10배 이하, 더 바람직하게는, 1배 이상 5배 이하의 유량의 수소 가스를 도입한다. 또는, 수소 가스를 처리 용기 내에 도입하지 않고, 수소화 규소 가스를 도입한다. 이와 같이, 수소화 규소에 대한 수소의 유량을 저감함으로써, 베퍼층으로서 비정질 반도체막의 성막 속도를 향상시킬 수 있다. 또는, 수소화 규소 가스에 더하여, 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 1종 또는 다수 종의 희가스 원소로 희석한다. 다음에, 전원 장치의 전원을 온으로 하고, 전원 장치의 출력은 500 W~6000 W, 바람직하게는, 4000 W~6000 W로 하여 플라즈마(200)을 발생시켜, 비정질 반도체막을 형성할 수 있다. 비정질 반도체막의 성막 속도는 미결정 반도체막에 비하여 높기 때문에, 처리 용기 내의 압력을 낮게 설정할 수 있다. 이 때의 비정질 반도체막의 막 두께를 200 nm~400 nm로 한다.

[0078] 소정의 두께의 비정질 반도체막이 퇴적되면, 다음에, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하시키고, 전원 장치의 전원을 오프로 하여, 비정질 반도체막의 성막 프로세스를 종료한다.

[0079] 또한, 미결정 반도체막(53) 및 베퍼층(54)인 비정질 반도체막을 플라즈마의 착화를 한 채로 형성하여도 좋다. 구체적으로는, 미결정 반도체막(53)을 형성하는 원료 가스인 수소화 규소에 대한 수소의 유량비를 서서히 저감시켜 미결정 반도체막(53) 및 베퍼층(54)인 비정질 반도체막을 적층한다. 이러한 수법에 의하여 미결정 반도체막(53) 및 베퍼층(54)의 계면에 불순물이 퇴적하지 않고, 왜곡이 적은 계면을 형성할 수 있어, 후에 형성되는 박막트랜지스터의 전기 특성을 향상시킬 수 있다.

[0080] 미결정 반도체막(53)을 형성하는 경우, 주파수가 1 GHz 이상인 마이크로파 플라즈마 CVD 장치를 사용하는 것이 바람직하다. 마이크로파 플라즈마는, 전자 밀도가 높고, 원료 가스로부터 많은 라디칼이 형성되어, 기판(113 0)에 공급되기 때문에, 기판에서의 라디칼의 표면 반응이 촉진되어, 미결정 실리콘의 성막 속도를 높일 수 있다. 또한, 1 MHz~20 MHz, 대표적으로는, 13.56 MHz의 고주파, 또는 20 MHz보다 크고 120 MHz 정도까지의 VHF 대역의 고주파, 대표적으로는, 27.12 MHz 또는 60 MHz를 사용한 플라즈마 CVD법에 의하여 미결정 반도체막을 형성할 수 있다.

[0081] 또한, 게이트 절연막 및 반도체막 각각의 제작 공정에서, 반응실의 내벽에 500 nm~2000 nm의 보호막이 형성되어 있는 경우는, 상기 클리닝 처리 및 보호막 형성 처리를 생략할 수 있다.

[0082] 다음에, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55) 위에 도전막(65a~65c)을 형성한다. 도전막(65a~65c)은, 알루미늄, 구리, 또는 규소, 티탄, 네오디뮴, 스칸듐, 몰리브덴 등의 내열성 향상 원소 또는 힐록(hilllock) 방지 원소가 첨가된 알루미늄 합금의 단층 또는 적층으로 형성하는 것이 바람직하다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막과 접하는 쪽의 막을 티탄, 탄탈, 몰리브덴, 텅스텐, 또는 이들 원소의 질화물로 형성하고, 그 위에, 알루미늄 또는 알루미늄 합금을 형성한 적층 구조로 하여도 좋다. 또한, 알루미늄 또는 알루미늄 합금의 상면 및 하면에, 티탄, 탄탈, 몰리브덴, 텅스텐, 또는 이들 원소의 질화물의 막을 형성한 적층 구조로 하여도 좋다. 여기서는, 도전막으로서 도전막(65a~65c)의 3층이 적층된 구조의 도전막을 나타내고, 도전막(65a, 65c)에 몰리브덴막, 도전막(65b)에 알루미늄막을 사용한 적층 도전막이나, 도전막(65a, 65c)에 티탄막, 도전막(65b)에 알루미늄막을 사용한 적층 도전막을 나타낸다. 도전막(65a~65c)은 스퍼터링법이나 진공 증착법에 의하여 형성한다.

[0083] 레지스트(80)는 포지티브형 레지스트 또는 네거티브형 레지스트를 사용할 수 있다. 여기서는, 포지티브형 레지

스트를 사용하여 나타낸다.

[0084] 다음에, 제 2 포토마스크로서 다계조(multi-tone) 마스크(59)를 사용하여 레지스트(80)에 광을 조사하여, 레지스트(80)를 노광한다.

[0085] 여기서, 다계조 마스크(59)를 사용한 노광에 대하여 도 11을 사용하여 설명한다.

[0086] 다계조 마스크란, 노광 부분, 중간 노광 부분, 및 미노광 부분에 3가지 노광 레벨을 행할 수 있는 마스크이고, 한번의 노광 및 현상 공정에 의하여, 다수(대표적으로는 2종류)의 두께의 영역을 가지는 레지스트 마스크를 형성할 수 있다. 따라서, 다계조 마스크를 사용함으로써, 포토마스크의 매수(枚數)를 삭감할 수 있다.

[0087] 다계조 마스크의 대표예로서는, 도 11(A)에 나타내는 바와 같은 그레이 톤(gray tone) 마스크(59a)와, 도 11(C)에 나타내는 바와 같은 하프 톤(half tone) 마스크(59b)가 있다.

[0088] 도 11(A)에 나타내는 바와 같이, 그레이 톤 마스크(59a)는, 투광성을 가지는 기판(163) 및 그 위에 형성되는 차광부(164) 및 회절 격자(165)로 구성된다. 차광부(164)에서는, 광의 투과량이 0%이다. 한편, 회절 격자(165)는 슬릿, 도트(dot), 메시(mesh) 등의 광 투과부의 간격을 노광에 사용하는 광의 해상도 한계 이하의 간격으로 함으로써, 광의 투과량을 제어할 수 있다. 또한, 회절 격자(165)는 주기적인 슬릿, 도트, 메시와, 비주기적인 슬릿, 도트, 메시의 양쪽 모두를 사용할 수 있다.

[0089] 투광성을 가지는 기판(163)은 석영 등의 투광성을 가지는 기판을 사용할 수 있다. 차광부(164) 및 회절 격자(165)는 크롬이나 산화크롬 등의 광을 흡수하는 차광 재료를 사용하여 형성할 수 있다.

[0090] 그레이 톤 마스크(59a)에 노광 광(光)을 조사하는 경우, 도 11(B)에 나타내는 바와 같이, 차광부(164)에서는, 광 투과량(166)은 0%이고, 차광부(164) 및 회절 격자(165)가 형성되어 있지 않은 영역에서는, 광 투과량(166)은 100%이다. 또한, 회절 격자(165)에서는, 10%~70%의 범위에서 조정할 수 있다. 회절 격자(165)에서의 광 투과량의 조정은 회절 격자의 슬릿, 도트, 또는 메시의 간격 또는 피치의 조정에 의하여 가능하다.

[0091] 도 11(C)에 나타내는 바와 같이, 하프 톤 마스크(59b)는, 투광성을 가지는 기판(163) 및 그 위에 형성되는 반투과부(167) 및 차광부(168)로 구성된다. 반투과부(167)는 MoSiN, MoSi, MoSiO, MoSiON, CrSi 등을 사용하여 형성할 수 있다. 차광부(168)는 크롬이나 산화크롬 등의 광을 흡수하는 차광 재료를 사용하여 형성할 수 있다.

[0092] 하프 톤 마스크(59b)에 노광 광을 조사하는 경우, 도 11(D)에 나타내는 바와 같이, 차광부(168)에서는 광 투과량(169)은 0%이고, 차광부(168) 및 반투과부(167)가 형성되어 있지 않은 영역에서는 광 투과량(169)은 100%이다. 또한, 반투과부(167)에서는, 10%~70%의 범위에서 조정할 수 있다. 반투과부(167)에서의 광 투과량의 조정은 반투과부(167)의 재료의 조정에 의해 가능하다.

[0093] 다계조 마스크를 사용하여 노광한 후, 현상함으로써, 도 1(B)에 나타내는 바와 같이, 막 두께가 다른 영역을 가지는 레지스트 마스크(81)를 형성할 수 있다.

[0094] 다음에, 레지스트 마스크(81)에 의하여, 미결정 반도체막(53), 베퍼층(54), 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55), 및 도전막(65a~65c)을 에칭하여 분리한다. 그 결과, 도 2(A)에 나타내는 바와 같은, 미결정 반도체막(61), 베퍼층(62), 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(63), 및 도전막(85a~85c)을 형성할 수 있다. 또한, 도 2(A)는 도 5(A)의 A-B선에 있어서의 단면도에 상당한다(다만, 레지스트 마스크(86)를 제외한다).

[0095] 미결정 반도체막(61), 베퍼층(62)의 단부 측면이 경사져 있음으로써, 베퍼층(62) 위에 형성되는 소스 영역 및 드레인 영역과 미결정 반도체막(61)과의 사이에 리크 전류가 생기는 것을 방지할 수 있다. 또한, 소스 전극 및 드레인 전극과, 미결정 반도체막(61)과의 사이에 리크 전류가 생기는 것을 방지할 수 있다. 미결정 반도체막(61) 및 베퍼층(62)의 단부 측면의 경사 각도는, 30° ~ 90°, 바람직하게는, 45° ~ 80°이다. 이러한 각도로 함으로써, 단차(段差) 형상에 의한 소스 전극 또는 드레인 전극의 단절을 방지할 수 있다.

[0096] 다음에, 레지스트 마스크(81)를 애싱(ashing)한다. 그 결과, 레지스트의 면적이 축소되고, 두께가 얇게 된다. 이 때, 막 두께가 얇은 영역의 레지스트(게이트 전극(51)의 일부와 중첩하는 영역)는 제거되어, 도 6(B)에 나타내는 바와 같이, 분리된 레지스트 마스크(86)를 형성할 수 있다.

[0097] 다음에, 레지스트 마스크(86)를 사용하여, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(63), 및 도전막(85a~85c)을 에칭하여 분리한다. 여기서는, 건식 에칭에 의하여 도전막(85a~85c)을 분리한다. 그 결과, 도 2(B)에 나타내는 바와 같은, 한 쌍의 도전막(89a~89c)과, 한 쌍의 소스 영역 및 드레인 영역(89)을 형성할

수 있다. 또한, 그 예정 공정에서, 베피층(62)의 일부도 예정한다. 일부 예정된 베피층을 베피층(88)이라고 나타낸다. 소스 영역 및 드레인 영역의 형성 공정과 베피층의 오목부를 동일 공정에 의하여 형성할 수 있다. 여기서는, 베피층(88)의 일부가, 면적이 축소한 레지스트 마스크(86)로 일부 예정되기 때문에, 도전막(85a~85c)의 외측으로 베피층(88)이 돌출한 형상이 된다.

[0098] 다음에, 도 2(C)에 나타내는 바와 같이, 도전막(89a~89c)의 일부를 예정하여 소스 전극 및 드레인 전극(92a~92c)을 형성한다. 여기서는, 레지스트 마스크(86)를 사용하여 도전막(89a~89c)을 습식 예정하면, 도전막(89a~89c)의 단부가 선택적으로 예정된다. 그 결과, 레지스트 마스크(86) 및 도전막(89a~89c)보다 면적이 작은 소스 전극 및 드레인 전극(92a~92c)을 형성할 수 있다. 소스 전극 및 드레인 전극(92a~92c)의 단부와 소스 영역 및 드레인 영역(89)의 단부는 일치하지 않고 어긋나 있고, 소스 전극 및 드레인 전극(92a~92c)의 단부의 외측에 소스 영역 및 드레인 영역(89)의 단부가 형성된다. 이 후, 레지스트 마스크(86)를 제거한다.

[0099] 또한, 도 2(C)는 도 5(B)의 A-B선에 있어서의 단면도에 상당한다. 도 5(B)에 나타내는 바와 같이, 소스 영역 및 드레인 영역(89)의 단부는 소스 전극 및 드레인 전극(92c)의 단부의 외측에 위치하는 것을 알 수 있다. 또한, 베피층(88)의 단부는 소스 전극 및 드레인 전극(92c) 및 소스 영역 및 드레인 영역(89)의 단부의 외측에 위치한다. 또한, 소스 전극과 드레인 전극 중의 한쪽은, 소스 영역과 드레인 영역 중의 다른 쪽을 부분적으로 둘러싸는 형상(구체적으로는, U자형, C자형)이다. 따라서, 캐리어가 이동하는 영역의 면적을 증가시킬 수 있기 때문에, 전류량을 증가시킬 수 있고, 박막트랜지스터의 면적을 축소할 수 있다. 또한, 게이트 전극의 내측에서, 미결정 반도체막(87)과 소스 전극 및 드레인 전극(92c)이 중첩되어 있기 때문에, 게이트 전극의 단부에 있어서의 요철(凹凸)의 영향이 적고, 피복률의 저감 및 리크 전류의 발생을 억제할 수 있다. 또한, 소스 전극과 드레인 전극 중의 한쪽은 소스 배선 또는 드레인 배선으로서도 기능한다.

[0100] 도 2(C)에 나타내는 바와 같이, 소스 전극 및 드레인 전극(92a~92c)의 단부와 소스 영역 및 드레인 영역(89)의 단부는 일치하지 않고 어긋난 형상이 됨으로써, 소스 전극 및 드레인 전극(92a~92c)의 단부들의 거리가 떨어지기 때문에, 소스 전극 및 드레인 전극간의 리크 전류나 단락을 방지할 수 있다. 따라서, 신뢰성이 높고 내압이 높은 박막트랜지스터를 제작할 수 있다.

[0101] 이상의 공정에 의하여, 채널 에치(channel-etch)형의 박막트랜지스터(83)를 형성할 수 있다. 또한, 2매의 포토 마스크를 사용하여 박막트랜지스터를 형성할 수 있다.

[0102] 본 실시형태에서 나타내는 박막트랜지스터는, 게이트 전극 위에 게이트 절연막, 미결정 반도체막, 베피층, 소스 영역 및 드레인 영역, 소스 전극 및 드레인 전극이 적층되고, 채널 형성 영역으로서 기능하는 미결정 반도체막의 표면을 베피층이 덮는다. 또한, 베피층의 일부에는 오목부(홈)가 형성되어 있고, 그 오목부 이외의 영역이 소스 영역 및 드레인 영역으로 덮인다. 즉, 베피층에 형성되는 오목부에 의하여, 소스 영역 및 드레인 영역 사이의 캐리어가 이동하는 거리가 길기 때문에, 소스 영역 및 드레인 영역 사이에서의 리크 전류를 저감시킬 수 있다. 또한, 베피층의 일부를 예정함으로써 오목부를 형성하기 때문에, 소스 영역 및 드레인 영역의 형성 공정에서 발생하는 예정 잔사를 제거할 수 있기 때문에, 잔사를 통하여 소스 영역 및 드레인 영역에 리크 전류(기생 채널)가 발생하는 것을 회피할 수 있다.

[0103] 또한, 채널 형성 영역으로서 기능하는 미결정 반도체막과 소스 영역 및 드레인 영역과의 사이에 베피층이 형성되어 있다. 또한, 미결정 반도체막의 표면이 베피층으로 덮여 있다. 고저항률의 비정질 반도체막으로 형성된 베피층은, 미결정 반도체막과 소스 영역 및 드레인 영역과의 사이에까지 연장하여 있기 때문에, 박막트랜지스터가 오프인 경우(즉, 게이트 전극에 부(負)의 전압이 인가된 경우)의 리크 전류를 저감시킬 수 있는 것과 함께, 높은 전압의 인가에 의한 열화를 저감할 수 있다. 또한, 미결정 반도체막의 표면에 수소로 표면이 중단된 비정질 반도체막이 베피층으로서 형성되어 있기 때문에, 미결정 반도체막의 산화를 방지할 수 있는 것과 함께, 소스 영역 및 드레인 영역의 형성 공정에 발생하는 예정 잔사가 미결정 반도체막에 혼입하는 것을 방지할 수 있다. 따라서, 전기 특성이 높고, 또한 드레인 내압이 뛰어난 박막트랜지스터이다.

[0104] 또한, 소스 전극 및 드레인 전극의 단부와 소스 영역 및 드레인 영역의 단부는 일치하지 않고 어긋난 형상이 됨으로써, 소스 전극 및 드레인 전극의 단부들의 거리가 떨어지기 때문에, 소스 전극 및 드레인 전극간의 리크 전류나 단락을 방지할 수 있다.

[0105] 다음에, 도 3(A)에 나타내는 바와 같이, 소스 전극 및 드레인 전극(92a~92c), 소스 영역 및 드레인 영역(89), 베피층(88), 미결정 반도체막(87), 및 게이트 절연막(52b) 위에 절연막(76)을 형성한다. 절연막(76)은 게이트 절연막(52a, 52b)과 마찬가지로 형성할 수 있다. 또한, 절연막(76)은, 대기 중에 부유하는 유기물이나 금속물,

수증기 등의 오염 불순물의 침입을 방지하기 위한 것이고, 치밀한 막이 바람직하다. 또한, 절연막(76)에 질화 규소막을 사용함으로써, 베피층(88) 중의 산소 농도를 5×10^{19} atoms/cm³ 이하, 바람직하게는, 1×10^{19} atoms/cm³ 이하로 할 수 있다.

[0106] 다음에, 절연막(76)에 콘택트 홀을 형성하고, 그 콘택트 홀에서 소스 전극 또는 드레인 전극(92c)에 접하는 화소 전극(77)을 형성한다. 또한, 도 3(B)는 도 5(C)의 A-B선에 있어서의 단면도에 상당한다.

[0107] 화소 전극(77)은, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐아연산화물, 산화티탄을 함유하는 인듐산화물, 산화티탄을 함유하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 나타낸다), 인듐아연산화물, 산화규소를 첨가한 인듐주석산화물 등의 투광성을 가지는 도전성 재료를 사용할 수 있다.

[0108] 또한, 화소 전극(77)으로서, 도전성 고분자(도전성 폴리미라고도 한다)를 함유하는 도전성 조성물을 사용하여 형성할 수도 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 시트 저항이 10000 Ω/□ 이하, 파장 550 nm에서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 함유되는 도전성 고분자의 저항률이 0.1 Ω · cm 이하인 것이 바람직하다.

[0109] 도전성 고분자로서는, 이른바 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 또는 그의 유도체, 폴리피롤 또는 그의 유도체, 폴리티오펜 또는 그의 유도체, 또는 이들 2종 이상의 공중합체 등을 들 수 있다.

[0110] 이상에 의하여, 액정 표시장치에 사용할 수 있는 소자 기판을 형성할 수 있다.

[0111] 또한, 도 2(A)에 나타내는 바와 같이, 미결정 반도체막(61), 베피층(62), 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(63), 및 도전막(85a~85c)을 형성한 후, 도 4(A)에 나타내는 바와 같이, 레지스트 마스크(86)를 사용하여 도전막(85a~85c)을 에칭한다. 여기서는, 레지스트 마스크(86)를 사용하여 도전막(85a~85c)을 습식 에칭에 의하여 등방적으로 에칭하면, 도전막(85a~85c)의 노출부 및 그 근방이 선택적으로 에칭된다. 그 결과, 레지스트 마스크(86)보다 면적이 작은 소스 전극 및 드레인 전극(92a~92c)을 형성할 수 있다.

[0112] 다음에, 도 4(B)에 나타내는 바와 같이, 레지스트 마스크(86)를 사용하여, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(63)을 에칭한다. 여기서는, 건식 에칭에 의하여, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(63)을 이방적으로 에칭하면, 레지스트 마스크(86)와 같은 정도의 면적의 소스 영역 및 드레인 영역(89)을 형성할 수 있다.

[0113] 소스 전극 및 드레인 전극(92a~92c)의 단부와 소스 영역 및 드레인 영역(89)의 단부는 일치하지 않고 어긋난 형상이 됨으로써, 소스 전극 및 드레인 전극(92a~92c)의 단부들의 거리가 떨어지기 때문에, 소스 전극 및 드레인 전극간의 리크 전류나 단락을 방지할 수 있다. 따라서, 신뢰성이 높고, 또한 내압이 높은 박막트랜지스터를 제작할 수 있다.

[0114] 도 1~도 4에 나타내는 바와 같이, 습식 에칭에 의하여 도전막을 에칭하고, 건식 에칭에 의하여 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막을 에칭함으로써, 적은 포토마스크 수로, 소스 전극 및 드레인 전극의 단부와 소스 영역 및 드레인 영역의 단부가 일치하지 않고 다른 구조를 얻을 수 있다.

[0115] 다음에, 상기 형태와는 다른 박막트랜지스터의 제작 방법에 대하여 도 6~도 9를 사용하여 설명한다. 여기서는, 소스 전극 또는 드레인 전극과, 소스 배선 또는 드레인 배선이 상이한 형태에 대하여 이하에 나타낸다.

[0116] 도 6(A)에 나타내는 바와 같이, 기판(50) 위에 게이트 전극(51)을 형성한다. 다음에, 게이트 전극(51) 위에 게이트 절연막(52a, 52b), 미결정 반도체막(53), 베피층(54), 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55), 및 도전막(65a)을 순차로 형성한다. 다음에, 도전막(65a) 위에 레지스트를 도포하고, 도 1(A)에 나타내는 다계조 마스크를 사용하여 두께가 다른 영역을 가지는 레지스트 마스크(81)를 형성한다.

[0117] 다음에, 레지스트 마스크(81)에 의하여, 미결정 반도체막(53), 베피층(54), 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(55), 및 도전막(65a)을 에칭하여 분리한다. 그 결과, 도 6(B)에 나타내는 바와 같은, 미결정 반도체막(61), 베피층(62), 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(63), 및 도전막(85a)을 형성한다. 또한, 도 6(B)는 도 9(A)의 A-B선에 있어서의 단면도에 상당한다(다만, 레지스트 마스크(86)를 제외한다).

[0118] 다음에, 레지스트 마스크(81)를 애칭하여 분리된 레지스트 마스크(86)를 형성한다. 다음에, 레지스트 마스크

(86)를 사용하여, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체막(63), 및 도전막(85a)을 에칭하여 분리한다. 그 결과, 도 6(C)에 나타내는 바와 같은, 한 쌍의 도전막(89a) 및 한 쌍의 소스 영역 및 드레인 영역(89)을 형성할 수 있다. 또한, 그 에칭 공정에서 베퍼층(62)의 일부도 에칭한다. 일부 에칭된 베퍼층을 베퍼층(88)이라고 나타낸다. 여기서는, 베퍼층(88)의 일부가, 면적이 축소한 레지스트 마스크(86)로 에칭되었기 때문에, 도전막(85a)의 외측으로 베퍼층(88)이 돌출한 형상이 된다. 본 실시형태에 나타내는 바와 같이, 베퍼층의 측면에서 계단 형상으로 되어 있기 때문에, 후에 형성되는 절연막의 피복율이 높아진다. 따라서, 절연막 위에 형성되는 화소 전극과 박막트랜지스터과의 사이에 있어서의 리크 전류를 저감시킬 수 있다.

[0119] 다음에, 레지스트 마스크(86)를 애칭한다. 그 결과, 도 7(A)에 나타내는 바와 같이, 레지스트 마스크의 면적이 축소되고, 두께가 얇게 된다. 다음에, 애칭된 레지스트 마스크(91)를 사용하여 도전막(89a)의 일부를 에칭함으로써, 도 7(B)에 나타내는 바와 같이, 소스 전극 및 드레인 전극(92a)을 형성한다. 소스 전극 및 드레인 전극(92a)의 단부와 소스 영역 및 드레인 영역(89)의 단부는 일치하지 않고 어긋난다. 여기서는, 레지스트 마스크(91)를 사용하여 건식 에칭에 의하여 도전막(89a)의 노출부를 이방적으로 에칭한다. 그 후, 레지스트 마스크(91)를 제거한다.

[0120] 그 결과, 도전막(89a)보다 면적이 작은 소스 전극 및 드레인 전극(92a)을 형성한다. 그 후, 레지스트 마스크(91)를 제거한다. 또한, 도 7(B)는 도 9(B)의 A-B선에 있어서의 단면도에 상당한다. 도 9(B)에 나타내는 바와 같이, 소스 영역 및 드레인 영역(89)의 단부는 소스 전극 및 드레인 전극(92a)의 단부의 외측에 위치하는 것을 알 수 있다. 또한, 베퍼층(88)의 단부는 소스 전극 및 드레인 전극(92a) 및 소스 영역 및 드레인 영역(89)의 외측에 위치한다. 또한, 소스 전극 및 드레인 전극(92a)은 각각 분리되어 있어, 인접하는 화소에 형성되는 전극과 접속되지 않는다. 또한, 여기서는, 레지스트 마스크(86)를 애칭하여 형성한 레지스트 마스크(91)를 사용하여 소스 전극 및 드레인 전극(92a)을 형성하였지만, 도 1~도 4에 나타내는 공정과 마찬가지로, 레지스트 마스크(86)를 사용하여 습식 에칭하여 소스 전극 및 드레인 전극(92a~92c)을 형성하여도 좋다.

[0121] 도 7(B)에 나타내는 바와 같이, 소스 전극 및 드레인 전극(92a)의 단부와 소스 영역 및 드레인 영역(89)의 단부는 일치하지 않고 어긋난 형상이 됨으로써, 소스 전극 및 드레인 전극(92a)의 단부들의 거리가 떨어지기 때문에, 소스 전극 및 드레인 전극간의 리크 전류나 단락을 방지할 수 있다. 따라서, 신뢰성이 높고, 내압이 높은 박막트랜지스터를 제작할 수 있다.

[0122] 다음에, 도 7(C)에 나타내는 바와 같이, 소스 전극 및 드레인 전극(92a), 소스 영역 및 드레인 영역(89), 베퍼층(88), 및 게이트 절연막(52b) 위에 절연막(76)을 형성한다. 절연막(76)은 게이트 절연막(52a, 52b)과 마찬가지로 형성할 수 있다.

[0123] 다음에, 도 8(A)에 나타내는 바와 같이, 절연막(76)에 콘택트 홀을 형성하고, 그 콘택트 홀에서 소스 전극과 드레인 전극(92a) 중의 한쪽에 접하고, 또한 적층된 배선(93b, 93c)을 형성한다. 또한, 도 8(A)는 도 9(C)의 A-B선에 있어서의 단면도에 상당한다. 또한, 배선(93b, 93c)은, 인접하는 화소에 형성되는 소스 전극 또는 드레인 전극을 접속하는 배선이다.

[0124] 다음에, 도 8(B)에 나타내는 바와 같이, 콘택트 홀에서 소스 전극과 드레인 전극(92a) 중의 다른 쪽에 접하는 화소 전극(77)을 형성한다. 또한, 도 8(B)는 도 9(D)의 A-B선에 있어서의 단면도에 상당한다.

[0125] 이상의 공정에 의하여, 채널 에치형의 박막트랜지스터(84)를 형성할 수 있다. 채널 에치형의 박막트랜지스터는 제작 공정수가 적어, 비용 삭감이 가능하다. 또한, 미결정 반도체막으로 채널 형성 영역을 구성함으로써, $1 \text{ cm}^2/\text{V} \cdot \text{sec} \sim 20 \text{ cm}^2/\text{V} \cdot \text{sec}$ 의 전계효과 이동도를 얻을 수 있다. 따라서, 이 박막트랜지스터를 화소부의 화소의 스위칭용 소자로서, 또한 주사선(게이트선) 측의 구동회로를 형성하는 소자로서 이용할 수 있다.

[0126] 본 실시형태에 의하여, 전기 특성과 신뢰성이 높은 박막트랜지스터를 제작할 수 있다.

[0127] [실시형태 2]

[0128] 본 실시형태에서는, 실시형태 1에서 나타내는 박막트랜지스터를 가지는 액정 표시장치에 대하여 이하에 나타낸다.

[0129] 먼저, VA(Vertical Alignment)형의 액정 표시장치에 대하여 나타낸다. VA형의 액정 표시장치란, 액정 패널의 액정 문자의 배열을 제어하는 방식의 1종이다. VA형의 액정 표시장치는, 전압이 인가되지 않을 때 패널 면에 대하여 액정 문자가 수직 방향으로 향하는 방식이다. 본 실시형태에서는, 특히 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 분할하여, 각각의 영역에서 상이한 방향으로 문자를 배향하도록 고안되어 있다. 이것을 멀티도메

인화 또는 멀티도메인 설계라고 한다. 이하의 설명에서는, 멀티도메인 설계가 고려된 액정 표시장치에 대하여 설명한다.

[0130] 도 16 및 도 17은 각각 화소 전극 및 대향 전극을 나타낸다. 또한, 도 16은 화소 전극이 형성되는 기판 측의 평면도이고, 도면 중에 나타내는 절단선 A-B에 대응하는 단면 구조를 도 15에 나타내고 있다. 또한, 도 17은 대향 전극이 형성되는 기판 측의 평면도이다. 이하의 설명에서는, 이를 도면을 참조하여 설명한다.

[0131] 도 15는, TFT(628)와 그것에 접속되는 화소 전극(624), 및 보유 용량부(630)가 형성된 기판(600)과, 대향 전극(640) 등이 형성되는 대향 기판(601)이 겹치고, 그들 사이에 액정이 주입된 상태를 나타낸다.

[0132] 대향 기판(601)에서, 스페이서(642)가 형성되는 위치에는, 차광막(632), 제 1 착색막(634), 제 2 착색막(636), 제 3 착색막(638), 대향 전극(640)이 형성되어 있다. 이 구조에 의하여, 액정의 배향을 제어하기 위한 돌기(644)와 스페이서(642)의 높이를 다르게 한다. 화소 전극(624) 위에는 배향막(648)이 형성되고, 마찬가지로 대향 전극(640) 위에도 배향막(646)이 형성되어 있다. 이를 사이에 액정층(650)이 형성되어 있다.

[0133] 스페이서(642)는 여기서는 주상(柱狀) 스페이서를 사용하여 나타내었지만, 비드 스페이서를 산포하여도 좋다. 또한, 스페이서(642)를 기판(600) 위에 형성되는 화소 전극(624) 위에 형성하여도 좋다.

[0134] 기판(600) 위에는, TFT(628)와 그것에 접속되는 화소 전극(624), 및 보유 용량부(630)가 형성된다. 화소 전극(624)은, TFT(628), 배선, 및 보유 용량부(630)를 덮는 절연막(620), 절연막(620)을 덮는 절연막(622)을 각각 관통하는 콘택트 홀(623)에서 배선(618)과 접속된다. TFT(628)는 실시형태 1에서 나타내는 박막트랜지스터를 적절히 사용할 수 있다. 또한, 보유 용량부(630)는, TFT(628)의 게이트 배선(602)과 마찬가지로 형성한 제 1 용량 배선(604)과, 게이트 절연막(606)과, 배선(616, 618)과 마찬가지로 형성한 제 2 용량 배선(617)으로 구성된다.

[0135] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 중첩됨으로써, 액정 소자가 형성된다.

[0136] 도 16에 기판(600) 위의 구조를 나타낸다. 화소 전극(624)은 실시형태 1에서 나타낸 재료를 사용하여 형성한다. 화소 전극(624)에는 슬릿(625)을 형성한다. 슬릿(625)은 액정의 배향을 제어하기 위한 것이다.

[0137] 도 16에 나타내는 TFT(629)와 그것에 접속되는 화소 전극(626) 및 보유 용량부(631)는 각각 TFT(628), 화소 전극(624) 및 보유 용량부(630)와 마찬가지로 형성할 수 있다. TFT(628)와 TFT(629) 모두는 배선(616)에 접속하여 있다. 이 액정 패널의 화소(픽셀)는 화소 전극(624)과 화소 전극(626)에 의하여 구성되어 있다. 화소 전극(624)과 화소 전극(626)은 서브 픽셀이다.

[0138] 도 17에 대향 기판 측의 구조를 나타낸다. 차광막(632) 위에 대향 전극(640)이 형성되어 있다. 대향 전극(640)은 화소 전극(624)과 같은 재료를 사용하여 형성하는 것이 바람직하다. 대향 전극(640) 위에는, 액정의 배향을 제어하는 돌기(644)가 형성되어 있다. 또한, 차광막(632)의 위치에 맞추어 스페이서(642)가 형성되어 있다.

[0139] 이 화소 구조의 등가 회로를 도 18에 나타낸다. TFT(628)와 TFT(629) 모두는 게이트 배선(602) 및 배선(616)에 접속되어 있다. 이 경우, 용량 배선(604)과 용량 배선(605)의 전위를 다르게 함으로써, 액정 소자(651)와 액정 소자(652)의 동작을 다르게 할 수 있다. 즉, 용량 배선(604)과 용량 배선(605)의 전위를 개별로 제어함으로써, 액정의 배향을 정밀하게 제어하여 시야각을 확대시킨다.

[0140] 슬릿(625)을 형성한 화소 전극(624)에 전압을 인가하면, 슬릿(625)의 근방에는 전계의 왜곡(distortion)(경사 전계)이 발생한다. 이 슬릿(625)과, 대향 기판(601) 측의 돌기(644)를 교호로 맞물리도록 배치함으로써, 경사 전계를 효과적으로 발생시켜 액정의 배향을 제어함으로써, 액정이 배향하는 방향을 장소에 따라 다르게 한다. 즉, 멀티도메인화하여 액정 패널의 시야각을 확대시킨다.

[0141] 다음에, 상기와는 다른 VA형의 액정 표시장치에 대하여 도 19~도 22를 사용하여 설명한다.

[0142] 도 19와 도 20은 VA형 액정 패널의 화소 구조를 나타낸다. 도 20은 기판(600)의 평면도이고, 도면 중에 나타내는 절단선 Y-Z에 대응하는 단면 구조를 도 19에 나타낸다. 이하의 설명에서는, 이 양쪽 모두의 도면을 참조하여 설명한다.

[0143] 이 화소 구조는, 하나의 화소에 다수의 화소 전극이 있고, 각각의 화소 전극에 TFT가 접속되어 있다. 각 TFT는 상이한 게이트 신호에 의하여 구동되도록 구성되어 있다. 즉, 멀티도메인 설계된 화소에 있어서, 개개의 화소 전극에 인가하는 신호를 독립하여 제어하는 구성을 가진다.

[0144] 화소 전극(624)은 콘택트 홀(623)에서 배선(618)을 사용하여 TFT(628)에 접속하여 있다. 또한, 화소 전극(626)은 콘택트 홀(627)에서 배선(619)을 사용하여 TFT(629)에 접속하여 있다. TFT(628)의 게이트 배선(602)과, TFT(629)의 게이트 배선(603)에는, 상이한 게이트 신호를 줄 수 있도록 분리되어 있다. 한편, 데이터선으로서 기능하는 배선(616)은 TFT(628)와 TFT(629)에서 공통으로 사용된다. 또한, 용량 배선(690), 게이트 절연막(606), 및 배선(618)으로 제 1 용량 소자를 형성하고, 용량 배선(690), 게이트 절연막(606), 및 배선(619)으로 제 2 용량 소자를 형성한다. TFT(628)와 TFT(629)는 실시형태 1에서 나타내는 박막트랜지스터를 적절히 사용할 수 있다.

[0145] 화소 전극(624)과 화소 전극(626)의 형상은 다르고, 슬릿(625)에 의하여 분리되어 있다. V자형으로 넓어지는 화소 전극(624)의 외측을 둘러싸도록 화소 전극(626)이 형성되어 있다. 화소 전극(624)과 화소 전극(626)에 인가하는 전압의 타이밍을 TFT(628) 및 TFT(629)에 의하여 다르게 함으로써, 액정의 배향을 제어한다. 이 화소 구조의 등가회로를 도 22에 나타낸다. TFT(628)는 게이트 배선(602)에 접속되고, TFT(629)는 게이트 배선(603)에 접속되어 있다. 게이트 배선(602)과 게이트 배선(603)에 상이한 게이트 신호를 줌으로써, TFT(628)와 TFT(629)의 동작 타이밍을 다르게 할 수 있다.

[0146] 대향 기판(601)에는, 차광막(632), 제 2 착색막(636), 대향 전극(640)이 형성되어 있다. 또한, 제 2 착색막(636)과 대향 전극(640) 사이에는 평탄화막(637)이 형성되어, 액정의 배향 흐트러짐을 방지하고 있다. 도 21에 대향 기판 측의 구조를 나타낸다. 대향 전극(640)은 상이한 화소간에서 공통화되어 있는 전극이고, 슬릿(641)이 형성되어 있다. 이 슬릿(641)과, 화소 전극(624) 및 화소 전극(626) 측의 슬릿(625)을 교호로 맞물리도록 배치함으로써, 경사 전계를 효과적으로 발생시켜, 액정의 배향을 제어할 수 있다. 따라서, 액정이 배향하는 방향을 장소에 따라 다르게 할 수 있어, 시야각을 확대시킨다.

[0147] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 중첩됨으로써, 제 1 액정 소자가 형성되어 있다. 또한, 화소 전극(626)과 액정층(650)과 대향 전극(640)이 중첩됨으로써, 제 2 액정 소자가 형성되어 있다. 또한, 1화소에 제 1 액정 소자와 제 2 액정 소자가 제공된 멀티도메인 구조이다.

[0148] 다음에, 횡전계 방식의 액정 표시장치에 대하여 나타낸다. 횡전계 방식은, 셀 내의 액정 분자에 대하여 수평 방향으로 전계를 가함으로써 액정을 구동하여 계조 표현하는 방식이다. 이 방식에 의하면, 시야각을 약 180° 까지 넓힐 수 있다. 이하의 설명에서는, 횡전계 방식을 채용하는 액정 표시장치에 대하여 설명한다.

[0149] 도 23은, TFT(628)와 그것에 접속하는 화소 전극(624)이 형성된 기판(600)과, 대향 기판(601)을 중첩시키고, 이들 사이에 액정을 주입한 상태를 나타내고 있다. 대향 기판(601)에는 차광막(632), 제 2 착색막(636), 평탄화막(637) 등이 형성되어 있다. 화소 전극은 기판(600) 측에 있기 때문에, 대향 기판(601) 측에는 형성되어 있지 않다. 기판(600)과 대향 기판(601) 사이에 액정층(650)이 형성되어 있다.

[0150] 기판(600) 위에는, 제 1 화소 전극(607) 및 제 1 화소 전극(607)에 접속되는 용량 배선(604), 및 실시형태 1에서 나타내는 TFT(628)가 형성된다. 제 1 화소 전극(607)은 실시형태 1에서 나타내는 화소 전극(77)과 같은 재료를 사용할 수 있다. 또한, 제 1 화소 전극(607)은 대략 화소의 형상으로 구획화한 형상으로 형성한다. 또한, 제 1 화소 전극(607) 및 용량 배선(604) 위에는 게이트 절연막(606)이 형성된다.

[0151] TFT(628)의 배선(616), 및 배선(618)이 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 패널에서 비디오 신호를 입력하는 데이터선이고, 1방향으로 연장하는 배선임과 동시에, 소스 영역(610)에 접속되고, 소스와 드레인 중의 한쪽 전극이 된다. 배선(618)은 소스와 드레인 중의 다른 쪽 전극이 되고, 제 2 화소 전극(624)에 접속되는 배선이다.

[0152] 배선(616)과 배선(618) 위에 절연막(620)이 형성된다. 또한, 절연막(620) 위에는, 절연막(620)에 형성되는 콘택트 홀(623)에서 배선(618)에 접속되는 제 2 화소 전극(624)이 형성된다. 화소 전극(624)은 실시형태 1에서 나타낸 화소 전극(77)과 같은 재료를 사용하여 형성한다.

[0153] 이렇게 하여, 기판(600) 위에 TFT(628)와 그것에 접속되는 제 2 화소 전극(624)이 형성된다. 또한, 보유 용량은 제 1 화소 전극(607)과 제 2 화소 전극(624) 사이에 형성되어 있다.

[0154] 도 24는 화소 전극의 구성을 나타내는 평면도이다. 화소 전극(624)에는 슬릿(625)이 형성된다. 슬릿(625)은 액정의 배향을 제어하기 위한 것이다. 이 경우, 전계는 제 1 화소 전극(607)과 제 2 화소 전극(624) 사이에서 발생한다. 제 1 화소 전극(607)과 제 2 화소 전극(624) 사이에는, 게이트 절연막(606)이 형성되어 있는데, 게이트 절연막(606)의 두께는 50 nm~200 nm로서, 2 μm~10 μm인 액정층의 두께와 비교하여 충분히 얇기

때문에, 실질적으로 기판(600)과 평행한 방향(수평 방향)으로 전계가 발생한다. 이 전계에 의하여 액정의 배향이 제어된다. 이 기판과 대략 평행한 방향의 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어느 상태라도 수평이기 때문에, 보는 각도에 따른 콘트라스트 등의 영향은 적고, 시야각은 확대된다. 또한, 제 1 화소 전극(607)과 제 2 화소 전극(624) 모두는 투광성의 전극이기 때문에, 개구율을 향상시킬 수 있다.

[0155] 다음에, 횡전계 방식의 액정 표시장치의 다른 일례에 대하여 나타낸다.

[0156] 도 25와 도 26은 IPS형의 액정 표시장치의 화소 구조를 나타낸다. 도 26은 평면도이고, 도면 중에 나타내는 절단선 A-B에 대응하는 단면 구조를 도 25에 나타낸다. 이하의 설명에서는, 양쪽 모두의 도면을 참조하여 설명한다.

[0157] 도 25는, TFT(628)와 그것에 접속되는 화소 전극(624)이 형성된 기판(600)과, 대향 기판(601)을 중첩시키고, 이들 사이에 액정을 주입한 상태를 나타내고 있다. 대향 기판(601)에는 차광막(632), 제 2 착색막(636), 평탄화막(637) 등이 형성되어 있다. 화소 전극은 기판(600) 측에 있기 때문에, 대향 기판(601) 측에는 형성되어 있지 않다. 기판(600)과 대향 기판(601) 사이에 액정층(650)이 형성되어 있다.

[0158] 기판(600) 위에는, 공통 전위선(609), 및 실시형태 1에서 나타내는 TFT(628)가 형성된다. 공통 전위선(609)은, 박막트랜지스터(628)의 게이트 배선(602)과 동시에 형성될 수 있다.

[0159] TFT(628)의 배선(616)과, 배선(618)이 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 패널에서 비디오 신호를 입력하는 데이터선이고, 일 방향으로 연장하는 배선임과 동시에, 소스 영역(610)에 접속되고, 소스와 드레인 중의 한쪽 전극이 된다. 배선(618)은 소스와 드레인 중의 다른 쪽 전극이 되고, 제 2 화소 전극(624)에 접속되는 배선이다.

[0160] 배선(616)과 배선(618) 위에 제 2 절연막(620)이 형성된다. 또한, 절연막(620) 위에는, 절연막(620)에 형성되는 콘택트 홀(623)에서 배선(618)에 접속되는 화소 전극(624)이 형성된다. 화소 전극(624)은 실시형태 1에서 나타낸 화소 전극(77)과 같은 재료를 사용하여 형성한다. 또한, 도 26에 나타내는 바와 같이, 화소 전극(624)은, 공통 전위선(609)과 동시에 형성한 빗 형상의 전극과 횡전계를 발생하도록 형성된다. 또한, 화소 전극(624)의 빗살 부분이 공통 전위선(609)과 동시에 형성한 빗 형상의 전극과 교호로 맞물리도록 형성된다.

[0161] 화소 전극(624)에 인가되는 전위와 공통 전위선(609)의 전위와의 사이에 전계가 생기면, 이 전계에 의하여 액정의 배향이 제어된다. 이 기판과 대략 평행한 방향의 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어느 상태라도 수평이기 때문에, 보는 각도에 따른 콘트라스트 등의 영향은 적고, 시야각이 확대된다.

[0162] 이렇게 하여, 기판(600) 위에 TFT(628)와 그것에 접속되는 화소 전극(624)이 형성된다. 보유 용량은 공통 전위선(609)과 용량 전극(615) 사이에 게이트 절연막(606)을 형성하고, 그것에 의하여 형성된다. 용량 전극(615)과 화소 전극(624)은 콘택트 홀(633)을 통하여 접속되어 있다.

[0163] 다음에, TN형의 액정 표시장치의 형태에 대하여 나타낸다.

[0164] 도 27과 도 28은 TN형 액정 표시장치의 화소 구조를 나타낸다. 도 28은 평면도이고, 도면 중에 나타내는 절단선 A-B에 대응하는 단면 구조를 도 27에 나타낸다. 이하의 설명에서는, 양쪽 모두의 도면을 참조하여 설명한다.

[0165] 화소 전극(624)은 콘택트 홀(623)에 의하여, 배선(618)으로 TFT(628)에 접속하여 있다. 데이터선으로서 기능하는 배선(616)은 TFT(628)와 접속하여 있다. TFT(628)는 실시형태 1에 나타내는 TFT의 어느 것이라도 적용할 수 있다.

[0166] 화소 전극(624)은 실시형태 1에서 나타내는 화소 전극(77)을 사용하여 형성된다.

[0167] 대향 기판(601)에는, 차광막(632), 제 2 착색막(636), 대향 전극(640)이 형성되어 있다. 또한, 제 2 착색막(636)과 대향 전극(640) 사이에는 평탄화막(637)이 형성되어, 액정의 배향 흐트러짐을 방지한다. 액정층(650)은 화소 전극(624)과 대향 전극(640) 사이에 형성되어 있다.

[0168] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 중첩됨으로써, 액정 소자가 형성되어 있다.

[0169] 대향 전극(640)은 화소 전극(624)과 같은 재료를 적절히 사용할 수 있다. 화소 전극(624)과 액정(650)과 대향

전극(640)이 중첩됨으로써, 액정 소자가 형성되어 있다.

[0170] 또한, 도 15~도 28에 나타내는 액정 표시장치에 있어서, 기판(600) 또는 대향 기판(601)에 걸러 필터나, 디스클리네이션(disclination)을 방지하기 위한 차폐막(블랙 매트릭스) 등이 형성되어도 좋다. 또한, 기판(600)의 박막트랜지스터가 형성되어 있는 면과는 반대의 면에 편광판을 부착시키고, 또한, 대향 기판(601)의 대향 전극(640)이 형성되어 있는 면과는 반대의 면에 편광판을 부착시킨다.

[0171] 이상의 공정에 의하여, 액정 표시장치를 제작할 수 있다. 본 실시형태의 액정 표시장치는, 오프 전류가 적고, 전기 특성의 신뢰성이 높은 박막트랜지스터를 사용하기 때문에, 콘트라스트가 높고 시인성이 높은 액정 표시장치이다. 또한, 레이저 결정화 공정이 없는 미결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터를 사용하고 있기 때문에, 시인성이 높은 액정 표시장치를 양산성 높게 제작할 수 있다.

[0172] [실시형태 3]

[0173] 다음에, 본 발명의 액정 표시장치의 일 형태인 표시 패널의 구성에 대하여 이하에 나타낸다.

[0174] 도 12(A)에, 신호선 구동회로(6013)만을 별도로 형성하고, 기판(6011) 위에 형성된 화소부(6012)에 접속되어 있는 표시 패널의 형태를 나타낸다. 화소부(6012) 및 주사선 구동회로(6014)는, 미결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터를 사용하여 형성한다. 미결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터보다 높은 전계효과 이동도를 얻을 수 있는 트랜지스터로 신호선 구동회로를 형성함으로써, 주사선 구동회로 보다 높은 구동 주파수가 요구되는 신호선 구동회로의 동작을 안정시킬 수 있다. 또한, 신호선 구동회로(6013)는, 단결정의 반도체를 채널 형성 영역에 사용한 트랜지스터, 다결정의 반도체를 채널 형성 영역에 사용한 박막트랜지스터, 또는 SOI를 사용한 트랜지스터라도 좋다. 화소부(6012)와, 신호선 구동회로(6013)와, 주사선 구동회로(6014) 각각에 전원 전위, 각종 신호 등이 FPC(6015)를 통하여 공급된다.

[0175] 또한, 신호선 구동회로 및 주사선 구동회로를 화소부와 같은 기판 위에 함께 형성하여도 좋다.

[0176] 또한, 구동회로를 별도로 형성하는 경우, 반드시 구동회로가 형성된 기판을 화소부가 형성된 기판 위에 부착할 필요는 없고, 예를 들면, FPC 위에 부착하도록 하여도 좋다. 도 12(B)에, 신호선 구동회로(6023)만을 별도로 형성하고, 기판(6021) 위에 형성된 화소부(6022)와 신호선 구동회로(6023)를 접속하고 있는 액정 표시장치 패널의 형태를 나타낸다. 화소부(6022) 및 주사선 구동회로(6024)는, 미결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터를 사용하여 형성한다. 신호선 구동회로(6023)는, FPC(6025)를 통하여 화소부(6022)에 접속되어 있다. 화소부(6022)와, 신호선 구동회로(6023)와, 주사선 구동회로(6024) 각각에 전원 전위, 각종 신호 등이 FPC(6025)를 통하여 공급된다.

[0177] 또한, 신호선 구동회로의 일부 또는 주사선 구동회로의 일부만을, 미결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터를 사용하여 화소부와 같은 기판 위에 형성하고, 나머지를 별도로 형성하여 화소부에 전기적으로 접속되도록 하여도 좋다. 도 12(C)에, 신호선 구동회로가 가지는 아날로그 스위치(6033a)를, 화소부(6032) 및 주사선 구동회로(6034)와 같은 기판(6031) 위에 형성하고, 신호선 구동회로가 가지는 시프트 레지스터(6033b)를 별도 다른 기판에 형성하여 부착하는 액정 표시장치 패널의 형태를 나타낸다. 화소부(6032) 및 주사선 구동회로(6034)는, 미결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터를 사용하여 형성한다. 신호선 구동회로가 가지는 시프트 레지스터(6033b)는 FPC(6035)를 통하여 화소부(6032)에 접속되어 있다. 화소부(6032)와, 신호선 구동회로와, 주사선 구동회로(6034) 각각에 전원 전위, 각종 신호 등이 FPC(6035)를 통하여 공급된다.

[0178] 도 12에 나타내는 바와 같이, 본 발명의 액정 표시장치는, 구동회로의 일부 또는 전부를 화소부와 같은 기판 위에, 미결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터를 사용하여 형성할 수 있다.

[0179] 또한, 별도로 형성한 기판의 접속 방법은 특별히 한정되지 않고, 공지의 COG법, 와이어 본딩법, 혹은 TAB법 등을 사용할 수 있다. 또한, 접속하는 위치는, 전기적 접속이 가능하면, 도 12에 나타낸 위치에 한정되지 않는다. 또한, 컨트롤러, CPU, 메모리 등을 별도로 형성하고, 접속하도록 하여도 좋다.

[0180] 또한, 본 발명에서 사용하는 신호선 구동회로는 시프트 레지스터와 아날로그 스위치만을 가지는 형태에 한정되지 않는다. 시프트 레지스터와 아날로그 스위치에 더하여, 버퍼, 레벨 시프터, 소스 폴로워(source follower) 등, 다른 회로를 가져도 좋다. 또한, 시프트 레지스터와 아날로그 스위치는 반드시 제공할 필요는 없고, 예를 들면, 시프트 레지스터 대신에 디코더 회로와 같은 신호선의 선택을 할 수 있는 다른 회로를 사용하여도 좋고, 아날로그 스위치 대신에 래치 등을 사용하여도 좋다.

[0181] 도 30에 본 발명의 액정 표시장치의 블록도를 나타낸다. 도 30에 나타내는 액정 표시장치는, 액정 소자를 구비

한 화소를 다수 가지는 화소부(700)와, 각 화소를 선택하는 주사선 구동회로(702)와, 선택된 화소에의 비디오 신호의 입력을 제어하는 신호선 구동회로(703)를 가진다.

[0182] 도 30에서, 신호선 구동회로(703)는 시프트 레지스터(704)와 아날로그 스위치(705)를 가지고 있다. 시프트 레지스터(704)에는, 클록 신호(CLK)와 스타트 펄스 신호(SP)가 입력된다. 클록 신호(CLK)와 스타트 펄스 신호(SP)가 입력되면, 시프트 레지스터(704)에서 타이밍 신호가 생성되고, 아날로그 스위치(705)에 입력된다.

[0183] 또한, 아날로그 스위치(705)에는, 비디오 신호(video signal)가 주어진다. 아날로그 스위치(705)는 입력되는 타이밍 신호에 따라 비디오 신호를 샘플링하여, 후단(後段)의 신호선에 공급한다.

[0184] 다음에, 주사선 구동회로(702)의 구성에 대하여 설명한다. 주사선 구동회로(702)는 시프트 레지스터(706)와 버퍼(707)를 가지고 있다. 또한 경우에 따라서는, 레벨 시프터를 가져도 좋다. 주사선 구동회로(702)에서, 시프트 레지스터(706)에 클록 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼(707)에서 완충(緩衝)증폭되고, 대응하는 주서선에 공급된다. 주사선에는, 1라인분의 화소의 트랜지스터의 게이트가 접속되어 있다. 그리고, 1라인분의 화소의 트랜지스터를 일제히 온(ON)으로 하여야 하기 때문에, 버퍼(707)는 큰 전류를 흐를 수 있는 것이 사용된다.

[0185] 풀 컬러의 액정 표시장치에서, R(적색), G(녹색), B(청색)에 대응하는 비디오 신호를 순차로 샘플링하여 대응하는 신호선에 공급하는 경우, 시프트 레지스터(704)와 아날로그 스위치(705)를 접속하기 위한 단자 수가, 아날로그 스위치(705)와 화소부(700)의 신호선을 접속하기 위한 단자 수의 1/3 정도에 상당한다. 따라서, 아날로그 스위치(705)를 화소부(700)와 같은 기판 위에 형성함으로써, 아날로그 스위치(705)를 화소부(700)와 다른 기판 위에 형성한 경우에 비하여, 별도로 형성한 기판의 접속에 사용하는 단자의 수를 억제할 수 있어, 접속 불량의 발생 확률을 억제하고, 수율을 높일 수 있다.

[0186] 또한, 도 30의 주사선 구동회로(702)는 시프트 레지스터(706)와 버퍼(707)를 가지지만, 시프트 레지스터(706)로 주사선 구동회로(702)를 구성하여도 좋다.

[0187] 또한, 도 30에 나타내는 구성은 본 발명의 액정 표시장치의 일 형태를 나타내는 것에 불과하고, 신호선 구동회로와 주사선 구동회로의 구성은 이것에 한정되지 않는다.

[0188] 다음에, 극성이 모두 동일한 미결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터를 포함하는 시프트 레지스터의 일 형태에 대하여 도 31 및 도 32를 사용하여 설명한다. 도 31에, 본 실시형태의 시프트 레지스터의 구성을 나타낸다. 도 31에 나타내는 시프트 레지스터는 다수의 플립플롭(플립플롭(701-1~701-n))으로 구성된다. 또한, 제 1 클록 신호, 제 2 클록 신호, 스타트 펄스 신호, 리셋 신호가 입력되어 동작한다.

[0189] 도 31의 시프트 레지스터의 접속 관계에 대하여 설명한다. 도 31의 시프트 레지스터는, i번째 단의 플립플롭(701-i)(플립플롭(701-1~701-n) 중의 어느 하나)에서, 도 32에 나타낸 제 1 배선(501)이 제 7 배선(717-(i-1))에 접속되고, 도 32에 나타낸 제 2 배선(502)이 제 7 배선(717-(i+1))에 접속되고, 도 32에 나타낸 제 3 배선(503)이 제 7 배선(717-i)에 접속되고, 도 32에 나타낸 제 6 배선(506)이 제 5 배선(715)에 접속된다.

[0190] 또한, 도 32에 나타낸 제 4 배선(504)이 기수(奇數)번째 단의 플립플롭에서는 제 2 배선(712)에 접속되고, 우수(偶數)번째 단의 플립플롭에서는 제 3 배선(713)에 접속되고, 도 32에 나타낸 제 5 배선(505)이 제 4 배선(714)에 접속된다.

[0191] 다만, 1번째 단의 플립플롭(701-1)의 도 32에 나타내는 제 1 배선(501)은 제 1 배선(711)에 접속되고, n번째 단의 플립플롭(701-n)의 도 32에 나타내는 제 2 배선(502)은 제 6 배선(716)에 접속된다.

[0192] 또한, 제 1 배선(711), 제 2 배선(712), 제 3 배선(713), 제 6 배선(716)을 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 4 배선(714), 제 5 배선(715)을 각각 제 1 전원선, 제 2 전원선이라고 불러도 좋다.

[0193] 다음에, 도 31에 나타내는 플립플롭의 자세한 구조에 대하여 도 32에 나타낸다. 도 32에 나타내는 플립플롭은 제 1 박막트랜지스터(171), 제 2 박막트랜지스터(172), 제 3 박막트랜지스터(173), 제 4 박막트랜지스터(174), 제 5 박막트랜지스터(175), 제 6 박막트랜지스터(176), 제 7 박막트랜지스터(177), 제 8 박막트랜지스터(178)을 가진다. 본 실시형태에서, 제 1 박막트랜지스터(171), 제 2 박막트랜지스터(172), 제 3 박막트랜지스터(173), 제 4 박막트랜지스터(174), 제 5 박막트랜지스터(175), 제 6 박막트랜지스터(176), 제 7 박막트랜지스터(177), 제 8 박막트랜지스터(178)는 n채널형 트랜지스터로 하고, 게이트 · 소스간 전압(Vgs)이 스레시홀드 전압(Vth)을

넘은 때 도통(導通)상태가 되는 것으로 한다.

[0194] 다음에, 도 32에 나타내는 플립플롭의 접속 구성에 대하여 이하에 나타낸다.

[0195] 제 1 박막트랜지스터(171)의 제 1 전극(소스 전극과 드레인 전극 중의 한쪽)이 제 4 배선(504)에 접속되고, 제 1 박막트랜지스터(171)의 제 2 전극(소스 전극과 드레인 전극 중의 다른 쪽)이 제 3 배선(503)에 접속된다.

[0196] 제 2 박막트랜지스터(172)의 제 1 전극이 제 6 배선(506)에 접속되고, 제 2 박막트랜지스터(172)의 제 2 전극이 제 3 배선(503)에 접속된다.

[0197] 제 3 박막트랜지스터(173)의 제 1 전극이 제 5 배선(505)에 접속되고, 제 3 박막트랜지스터(173)의 제 2 전극이 제 2 박막트랜지스터(172)의 게이트 전극에 접속되고, 제 3 박막트랜지스터(173)의 게이트 전극이 제 5 배선(505)에 접속된다.

[0198] 제 4 박막트랜지스터(174)의 제 1 전극이 제 6 배선(506)에 접속되고, 제 4 박막트랜지스터(174)의 제 2 전극이 제 2 박막트랜지스터(172)의 게이트 전극에 접속되고, 제 4 박막트랜지스터(174)의 게이트 전극이 제 1 박막트랜지스터(171)의 게이트 전극에 접속된다.

[0199] 제 5 박막트랜지스터(175)의 제 1 전극이 제 5 배선(505)에 접속되고, 제 5 박막트랜지스터(175)의 제 2 전극이 제 1 박막트랜지스터(171)의 게이트 전극에 접속되고, 제 5 박막트랜지스터(175)의 게이트 전극이 제 1 배선(501)에 접속된다.

[0200] 제 6 박막트랜지스터(176)의 제 1 전극이 제 6 배선(506)에 접속되고, 제 6 박막트랜지스터(176)의 제 2 전극이 제 1 박막트랜지스터(171)의 게이트 전극에 접속되고, 제 6 박막트랜지스터(176)의 게이트 전극이 제 2 박막트랜지스터(172)의 게이트 전극에 접속된다.

[0201] 제 7 박막트랜지스터(177)의 제 1 전극이 제 6 배선(506)에 접속되고, 제 7 박막트랜지스터(177)의 제 2 전극이 제 1 박막트랜지스터(171)의 게이트 전극에 접속되고, 제 7 박막트랜지스터(177)의 게이트 전극이 제 2 배선(502)에 접속된다. 제 8 박막트랜지스터(178)의 제 1 전극이 제 6 배선(506)에 접속되고, 제 8 박막트랜지스터(178)의 제 2 전극이 제 2 박막트랜지스터(172)의 게이트 전극에 접속되고, 제 8 박막트랜지스터(178)의 게이트 전극이 제 1 배선(501)에 접속된다.

[0202] 또한, 제 1 박막트랜지스터(171)의 게이트 전극, 제 4 박막트랜지스터(174)의 게이트 전극, 제 5 박막트랜지스터(175)의 제 2 전극, 제 6 박막트랜지스터(176)의 제 2 전극 및 제 7 박막트랜지스터(177)의 제 2 전극의 접속 개소를 노드(node)(143)라 한다. 또한, 제 2 박막트랜지스터(172)의 게이트 전극, 제 3 박막트랜지스터(173)의 제 2 전극, 제 4 박막트랜지스터(174)의 제 2 전극, 제 6 박막트랜지스터(176)의 게이트 전극 및 제 8 박막트랜지스터(178)의 제 2 전극의 접속 개소를 노드(144)라 한다.

[0203] 또한, 제 1 배선(501), 제 2 배선(502), 제 3 배선(503) 및 제 4 배선(504)을 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 5 배선(505)을 제 1 전원선, 제 6 배선(506)을 제 2 전원선이라고 불러도 좋다.

[0204] 도 32에 나타낸 플립플롭의 상면도의 일례를 도 33에 나타낸다.

[0205] 도전막(901)은 제 1 박막트랜지스터(171)의 제 1 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(951)을 통하여 제 4 배선(504)과 접속된다.

[0206] 도전막(902)은 제 1 박막트랜지스터(171)의 제 2 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(952)을 통하여 제 3 배선(503)과 접속된다.

[0207] 도전막(903)은 제 1 박막트랜지스터(171)의 게이트 전극, 및 제 4 박막트랜지스터(174)의 게이트 전극으로서 기능하는 부분을 포함한다.

[0208] 도전막(904)은 제 2 박막트랜지스터(172)의 제 1 전극, 제 6 박막트랜지스터(176)의 제 1 전극, 제 4 박막트랜지스터(174)의 제 1 전극, 및 제 8 박막트랜지스터(178)의 제 1 전극으로서 기능하는 부분을 포함하고, 제 6 배선(506)과 접속된다.

[0209] 도전막(905)은 제 2 박막트랜지스터(172)의 제 2 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(954)을 통하여 제 3 배선(503)과 접속된다.

[0210] 도전막(906)은 제 2 박막트랜지스터(172)의 게이트 전극, 및 제 6 박막트랜지스터(176)의 게이트 전극으로서 기

능하는 부분을 포함한다.

[0211] 도전막(907)은 제 3 박막트랜지스터(173)의 제 1 전극으로서 기능하는 부분을 포함하고, 배선(955)을 통하여 제 5 배선(505)과 접속된다.

[0212] 도전막(908)은 제 3 박막트랜지스터(173)의 제 2 전극, 및 제 4 박막트랜지스터(174)의 제 2 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(956)을 통하여 도전막(906)과 접속된다.

[0213] 도전막(909)은 제 3 박막트랜지스터(173)의 게이트 전극으로서 기능하는 부분을 포함하고, 배선(955)을 통하여 제 5 배선(505)과 접속된다.

[0214] 도전막(910)은 제 5 박막트랜지스터(175)의 제 1 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(959)을 통하여 제 5 배선(505)과 접속된다.

[0215] 도전막(911)은 제 5 박막트랜지스터(175)의 제 2 전극, 및 제 7 박막트랜지스터(177)의 제 2 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(958)을 통하여 도전막(903)과 접속된다.

[0216] 도전막(912)은 제 5 박막트랜지스터(175)의 게이트 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(960)을 통하여 제 1 배선(501)과 접속된다.

[0217] 도전막(913)은 제 6 박막트랜지스터(176)의 제 2 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(957)을 통하여 도전막(903)과 접속된다.

[0218] 도전막(914)은 제 7 박막트랜지스터(177)의 게이트 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(962)을 통하여 제 2 배선(502)과 접속된다.

[0219] 도전막(915)은 제 8 박막트랜지스터(178)의 게이트 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(961)을 통하여 도전막(912)과 접속된다.

[0220] 도전막(916)은 제 8 박막트랜지스터(178)의 제 2 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(953)을 통하여 도전막(906)과 접속된다.

[0221] 또한, 미결정 반도체막(981~988)의 일부는 각각 제 1 박막트랜지스터 내지 제 8 박막트랜지스터의 채널 형성 영역으로서 기능한다.

[0222] 도 30~도 32에 나타내는 바와 같은 회로를, 미결정 반도체를 채널 형성 영역에 사용한 박막트랜지스터로 구성함으로써, 회로를 고속으로 동작시킬 수 있다. 예를 들면, 비정질 반도체막을 채널 형성 영역에 사용한 경우와 미결정 반도체막을 채널 형성 영역에 사용한 경우를 비교하면, 미결정 반도체막을 채널 형성 영역에 사용한 경우의 쪽이 박막트랜지스터의 전계효과 이동도가 크기 때문에, 구동회로(예를 들면, 주사선 구동회로(702)의 시프트 레지스터(706))의 구동 주파수를 높일 수 있다. 주사선 구동회로(702)를 고속으로 동작시킬 수 있기 때문에, 프레임 주파수를 높게 하는 것, 또는 흑화면(black frame) 삽입을 실현하는 것 등도 실현할 수 있다.

[0223] 프레임 주파수를 올리는 경우는, 화상의 움직임의 방향에 따라 화면의 데이터를 생성하는 것이 바람직하다. 즉, 움직임 보상을 행하여, 데이터를 보간(補間)하는 것이 바람직하다. 이와 같이, 프레임 주파수를 높이고, 화상 데이터를 보간함으로써, 동영상의 표시 특성이 개선되어, 스무스(smooth)한 표시를 행할 수 있다. 예를 들면, 2배(예를 들면, 120 Hz, 100 Hz) 이상, 보다 바람직하게는, 4배(예를 들면, 480 Hz, 400 Hz) 이상으로 함으로써, 동영상에 있어서의 화상의 번짐(blurring)이나 잔상(殘像)을 저감할 수 있다. 그 경우, 주사선 구동회로(702)도 구동 주파수를 높여 동작시킴으로써, 프레임 주파수를 높일 수 있다.

[0224] 흑화면 삽입을 행하는 경우는, 화상 데이터 혹은 흑색 표시가 되는 데이터를 화소부(700)에 공급할 수 있게 한다. 그 결과, 임펄스 구동에 가까운 형태가 되고, 잔상을 저감시킬 수 있다. 그 경우, 주사선 구동회로(702)도 구동 주파수를 높여 동작시킴으로써, 흑화면 삽입을 행할 수 있다.

[0225] 또한, 주사선 구동회로(702)의 박막트랜지스터의 채널 폭을 크게 하거나, 다수의 주사선 구동회로를 배치하는 것 등에 의하여, 더 높은 프레임 주파수를 실현할 수 있다. 예를 들면, 8배(예를 들면, 960 Hz, 800 Hz) 이상의 프레임 주파수로 할 수 있다. 다수의 주사선 구동회로를 배치하는 경우는, 짹수 행(行)의 주사선을 구동하기 위한 주사선 구동회로를 한쪽에 배치하고, 홀수 행의 주사선을 구동하기 위한 주사선 구동회로를 그 반대 쪽에 배치함으로써, 프레임 주파수를 높이는 것을 실현할 수 있다. 일례로서는, 제 2 박막트랜지스터(172)의 채널 폭은 300 μ m 이상, 보다 바람직하게는, 1000 μ m 이상인 것이 바람직하다.

[0226] 또한, 도 30~도 32에 나타내는 바와 같은 회로를, 미결정 반도체를 채널 형성 영역에 사용한 박막트랜지스터로 구성함으로써, 레이아웃 면적을 작게 할 수 있다. 따라서, 액정 표시장치의 프레임을 작게 할 수 있다. 예를 들면, 비정질 반도체막을 채널 형성 영역에 사용한 경우와 미결정 반도체막을 채널 형성 영역에 사용한 경우를 비교하면, 미결정 반도체막을 채널 형성 영역에 사용한 경우의 쪽이 박막트랜지스터의 전계효과 이동도가 크기 때문에, 박막트랜지스터의 채널 폭을 작게 할 수 있다. 그 결과, 액정 표시장치의 프레임을 더 좁게 할 수 있다. 일례로서는, 제 2 박막트랜지스터(172)의 채널 폭은 3000 μm 이하, 보다 바람직하게는, 2000 μm 이하인 것이 바람직하다.

[0227] 또한, 도 32의 제 2 박막트랜지스터(172)는 제 3 배선(503)에 로우(low) 레벨의 신호를 출력하는 기간이 길다. 그 동안, 제 2 박막트랜지스터(172)는 계속해서 온 상태가 되어 있다. 따라서, 제 2 박막트랜지스터(172)에는, 강한 스트레스가 가해져, 트랜지스터 특성이 열화되기 쉽게 된다. 트랜지스터 특성이 열화하면, 스레시홀드 전압이 서서히 커진다. 그 결과, 전류값이 작아진다. 그래서, 트랜지스터가 열화하여도 충분한 전류를 공급할 수 있도록 하기 위하여, 제 2 박막트랜지스터(172)의 채널 폭은 큰 것이 바람직하다. 혹은, 트랜지스터가 열화하여도 회로 동작에 지장이 없도록, 보상되는 것이 바람직하다. 예를 들면, 제 2 박막트랜지스터(172)와 별별로 트랜지스터를 배치하고, 제 2 박막트랜지스터(172)와 교호로 온 상태가 되도록 함으로써, 열화의 영향을 받기 어려운 상태로 하는 것이 바람직하다.

[0228] 그러나, 비정질 반도체막을 채널 형성 영역에 사용한 경우와, 미결정 반도체막을 채널 형성 영역에 사용한 경우를 비교하면, 미결정 반도체막을 채널 형성 영역에 사용한 경우의 쪽이 열화되기 어렵다. 따라서, 미결정 반도체막을 채널 형성 영역에 사용한 경우는, 박막트랜지스터의 채널 폭을 작게 할 수 있다. 또는, 열화에 대한 보상용의 회로를 배치하지 않아도 정상으로 동작시킬 수 있다. 이것들에 따라, 레이아웃 면적을 작게 할 수 있다.

[0229] 다음에, 본 발명의 액정 표시장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여 도 29를 사용하여 설명한다. 도 29(A)는 제 1 기판(4001) 위에 형성된 미결정 반도체막을 가지는 박막트랜지스터(4010) 및 액정 소자(4013)를 제 2 기판(4006)과의 사이에 시일(seal)재(4005)에 의하여 봉지(封止)한 패널의 상면도이고, 도 29(B)는 도 29(A)의 A-A선에 있어서의 단면도에 상당한다.

[0230] 제 1 기판(4001) 위에 형성된 화소부(4002)와 주사선 구동회로(4004)를 둘러싸도록 시일(seal)재(4005)가 제공되어 있다. 또한, 화소부(4002)와 주사선 구동회로(4004) 위에 제 2 기판(4006)이 제공되어 있다. 따라서, 화소부(4002)와 주사선 구동회로(4004)는 제 1 기판(4001)과 시일재(4005)와 제 2 기판(4006)에 의하여 액정(4008)과 함께 봉지되어 있다. 또한, 제 1 기판(4001) 위의 시일재(4005)에 의하여 둘러싸인 영역과는 다른 영역에, 별도 준비된 기판 위에 다결정 반도체막으로 형성된 신호선 구동회로(4003)가 실장되어 있다. 또한, 본 실시형태에서는, 다결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터를 가지는 신호선 구동회로를 제 1 기판(4001)에 부착하는 예에 대하여 설명하지만, 단결정 반도체를 채널 형성 영역에 사용한 트랜지스터로 신호선 구동회로를 형성하고 부착하도록 하여도 좋다. 도 29에서는, 신호선 구동회로(4003)에 포함되는, 다결정 반도체막으로 형성된 박막트랜지스터(4009)를 예시한다.

[0231] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002)와 주사선 구동회로(4004)는 박막트랜지스터를 다수 가지고, 도 29(B)에서는, 화소부(4002)에 포함되는 박막트랜지스터(4010)를 예시하고 있다. 박막트랜지스터(4010)는 미결정 반도체막을 채널 형성 영역에 사용한 박막트랜지스터에 상당한다.

[0232] 또한, 액정 소자(4013)가 가지는 화소 전극(4030)은 박막트랜지스터(4010)와 배선(4040)을 통하여 전기적으로 접속되어 있다. 그리고, 액정 소자(4013)의 대향 전극(4031)은 제 2 기판(4006) 위에 형성되어 있다. 화소 전극(4030)과 대향 전극(4031)과 액정(4008)이 중첩되는 부분이 액정 소자(4013)에 상당한다.

[0233] 또한, 제 1 기판(4001)과 제 2 기판(4006)으로서는, 유리, 금속(대표적으로는, 스테인리스), 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플로라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 포일을 PVF 필름들이나 폴리에스테르 필름들 사이에 끼운 구조의 시트를 사용할 수도 있다.

[0234] 또한, 구상(球牀)의 스페이서(4035)는, 화소 전극(4030)과 대향 전극(4031)과의 사이의 거리(셀 갭)를 제어하기 위해서 제공되어 있다. 또한, 절연막을 선택적으로 에칭함으로써 얻어지는 스페이서를 사용하여도 좋다.

[0235] 또한, 별도로 형성된 신호선 구동회로(4003)와, 주사선 구동회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는 리드(lead) 배선(4014, 4015)을 통하여 FPC(4018)로부터 공급된다.

[0236] 본 실시형태에서는, 접속 단자(4016)가, 액정 소자(4013)가 가지는 화소 전극(4030)과 동일한 도전막으로 형성되어 있다. 또한, 리드 배선(4014, 4015)은 배선(4040)과 동일한 도전막으로 형성되어 있다.

[0237] 접속 단자(4016)는 FPC(4018)가 가지는 단자에, 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.

[0238] 또한, 도시하지 않지만, 본 실시형태에 나타낸 액정 표시장치는 배향막, 편광판을 가지고, 또한 컬러 필터나 차폐막을 가져도 좋다.

[0239] 또한, 도 29에서는, 신호선 구동회로(4003)를 별도로 형성하고 제 1 기판(4001)에 실장하는 예를 나타내지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동회로의 일부 또는 주사선 구동회로의 일부만을 별도로 형성하여 실장하여도 좋다.

[0240] 본 실시형태는 다른 실시형태에 기재한 구성과 조합하여 실시할 수 있다.

[0241] [실시형태 4]

[0242] 본 발명에 의하여 얻어지는 액정 표시장치를 액티브 매트릭스형 액정 모듈에 사용할 수 있다. 즉, 그 액티브 매트릭스형 액정 모듈을 표시부에 설치한 전자 기기 모두에 본 발명을 실시할 수 있다.

[0243] 이와 같은 전자 기기로서는, 비디오 카메라나 디지털 카메라 등의 카메라, 헤드 장착형 디스플레이(고글형 디스플레이), 카 내비게이션 시스템, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 전자 서적 등) 등을 들 수 있다. 그들의 일례를 도 13에 나타낸다.

[0244] 도 13(A)는 텔레비전 장치이다. 표시 모듈을 도 13(A)에 나타내는 바와 같이 케이스에 조립하여 텔레비전 장치를 완성시킬 수 있다. FPC까지 설치된 표시 패널을 표시 모듈이라고도 부른다. 표시 모듈에 의하여 주 화면(2003)이 형성되고, 그 외의 부속 설비로서 스피커부(2009), 조작 스위치 등이 구비되어 있다. 이와 같이, 텔레비전 장치를 완성시킬 수 있다.

[0245] 도 13(A)에 나타내는 바와 같이, 케이스(2001)에 액정 소자를 이용한 표시용 패널(2002)이 조립되고, 수신기(2005)에 의하여 일반 텔레비전 방송의 수신을 비롯하여, 모뎀(2004)을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일 방향(송신자로부터 수신자) 또는 쌍 방향(송신자와 수신자간, 또는 수신자끼리)의 정보 통신을 할 수도 있다. 텔레비전 장치의 조작은, 케이스에 설치된 스위치 또는 별개의 리모트 컨트롤러(2006)에 의하여 행할 수 있고, 이 리모트 컨트롤러에도 출력하는 정보를 표시하는 표시부(2007)가 제공되어도 좋다.

[0246] 또한, 텔레비전 장치에도, 주 화면(2003) 외에 서브 화면(2008)을 제 2 표시용 패널로 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어도 좋다. 이 구성에서, 주 화면(2003)을 시야각이 뛰어난 액정 표시 패널로 형성하고, 서브 화면을 저소비전력으로 표시할 수 있는 액정 표시 패널로 형성하여도 좋다. 또한, 저소비전력화를 우선시키기 위해서는, 주 화면(2003)을 액정 표시 패널로 형성하고, 서브 화면을 액정 표시 패널로 형성하고, 서브 화면을 접멸할 수 있는 구성으로 하여도 좋다.

[0247] 도 14는 텔레비전 장치의 주요한 구성을 나타내는 블록도이다. 표시 패널(900)에는 화소부(921)가 형성되어 있다. 신호선 구동회로(922)와 주사선 구동회로(923)는 표시 패널(900)에 COG 방식에 의하여 실장되어도 좋다.

[0248] 그 외의 외부 회로의 구성으로서, 영상 신호의 입력 측에서는, 투너(924)로 수신한 신호 중 영상 신호를 증폭하는 영상 신호 증폭 회로(925)와, 그 증폭 회로로부터 출력되는 신호를 적색, 녹색, 청색의 각 색에 대응한 색 신호로 변환하는 영상 신호 처리 회로(926)와, 그 영상 신호를 드라이버 IC의 입력 사양으로 변환하기 위한 컨트롤 회로(927) 등을 가지고 있다. 컨트롤 회로(927)는 주사선 측과 신호선 측에 각각 신호를 출력한다. 디지털 구동하는 경우에는, 신호선 측에 신호 분할 회로(928)를 마련하고, 입력 디지털 신호를 2개로 분할하여 공급하는 구성으로 하여도 좋다.

[0249] 투너(924)에서 수신한 신호 중 음성 신호는 음성 신호 증폭 회로(929)로 보내지고, 그의 출력은 음성 신호 처리 회로(930)를 거쳐 스피커(933)에 공급된다. 제어 회로(931)는 수신국(수신 주파수)나 음량의 제어 정보를 입력부(932)로부터 받고, 투너(924)나 음성 신호 처리 회로(930)에 신호를 송출한다.

[0250] 물론, 본 발명은 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도의 역이나 공항 등의 정보 표시판이나 가두의 광고 표시판 등 대면적의 표시 매체로서도 다양한 용도에 적용할 수 있다.

[0251] 도 13(B)는 휴대 전화기(2201)의 일례를 나타낸다. 이 휴대 전화기(2201)는 표시부(2202), 조작부(2203) 등을

포함하여 구성되어 있다. 표시부(2302)에서는, 상기 실시형태에서 설명한 액정 표시장치를 적용함으로써, 양산성을 높일 수 있다.

[0252] 또한, 도 13(C)에 나타내는 휴대형 컴퓨터는 본체(2401), 표시부(2402) 등을 포함하고 있다. 표시부(2402)에, 상기 실시형태에 나타내는 액정 표시장치를 적용함으로써, 양산성을 높일 수 있다.

[0253] [실시예 1]

[0254] 미결정 규소막을 성막하고, 그 막을 라만 분광법으로 결정성을 측정한 결과를 도 34에 나타낸다.

[0255] 미결정 규소막의 성막 조건은, RF 전원 주파수를 13.56 MHz로 하고, 성막 온도를 280°C로 하고, 수소 유량과 실란 가스 유량의 비율을 100:1로 하고, 280 Pa의 압력에서 성막을 행하였다. 또한, 도 34(A)는 라만 산란 스펙트럼이고, 성막 시의 RF 전원의 전력을 100 W로 한 미결정 규소막과, 300 W로 한 미결정 규소막을 비교한 측정결과이다.

[0256] 또한, 단결정 실리콘의 결정 피크 위치는 521 cm^{-1} 이다. 물론, 아모르퍼스 실리콘의 결정 피크는 관찰될 수 없고, 도 34(B)에 나타내는 바와 같이, 480 cm^{-1} 에 완만한 피크만이 측정된다. 본 명세서의 미결정 규소막이란, 라만 분광기로 측정하여 481 cm^{-1} 이상 520 cm^{-1} 이하에 결정 피크 위치를 확인할 수 있는 것을 가리킨다.

[0257] 성막 시의 RF 전원의 전력을 100 W로 한 미결정 규소막의 결정 피크 위치는 518.6 cm^{-1} 이고, 반값폭(FWHM)은 11.9 cm^{-1} 이고, 결정/아모르퍼스 피크 강도비(I_c/I_a)는 4.1이다.

[0258] 또한, 성막 시의 RF 전원의 전력을 300 W로 한 미결정 규소막의 결정 피크 위치는 514.8 cm^{-1} 이고, 반값폭(FWHM)은 18.7 cm^{-1} 이고, 결정/아모르퍼스 피크 강도비(I_c/I_a)는 4.4이다.

[0259] 도 34(A)에 나타내는 바와 같이, RF 전력에 따라 결정 피크 위치와 반값폭에 큰 차이가 생긴다. 이것은, 대전력에서는 이온 충격이 증가하고 입자 성장이 저해되기 때문에 소입경이 되는 경향이 있기 때문이라고 생각된다. 또한, 도 34(A)의 측정에 사용한 미결정 규소막을 형성한 CVD 장치의 전원 주파수가 13.56 MHz이기 때문에 결정/아모르퍼스 피크 강도비(I_c/I_a)는 4.1 또는 4.4가 되지만, RF 전원 주파수가 27 MHz이면, 결정/아모르퍼스 피크 강도비(I_c/I_a)를 6으로 할 수 있는 것도 확인하였다. 따라서, 27 MHz보다 높은 RF 전원 주파수, 예를 들면, 2.45 GHz의 RF 전원 주파수로 함으로써, 결정/아모르퍼스 피크 강도비(I_c/I_a)를 더 높일 수 있다.

[0260] [실시예 2]

[0261] 본 실시예에서는, 본 발명에 나타내는 박막트랜지스터의 트랜지스터 특성 및 전자 밀도 분포에 대하여 디바이스 시뮬레이션을 행한 결과를 나타낸다. 디바이스 시뮬레이션에는, Silvaco사제 디바이스 스뮬레이터 "ATLAS"를 사용한다.

[0262] 도 35에 디바이스 구조를 나타낸다. 절연성 기판(2301)은 산화규소(유전율 4.1)를 주성분으로 하는 유리 기판(두께 $0.5\text{ }\mu\text{m}$)을 가정한다. 또한, 절연성 기판(2301)의 두께는 실제의 제조 공정에서는 0.5 mm , 0.7 mm 등이 사용되는 일이 많지만, 절연성 기판(2301)의 하면에서의 전계가 박막트랜지스터 특성에 영향이 없는 정도로 충분한 두께로 정의한다.

[0263] 절연성 기판(2301) 위에, 몰리브덴으로 형성되는 두께 150 nm 의 게이트 전극(2303)을 적층하고 있다. 몰리브덴의 일 함수는 4.6 eV 로 한다.

[0264] 게이트 전극(2303) 위에, 질화규소막(유전율 7.0, 두께 110 nm)과 산화질화규소막(유전율 4.1, 두께 110 nm)의 적층 구조의 게이트 절연막(2305)을 적층하고 있다.

[0265] 게이트 절연막(2305) 위에 $\mu\text{c-Si}$ 막(2307)과 $a\text{-Si}$ 막(2309)을 적층하고 있다. 여기서는, 두께 0 nm 의 $\mu\text{c-Si}$ 막(2307) 및 두께 100 nm 의 $a\text{-Si}$ 막(2309)의 적층과, 두께 10 nm 의 $\mu\text{c-Si}$ 막(2307) 및 두께 90 nm 의 $a\text{-Si}$ 막(2309)의 적층과, 두께 50 nm 의 $\mu\text{c-Si}$ 막(2307) 및 두께 50 nm 의 $a\text{-Si}$ 막(2309)의 적층과, 두께 90 nm 의 $\mu\text{c-Si}$ 막(2307) 및 두께 10 nm 의 $a\text{-Si}$ 막(2309)의 적층과, 두께 100 nm 의 $\mu\text{c-Si}$ 막(2307) 및 두께 0 nm 의 $a\text{-Si}$ 막(2309)의 적층으로 각각 조건을 바꾼다.

[0266] 또한, $a\text{-Si}$ 막(2309)은, 제 1 $a\text{-Si}(\text{n}^+)$ 막(2311)과 제 2 $a\text{-Si}(\text{n}^+)$ 막(2313)을 중첩하는 영역에서는, 상기 두께 외

에 추가로 50 nm의 a-Si막을 적층하고 있다. 즉, 제 1 a-Si(n⁺)막(2311)과 제 2 a-Si(n⁺)막(2313)이 형성되지 않는 영역에서, a-Si막(2309)은 일부 50 nm에 청된 오목부 형상이다.

[0267] a-Si막(2309) 위에 제 1 a-Si(n⁺)막(2311)(두께 50 nm)과 제 2 a-Si(n⁺)막(2313)(두께 50 nm)을 각각 적층하고 있다. 도 35에 나타내는 박막트랜지스터에서, 제 1 a-Si(n⁺)막(2311)과 제 2 a-Si(n⁺)막(2313)과의 거리가 채널 길이 L이 된다. 여기서는, 채널 길이 L을 6 μm로 하고 있다. 또한, 채널 폭 W를 15 μm로 하고 있다.

[0268] 제 1 a-Si(n⁺)막(2311)과 제 2 a-Si(n⁺)막(2313) 위에, 몰리브덴(Mo)으로 형성되는 두께 300 nm의 소스 전극(2315)과 드레인 전극(2317)을 각각 적층하고 있다. 소스 전극(2315)과 제 1 a-Si(n⁺)막(2311)과의 콘택트, 및 드레인 전극(2317)과 제 2 a-Si(n⁺)막(2313)과의 콘택트는 오믹 콘택트(ohmic contact)로 정의하고 있다.

[0269] 도 36에, 도 35에 나타내는 박막트랜지스터에서 μc-Si막 및 a-Si막의 막 두께를 변화시켜 디바이스 시뮬레이션을 행한 때의 DC 특성(Vg-Id 특성, Vd = 14 V)의 결과를 나타낸다. 또한, 도 37에, μc-Si막(2307)의 두께를 10 nm, a-Si막(2309)의 두께를 90 nm로 한 때의 박막트랜지스터의 전자 농도 분포를 나타낸다. 도 37(A)는, 박막트랜지스터가 온 상태(Vg가 +10 V, Vd가 14 V)인 때의 전자 농도 분포의 결과를 나타내고, 도 37(B)는 오프 상태(Vg가 -10 V, Vd가 14 V)인 때의 전자 농도 분포의 결과를 나타낸다.

[0270] 도 36으로부터, a-Si막의 두께를 두껍게 할 수록 오프 전류가 저감되는 것을 알 수 있다. 또한, a-Si막의 두께를 50 nm 이상으로 함으로써, Vg가 -20 V일 때의 드레인 전류를 1×10^{-13} A 미만으로 할 수 있다.

[0271] 또한, μc-Si막의 두께를 두껍게 할 수록 온 전류가 증가하는 것을 알 수 있다. 또한, μc-Si막의 두께를 10 nm 이상으로 함으로써, Vg가 20 V일 때의 드레인 전류를 1×10^{-5} A 이상으로 할 수 있다.

[0272] 도 37(A)로부터, 온 상태에서는, 전자 밀도가 a-Si막보다도 μc-Si막에서 높은 것을 알 수 있다. 즉, 전기 전도도가 높은 μc-Si막에서 전자 밀도가 높기 때문에, 온 상태에서는 전자는 흐르기 쉬워, 드레인 전류가 상승하는 것을 알 수 있다.

[0273] 도 37(B)로부터, 오프 상태에서는, 전자 밀도가 μc-Si막보다도 a-Si막에서 높은 것을 알 수 있다. 즉, 전기 전도도가 낮은 a-Si막에서 전자 밀도가 높기 때문에, 오프 상태에서는 전자는 흐르기 어려워, a-Si막을 채널 형성 영역에 사용하는 박막트랜지스터와 같은 드레인 전류가 되는 것을 알 수 있다.

[0274] 이상에 의하여, 도 35에 나타내는 바와 같은, 게이트 절연막 위에 μc-Si막이 형성되고, μc-Si막 위에 a-Si막이 형성되고, a-Si 위에 소스 영역 및 드레인 영역이 형성되는 박막트랜지스터는, 오프 전류를 저감하는 것과 함께, 온 전류를 높일 수 있는 것을 알 수 있다.

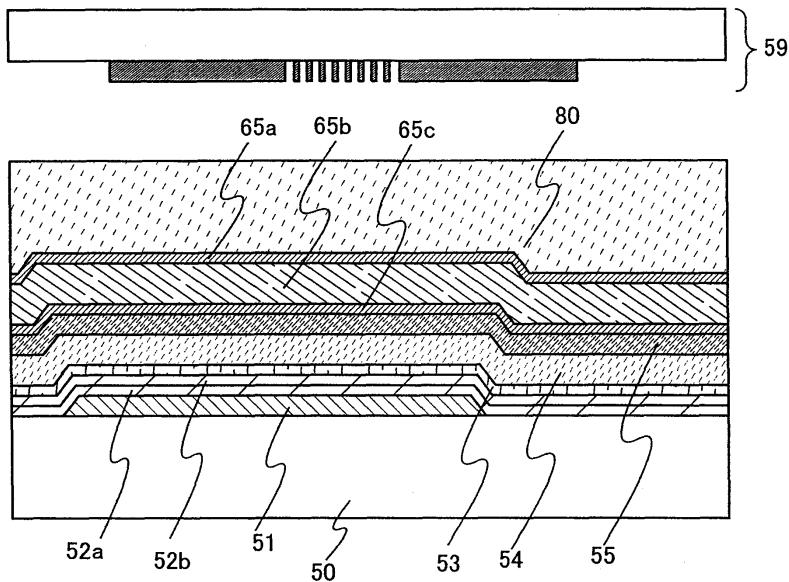
부호의 설명

61: 미결정 반도체막	62: 베피층
63: 반도체막	83: 박막트랜지스터
85a: 도전막	85b: 도전막
85c: 도전막	86: 레지스트 마스크
87: 미결정 반도체막	88: 베피층
89: 드레인 영역	89a: 도전막
89b: 도전막	89c: 도전막
92a: 드레인 전극	92b: 드레인 전극
92c: 드레인 전극	

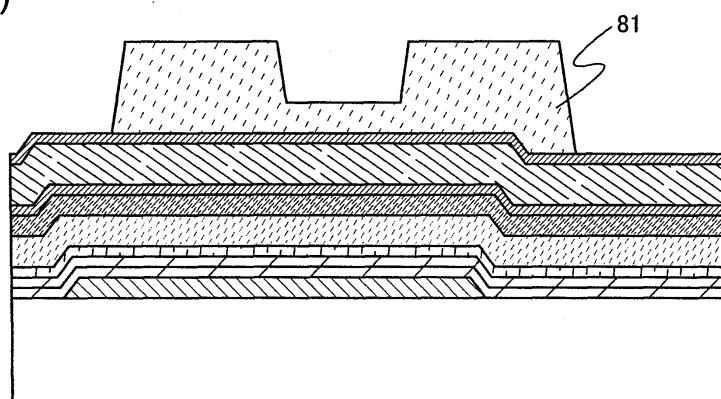
도면

도면1

(A)

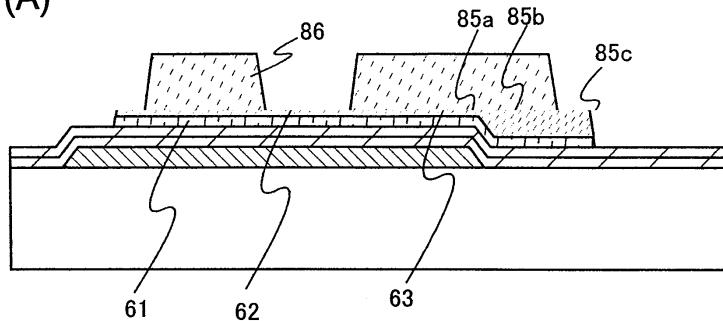


(B)

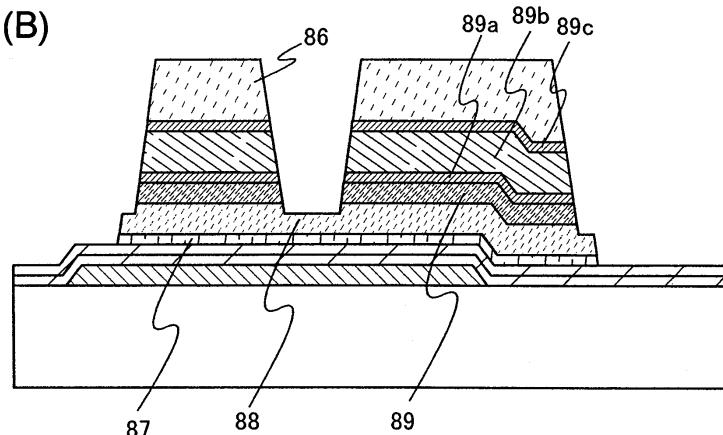


도면2

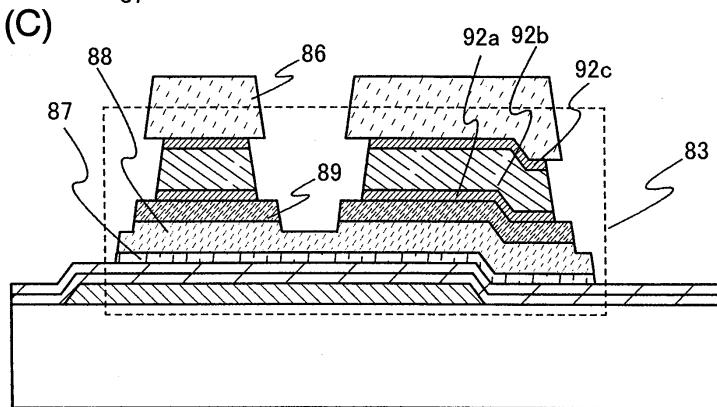
(A)



(B)

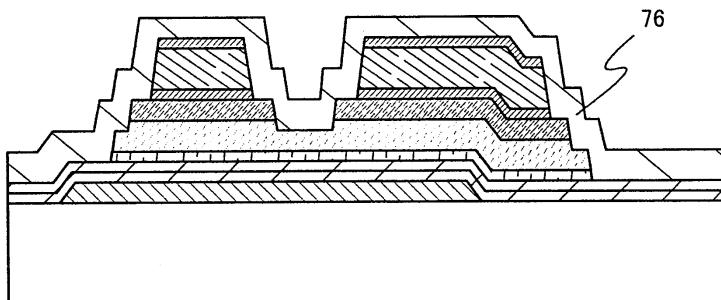


(C)

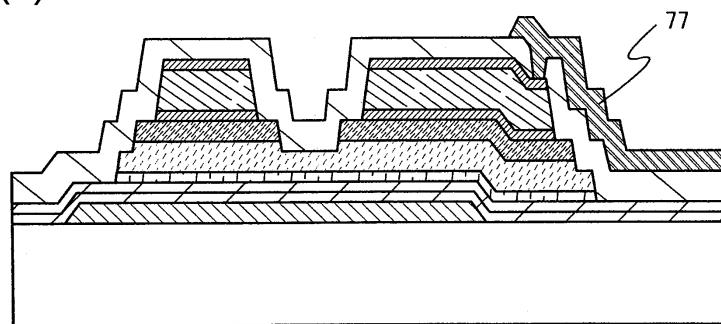


도면3

(A)

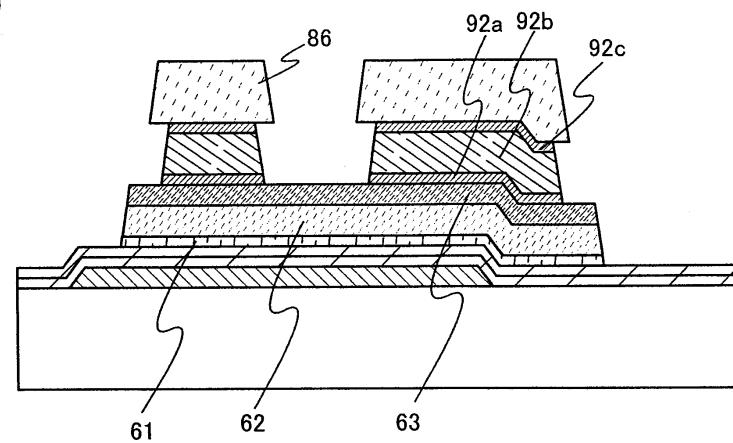


(B)

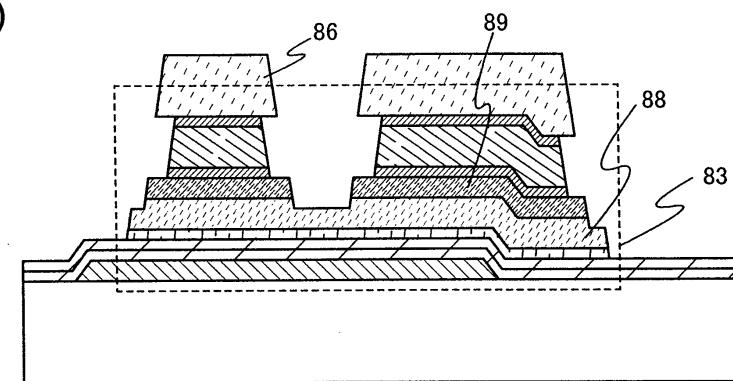


도면4

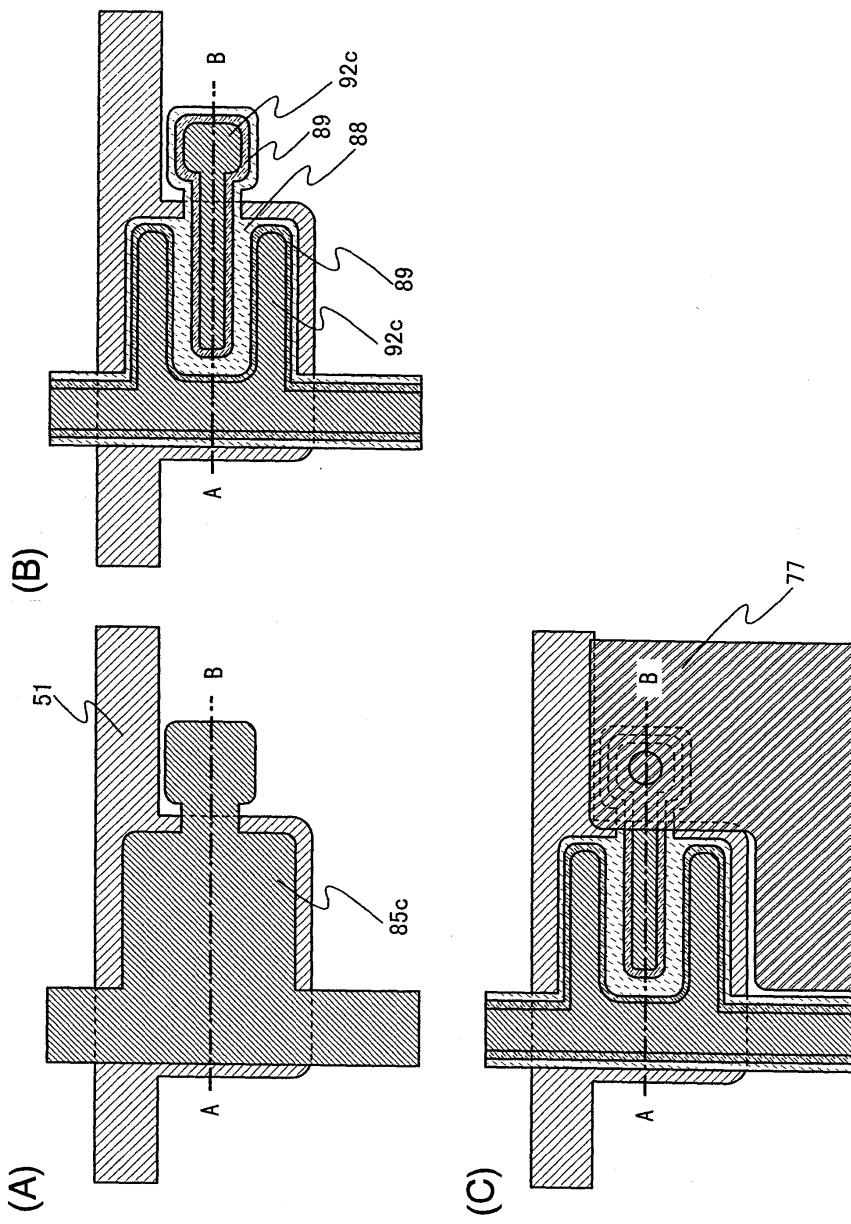
(A)



(B)

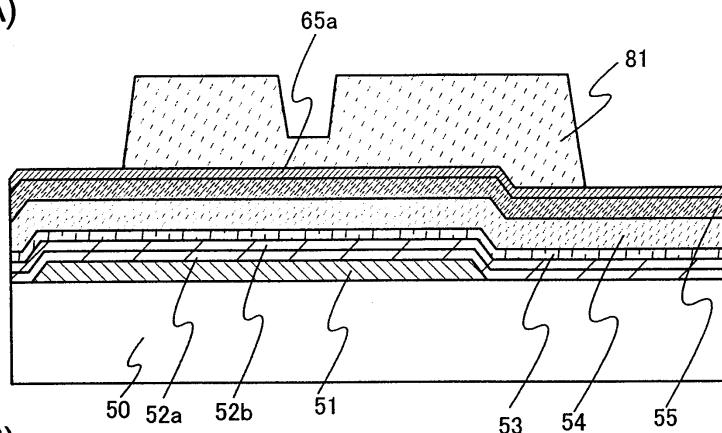


도면5

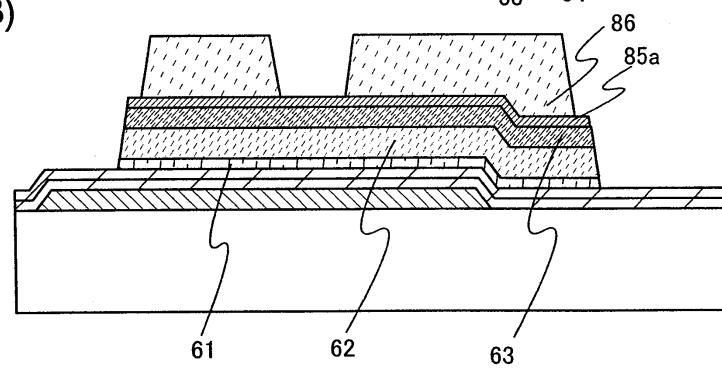


도면6

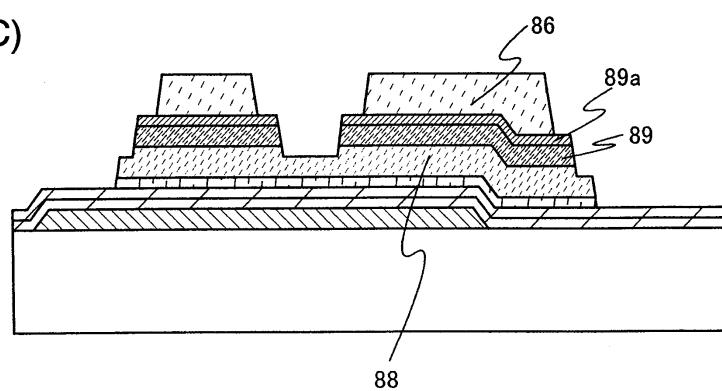
(A)



(B)

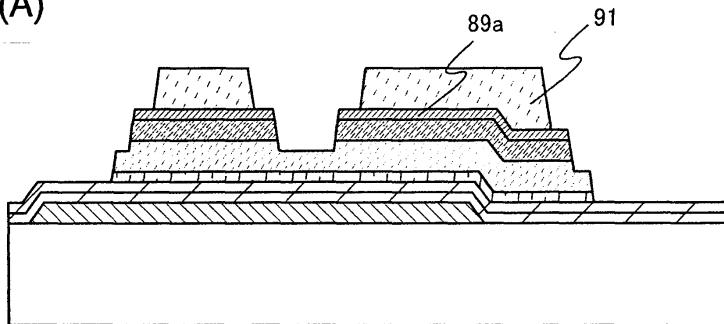


(C)

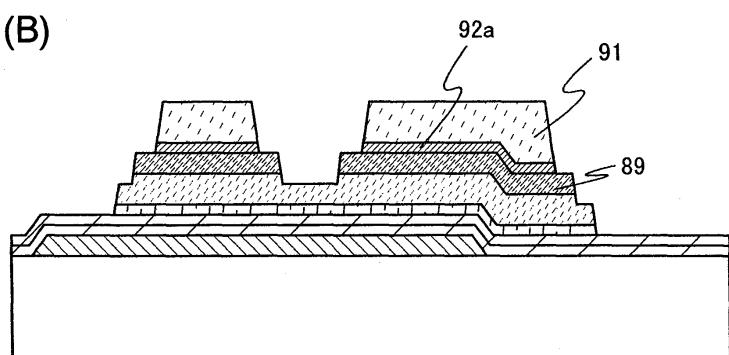


도면7

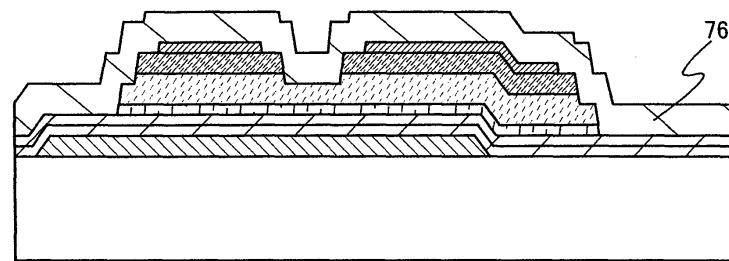
(A)



(B)

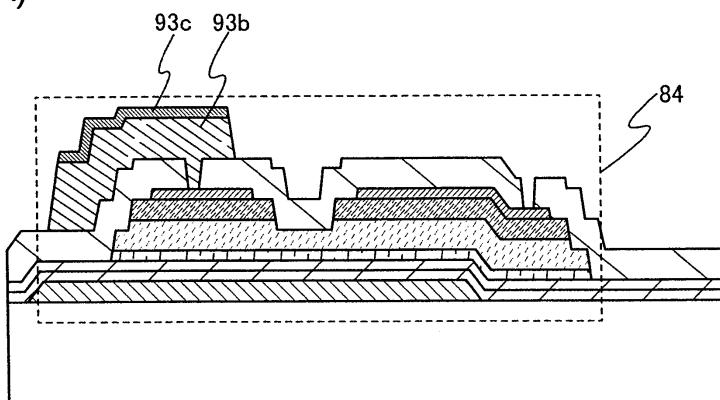


(C)

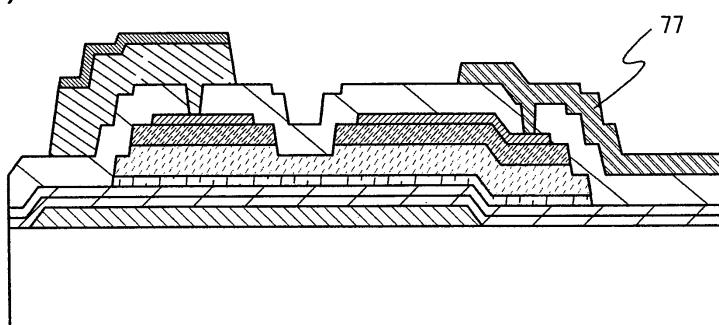


도면8

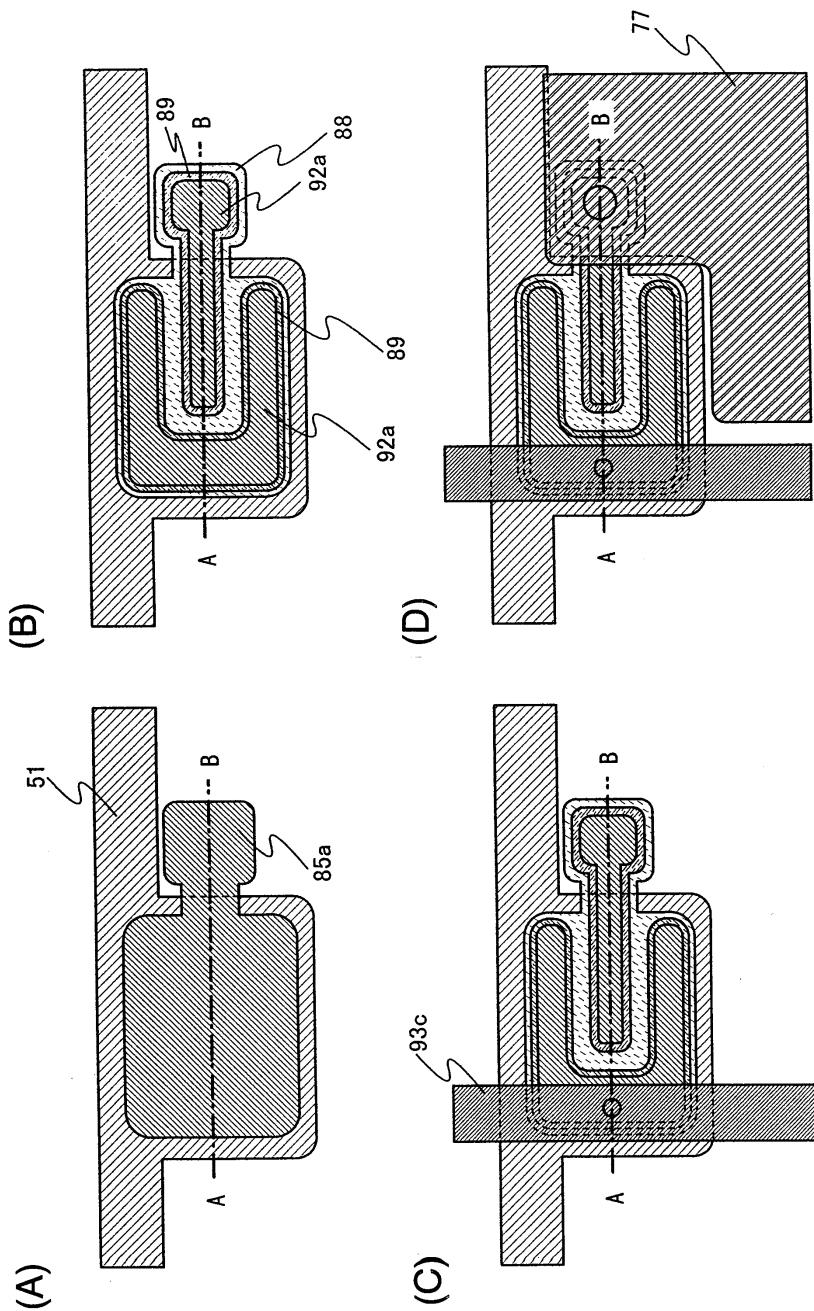
(A)



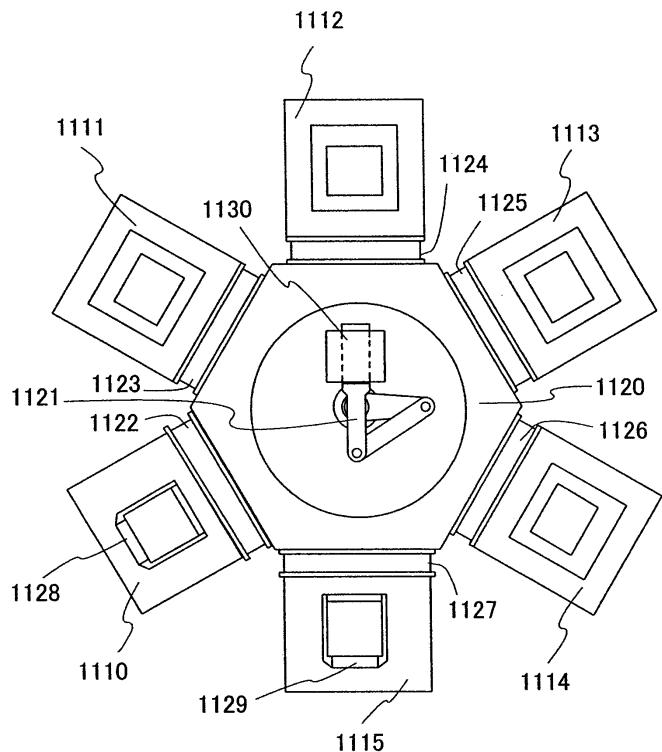
(B)



도면9

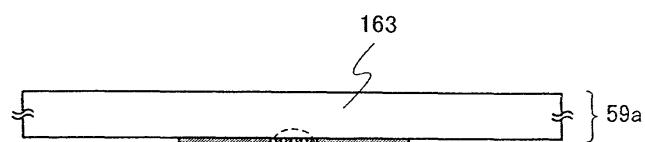


도면10

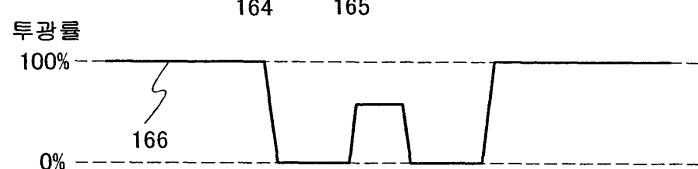


도면11

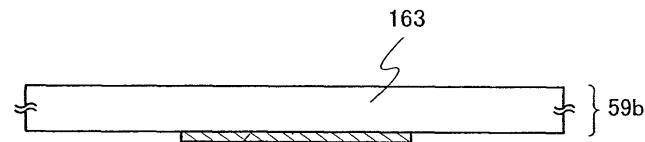
(A)



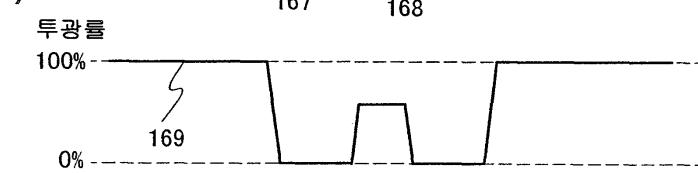
(B)



(C)

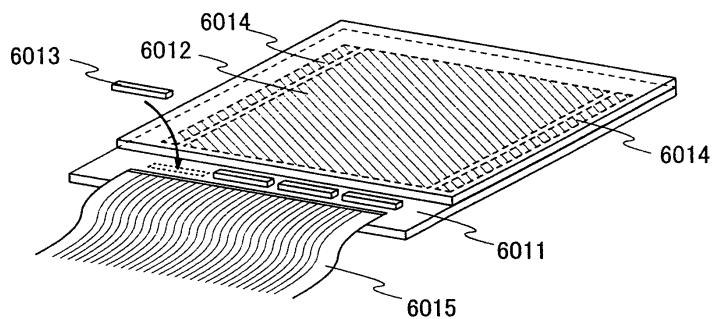


(D)

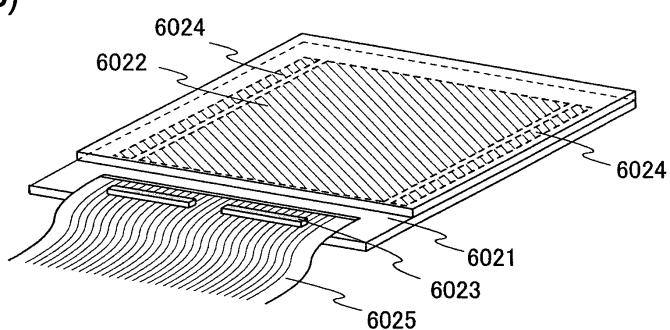


도면12

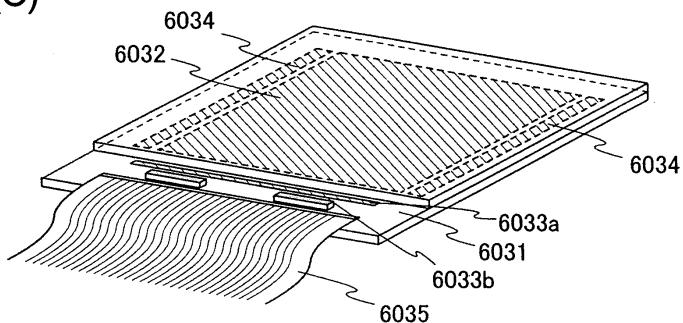
(A)



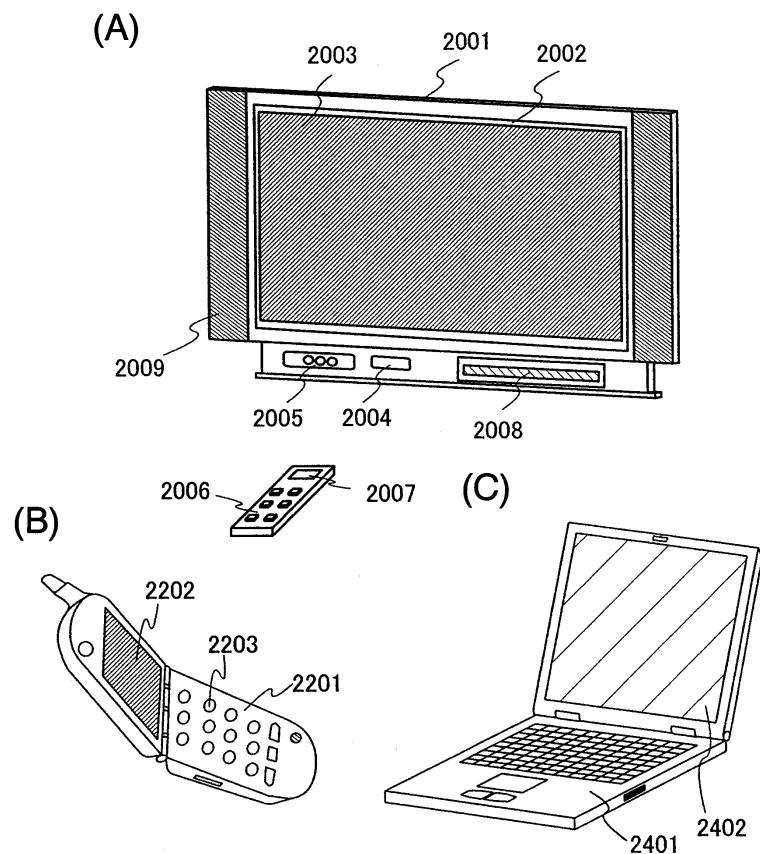
(B)



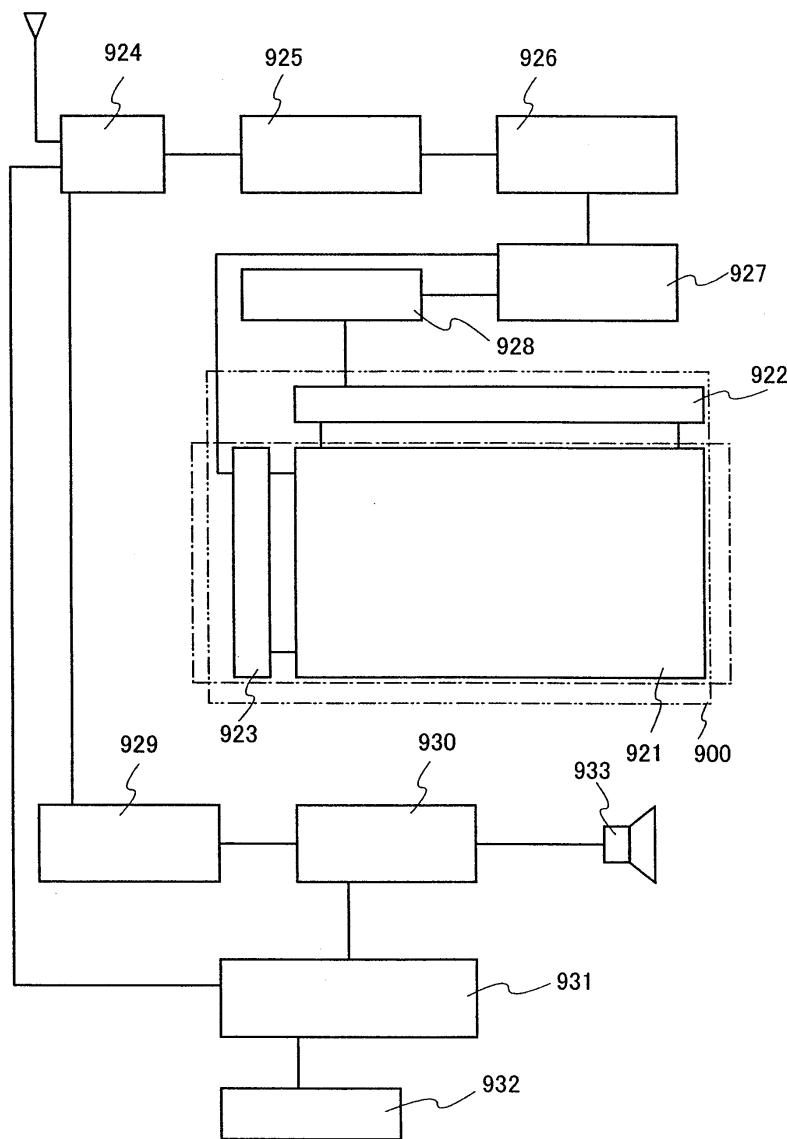
(C)



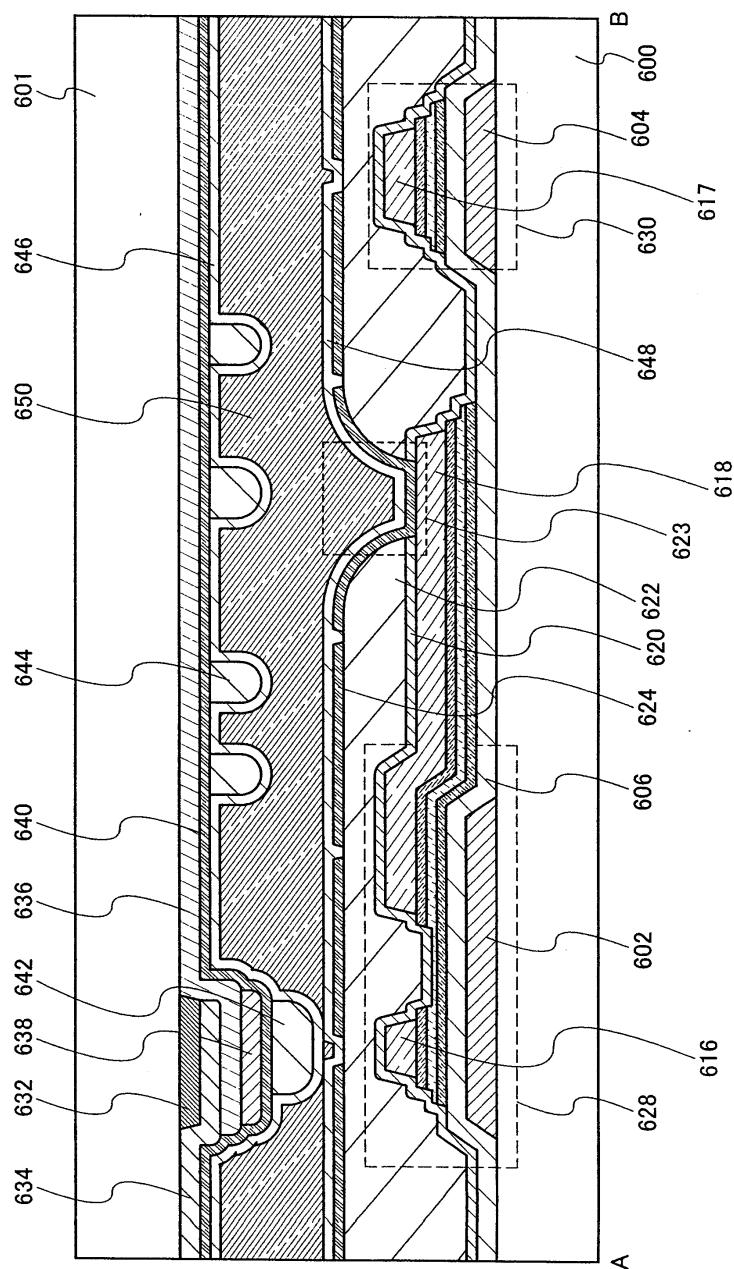
도면13



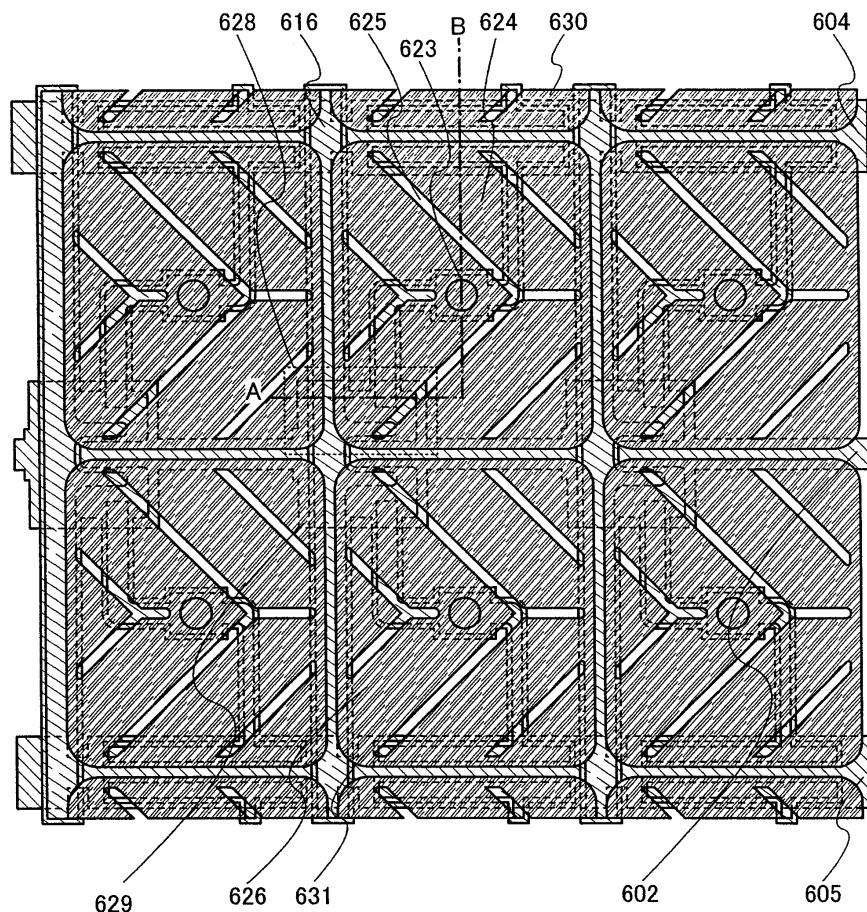
도면14



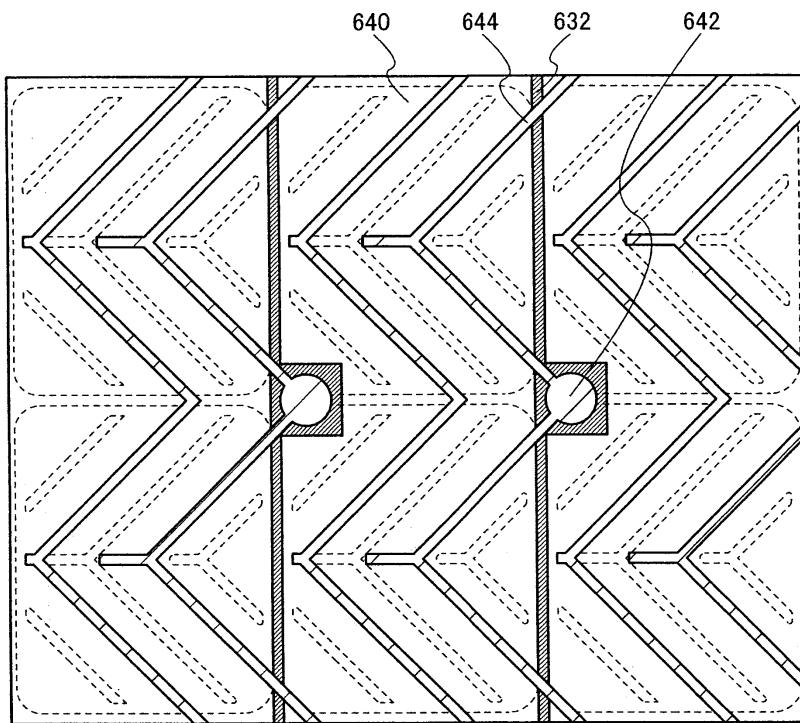
도면15



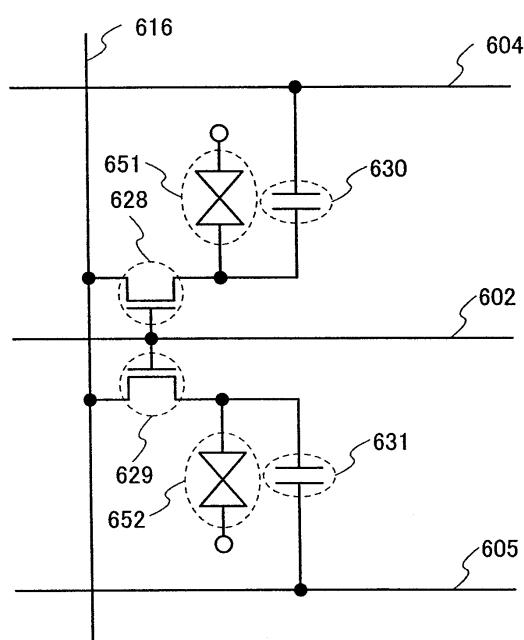
도면16



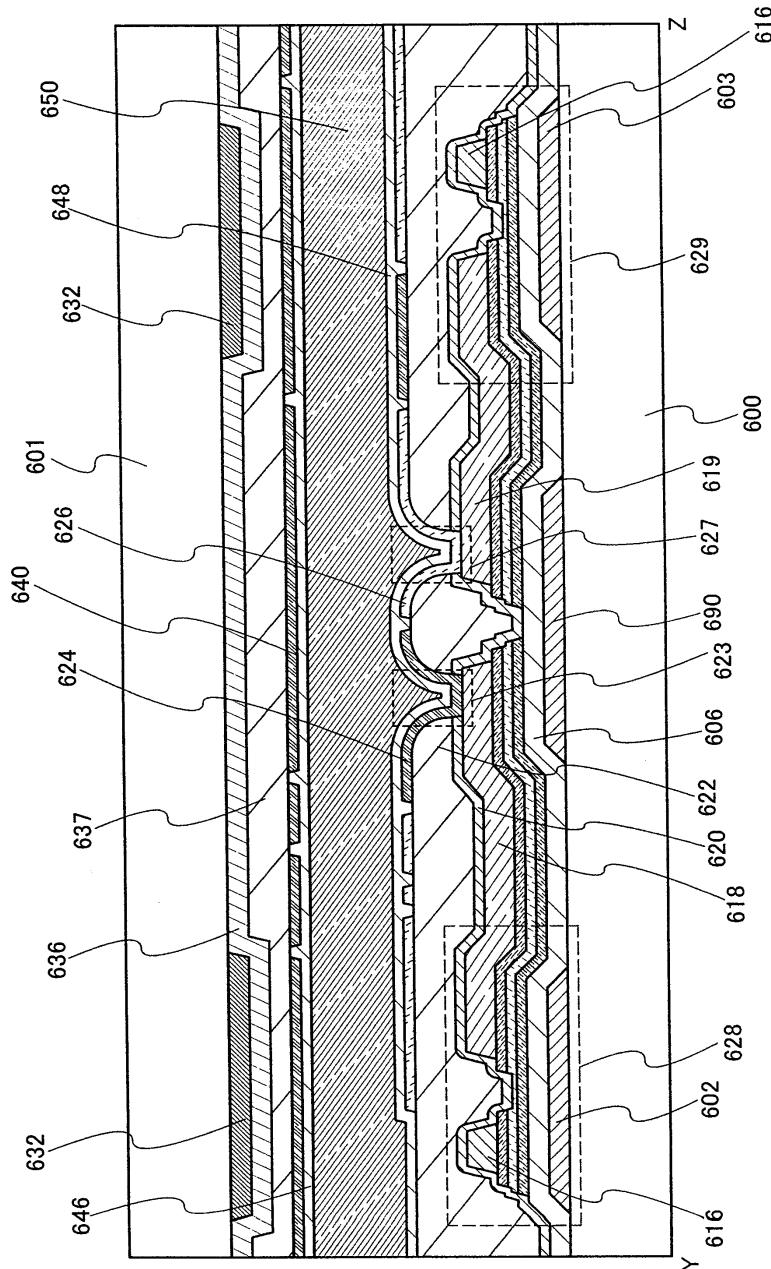
도면17



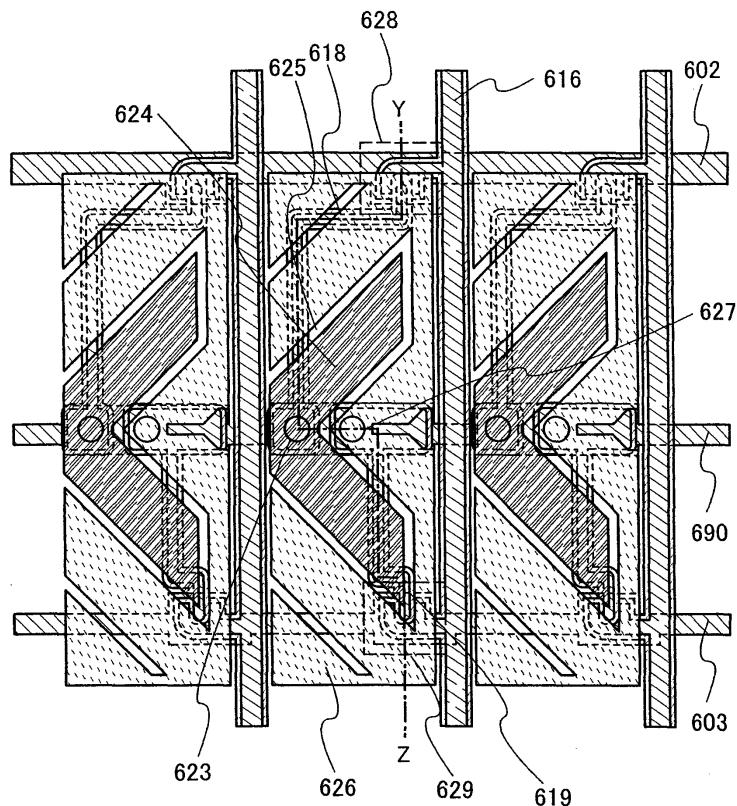
도면18



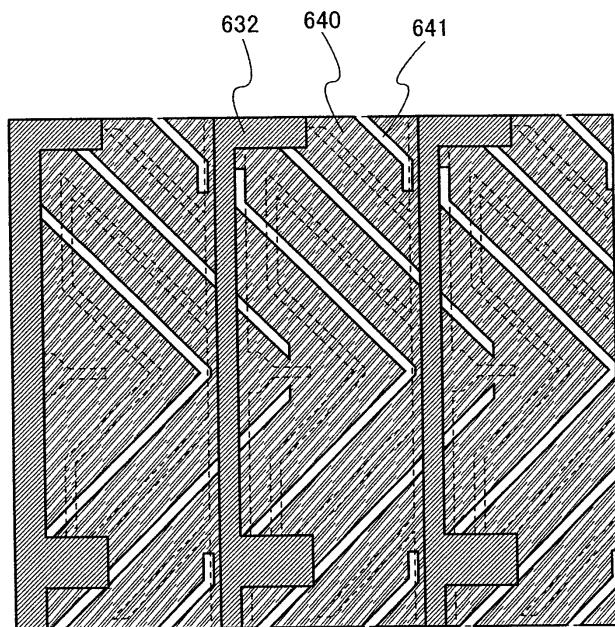
도면19



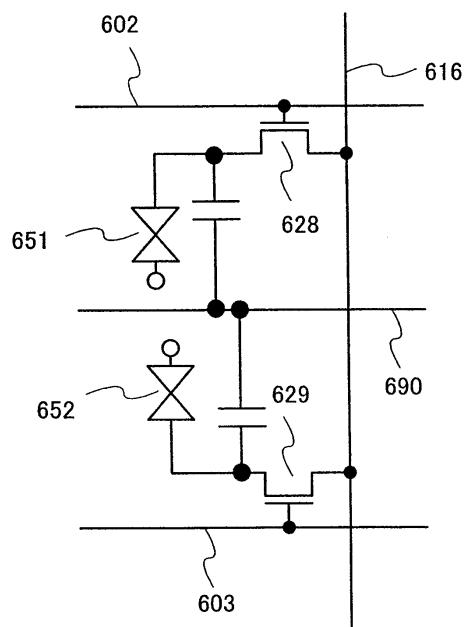
도면20



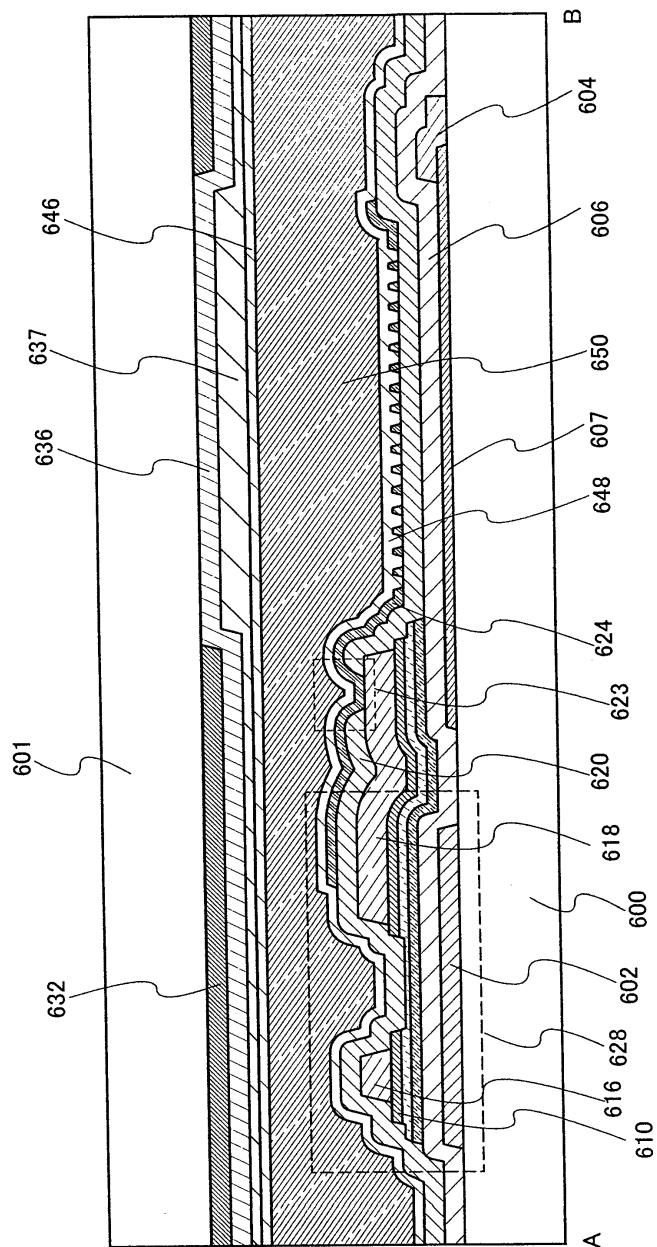
도면21



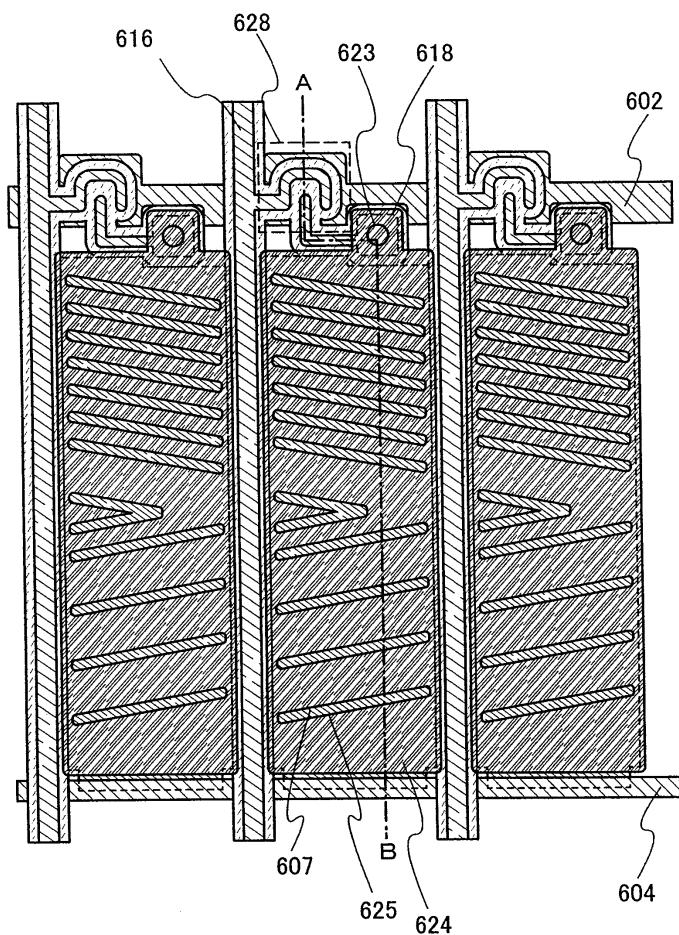
도면22



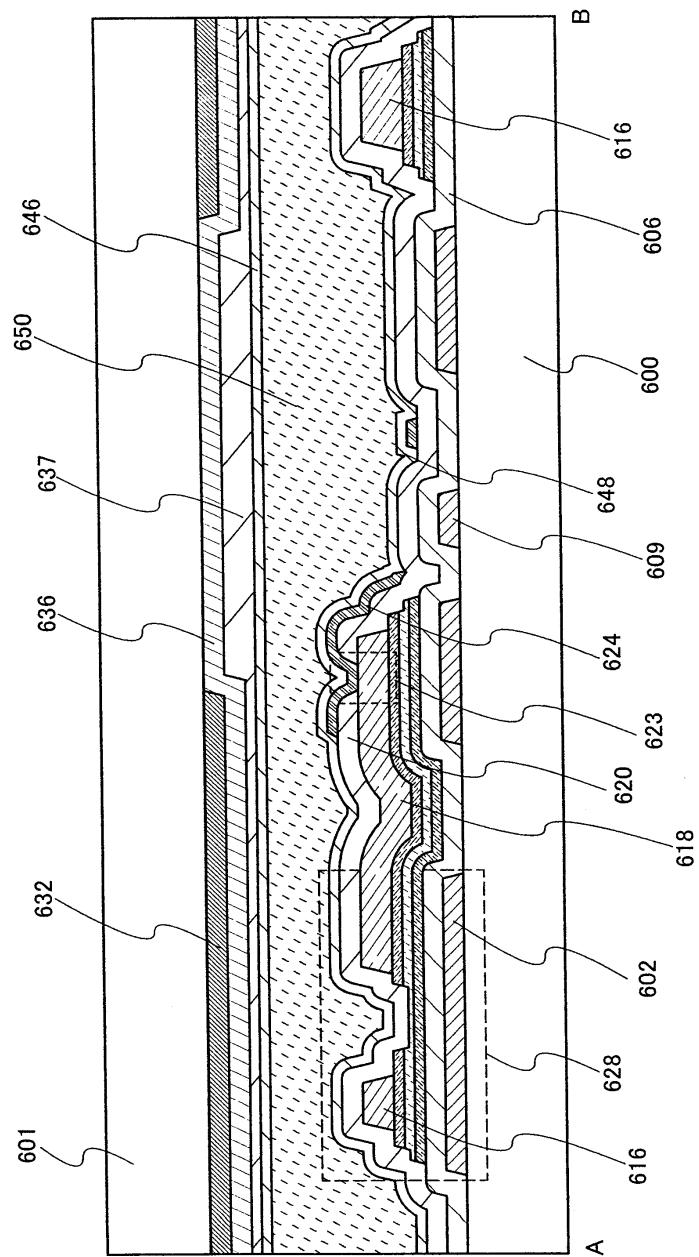
도면23



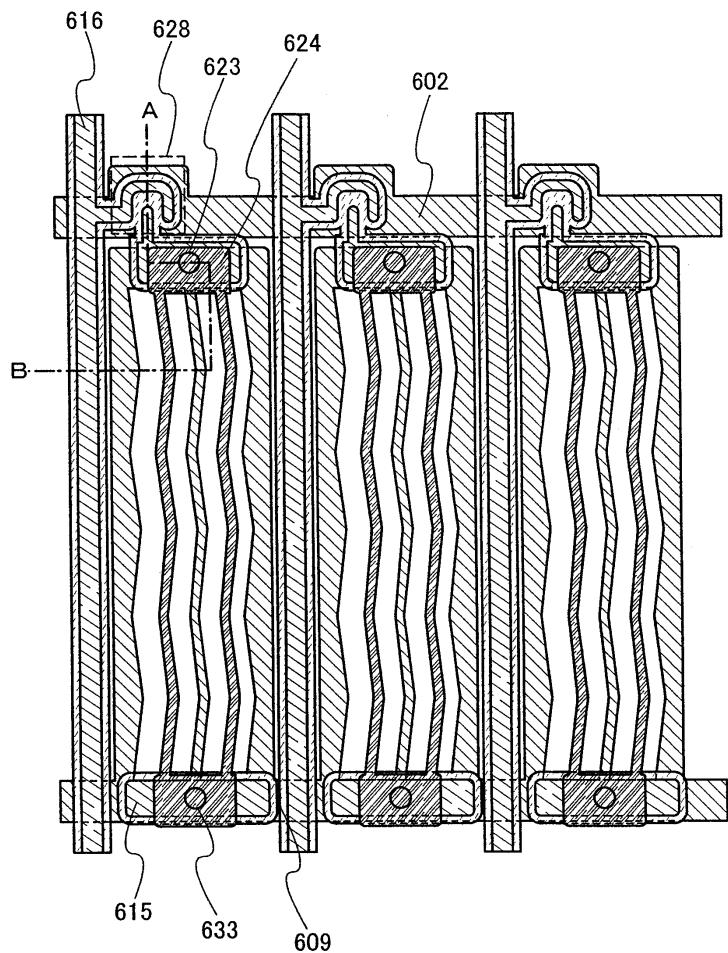
도면24



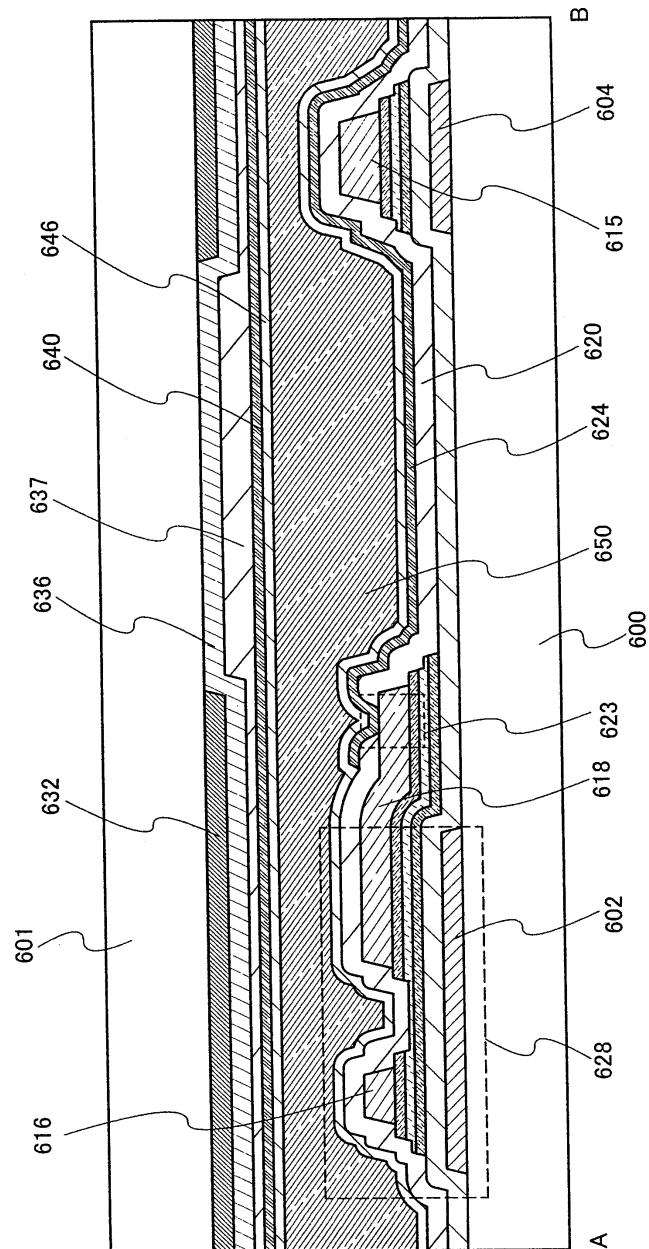
도면25



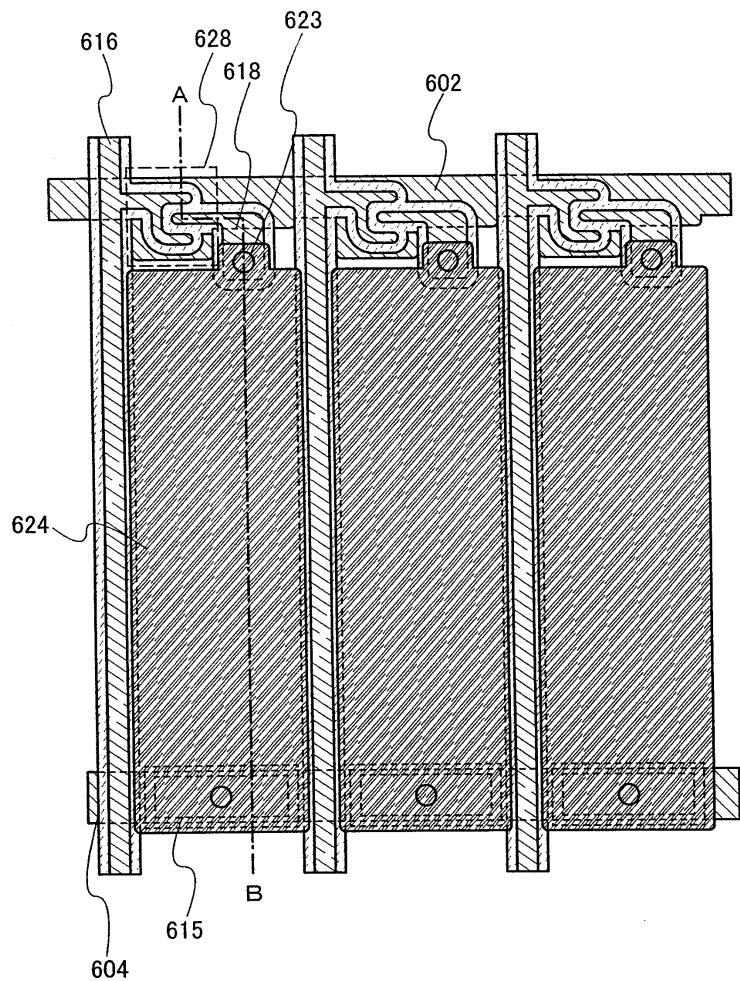
도면26



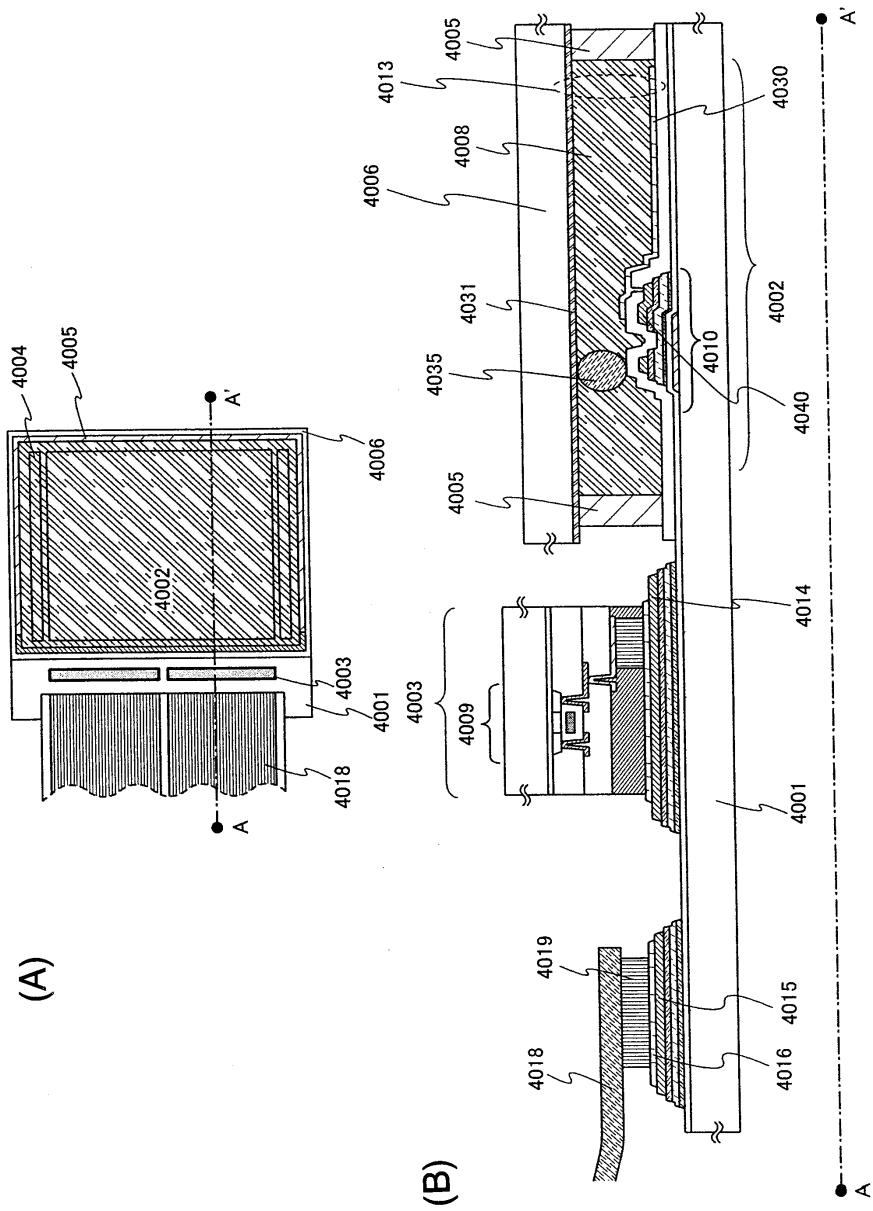
도면27



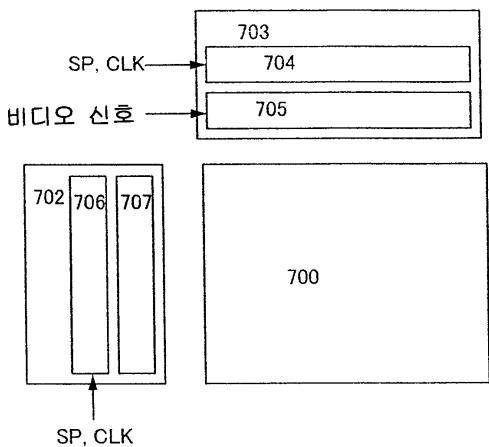
도면28



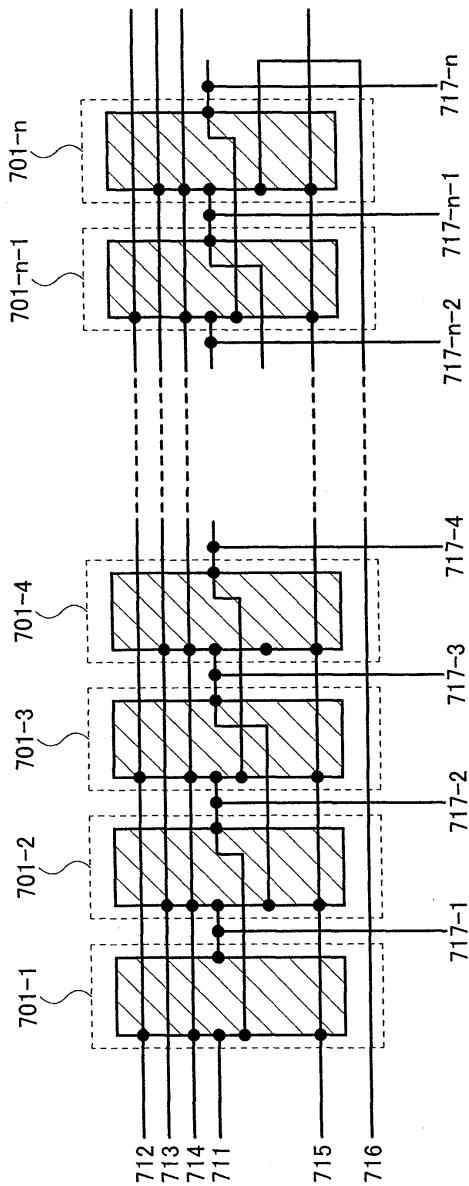
도면29



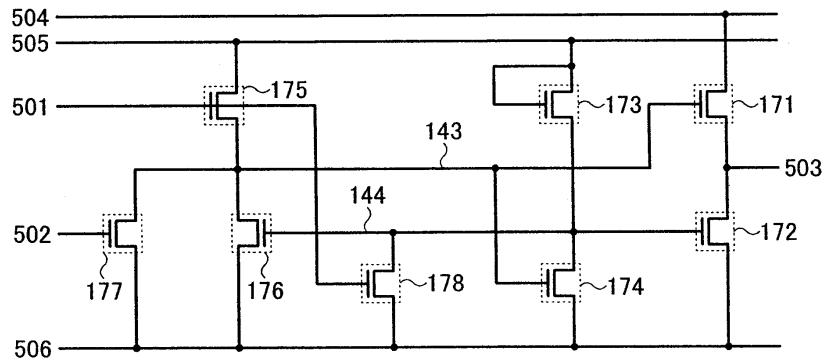
도면30



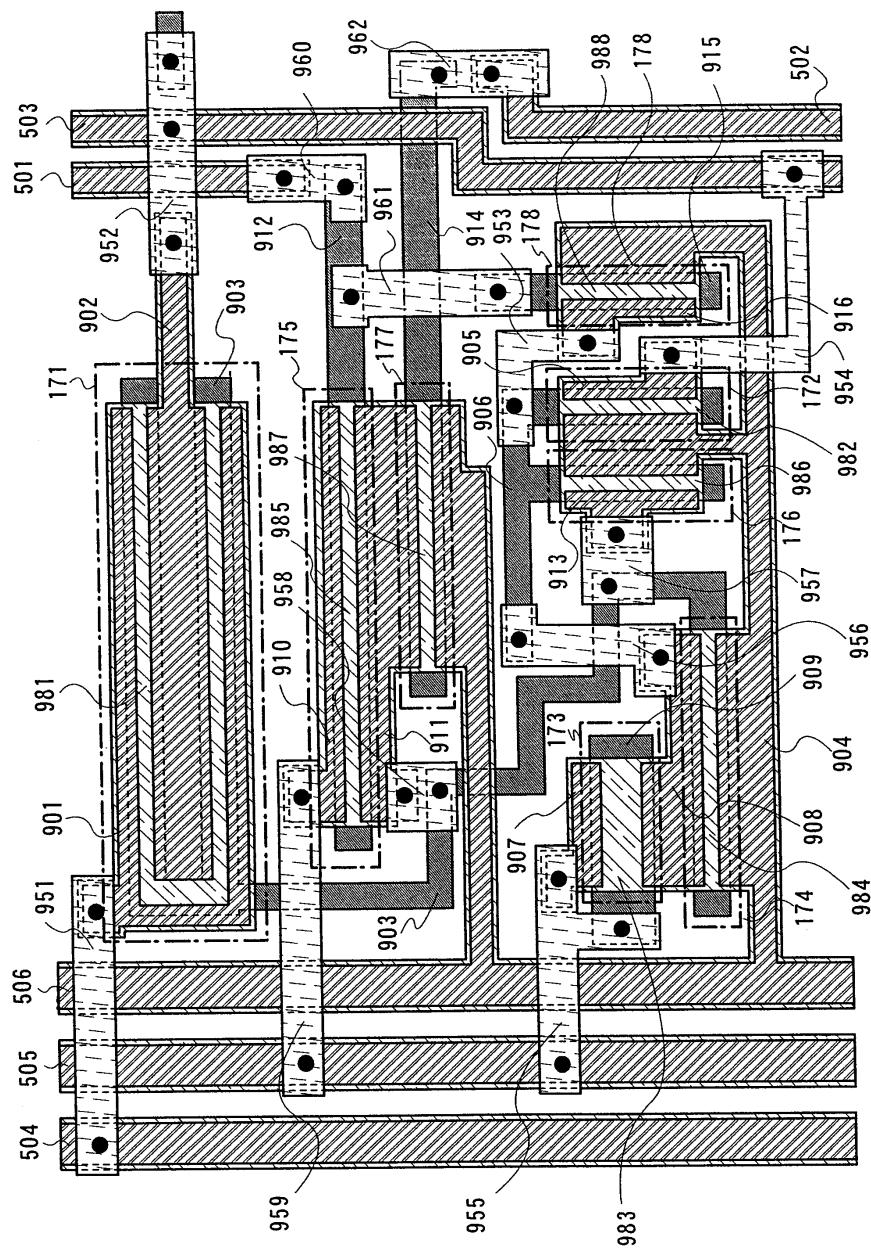
도면31



도면32

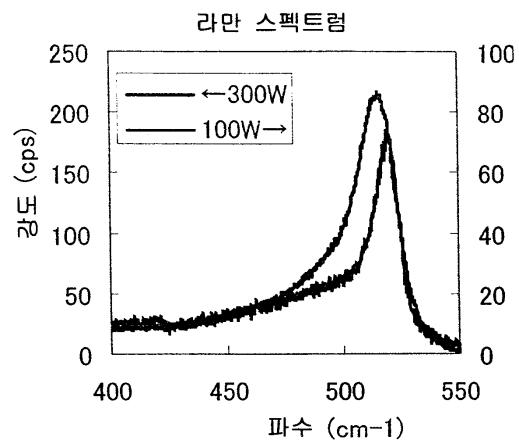


도면33

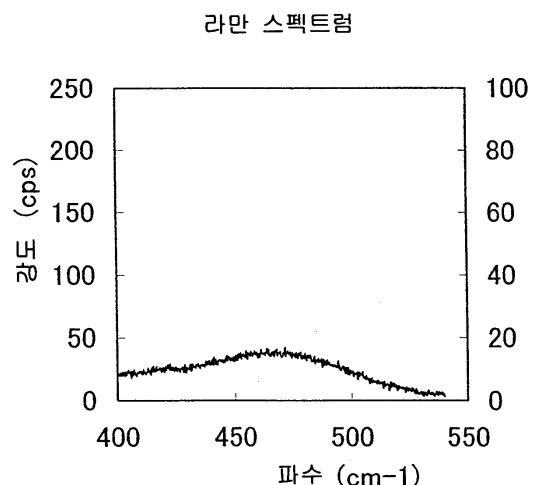


도면34

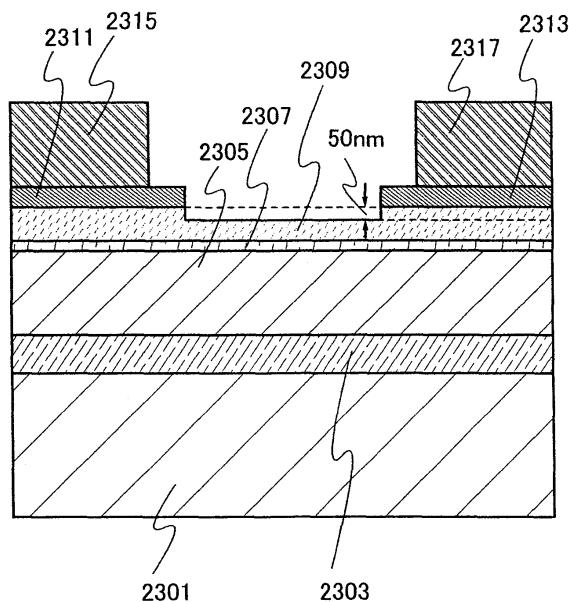
(A)



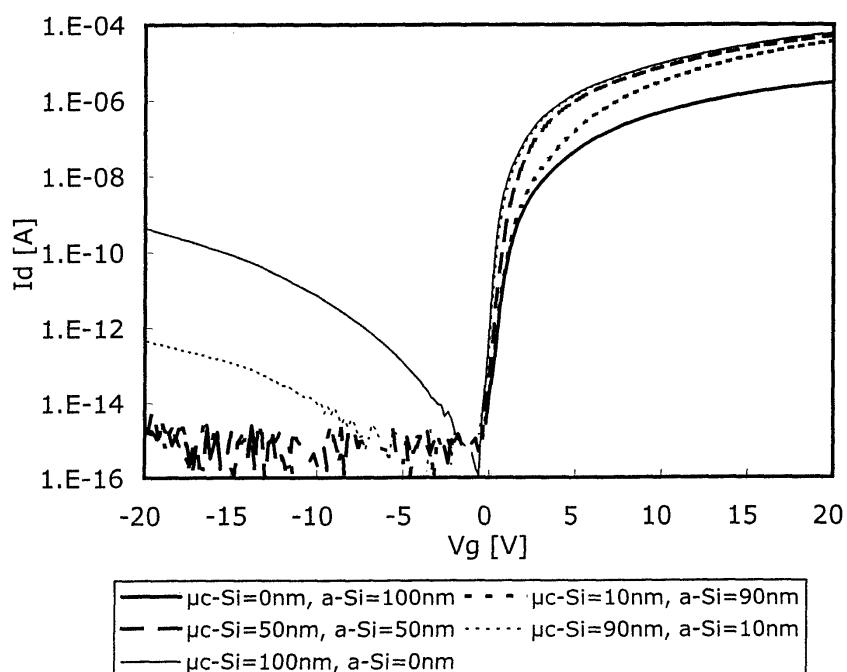
(B)



도면35

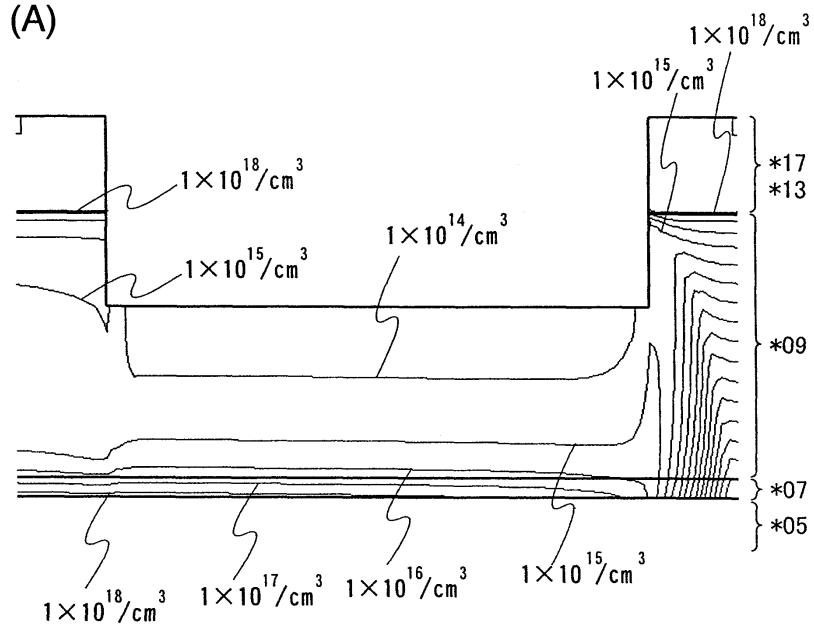


도면36

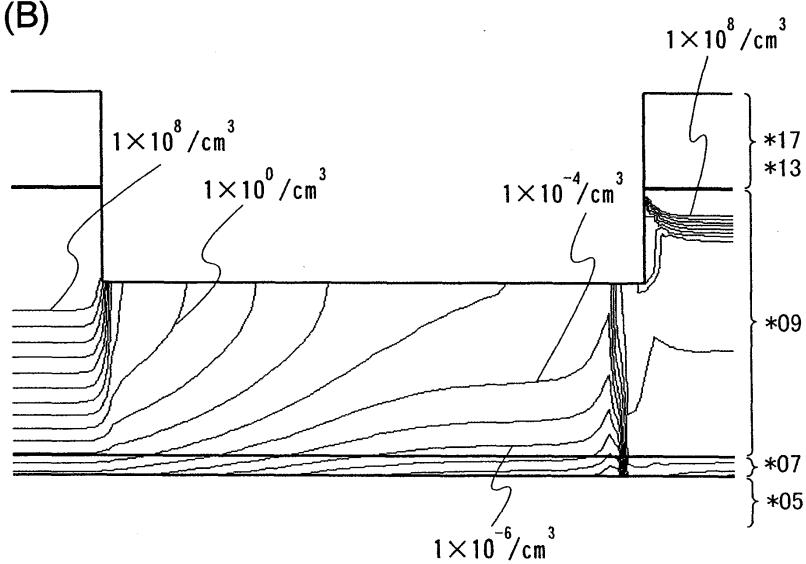


도면37

(A)



(B)



专利名称(译)	液晶显示器		
公开(公告)号	KR1020100080580A	公开(公告)日	2010-07-09
申请号	KR1020100056522	申请日	2010-06-15
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 아마자키순페이 SUZUKI YUKIE 스즈키유키에 KUWABARA HIDEAKI 쿠와바라히데아키 KIMURA HAJIME 키무라하지메		
发明人	아마자키순페이 스즈키유키에 쿠와바라히데아키 키무라하지메		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	G02F1/1368 H01L29/78696 H01L29/04 G02F1/136286 H01L27/1288 H01L29/66765 H01L29/4908 H01L27/1214 H01L29/458 G02F1/133345 H01L27/1222 H01L29/78678 G02F1/1343 G02F1/136209 H01L29/41733 H01L29/78618 G02F1/1339 G02F1/134309		
优先权	2007179092 2007-07-06 JP		
其他公开文献	KR101152949B1		
外部链接	Espacenet		

摘要(译)

本发明的目的是提出一种制造液晶显示装置的方法，该液晶显示装置具有薄膜晶体管，该薄膜晶体管具有良好的电特性和高可靠性，并且具有高的批量生产率。在具有反向交错型薄膜晶体管的反向交错型薄膜晶体管中，在栅电极上形成栅极绝缘膜，并且在栅极绝缘膜上形成用作沟道形成区的微晶半导体膜。在缓冲层上形成一对源区和漏区，以及与源区和漏区接触以暴露源区和漏区的一部分的一对源电极和漏电极，它形成。

