

특허청구의 범위

청구항 1

화소영역이 정의된 절연기관 상에 일방향으로 연장하는 게이트 배선과;

상기 화소영역의 상측에 상기 게이트 배선과 이격하여 형성된 제 1 공통연결패턴과;

상기 화소영역 내의 양측단에 상기 제 1 공통연결패턴의 양끝단이 절곡되어 형성된 제 1 및 제 2 최외각 공통전극과;

상기 게이트 배선과 연결된 게이트 전극과;

상기 게이트 배선과 제 1 공통연결패턴 및 게이트 전극 위로 전면에 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하며 형성된 데이터 배선과;

상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 반도체층과;

상기 반도체층 상부에 상기 데이터 배선과 연결되며 형성된 소스 전극과, 상기 소스 전극과 이격하며 형성되며, 상기 제 1 최외각 공통전극이 형성된 부분까지 연장하여 형성된 드레인 전극과;

상기 데이터 배선과 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀과, 상기 제 1 공통연결패턴의 중앙부를 노출시키는 제 1 공통 콘택홀과, 상기 제 2 최외각 공통전극 전극을 노출시키는 제 2 공통 콘택홀을 가지며 형성된 보호층과;

상기 보호층 상부로 상기 제 1 및 제 2 최외각 공통전극 및 상기 제 1 공통연결패턴과 중첩하며, 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 형성된 화소연결패턴과, 상기 화소연결패턴에서 분기하며 일정간격 이격하며 형성된 다수의 화소전극과;

상기 보호층 상부로 상기 제 2 공통콘택홀을 통해 상기 제 2 최외각 공통전극과 접촉하며, 상기 화소영역 내에서 하측에 상기 화소연결패턴과 마주하며 형성된 제 2 공통연결패턴과, 상기 제 2 공통연결패턴에서 분기하며 상기 다수의 각 화소전극과 나란하게 교대하며 형성된 다수의 공통전극

을 포함하며, 상기 화소영역은 상기 게이트 배선이 연장하는 방향으로 장축을, 상기 데이터 배선이 연장하는 방향으로 단축을 가지며 형성된 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 게이트 배선이 연장하는 방향으로 서로 이웃한 화소영역에 구비되며 서로 인접하는 상기 제 1 및 제 2 최외각 공통전극은 제 1 연결패턴에 의해 서로 연결되는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 제 1 공통연결패턴의 중앙부는 상기 화소영역 내측으로 돌출되어 사다리꼴 형태를 이루는 것이 특징이며, 상기 제 1 공통연결패턴의 중앙부에 대응하여 상기 제 1 공통콘택홀을 통해 상기 제 1 공통연결패턴과 접촉하며 상측으로 이웃한 화소영역 내에 구비된 상기 제 2 공통연결패턴과 제 2 연결패턴에 의해 연결된 공통패턴이 형성된 횡전계형 액정표시장치용 어레이 기판.

청구항 4

제 1 항에 있어서,

상기 다수의 화소전극과 다수의 공통전극은 상기 사다리꼴 형태의 제 1 공통연결패턴의 중앙부의 양측변과 평행

하도록 형성됨으로써 상기 제 1 공통연결패턴의 중앙부를 기준으로 서로 대칭을 이루며 상기 화소영역이 2도메인 구조를 이루도록 하는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 5

제 1 항에 있어서,

상기 화소연결패턴은 상기 제 1 공통연결패턴의 중앙부에 대응해서는 중첩하지 않고 상기 제 1 공통연결패턴의 가장자리를 따라 이를 테두리하며 형성된 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 6

제 1 항에 있어서,

상기 게이트 절연막과 보호층을 개재하여 서로 중첩되는 제 1 및 제 2 최외각 전극과 상기 화소연결패턴은 각각 제 1 및 제 2 스토리지 커패시터를 이루며, 상기 제 1 공통연결패턴 중앙부를 기준으로 그 양측에 상기 게이트 절연막과 보호층을 개재하여 서로 중첩되는 제 1 공통연결패턴과 상기 화소연결패턴은 각각 제 3 및 제 3 스토리지 커패시터를 이루는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로 특히, 180Hz 구동을 실시하는데 있어 스토리지 차징이 유리하도록 배선 저항이 최소가 되며, 게이트 신호 온(on)/오프(off)시 화소전극과 게이트 배선과의 기생용량(Cgs)에 의한 ΔV_p 증가로 인해 발생하는 표시품질 저하를 방지할 수 있는 횡전계형 액정표시장치용 어레이 기판에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0004] 현재에는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0005] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

[0006] 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다.

[0007] 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.

[0008] 일반적인 횡전계형 액정표시장치는 컬러필터 기판과 어레이 기판이 서로 이격되어 대향하고 있으며, 이들 두 기판 사이에는 액정층이 개재되어 있다. 이때, 가장 특징적인 구성으로 상기 어레이 기판상에는 공통전극과 화소전극이 동일 평면상에 형성되어 있으며, 컬러필터 기판에는 블랙매트릭스와 컬러필터층만이 형성되고 있으며, 이때, 상기 액정층은 동일한 기판 즉, 어레이 기판에 형성된 공통전극과 화소전극에 의한 수평전계에 의해 작동

된다.

- [0009] 도 1a와 1b는 이러한 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도이다.
- [0010] 우선, 전압이 인가된 온(on)상태에서의 액정의 배열상태를 도시한 도 1a를 참조하면, 상기 공통전극(17) 및 화소전극(30)과 대응하는 위치의 액정(11a)의 상변이는 없지만 공통전극(17)과 화소전극(30)사이 구간에 위치한 액정(11b)은 이 공통전극(17)과 화소전극(30)사이 전압이 인가됨으로써 형성되는 수평전계(L)에 의하여, 상기 수평전계(L)와 같은 방향으로 배열하게 된다. 즉, 상기 횡전계형 액정표시장치는 액정이 수평전계에 의해 이동하므로, 시야각이 넓어지는 특성을 띠게 된다.
- [0011] 그러므로, 상기 횡전계형 액정표시장치를 정면에서 보았을 때, 상/하/좌/우방향으로 약 80~85도 방향에서도 반전현상 없이 가시할 수 있다.
- [0012] 다음, 도 1b를 참조하면, 상기 액정표시장치에 전압이 인가되지 않은 오프(off)상태이므로 상기 공통전극과 화소전극 간에 수평전계가 형성되지 않으므로 액정층(11)의 배열 상태가 변하지 않는다.
- [0013] 이러한 구성을 갖는 횡전계형 액정표시장치에 있어 어레이 기관의 구조에 대해 조금 더 상세히 설명한다.
- [0014] 도 2는 일반적인 횡전계형 액정표시장치용 어레이 기관의 일부를 개략적으로 구성한 평면도이다.
- [0015] 도시한 바와 같이, 종래의 일반적인 횡전계형 액정표시장치용 어레이 기관(10)은 소정간격 이격되어 평행하게 일 방향으로 형성된 다수의 게이트 배선(12)과, 상기 게이트 배선(12)에 근접하여 평행하게 일 방향으로 형성된 공통배선(16)과, 상기 두 배선(12, 14)과 교차하며 특히 상기 게이트 배선(12)과는 화소영역(P)을 정의하는 데이터 배선(24)이 형성되어 있다.
- [0016] 상기 게이트 배선(12)과 데이터 배선(24)의 교차지점에는 게이트 전극(14)과 반도체층(20)과 소스 전극(26) 및 드레인 전극(28)을 포함하는 박막 트랜지스터(Tr)가 형성되어 있으며, 이때 상기 소스 전극(26)은 상기 데이터 배선(24)과 연결되고, 상기 게이트 전극(14)은 상기 게이트 배선(12)과 연결되고 있다.
- [0017] 상기 화소영역(P) 내부에는 상기 드레인 전극(28)과 연결되며 서로 이격하며 다수의 화소전극(30)이 형성되어 있으며, 상기 다수의 화소전극(30)과 평행하게 교대하며 상기 공통배선(16)으로부터 분기한 다수의 공통전극(17)이 형성되어 있다.
- [0018] 전술한 구조를 갖는 종래의 횡전계형 액정표시장치용 어레이 기관을 구비한 횡전계형 액정표시장치는 하나의 화소전극이 데이터 배선이 연장하는 세로방향으로 장축을 가지며, 게이트 배선이 연장하는 가로방향으로 단축을 갖는 구조가 되며, 컬러 구현을 위해서는 도 3(종래의 일반적인 횡전계형 액정표시장치용 어레이 기관을 구비한 횡전계형 액정표시장치의 표시영역 일부를 게이트 및 데이터 배선을 포함하여 컬러필터 패턴의 배치를 간략히 도시한 평면도)에 도시한 바와 같이, 적, 녹, 청색의 컬러필터 패턴(R, G, B)을 필요로 하므로, 상기 게이트 배선(12)이 연장하는 가로방향으로 이웃한 3개의 화소영역(P)에 상기 적, 녹, 청색의 컬러필터 패턴(R, G, B)이 대응되도록 형성하고 있다. 이러한 경우, 통상적으로 게이트 배선(12) 대비 데이터 배선(24)의 수가 3배 정도 더 많게 된다.
- [0019] 한편, 데이터 배선을 통해 입력되는 데이터 신호는 그 전압 크기를 달리하며, 가로방향으로 배치된 모든 화소영역에 대해 한 번에 인가되어야 한다. 따라서 많은 수의 데이터 배선에 데이터 신호 인가를 위해서는 상대적으로 매우 복잡한 회로구조를 갖는 구동회로기관을 구비해야 하며, 나아가 이러한 구동회로기관과 상기 횡전계형 액정표시장치용 어레이 기관의 데이터 배선과 전기적 연결 및 신호 전압 콘트롤을 위한 데이터 구동 IC칩을 구비한 다수의 FPC(Flexible printed circuit)를 필요로 하고 있다. 이 경우 상기 FPC(Flexible printed circuit)에는 구비되는 데이터 구동 IC칩은 규격화되어 있으며, 이를 통해 콘트롤 할 수 있는 데이터 배선의 수는 한계를 가지므로 고해상도의 표시품질을 구현하거나 또는 대면적의 횡전계형 액정표시장치를 제조하는 경우 늘어난 화소영역의 개수에 비례하여 더 많은 수의 데이터 구동 IC칩을 구비한 FPC(Flexible printed circuit)가 요구됨으로써 제조 비용을 상승시키는 요인이 되고 있다.
- [0020] 도 4는 전술한 일반적인 횡전계형 액정표시장치에 데이터 구동 IC칩을 구비한 FPC(Flexible printed circuit)를 통해 구동회로기관이 장착된 것을 간략히 도시한 평면도이다.
- [0021] 도시한 바와 같이, 종래의 횡전계형 액정표시장치(60)는 제 1 해상도를 갖는다 가정했을 경우, 어레이 기관(62)에 구비된 데이터 배선(미도시)과 구동회로기관(70)을 연결시키는 데이터 구동 IC칩(64)을 구비한 FPC(67)가

일례로 6개 정도 구비되고 있음을 알 수 있다.

발명의 내용

해결 하고자하는 과제

- [0022] 본 발명은 전술한 바와 같은 문제를 해결하기 위해 안출된 것으로, 동일한 해상도를 갖는 경우 종래대비 데이터 배선과 구동회로기관과의 연결을 위한 데이터 구동 IC칩을 구비한 FPC의 수를 줄여 제조 비용을 절감시킬 수 있는 신구조의 횡전계형 액정표시장치용 어레이 기관을 제공하는 그 목적으로 한다.

과제 해결수단

- [0023] 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 횡전계형 액정표시장치용 어레이 기관은, 화소영역이 정의된 절연기관 상에 일방향으로 연장하는 게이트 배선과; 상기 화소영역의 상측에 상기 게이트 배선과 이격하여 형성된 제 1 공통연결패턴과; 상기 화소영역 내의 양측단에 상기 제 1 공통연결패턴의 양끝단이 절곡되어 형성된 제 1 및 제 2 최외각 공통전극과; 상기 게이트 배선과 연결된 게이트 전극과; 상기 게이트 배선과 제 1 공통연결패턴 및 게이트 전극 위로 전면에 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하며 형성된 데이터 배선과; 상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 반도체층과; 상기 반도체층 상부에 상기 데이터 배선과 연결되며 형성된 소스 전극과, 상기 소스 전극과 이격하며 형성되며, 상기 제 1 최외각 공통전극이 형성된 부분까지 연장하여 형성된 드레인 전극과; 상기 데이터 배선과 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀과, 상기 제 1 공통연결패턴의 중앙부를 노출시키는 제 1 공통 콘택홀과, 상기 제 2 최외각 공통전극 전극을 노출시키는 제 2 공통 콘택홀을 가지며 형성된 보호층과; 상기 보호층 상부로 상기 제 1 및 제 2 최외각 공통전극 및 상기 제 1 공통연결패턴과 중첩하며, 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 형성된 화소연결패턴과, 상기 화소연결패턴에서 분기하며 일정간격 이격하며 형성된 다수의 화소전극과; 상기 보호층 상부로 상기 제 2 공통콘택홀을 통해 상기 제 2 최외각 공통전극과 접촉하며, 상기 화소영역 내에서 하측에 상기 화소연결패턴과 마주하며 형성된 제 2 공통연결패턴과, 상기 제 2 공통연결패턴에서 분기하며 상기 다수의 각 화소전극과 나란하게 교대하며 형성된 다수의 공통전극을 포함하며, 상기 화소영역은 상기 게이트 배선이 연장하는 방향으로 장축을, 상기 데이터 배선이 연장하는 방향으로 단축을 가지며 형성된 것이 특징이다.
- [0024] 상기 게이트 배선이 연장하는 방향으로 서로 이웃한 화소영역에 구비되며 서로 인접하는 상기 제 1 및 제 2 최외각 공통전극은 제 1 연결패턴에 의해 서로 연결되는 것이 특징이다.
- [0025] 또한, 상기 제 1 공통연결패턴의 중앙부는 상기 화소영역 내측으로 돌출되어 사다리꼴 형태를 이루는 것이 특징이며, 상기 제 1 공통연결패턴의 중앙부에 대응하여 상기 제 1 공통콘택홀을 통해 상기 제 1 공통연결패턴과 접촉하며 상측으로 이웃한 화소영역 내에 구비된 상기 제 2 공통연결패턴과 제 2 연결패턴에 의해 연결된 공통패턴이 형성된 것이 특징이다.
- [0026] 상기 다수의 화소전극과 다수의 공통전극은 상기 사다리꼴 형태의 제 1 공통연결패턴의 중앙부의 양측변과 평행하도록 형성됨으로써 상기 제 1 공통연결패턴의 중앙부를 기준으로 서로 대칭을 이루며 상기 화소영역이 2도메인 구조를 이루도록 하는 것이 특징이다.
- [0027] 상기 화소연결패턴은 상기 제 1 공통연결패턴의 중앙부에 대응해서는 중첩하지 않고 상기 제 1 공통연결패턴의 가장자리를 따라 이를 테두리하며 형성된 것이 특징이다.
- [0028] 상기 게이트 절연막과 보호층을 개재하여 서로 중첩되는 제 1 및 제 2 최외각 전극과 상기 화소연결패턴은 각각 제 1 및 제 2 스토리지 커패시터를 이루며, 상기 제 1 공통연결패턴 중앙부를 기준으로 그 양측에 상기 게이트 절연막과 보호층을 개재하여 서로 중첩되는 제 1 공통연결패턴과 상기 화소연결패턴은 각각 제 3 및 제 3 스토리지 커패시터를 이루는 것이 특징이다.

효 과

[0029] 본 발명은 게이트 배선이 연장하는 가로방향으로 장축으로 가지며 데이터 배선이 연장하는 방향으로 단축을 갖는 화소영역을 구성함으로써 동일한 해상도를 갖는 종래대비 데이터 배선과 구동회로기관을 연결시키는 데이터 구동 IC칩을 구비한 FPC의 사용 개수를 줄여 제조 비용을 절감하는 효과가 있다.

[0030] 각 화소영역을 구동하는 스위칭 소자와 연결된 게이트 배선과 화소전극의 장축 길이만큼 이격시켜 화소연결패턴을 형성하여 상기 게이트 배선과 화소연결패턴에 의해 발생하는 기생용량을 저감시킬 수 있다. 따라서, ΔV_p 를 줄여 플리커 등의 발생을 억제함으로써 표시품질을 향상시키는 효과가 있다.

[0031] 또한 화소전극을 연결시키는 화소연결패턴과 제 1 공통연결패턴을 게이트 절연막과 보호층을 개재하여 중첩하도록 형성함으로써 제 3 및 제 4 스토리지 커패시터를 이루도록 함으로서 전체 스토리지 커패시터 용량을 향상시키는 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0032] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

[0033] 본 발명에 따른 횡전계형 액정표시장치용 어레이 기판은 전술한 문제를 해결하고자 화소영역이 게이트 배선이 연장하는 가로방향으로 장축을 갖고, 데이터 배선이 연장하는 세로방향으로 단축을 갖도록 형성한 것을 특징으로 한다.

[0034] 이러한 구조를 갖는 어레이 기판에 대해 적, 녹, 청색 컬러필터 패턴이 세로방향으로 이웃한 세 개의 화소영역에 대해 순차 대응되도록 배치된 구조를 컬러필터 기판과 합착하여 횡전계형 액정표시장치를 이룸으로써 종래대비 데이터 구동 IC칩을 갖는 FPC의 사용을 저감시킨 것이 특징이다.

[0035] 본 발명에 따른 횡전계형 액정표시장치용 어레이 기판은 종래의 일반적인 횡전계형 액정표시장치용 어레이 기판 대비 게이트 배선의 수가 3배로 증가하는 대신 데이터 배선은 1/3로 줄게 된다.

[0036] 게이트 배선에 인가되는 신호 전압은 이와 연결된 박막트랜지스터의 온/오프 만을 결정하는 것으로 순차적으로 동일한 전압이 인가되므로 이를 위한 구동회로는 타이밍 콘트롤러 등의 간단한 소자만을 필요로 한다. 따라서, 게이트 배선의 수가 증가했다고 해도 이를 콘트롤하기 위한 구동회로는 종래와 동일한 수준이 된다. 이 경우, 각 게이트 배선에 게이트 신호전압을 인가하는 시간을 1/3정도로 줄임으로써 즉, 종래의 60Hz 구동에서 180Hz 구동을 실시함으로써 동일한 구동소자로서 구동이 가능하다. 이때, 게이트 배선의 구동은 게이트 구동 IC칩을 구비한 FPC를 이용하지 않고도 데이터 구동 IC칩을 구비한 FPC를 통해 상기 데이터 배선과 연결된 구동회로기관으로부터 게이트 신호전압을 인가받을 수 있으며, 이 경우 상기 FPC와 전기적 연결을 위한 배선은 상기 어레이 기판의 비표시영역에 형성되게 된다.

[0037] 한편, 이러한 본 발명에 따른 어레이 기판의 구조에 있어 데이터 배선의 경우 그 수가 1/3로 줄게 됨으로써 이와 구동회로기관과 연결되는 데이터 구동 IC칩을 구비한 FPC는 줄어들게 되는 것이다.

[0038] <제 1 실시예>

[0039] 도 5는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 표시영역 일부를 개략적으로 도시한 평면도이다.

[0040] 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판(101)은 가로방향으로 게이트 배선(105)이 연장하며 형성되어 있으며, 이와 교차하여 화소영역(P)을 정의하며 데이터 배선(130)이 형성되어 있다.

[0041] 또한 상기 게이트 배선(105)이 형성된 동일한 층에는 이를 이루는 동일한 금속물질로 이루어지며 상기 화소영역(P)의 상측에 상기 게이트 배선(105)과 이격하여 제 1 공통연결패턴(108)이 형성되어 있다. 이때 상기 제 1 공통연결패턴(108)에 있어 그 중앙부(109)는 상기 데이터 배선(130)이 연장하는 방향으로 뾰족하게 삼각형 형태를 가지며 돌출되고 있다. 또한 상기 제 1 공통연결패턴(108)의 양 끝단은 각각 절곡되어 이와 인접하는 상기 데이터 배선(130)과 나란하게 배치되고 있다. 이때 상기 제 1 공통연결패턴(108)의 양측 절곡부는 각 화소영역(P) 내에서 최외각 공통전극(110a, 110b)을 이루는 동시에 각각 제 1 및 제 2 스토리지 커패시터(StgC1, StgC2)의 제 1 전극을 이루고 있는 것이 특징이다. 이때, 이웃한 화소영역(P)간에 서로 상기 데이터 배선(130)을 사이에 두고 인접하여 형성된 최외각 공통전극(110a, 110b)은 상기 데이터 배선(130)과 교차하는 제 1 연결패턴(111)에

의해 서로 연결되고 있는 것이 특징이다.

- [0042] 다음, 상기 게이트 및 데이터 배선(105, 130)이 교차하는 부근에는 이들 두 배선(105, 130)과 연결되며 게이트 전극(113), 게이트 절연막(미도시), 반도체층(120), 서로 이격하는 소스 및 드레인 전극(133, 136)으로 구성된 박막트랜지스터(Tr)가 형성되어 있다. 이때 상기 게이트 전극(113)은 상기 게이트 배선(105)과, 상기 소스 전극(133)은 상기 데이터 배선(130)과 연결되고 있다.
- [0043] 이때 상기 드레인 전극(136)은 상기 2개의 최외각 공통전극(110a, 110b) 중 이와 인접하는 최외각 공통전극(110a)까지 연장함으로써 상기 일 최외각 공통전극(110a)과 중첩하도록 형성되고 있는 것이 특징이다.
- [0044] 다음, 각 화소영역(P)에는 상기 박막트랜지스터(Tr) 위로 전면에서 상기 박막트랜지스터(Tr)의 드레인 전극(136)을 노출시키는 드레인 콘택홀(143)과, 상기 제 1 공통연결패턴(108)의 삼각형 형태의 중앙부(109)를 노출시키는 제 1 공통 콘택홀(145)과, 상기 최외각 공통전극(110a, 110b) 중 상기 드레인 전극(136)과 중첩하지 않는 최외각 공통전극(110b)을 노출시키는 제 2 공통 콘택홀(147)을 갖는 보호층(미도시)이 형성되어 있다.
- [0045] 또한, 상기 보호층(미도시) 상부에는 상기 서로 이격하며 상기 제 1 공통연결패턴의 중앙부(109)를 기준으로 대칭을 이루며 서로 교대하며 일정간격 이격하는 다수의 화소전극(154) 및 공통전극(164)이 형성되어 있다. 상기 다수의 화소전극(154)은 그 일끝단이 화소연결패턴(152)에 의해 연결되고 있으며, 이때 상기 화소연결패턴(152)은 상기 화소영역(P)이 하측에 위치한 게이트 배선(105)과 인접하여 형성되고 있으며, 그 양끝단은 절곡되어 각각 상기 최외각 공통전극(110a, 110b)과 중첩하여 형성됨으로써 각각 제 1 및 제 2 스토리지 커패시터(StgC1, StgC2)의 제 2 전극(150a, 150b)을 이루는 것이 특징이다. 이때 상기 제 1 스토리지 커패시터(StgC1)의 제 2 전극(150a)은 상기 드레인 콘택홀(143)을 통해 상기 드레인 전극(136)과 접촉하고 있다.
- [0046] 한편, 상기 다수의 공통전극(164)의 끝단 또한 제 2 공통연결패턴(162)에 의해 연결되고 있으며, 이때 상기 제 2 공통연결패턴(162)은 상기 각 화소영역(P)의 상측에 위치한 상기 제 1 공통연결패턴(108) 및 상기 제 1 공통연결패턴 중앙부(109)와 중첩하며 형성되고 있는 것이 특징이다. 이때 상기 제 2 공통연결패턴(162)은 그 일끝단 부근에서 분기하는 제 2 연결패턴(163)을 포함하고 있으며, 상기 제 2 연결패턴(163)은 상기 게이트 배선(105)과 교차하여 상측의 이웃한 화소영역(P)에 형성된 최외각 전극(110b)을 노출시키는 제 2 공통콘택홀(147)을 통해 상기 최외각 전극(110b)과 접촉하는 것이 특징이다.
- [0047] 한편, 상기 각 화소영역(P)에 상기 데이터 배선(130)이 연장한 방향으로 그 장축을 가지며 교대하며 형성된 다수의 공통전극(164) 및 화소전극(154)은 상기 데이터 배선(130)과 나란하지 않고 소정의 각도를 이루고 있는 것이 특징이다. 즉, 상기 다수의 공통전극(164) 및 화소전극(154)은 상기 삼각형 형태의 제 1 공통연결패턴의 중앙부(109)의 양측면과 각각 평행하도록 형성되고 있으며, 이때 상기 제 1 공통연결패턴의 중앙부(109)를 기준으로 대칭되도록 배치됨으로써 하나의 화소영역(P) 내에서 2도메인 구조를 이루는 것이 특징이다.
- [0048] 진술한 구조를 갖는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판(101)은 하나의 화소영역(P)이 게이트 배선(105)이 연장하는 방향으로 장축을 이루고, 데이터 배선(130)이 연장하는 방향으로 단축을 이루므로써, 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판을 구비한 횡전계형 액정표시장치의 표시영역 일부를 게이트 및 데이터 배선을 포함하여 컬러필터 패턴의 배치를 간략히 도시한 평면도인 도 6을 참조하면, 상기 어레이 기판에 대향하여 형성되는 컬러필터 기판에 있어 적, 녹, 청색의 컬러필터 패턴(R, G, B)의 배치가 상하로 이웃한 3개의 화소영역(P)에 배치된다.
- [0049] 컬러 화상을 표시하는 최소단위는 적, 녹, 청색 컬러필터 패턴(R, G, B)을 구비한 3개의 화소영역(P)이 되며, 이를 설명의 편의를 위해 도트(dot)라 정의한다.
- [0050] 가로 및 세로방향으로 동일한 개수의 도트(dot)를 형성한다고 가정할 때, 종래의 경우는 화소영역이 게이트 배선의 연장방향으로 단축을, 데이터 배선의 연장방향으로 장축을 갖도록 형성되므로 게이트 배선의 연장방향으로 적, 녹, 청색 컬러필터 패턴이 배치됨으로써 데이터 배선의 수가 게이트 배선의 수보다 3배 더 많게 형성되었다.
- [0051] 하지만, 본 발명의 경우 화소영역(P)이 게이트 배선(105)의 연장방향으로 장축을, 데이터 배선(130)의 연장방향으로 단축을 갖도록 형성되므로 데이터 배선(130)이 연장하는 방향으로 적, 녹, 청색 컬러필터 패턴(R, G, B)이 배치됨으로써 게이트 배선(105)이 데이터 배선(130)보다 3배 더 많게 형성된다.
- [0052] 게이트 배선(105)은 그 수가 증가하더라도 모두 동일한 크기의 신호전압이 인가되므로 이의 구동을 위한 구동회로는 매우 간단하며 배선의 개수 증가와 관계없이 이를 위한 구동회로는 종래와 동일한 수준이 된다.

- [0053] 데이터 신호전압은 데이터 배선(130)의 개수만큼 서로 다른 신호전압이 인가되므로 데이터 배선(130)이 증가하게 되면, 늘어난 부분만큼 데이터 신호를 받아들여 저장해야하는 장소도 늘어나야 하는 등 구동회로의 확장이 필요하며, 구동 IC칩은 그 크기의 한계가 있으므로 이를 구비한 FPC는 비례적으로 늘어나게 된다.
- [0054] 따라서, 전술한 원리에 의해 종래의 횡전계형 액정표시장치용 어레이 기관의 경우 고해상도로 갈수록 데이터 배선의 수가 급격히 증가하는 구조가 됨으로써 요구되는 데이터 구동 IC칩은 구비한 FPC는 늘게 되지만, 본 발명의 실시예의 경우 데이터 배선(130)보다는 게이트 배선(105)이 증가하는 구조가 되므로 FPC의 증가는 억제할 수 있다.
- [0055] 또한, 종래와 본 발명의 실시예가 동일한 해상도를 갖는다고 가정할 경우, 도 7(본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치에 데이터 구동 IC칩을 구비한 FPC를 통해 구동회로기관이 장착된 것을 간략히 도시한 평면도)을 참조하면 전술한 구조적 특징에 의해 본 발명의 실시예에 따른 어레이 기관(101)의 데이터 배선(미도시)은 종래대비 1/3이 되므로, 동일한 해상도를 가정할 때, 종래의 횡전계형 액정표시장치가 이의 구동을 위해 외부구동회로기관과 연결을 위해 데이터 구동 IC칩을 구비한 6개의 FPC(도 4 참조)를 필요로 하는 반면, 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치(183)는 이의 구동을 위해 외부구동회로기관(183)과 연결을 위한 데이터 구동 IC칩(189)을 구비한 2개의 FPC(186)만을 필요로 하게 되므로 최종 제품인 횡전계형 액정표시장치의 제조 비용을 절감시킬 수 있다.
- [0056] <제 2 실시예>
- [0057] 도 8은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 표시영역 일부를 개략적으로 도시한 평면도이며, 도 9는 도 8을 절단선 IX-IX을 따라 절단한 부분에 대한 단면도이며, 도 10은 도 8을 절단선 X-X를 따라 절단한 부분에 대한 단면도이다.
- [0058] 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기관(201)에는 가로방향으로 게이트 배선(205)이 연장하며 형성되어 있으며, 게이트 절연막(215)을 개재하여 상기 게이트 배선(205)과 교차하여 화소영역(P)을 정의하며 데이터 배선(230)이 형성되어 있다. 이때 상기 화소영역(P)은 그 구조에 있어 그 장축이 상기 게이트 배선(205)과 나란하며, 그 단축이 상기 데이터 배선(230)과 나란하게 배치되는 것이 특징이다.
- [0059] 또한, 상기 게이트 배선(205)이 형성된 동일한 층에는 상기 게이트 배선(205)을 이루는 동일한 금속물질로 이루어지며 상기 화소영역(P)의 상측에 위치하는 상기 게이트 배선(205)과 이격하여 제 1 공통연결패턴(208)이 형성되어 있다. 이때 상기 제 1 공통연결패턴(208)에 있어 그 중앙부(209)는 상기 화소영역(P) 내부를 향하여 상기 데이터 배선(230)이 연장하는 방향으로 뾰족하게 사다리꼴 형태를 가지며 돌출되어 타 영역대비 더 두꺼운 폭을 가지며 형성되고 있는 것이 특징이다.
- [0060] 또한, 상기 제 1 공통연결패턴(208)의 양 끝단은 화소영역(P) 내부에서 각각 절곡되어 이와 인접하는 상기 데이터 배선(230)과 나란하게 배치되고 있다. 이때 상기 제 1 공통연결패턴(208)의 양측의 절곡된 부분은 각 화소영역(P) 내에서 최외각 공통전극(210a, 210b)을 이루는 동시에 각각 제 1 및 제 2 스토리지 커패시터(StgC1, StgC2)의 제 1 전극을 이루는 것이 특징이다. 이때, 가로방향으로 이웃한 화소영역(P) 간에 상기 데이터 배선(230)을 사이에 두고 인접하여 형성된 최외각 공통전극(210a, 210b)은 상기 데이터 배선(230)과 교차하는 제 1 연결패턴(211)에 의해 서로 연결되고 있는 것이 특징이다.
- [0061] 한편, 상기 제 1 공통연결패턴(208)은 그 중앙부(209)를 기준으로 그 양측에 위치하는 부분이 각각 제 3 및 제 4 스토리지 커패시터(StgC3, StgC4)의 제 1 전극을 이룬다.
- [0062] 다음, 상기 게이트 및 데이터 배선(205, 230)이 교차하는 부근에는 상기 게이트 배선(205)과 연결된 게이트 전극(213), 상기 게이트 절연막(215), 액티브층(220a)과 그 상부에서 서로 이격하는 오믹콘택층(220b)으로 구성된 반도체층(220), 서로 이격하는 소스 및 드레인 전극(233, 236)으로 순차 적층되어 구성된 박막트랜지스터(Tr)가 형성되어 있다. 이때, 상기 소스 전극(233)은 상기 데이터 배선(230)과 연결되고 있다.
- [0063] 이때, 상기 드레인 전극(236)은 상기 2개의 최외각 공통전극(210a, 210b) 중 이와 인접하는 최외각 공통전극(210)까지 연장함으로써 상기 일 최외각 공통전극(210a)과 중첩하도록 형성되고 있는 것이 특징이다.
- [0064] 다음, 각 화소영역(P)에는 상기 박막트랜지스터(Tr)와 상기 데이터 배선(230) 위로 전면에서 상기 박막트랜지스터(Tr)의 드레인 전극(236)을 노출시키는 드레인 콘택홀(243)과, 상기 제 1 공통연결패턴(208)의 사다리꼴 형태의

중앙부(209)를 노출시키는 제 1 공통 콘택홀(245)과, 상기 최외각 공통전극(210a, 210b) 중 상기 드레인 전극(236)과 중첩하지 않는 최외각 공통전극(210b)을 노출시키는 제 2 공통 콘택홀(247)을 갖는 보호층(240)이 형성되어 있다.

[0065] 또한, 상기 보호층(240) 상부에는 상기 서로 이격하며 상기 제 1 공통연결패턴(208)의 사다리꼴 형태의 중앙부(209)를 기준으로 대칭을 이루며, 서로 교대하며 일정간격 이격하는 다수의 화소전극(254) 및 공통전극(264)이 형성되어 있다.

[0066] 이때, 상기 다수의 화소전극(254)은 그 일 끝단이 화소연결패턴(252)에 의해 연결되고 있으며, 상기 화소연결패턴(252)은 상기 화소영역(P)의 상측에 상기 제 1 공통연결패턴(208)과 중첩하도록 배치됨으로써 상기 제 1 공통연결패턴의 중앙부(209)를 기준을 각각 제 3 및 제 4 스토리지 커패시터(StgC3, StgC4)의 제 2 전극을 이루는 것이 특징이다. 즉, 상기 화소연결패턴(252)은 상기 제 1 공통연결패턴의 중앙부(209)와는 중첩되지 않고, 상기 제 1 공통연결패턴의 중앙부(209)의 가장자리를 따라 테두리 함으로써 전술한 바와 같이 상기 제 1 공통연결패턴의 중앙부(209)를 기준으로 각각 제 3 및 제 4 스토리지 커패시터(StgC3, StgC4)의 제 2 전극을 이루게 되는 것이다. 따라서 상기 제 1 공통연결패턴의 중앙부(209)를 기준으로 그 양측으로 서로 중첩하는 상기 제 1 공통연결패턴(208)과 상기 화소연결패턴(252)은 그 사이에 개재된 게이트 절연막(215)과 보호층(240)을 유전체층으로 하여 각각 제 3 및 제 4 스토리지 커패시터(StgC3, StgC4)를 이룬다.

[0067] 이러한 화소연결패턴(252)의 화소영역(P) 내에서의 배치 및 이를 통해 형성된 제 3 및 제 4 스토리지 커패시터(StgC3, StgC4)가 구성된 것이 제 1 실시예와 차별되는 본 발명의 제 2 실시예의 가장 큰 특징적인 것이 된다. 이때 상기 제 1 공통연결패턴(208)의 사다리꼴 형태의 중앙부(209)에 대응해서는 이를 노출시키는 제 1 공통 콘택홀(245)을 통해 상기 제 1 공통연결패턴의 중앙부(209)와 접촉하며 공통패턴(265)이 형성되어 있다.

[0068] 또한, 상기 화소연결패턴(252)은 그 양끝단은 절곡되어 각각 상기 최외각 공통전극(210a, 210b)과 중첩하여 형성됨으로써 각각 제 1 및 제 2 스토리지 커패시터(StgC1, StgC2)의 제 2 전극(250a, 250b)을 이루는 것이 특징이다. 이때 상기 제 1 및 제 2 스토리지 커패시터(StgC1, StgC2)의 제 2 전극(250a, 250b) 중 하나(250a)는 상기 드레인 콘택홀(243)을 통해 상기 드레인 전극(236)과 접촉하고 있다.

[0069] 한편, 상기 다수의 공통전극(264)의 끝단 또한 제 2 공통연결패턴(262)에 의해 연결되고 있으며, 이때 상기 제 2 공통연결패턴(262)은 상기 각 화소영역(P)의 하측에 위치한 상기 게이트 배선(205)과 인접하여 이와 이격하며 형성되고 있는 것이 특징이다. 이때 상기 제 2 공통연결패턴(262)은 그 중앙부에서 분기하는 제 2 연결패턴(266)을 포함하고 있으며, 상기 제 2 연결패턴(266)은 상기 게이트 배선(205)과 교차하여 하측의 이웃한 화소영역(P)에 형성된 공통패턴(265)과 연결되는 것이 특징이다.

[0070] 또한 상기 제 2 공통연결패턴(262)의 일끝단은 상기 최외각 공통전극(210b)을 노출시키는 제 2 공통콘택홀(247)을 통해 상기 최외각 공통전극(210b)과 접촉하는 것이 특징이다.

[0071] 한편, 상기 각 화소영역(P)에 상기 데이터 배선(230)이 연장한 방향으로 그 장축을 가지며, 서로 교대하며 형성된 다수의 공통전극(264) 및 화소전극(254)은 상기 데이터 배선(230)과 나란하지 않고 소정의 각도를 이루고 있는 것이 특징이다. 즉, 상기 다수의 공통전극(264) 및 화소전극(254)은 상기 사다리꼴 형태의 제 1 공통연결패턴의 중앙부(209)에 의해 상기 사다리꼴의 양측면과 각각 평행하도록 형성되고 있으며, 이때 상기 제 1 공통연결패턴의 중앙부(209)를 기준으로 대칭되도록 배치됨으로써 하나의 화소영역(P) 내에서 2도메인 구조를 이루는 것이 특징이다.

[0072] 전술한 구성을 갖는 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기판(201)은, 그 구조 특성상 전술한 제 1 실시예에서 언급한 데이터 구동 IC칩을 구비한 FPC의 사용 개수를 줄여 비용 절감의 효과를 가지며, 나아가, 서로 중첩하는 최외각 공통전극(210a, 210b)과 화소연결패턴의 절곡부(250a, 250b)에 의해 형성되는 제 1 및 제 2 스토리지 커패시터(StgC1, StgC2) 이외에 추가적으로 제 1 공통연결패턴(208)과 중첩하도록 화소연결패턴(252)이 배치됨으로써 제 3 및 제 4 스토리지 커패시터(StgC3, StgC4)를 형성하여 전체 스토리지 커패시터 용량을 증가시키는 효과를 갖는다.

[0073] 또한, 상기 각 화소영역(P)에 대해 이에 형성된 다수의 화소전극(254)을 구동시키는 박막트랜지스터(Tr)와 연결된 게이트 배선(205)과 상기 다수의 화소전극(254)의 끝단을 연결하는 화소연결패턴(252)이 서로 인접하여 형성되지 않고 상기 화소전극(254)의 장축 길이보다 크며 화소영역(P)의 단축폭보다는 작은 정도 이격하여 형성됨으로써 이들 두 구성요소에 의해 형성되는 기생용량(Cgs)을 최소화함으로써 ΔV_p 의 크기를 줄여 플리커 등의 발생을 최소화하여 표시품질을 향상시키는 효과가 있다.

- [0074] 이후에는 도 8, 9 및 10을 참조하여 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 제조 방법에 대해 설명한다. 제 1 실시예의 경우 단지 화소연결패턴의 형성 위치만을 달리하며 제 2 실시예와 그 제조방법이 유사하므로 차별점이 있는 부분에 대해서만 부가하여 설명한다. 이때 설명의 편의를 위해 각 화소영역(P) 내에 박막트랜지스터(Tr)가 형성되는 부분을 스위칭 영역(TrA)이라 정의한다.
- [0075] 우선, 투명한 절연기판(201) 상에 저저항 특성을 갖는 제 1 금속물질 예를들면 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo)을 증착하고 이를 패터닝함으로써 일방향으로 연장하는 게이트 배선(205)을 형성하고, 각 화소영역(P)에 있어서는 상기 게이트 배선(205)과 이격하며 나란하게 제 1 공통연결패턴(208)을 형성한다. 이때 상기 제 1 공통연결패턴(208)은 그 중앙부(209)에 대해서는 타 영역대비 두꺼운 두께를 가지며 삼각형(제 1 실시예) 또는 사다리꼴(제 2 실시예) 형태를 이루도록 하며, 그 양끝단은 절곡되어 각각 최외각 공통전극(210a, 210b)을 이루도록 한다. 이때 상기 서로 다른 화소영역(P)에 형성되며 인접하는 최외각 공통전극(210a, 210b)은 이와 동일한 층에 동일한 물질로 형성된 제 1 연결패턴(211)에 의해 서로 연결되도록 한다. 이 경우 상기 제 1 공통연결패턴(208)은 제 1 실시예의 경우 상기 화소영역(P)의 하측에, 제 2 실시예의 경우 화소영역(P)의 상측에 형성되는 것이 특징이다.
- [0076] 한편, 상기 스위칭 영역(TrA)에 있어서는 상기 게이트 배선(205)과 연결된 게이트 전극(213)을 형성한다.
- [0077] 다음, 상기 게이트 배선(205)과 제 1 공통연결패턴(208)과 최외각 공통전극(210a, 210b)과 제 1 연결패턴(211) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착함으로써 게이트 절연막(215)을 형성한다.
- [0078] 다음, 상기 게이트 절연막(215) 위로 순수 비정질 실리콘과 불순물 비정질 실리콘 및 제 2 금속물질을 연속하여 증착함으로써 순수 및 불순물 비정질 실리콘층(미도시)과 제 2 금속물질층(미도시)을 형성하고, 이를 회절노광법 또는 하프톤 노광법 등을 이용한 마스크 공정을 진행함으로써 상기 스위칭 영역(TrA)에 있어 상기 게이트 전극(213)에 대응하는 상기 게이트 절연막(215) 위로 연결된 상태의 비정질 실리콘의 액티브층(220a)과 그 위로 서로 이격하는 불순물 비정질 실리콘의 오믹코택층(220b)과 상기 오믹코택층(220b) 위로 서로 이격하는 소스 및 드레인 전극(233, 236)을 형성함으로써 스위칭 소자인 박막트랜지스터(Tr)를 완성한다.
- [0079] 또한, 동시에 상기 게이트 절연막(215) 위로 상기 게이트 배선(205)과 교차하여 상기 화소영역(P)을 정의하며 상기 소스 전극(233)과 연결되는 데이터 배선(230)을 형성한다. 이때 상기 데이터 배선(230)은 이웃한 화소영역(P)의 최외각 공통전극(210a, 210b) 사이에 상기 최외각 공통전극(210a, 210b)과 소정간격 이격하여 형성한다.
- [0080] 이 경우, 상기 제 2 금속물질층(미도시)과 하부의 불순물 및 순수 비정질 실리콘층(미도시)을 동시에 패터닝하게 됨으로써 상기 데이터 배선(230) 하부에도 반도체 패턴(미도시)이 형성될 수도 있다. 하지만, 상기 게이트 절연막(215) 위로 순수 및 불순물의 비정질 실리콘을 순차 증착하고, 이들 2개의 층을 패터닝하여 스위칭 영역(TrA)에 아일랜드 형태로 상기 반도체층(220)을 먼저 형성하고, 그 상부로 상기 제 2 금속물질을 증착하여 제 2 금속물질층(미도시)을 형성한 후 이를 패터닝하여 상기 소스 및 드레인 전극(233, 236)을 형성하게 되면 상기 소스 및 드레인 전극(233, 236) 하부에만 반도체층(220)이 형성되고 상기 데이터 배선(230) 하부에는 반도체패턴(미도시)이 형성되지 않도록 할 수도 있다.
- [0081] 다음, 상기 데이터 배선(230)과 소스 및 드레인 전극(233, 236) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하거나 또는 유기절연물질 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포함으로써 보호층(240)을 형성하고, 이를 패터닝함으로써 상기 드레인 전극(236) 일부를 노출시키는 드레인 콘택홀(243)과, 상기 제 1 공통연결패턴의 중앙부(209) 일부를 노출시키는 제 1 공통 콘택홀(245) 및 상기 최외각 공통전극(210a, 210b) 중 상기 드레인 전극(236)과 중첩하지 않는 최외각 전극(210b)에 대응하여 제 2 공통 콘택홀(247)을 형성한다.
- [0082] 다음, 상기 드레인 콘택홀(243)과 제 1 및 제 2 공통 콘택홀(245, 247)이 형성된 보호층(240) 위로 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO), 인듐-징크-옥사이드(IZO)를 증착하고, 패터닝함으로써 상기 드레인 콘택홀(243)을 통해 상기 드레인 전극(236)과 접촉하며, 배선형태로 2단 절곡된 형태를 갖는 화소연결패턴(252)과 상기 화소연결패턴(252)에서 분기한 다수의 화소전극(254)을 형성한다.

[0083] 또한, 상기 보호층(240) 위로 상기 제 2 공통 콘택홀(247)을 통해 상기 최외각 공통전극(210b)과 접촉하는 제 2 공통연결패턴(262)과 상기 제 2 공통연결패턴(262)에서 분기하며 상기 다수의 각 화소전극(254)과 교대하는 다수의 공통전극(264)을 형성한다.

[0084] 또한 상기 제 1 공통연결패턴의 중앙부(209)에 대응해서는 상기 제 1 공통콘택홀(245)을 통해 상기 제 1 공통연결패턴(208)과 접촉하는 공통패턴(265)을 형성하며, 상기 서로 이웃한 화소영역(P) 내에 형성된 상기 제 2 공통연결패턴(262)과 상기 공통패턴(265)을 연결시키는 제 2 연결패턴(266)을 형성함으로써 어레이 기판(201)을 완성한다.

[0085] 이때 서로 중첩하는 최외각 전극(210a, 210b)과 상기 화소연결패턴의 절곡부(250a, 250b)는 각각 이들 사이에 개재된 게이트 절연막(215)과 보호층(240)을 유전체층으로 하여 각각 제 1 및 제 2 스토리지 커패시터(StgC1, StgC2)를 이루고, 상기 제 1 공통연결패턴의 중앙부(209)를 기준으로 그 양측의 서로 중첩하는 상기 제 1 공통연결패턴(208)과 화소연결패턴(205)은 제 3 및 제 4 스토리지 커패시터(StgC3, StgC4)를 이룬다.

[0086] 한편, 제 1 실시예의 경우, 전술한 제 2 실시예와 차별점이 있는 부분은, 도 6을 참조하면 화소연결패턴(152)이 화소영역(P)의 하측에 위치하며, 제 2 공통연결패턴(162)이 상기 제 1 공통콘택홀(145)을 통해 상기 제 1 공통연결패턴(108)과 접촉하며 이와 중첩하도록 형성하며, 상기 제 2 공통연결패턴(162)의 일끝단 부근에 분기하여 이와 이웃하는 화소영역(P) 내에 구비된 제 2 공통콘택홀(147)을 통해 일 최외각 공통전극(108b)과 접촉하는 제 2 연결패턴(163)을 형성한 다는 것이다. 그 이외의 구성요소는 전술한 제 2 실시예와 동일하게 형성되므로 설명은 생략한다.

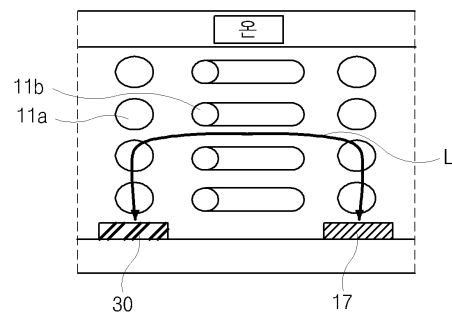
도면의 간단한 설명

- [0087] 도 1a, 1b는 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도.
- [0088] 도 2는 종래의 일반적인 횡전계형 액정표시장치용 어레이 기판의 일부를 도시한 평면도.
- [0089] 도 3은 종래의 일반적인 횡전계형 액정표시장치용 어레이 기판을 구비한 횡전계형 액정표시장치의 표시영역 일부를 게이트 및 데이터 배선을 포함하여 컬러필터 패턴의 배치를 간략히 도시한 평면도.
- [0090] 도 4는 종래의 일반적인 횡전계형 액정표시장치에 데이터 구동 IC칩을 구비한 FPC를 통해 구동회로기판이 장착된 것을 간략히 도시한 평면도.
- [0091] 도 5는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 표시영역 일부를 개략적으로 도시한 평면도.
- [0092] 도 6은 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판을 구비한 횡전계형 액정표시장치의 표시영역 일부를 게이트 및 데이터 배선을 포함하여 컬러필터 패턴의 배치를 간략히 도시한 평면도.
- [0093] 도 7은 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치에 데이터 구동 IC칩을 구비한 FPC를 통해 구동회로기판이 장착된 것을 간략히 도시한 평면도.
- [0094] 도 8은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 표시영역 일부를 개략적으로 도시한 평면도.
- [0095] 도 9는 도 6을 절단선 IX-IX을 따라 절단한 부분에 대한 단면도.
- [0096] 도 10은 도 6을 절단선 X-X를 따라 절단한 부분에 대한 단면도.
- [0097] <도면의 주요부분에 대한 간단한 설명>
- | | |
|------------------------------|----------------------|
| [0098] 201 : 어레이 기판 | 205 : 게이트 배선 |
| [0099] 208 : 제 1 공통연결패턴 | 209 : 제 1 공통연결패턴 중앙부 |
| [0100] 210a, 210b : 최외각 공통전극 | 211 : 제 1 연결패턴 |
| [0101] 213 : 게이트 전극 | 220 : 반도체층 |
| [0102] 230 : 데이터 배선 | 233 : 소스 전극 |
| [0103] 236 : 드레인 전극 | 243 : 드레인 콘택홀 |

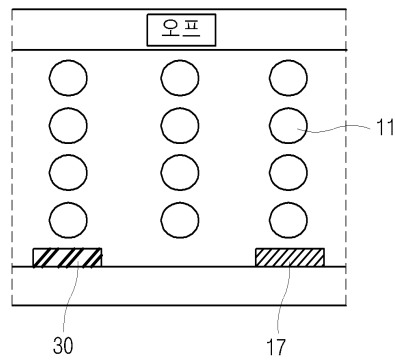
[0104]	245 : 제 1 공통 콘택홀	247 : 제 2 공통 콘택홀
[0105]	250a, 250b : 화소연결패턴 절곡부	252 : 화소연결패턴
[0106]	254 : 화소전극	262 : 제 2 공통연결패턴
[0107]	264 : 공통전극	265 : 공통패턴
[0108]	266 : 제 2 연결패턴	
[0109]	StgC1, StgC2, StgC3, StgC4 : 제 1, 2, 3, 4 스토리지 커패시터	
[0110]	Tr : 박막트랜지스터	

도면

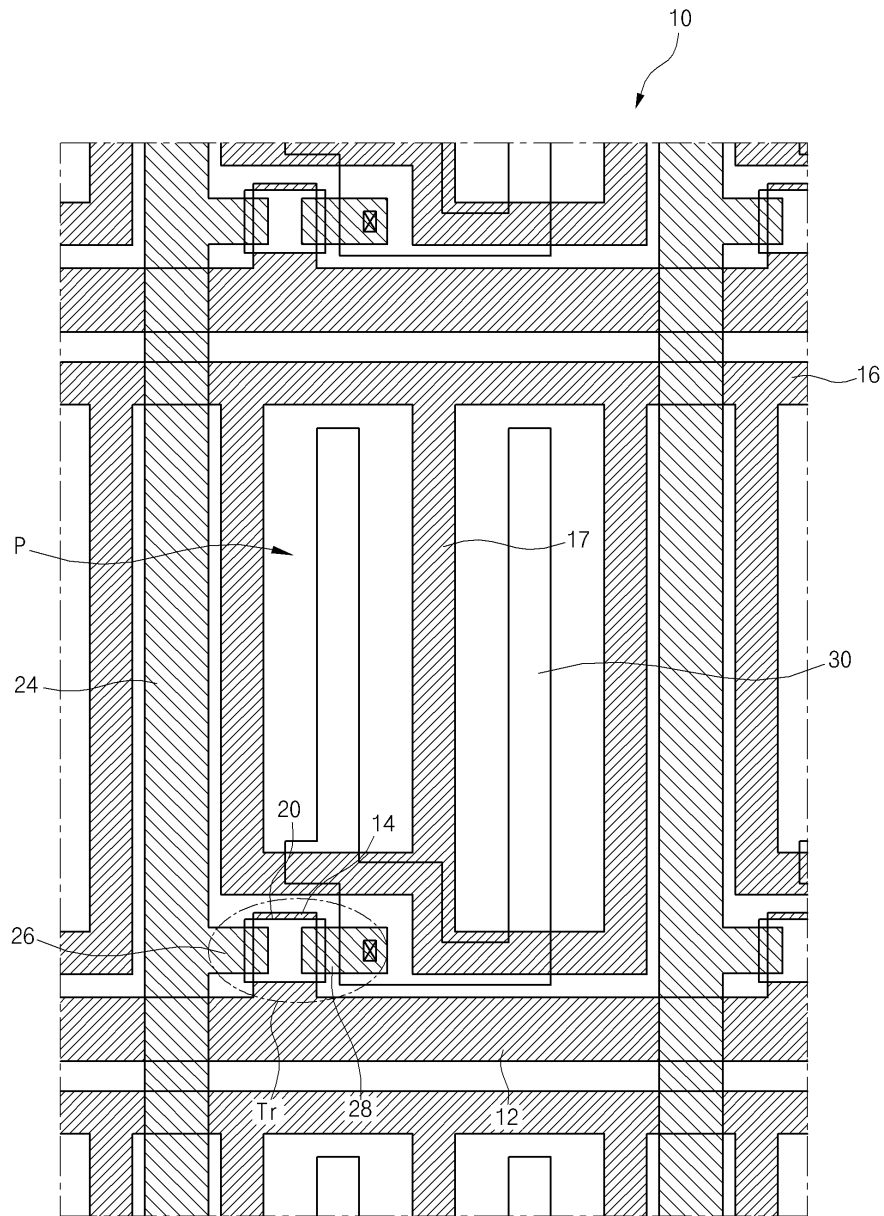
도면1a



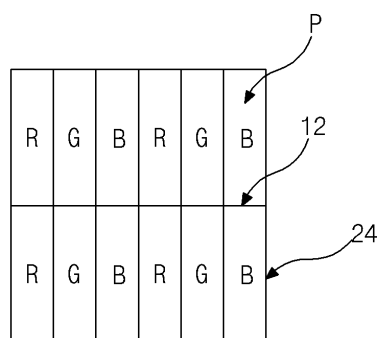
도면1b



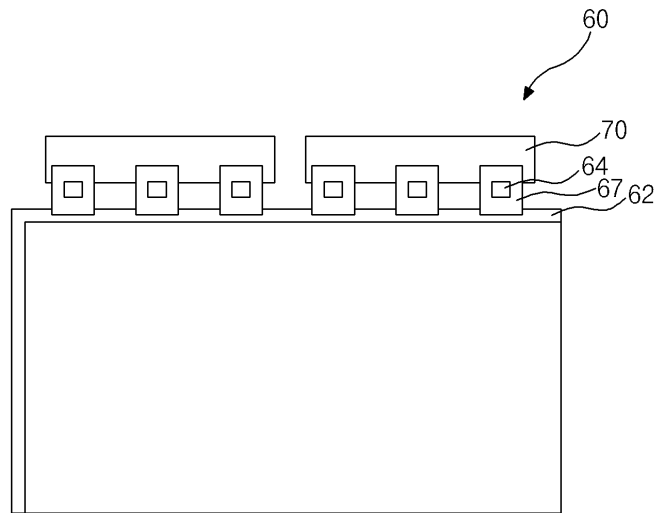
도면2



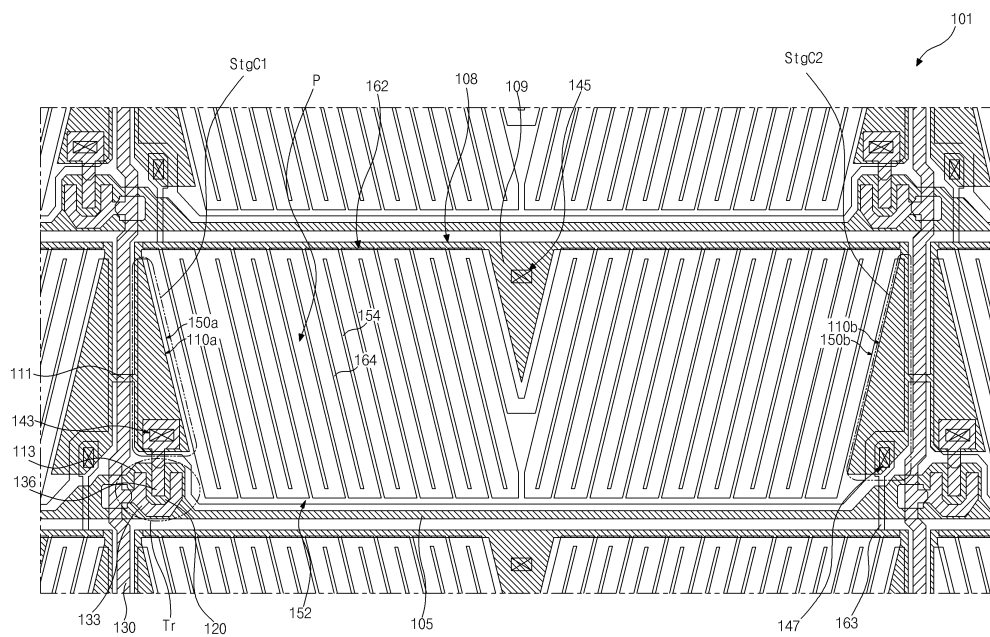
도면3



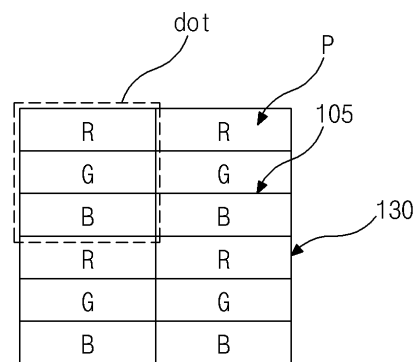
도면4



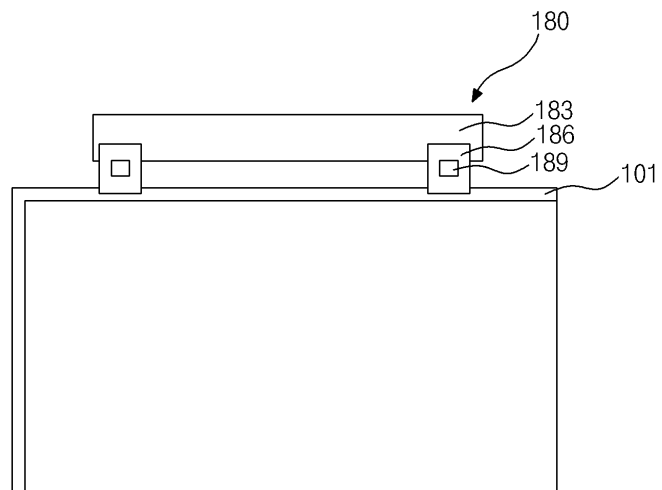
도면5



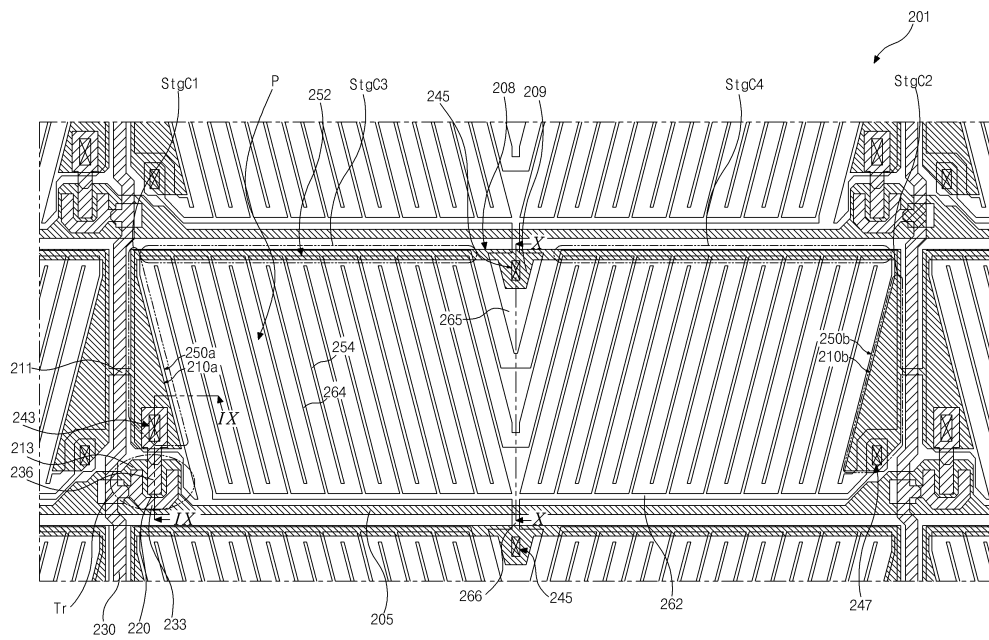
도면6



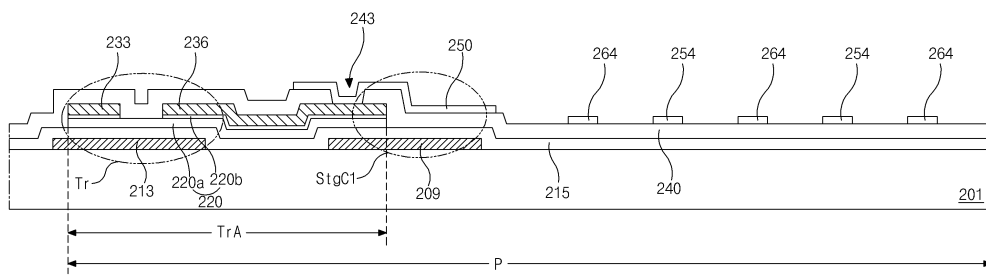
도면7



도면8



도면9



도면10

