

특허청구의 범위

청구항 1

제1 방향을 따라 배치된 게이트 라인;

상기 게이트 라인과 교차하는 제2 방향을 따라 배치된 데이터 라인;

상기 게이트 라인 상에 배치되어 상기 게이트 라인과 상기 데이터 라인에 연결된 박막 트랜지스터;

상기 게이트 라인과 동일한 층에 배치되고, 제1 및 제2 수평 공통 전극 바들과 다수의 제1 수직 공통 전극 바들을 포함하는 제1 공통 전극;

상기 제1 공통 전극과 상이한 층에 배치되고, 제3 수평 공통 전극 바와 다수의 제2 수직 공통 전극 바들을 포함하는 제2 공통 전극;

상기 제2 공통 전극과 동일한 층에 배치되고, 수평 화소 전극 바와 다수의 수직 화소 전극 바들을 포함하는 화소 전극을 포함하고,

상기 제2 공통 전극은 상기 제1 공통 전극에 연결되고,

상기 제2 공통 전극은 상기 제1 공통 전극에 오버랩되도록 배치되는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서, 상기 제2 수직 공통 전극 바들은 상기 제1 수직 공통 전극 바들에 각각 대응하여 오버랩되도록 배치되는 것을 특징으로 하는 액정표시장치.

청구항 3

제2항에 있어서, 상기 제2 수직 공통 전극 바들 각각은 상기 대응하는 제1 수직 공통 전극 바들 각각보다 적어도 큰 폭을 가지는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서, 상기 제2 공통 전극의 상기 제3 수평 공통 전극 바는 상기 제1 공통 전극의 상기 제2 수평 공통 전극 바에 연결되는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서, 상기 수평 화소 전극 바는 상기 제1 수평 공통 전극 바에 그리고 상기 수직 화소 전극 바들 중 최외곽에 위치된 수직 화소 전극 바들은 상기 제1 수직 공통 전극 바들 중 최외곽에 위치된 제1 수직 공통 전극 바들에 보호막과 게이트 절연막을 매개로 오버랩되어 스토리지 캐패시터가 형성되는 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서, 상기 수직 화소 전극 바들과 상기 제1 및 제2 수직 공통 전극 바들은 절곡된 형상을 갖는 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서, 상기 게이트 라인은 이중층을 갖고, 상기 제1 공통 전극은 상기 이중층 중에서 상부층이 제거된 단일층을 갖는 것을 특징으로 하는 액정표시장치.

청구항 8

기판 상에 제1 및 제2 수평 공통 전극 바들과 다수의 수직 공통 전극 바들을 포함하는 제1 공통 전극과 게이트 라인을 형성하는 단계;

상기 게이트 라인을 포함하는 상기 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 라인에 대응하는 상기 게이트 절연막 상에 반도체층을 형성하는 단계;

상기 반도체층을 포함하는 상기 기판 상에 데이터 라인과 소오스/드레인 전극을 형성하는 단계;

상기 데이터 라인을 포함하는 기판 상에 제2 수평 공통 전극 바가 노출된 콘택홀을 갖는 보호막을 형성하는 단계;

상기 보호막 상에 수평 화소 전극 바와 다수의 수직 화소 전극 바들을 포함하는 화소 전극과 제3 수평 공통 전극 바와 다수의 제2 수직 공통 전극 바들을 포함하는 제2 공통 전극을 형성하는 단계를 포함하고,

상기 제3 수평 공통 전극 바는 상기 콘택홀을 통해 상기 제2 수평 공통 전극 바에 연결되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 9

제8에 있어서, 상기 제2 공통 전극은 상기 제1 공통 전극에 오버랩되도록 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 10

제8에 있어서, 상기 제2 수직 공통 전극 바들은 상기 제1 수직 공통 전극 바들에 각각 대응하여 오버랩되도록 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 11

제10에 있어서, 상기 제2 수직 공통 전극 바들 각각은 상기 대응하는 제1 수직 공통 전극 바들 각각보다 적어도 큰 폭을 가지는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 12

제8항에 있어서, 상기 수평 화소 전극 바는 상기 제1 수평 공통 전극 바에 그리고 상기 수직 화소 전극 바들 중 최외곽에 위치한 수직 화소 전극 바들은 상기 제1 수직 공통 전극 바들 중 최외곽에 위치한 제1 수직 공통 전극 바들에 보호막과 게이트 절연막을 매개로 오버랩되어 스토리지 캐패시터가 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 투과율과 콘트라스트 비를 동시에 향상시킬 수 있는 액정표시장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 정보화 사회의 발달로 인해, 정보를 표시할 수 있는 표시 장치가 활발히 개발되고 있다. 표시 장치는 액정표시장치(liquid crystal display device), 유기전계발광 표시장치(organic electro-luminescence display device), 플라즈마 표시장치(plasma display panel) 및 전계 방출 표시장치(field emission display device)를 포함한다.

[0003] 이 중에서, 액정표시장치는 경박 단소, 저 소비 전력 및 풀 컬러 동영상 구현과 같은 장점이 있어, 모바일 폰, 네비게이션, 모니터, 텔레비전에 널리 적용되고 있다.

[0004] 액정표시장치는 액정 패널 상의 액정셀들의 광 투과율을 조절함으로써 비디오신호에 해당하는 영상을 표시한다.

[0005] 일반적으로, 액정표시장치는 시야각이 좋지 않다.

[0006] 최근 들어, 동일 기판 상에 화소 전극과 공통 전극을 형성하여, 수평 전계나 횡전계를 발생시켜, 시야각을 향상

시킬 수 있는 횡전계 모드(in-plane switching mode) 액정표시장치가 제안되었다.

- [0007] 횡전계 모드의 액정표시장치에서 화소 전극과 공통 전극의 배치 구조는 1metal1ITO 구조, 2ITO 구조 및 2MoTi 구조가 제안되었다.
- [0008] 1metal1ITO 구조는 도 1에 도시한 바와 같이, 공통 전극(103a, 103b)과 화소 전극(107)이 서로 상이한 층에 배치된 구조이다. 즉, 공통 전극(103a, 103b)은 금속막으로 이루어져 기판(101) 상에 배치되고, 화소 전극(107)은 투명한 도전막, 예컨대 ITO로 이루어져 보호막(106) 상에 배치된다.
- [0009] 1metal1ITO구조에서, 공통 전극(103a, 103b)을 형성하기 위해 마스크를 얼라인한다. 이러한 경우, 마스크가 정 위치에서 일 방향으로 쉬프트된 상태, 즉 미스얼라인 상태에서 공통 전극(103a, 103b)을 형성하는 경우, 쉬프트된 공통 전극(105a, 105b)이 형성된다. 이러한 경우, 화소 전극(107)과 인접하는 공통 전극(105a, 105b) 간의 간격이 상이해지게 된다. 즉, 제1 공통 전극(105a)과 화소 전극(107)에 의해 제1 영역(A)이 정의되고, 제2 공통 전극(105b)과 화소 전극(107) 간의 간격에 의해 제2 영역(B)이 정의된다.
- [0010] 이러한 경우, 도 2에 도시한 바와 같이, 제1 영역(A)과 제2 영역(B) 각각에서의 투과도가 동일 전압에 대해 상이해지게 되어, 결국 투과율이 감소되는 문제가 있다.
- [0011] 2ITO 구조는 도 3a에 도시한 바와 같이, 기판(111) 상의 동일 층에 화소 전극(113)과 공통 전극(115)이 배치된다. 이때, 화소 전극(113)과 공통 전극(115)은 동일한 ITO로 이루어진다.
- [0012] 이러한 2ITO 구조에서는 도 3b에 도시한 바와 같이, 화소 전극(113)이나 공통 전극(115) 위에서 등전위가 형성되므로, 화소 전극(113)이나 공통 전극(115) 위에서의 액정의 평균 효율이 감소되어 화소 영역의 투과 효율이 낮아지게 되어 콘트라스트 비가 낮아지는 문제가 있다.
- [0013] 2MoTi 구조는 도 4a에 도시한 바와 같이, 기판(121) 상에 동일 층에 화소 전극(123)과 공통 전극(125)이 배치된다. 이때, 화소 전극(123)과 공통 전극(125)은 동일한 MoTi로 이루어진다.
- [0014] 이러한 2MoTi 구조에서는 도 4b에 도시한 바와 같이, 화소 전극(123)이나 공통 전극(125)이 불투명한 MoTi로 이루어지므로, 화소 전극(123)이나 공통 전극(125)으로 광이 투과되지 않게 되므로, 개구율이 낮아 투과율이 감소하 한편 휘도가 감소되는 문제가 있다.

발명의 내용

해결 하고자하는 과제

- [0015] 본 발명은 공통 전극을 화소 전극과 동일층에 배치하는 한편 상이한 층에 배치함으로써, 투과율과 콘트라스트 비를 동시에 향상시킬 수 있는 액정표시장치 및 그 제조 방법을 제공함에 있다.

과제 해결수단

- [0016] 본 발명에 따르면, 액정표시장치는, 제1 방향을 따라 배치된 게이트 라인; 상기 게이트 라인과 교차하는 제2 방향을 따라 배치된 데이터 라인; 상기 게이트 라인 상에 배치되어 상기 게이트 라인과 상기 데이터 라인에 연결된 박막 트랜지스터; 상기 게이트 라인과 동일한 층에 배치되고, 제1 및 제2 수평 공통 전극 바들과 다수의 제1 수직 공통 전극 바들을 포함하는 제1 공통 전극; 상기 제1 공통 전극과 상이한 층에 배치되고, 제3 수평 공통 전극 바와 다수의 제2 수직 공통 전극 바들을 포함하는 제2 공통 전극; 상기 제2 공통 전극과 동일한 층에 배치되고, 수평 화소 전극 바와 다수의 수직 화소 전극 바들을 포함하는 화소 전극을 포함하고, 상기 제2 공통 전극은 상기 제1 공통 전극에 연결되고, 상기 제2 공통 전극은 상기 제1 공통 전극에 오버랩되도록 배치된다.
- [0017] 본 발명에 따르면, 액정표시장치의 제조 방법은, 기판 상에 제1 및 제2 수평 공통 전극 바들과 다수의 수직 공통 전극 바들을 포함하는 제1 공통 전극과 게이트 라인을 형성하는 단계; 상기 게이트 라인을 포함하는 상기 기판 상에 게이트 절연막을 형성하는 단계; 상기 게이트 라인에 대응하는 상기 게이트 절연막 상에 반도체층을 형성하는 단계; 상기 반도체층을 포함하는 상기 기판 상에 데이터 라인과 소오스/드레인 전극을 형성하는 단계; 상기 데이터 라인을 포함하는 기판 상에 제2 수평 공통 전극 바가 노출된 콘택홀을 갖는 보호막을 형성하는 단계; 상기 보호막 상에 수평 화소 전극 바와 다수의 수직 화소 전극 바들을 포함하는 화소 전극과 제3 수평 공통 전극 바와 다수의 제2 수직 공통 전극 바들을 포함하는 제2 공통 전극을 형성하는 단계를 포함하고, 상기 제3 수평 공통 전극 바는 상기 콘택홀을 통해 상기 제2 수평 공통 전극 바에 연결된다.

효 과

[0018] 본 발명은 제1 공통 전극이 미스얼라인으로 인해 어느 일 방향으로 쉬프트되어 형성되더라도 화소 전극과 제1 및 제2 공통 전극 중 어느 하나의 공통 전극 사이의 개구 블록의 사이즈가 동일하여 각 개구 블록 간의 투과도가 동일하여 투과율이 향상될 수 있다.

[0019] 또한, 본 발명은 제2 공통 전극과 오버랩되도록 불투명한 제1 공통 전극을 형성하여, 제1 공통 전극에 의해 광이 차단되도록 하여 개구 블록의 투과 효율을 증가시켜 콘트라스트 비를 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0020] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

[0021] 도 5는 본 발명에 따른 횡전계 모드의 액정표시장치를 도시한 평면도이고, 도 6은 도 5의 횡전계 모드의 액정표시장치에서 A-A'라인, B-B'라인 및 C-C'라인을 따라 절단한 단면도이다.

[0022] 도 5는 설명의 편의를 위해 단위 화소 영역을 도시하였지만, 본 발명은 이에 한정하지 않고 도 5의 단위 화소 영역이 매트릭스로 배열된 액정표시장치에 적용된다.

[0023] 도 5 및 도 6을 참조하면, 기판(11) 상에 게이트 라인(13)과 제1 공통 전극(20)이 형성된다.

[0024] 게이트 라인(13)은 제1 방향, 예컨대 가로 방향을 따라 배치된다. 본 발명에서 게이트 라인(13)은 박막 트랜지스터를 구성하는 게이트 전극으로 사용될 수 있다. 즉, 박막 트랜지스터가 게이트 라인(13) 상에 형성될 수 있다.

[0025] 제1 공통 전극(20)은 제1 방향을 따라 서로 이격된 제1 및 제2 수평 공통 전극 바들(21, 23)과 상기 제1 및 제2 수평 전극 바들(21, 23) 각각으로부터 연장된 다수의 제1 수직 공통 전극 바들(25a 내지 25e)을 포함한다. 제1 수평 공통 전극 바(21)는 게이트 라인(13)에 인접하여 배치되고, 제2 수평 공통 전극 바(23)는 게이트 라인(13)의 이전 화소 영역에 배치된 게이트 라인에 인접하여 배치된다.

[0026] 제1 수직 공통 전극 바들(25a 내지 25e)은 제1 수평 공통 전극 바(21)로부터 연장되는 한편 제2 수평 공통 전극 바(23)로부터 연장된다. 따라서, 제1 수직 공통 전극 바들(25a 내지 25e)은 제1 및 제2 수평 공통 전극 바들(21, 23) 사이에서 제2 방향, 예컨대 세로 방향을 따라 배치된다.

[0027] 제1 수직 공통 전극 바들(25a 내지 25e)은 절곡된 형상을 가질 수 있다.

[0028] 제1 및 제2 수평 공통 전극 바들(21, 23)과 제1 수직 공통 전극 바들(25a 내지 25e)은 일체로 형성될 수 있다.

[0029] 게이트 라인(13)과 제1 공통 전극(20)은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리 합금(Cu alloy), 알루미늄 합금(Al alloy), 몰리브덴 합금(Mo alloy), 텅스텐 합금(W alloy), 티타늄 합금(Ti alloy) 중 하나로 이루어진 단일층이거나 적어도 2개 이상으로 이루어진 이중층을 가질 수 있다.

[0030] 게이트 라인(13)과 제1 공통 전극(20) 상에는 유기 물질이나 무기 물질로 이루어진 게이트 절연막(27)이 형성된다.

[0031] 게이트 라인(13)에 대응하는 게이트 절연막(27) 상에 액티브층과 오믹 콘택층을 포함하는 반도체층(29)이 형성된다. 액티브층은 실리콘으로 이루어지고, 오믹 콘택층은 실리콘에 도핑하여 이루어질 수 있다.

[0032] 반도체층(29) 상에 데이터 라인(35)과 소오스/드레인 전극(31, 33)이 배치된다.

[0033] 데이터 라인(35)은 게이트 라인(13)에 교차하여 배치되고, 소오스 전극(31)은 데이터 라인(35)에 일체로 연결되고, 드레인 전극(33)은 소오스 전극(31)과 이격되어 배치된다.

[0034] 데이터 라인(35)과 소오스/드레인 전극(31, 33)은 게이트 라인(13)과 동일한 물질이나 상이한 물질로 이루어질 수 있다.

[0035] 데이터 라인(35)과 소오스/드레인 전극(31, 33)은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리 합금(Cu alloy), 알루미늄 합금(Al alloy), 몰리브덴 합금(Mo alloy), 텅스텐 합금(W alloy), 티타늄 합금(Ti alloy) 중 하나로 이루어진 단일층이거나 적어도 2개 이상으로 이루어진 이중층을 가질 수 있다.

[0036] 나중에 설명될 화소 전극의 수직 화소 전극 바들과 제2 공통 전극의 제2 수직 공통 전극 바들은 절곡된 형상을

가진다. 이러한 수직 화소 전극 바들과 제2 수직 공통 전극 바들과 일정한 간격을 유지하기 위해 데이터 라인 (35) 또한 절곡된 형상을 가질 수 있다.

- [0037] 따라서, 게이트 라인(13), 게이트 절연막(27) 및 소오스/드레인 전극(31, 33)에 의해 박막 트랜지스터(30)가 형성될 수 있다.
- [0038] 결국, 박막 트랜지스터(30)는 게이트 라인(13)과 데이터 라인(35)에 연결된다.
- [0039] 박막 트랜지스터(30)가 형성된 기판(11) 상에 보호막(37)이 형성된다. 보호막(37)은 드레인 전극(33)이 노출된 제1 콘택홀(41)과 제1 공통 전극(20)의 제2 수평 공통 전극 바(23)가 노출된 제2 콘택홀(43)을 갖는다.
- [0040] 보호막(37) 상에 화소 전극(50)과 제2 공통 전극(60)이 배치된다. 화소 전극(50)과 제2 공통 전극(60)은 동일한 물질을 이용하여 동일한 층에 배치될 수 있다.
- [0041] 화소 전극(50)은 수평 화소 전극 바(51)와 수평 화소 전극 바(51)로부터 연장된 다수의 수직 화소 전극 바들(53a 내지 53d)을 포함한다.
- [0042] 제2 공통 전극(60)은 제3 수평 공통 전극 바(61)와 제3 수평 공통 전극 바(61)로부터 연장된 다수의 제2 수직 공통 전극 바들(63a 내지 63c)을 포함한다.
- [0043] 제2 수직 공통 전극 바들(63a 내지 63c)은 최외곽에 배치된 제1 수직 공통 전극 바들(25a, 25e)를 제외한 제1 수직 공통 전극 바들(25b 내지 25d)과 각각 오버랩되도록 배치될 수 있다.
- [0044] 제2 수평 공통 전극 바들(63a 내지 63c)의 폭은 각각 대응하는 제1 수평 공통 전극 바들(25b 내지 25d)의 폭과 동일하거나 더 클 수 있다. 즉, 제2 수평 공통 전극 바들(63a 내지 63c)의 폭은 각각 대응하는 제1 수평 공통 전극 바들(25b 내지 25d)의 폭보다 적어도 클 수 있다.
- [0045] 제1 공통 전극(20)을 형성하기 위해 마스크가 사용되는 경우, 마스크의 미스얼라인이 발생할 수 있다. 이러한 경우, 제1 공통 전극(20)의 제1 수직 공통 전극 바들(25b 내지 25d)과 화소 전극(50)의 수직 화소 전극 바들(53a 내지 53c) 간의 간격이 상이해진다. 이러한 경우, 제1 공통 전극(20)의 제1 수직 공통 전극 바들(25b 내지 25d)과 제2 공통 전극(60)의 제2 수직 공통 전극 바들(63a 내지 63c) 또한 오버랩이 되지 않고 이격되게 된다. 따라서, 제1 공통 전극(20)의 제1 수직 공통 전극 바들(25b 내지 25d)과 제2 공통 전극(60)의 제2 수직 공통 전극 바들(63a 내지 63c) 간의 이격된 영역(이격 영역이라 함)에서는 불투명한 제1 수직 공통 전극 바들(25b 내지 25d)에 의해 광이 투과되지 않거나 제2 수직 공통 전극 바들(25b 내지 25d)에 의해 등전위가 형성되어, 광 투과에 영향을 주지 않게 된다. 이러한 경우, 화소 전극(50)의 수직 화소 전극 바들(53a 내지 53d)와 이에 인접하는 양측의 이격 영역 간의 간격은 동일하게 되므로, 수직 화소 전극 바들(53a 내지 53d)의 양측의 이격 영역들에서의 광 투과도가 동일해지게 되므로, 투과율이 감소하지 않게 된다.
- [0046] 아울러, 제2 공통 전극(60)의 제2 수직 공통 전극 바들(63a 내지 63c)과 각각 오버랩되도록 제1 공통 전극(20)의 제1 수직 공통 전극 바들(25b 내지 25d)이 배치됨으로써, 제1 수직 공통 전극 바들(25b 내지 25d)이 불투명하므로 광이 투과되지 않게 되므로, 화소 영역의 콘트라스트 비는 증가될 수 있다.
- [0047] 화소 전극(50)과 제2 공통 전극(60)과 투명한 도전 물질, 예컨대 IT0, IZO, ITZO로 이루어질 수 있다.
- [0048] 화소 전극(50)은 제1 콘택홀(41)을 통해 박막 트랜지스터(30)의 드레인 전극(33)과 전기적으로 연결될 수 있다.
- [0049] 제2 공통 전극(60)은 제2 콘택홀(43)을 통해 제1 공통 전극(20)과 전기적으로 연결될 수 있다. 다시 말해, 제2 공통 전극(60)의 제3 수평 공통 전극 바(61)는 제2 콘택홀(43)을 통해 제1 공통 전극(20)의 제2 수평 공통 전극 바(23)와 전기적으로 연결될 수 있다.
- [0050] 화소 전극(50)의 최외곽에 배치된 수직 화소 전극 바들(53a, 53d)과 제1 공통 전극(20)의 최외곽에 배치된 제1 수직 공통 전극 바들(25a, 25e)은 보호막(37)과 게이트 절연막(27)을 매개로 하여 스토리지 캐패시터가 형성된다.
- [0051] 또한, 화소 전극(50)의 수평 화소 전극 바(51)와 제1 공통 전극(20)의 제1 수평 공통 전극 바(21)는 보호막(37)과 게이트 절연막(27)을 매개로 하여 스토리지 캐패시터가 형성된다. 다시 말해, 스토리지 캐패시터는 제1 수평 공통 전극 바(21)와 수평 화소 전극 바(51) 사이와 최외곽 제1 수직 공통 전극 바들(25a, 25e)과 최외곽 수직 화소 전극 바들(53a, 53d) 사이에 형성된다. 따라서, 스토리지 캐패시터의 용량이 증가될 수 있다.
- [0052] 제3 수평 공통 전극 바(61)와 수평 화소 전극 바(51)는 게이트 라인(13)에 평행하게 배치될 수 있다.

- [0053] 수직 화소 전극 바 들(53a 내지 53d)과 제2 수직 공통 전극 바들(63a 내지 63c)은 데이터 라인(35)에 평행하게 배치될 수 있다. 수직 화소 전극 바들(53a 내지 53d)과 제2 수직 공통 전극 바들(63a 내지 63c)은 절곡된 형상을 가질 수 있다.
- [0054] 수직 화소 전극 바들(53a 내지 53d)과 제2 수직 공통 전극 바들(63a 내지 63c)은 서로 교대로 배치될 수 있다.
- [0055] 본 발명은 서로 다른 층 상에 제1 및 제2 수직 공통 전극 바들(25b 내지 25d, 61a 내지 61c)을 배치하고, 제2 수직 공통 전극 바들(61a 내지 61c) 사이에 수직 화소 전극 바들(53b, 53c)을 배치함으로써, 수직 화소 전극 바들(53b, 53c)과 제1 수직 공통 전극 바들(25b 내지 25d) 사이와 수직 화소 전극 바들(53b, 53c) 또는 제2 수직 공통 전극 바들(61a 내지 61c) 사이에 횡전계가 형성될 수 있다.
- [0056] 이러한 경우, 도 7에 도시한 바와 같이, 제1 수직 공통 전극 바 들(25b 내지 25d)이 불투명한 금속 물질로 형성되어 제1 수직 공통 전극 바 들(25b 내지 25d)에 의해 광이 차단되므로, 제1 수직 공통 전극 바 들(25b 내지 25d)과 수직 화소 전극 바들(53b, 53c) 사이의 개구 블록의 투과 효율이 증가되어, 종래의 1metal1ITO 구조나 2ITO 구조에 비해 콘트라스트 비가 향상될 수 있다.
- [0057] 또한, 제1 수직 공통 전극 바들(25b 내지 25d)과 제2 수직 공통 전극 바들(63a 내지 63c)을 오버랩되도록 배치함으로써, 제 공통 전극(20)을 형성할 때 마스크가 미스얼라인되더라도, 수직 화소 전극 바들(53b, 53c)과 제1 수직 공통 전극 바들(25b 내지 25d) 및 제2 수직 공통 전극 바들(61a 내지 61c) 중 어느 공통 전극 바들 사이의 개구 블록들의 폭들이 동일하므로, 종래의 1metal1ITO 구조나 2MoTi 구조에 비해 투과율이 향상될 수 있다.
- [0058] 이와 같이, 본 발명은 제1 공통 전극이 금속으로 형성되고, 화소 전극과 제2 공통 전극이 투명한 도전막으로 동일한 층에 형성되는 1metal2ITO구조를 가질 수 있다.
- [0059] 하기 표 1에 나타난 바와 같이, 본 발명의 1metal2ITO 구조는 투과율(화이트 기준)이 1metal1ITO 구조나 2MoTi 구조에 비해 우수하고, 콘트라스트 비가 1metal1ITO 구조나 2ITO 구조에 비해 우수함을 알 수 있다.
- [0060] [표 1]
- | | 1metal1ITO | 2ITO | 2MoTi | 1metal2ITO |
|---------|------------|-------|-------|------------|
| 투과도 | 400.3 | 439.2 | 407.4 | 428.3 |
| 콘트라스트 비 | 1053 | 1046 | 1164 | 1086 |
- [0061]
- [0062] 또한, DC 잔상과 정전기 특성을 측정한 결과, 본 발명의 1metal2ITO 구조가 종래의 다른 구조들에 비해 우수하였다.
- [0063] 도 8a 내지 도 8d는 본 발명의 횡전계 모드의 액정표시장치의 제조 공정을 도시한 도면이다.
- [0064] 본 발명의 제조 공정은 도 5 및 도 8a 내지 도 8d를 참조하여 설명한다.
- [0065] 도 8a에 도시한 바와 같이, 기판(11) 상에 제1 금속막을 형성하고 패터닝하여 게이트 라인(13)과 제1 공통 전극(20)을 형성한다.
- [0066] 제1 금속막은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리 합금(Cu alloy), 알루미늄 합금(Al alloy), 몰리브덴 합금(Mo alloy), 텅스텐 합금(W alloy), 티타늄 합금(Ti alloy) 중 하나로 이루어진 단일층이거나 적어도 2개 이상으로 이루어진 이중층을 가질 수 있다.
- [0067] 게이트 라인(13)과 제1 공통 전극(20)은 화소 영역 내에 형성될 수 있다.
- [0068] 게이트 라인(13)은 게이트 전극의 역할을 수행하는 것으로서, 이후에 형성될 박막 트랜지스터가 게이트 라인(13) 상에 형성될 수 있다.
- [0069] 게이트 라인(13)은 제1 방향, 즉 가로 방향을 따라 형성될 수 있다.
- [0070] 제1 공통 전극(20)은 서로 이격된 제1 및 제2 수평 공통 전극 바들(21, 23)과 제1 및 제2 수평 공통 전극 바들(21, 23)로부터 연장되어 일체로 형성된 다수의 제1 수직 공통 전극 바들(25a 내지 25e)을 포함한다.
- [0071] 제1 수평 공통 전극 바(21)는 게이트 라인(13)에 인접하여 형성되고, 제2 수평 공통 전극 바(23)는 게이트 라인(13)의 이전 게이트 라인에 인접하여 형성될 수 있다.
- [0072] 제1 수직 공통 전극 바들(25a 내지 25e)은 제1 및 제2 수평 공통 전극 바들(21, 23) 사이에서 제1 및 제2 수평

공통 전극 바들(21, 23)과 일체로 형성될 수 있다.

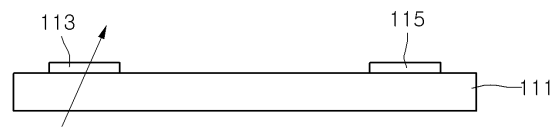
- [0073] 제1 수직 공통 전극 바들(25a 내지 25e)은 절곡된 형상을 가질 수 있다.
- [0074] 제1 및 제2 수평 공통 전극 바들(21, 23)은 게이트 라인(13)에 평행하게 형성되고, 제1 수직 공통 전극 바들(25a 내지 25e)은 게이트 라인(13)에 수직인 제2 방향, 즉 세로 방향을 따라 형성될 수 있다.
- [0075] 게이트 라인(13)을 포함하는 기관(11)의 전면 상에 유기 물질이나 무기 물질을 형성하여 게이트 절연막(27)을 형성한다.
- [0076] 도 8b에 도시한 바와 같이, 게이트 절연막(27) 상에 액티브막과 오믹 콘택막을 형성하고 패터닝하여 액티브층과 오믹 콘택층을 포함하는 반도체층(29)을 형성한다.
- [0077] 액티브막은 실리콘으로 이루어지고, 오믹 콘택막은 실리콘을 도핑하여 이루어질 수 있다.
- [0078] 반도체층(29)은 게이트 라인(13) 상에 형성될 수 있다.
- [0079] 도 8c에 도시한 바와 같이, 반도체층(13)을 포함하는 기관(11) 상에 제2 금속막을 형성하고 패터닝하여 데이터 라인(35)과 소오스/드레인 전극(31, 33)을 형성한다.
- [0080] 제2 금속막은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리 합금(Cu alloy), 알루미늄 합금(Al alloy), 몰리브덴 합금(Mo alloy), 텅스텐 합금(W alloy), 티타늄 합금(Ti alloy) 중 하나로 이루어진 단일층이거나 적어도 2개 이상으로 이루어진 이중층을 가질 수 있다.
- [0081] 데이터 라인(35)은 게이트 라인(13)과 교차하여 배치된다. 즉, 데이터 라인(35)은 제2 방향, 즉 세로 방향을 따라 형성될 수 있다. 이때, 데이터 라인(35)에 인접하여 제1 수직 공통 전극 바들(25a 내지 25e) 중 화소 영역 내에서 최외곽에 위치한 제1 수직 공통 전극 바들(25a, 25e)이 형성될 수 있다.
- [0082] 데이터 라인(35)은 제1 수직 공통 전극 바들(25a 내지 25e)과 평행하도록 절곡된 형상을 가질 수 있다. 따라서, 데이터 라인(35)은 제1 수직 공통 전극 바들(25a 내지 25e)에 평행하도록 형성될 수 있다.
- [0083] 소오스 전극(31)은 데이터 라인(35)과 일체로 형성되고, 드레인 전극(33)은 소오스 전극(31)과 이격되어 형성될 수 있다.
- [0084] 데이터 라인(35)은 게이트 라인(13)과 교차하여 화소 영역이 정의된다.
- [0085] 게이트 라인(13), 게이트 절연막(27), 반도체층(29) 및 소오스/드레인 전극(31, 33)에 의해 박막 트랜지스터(30)가 형성될 수 있다.
- [0086] 도 8c에 도시한 바와 같이, 데이터 라인(35)을 포함하는 기관(11) 상에 무기 물질이나 유기 물질을 형성하여 보호막(37)을 형성한다. 또한, 보호막(37)은 패터닝되어 드레인 전극(33)이 노출된 제1 콘택홀(41)과 제2 수평 공통 전극 바(23)가 노출된 제2 콘택홀(43)이 형성될 수 있다.
- [0087] 도 8d에 도시한 바와 같이, 보호막(37) 상에 투명한 도전막을 형성하고 패터닝하여 화소 전극(50)과 제2 공통 전극(60)을 형성한다.
- [0088] 투명한 도전막은 ITO, IZO, ITZO 중 어느 하나로 이루어질 수 있다.
- [0089] 화소 전극(50)은 수평 화소 전극 바(51)와 수평 화소 전극 바(51)로부터 연장되어 일체로 형성된 다수의 수직 화소 공통 전극 바들(53a 내지 53d)을 포함한다.
- [0090] 수평 화소 전극 바(51)는 제1 콘택홀(41)을 통해 박막 트랜지스터(30)의 드레인 전극(33)에 전기적으로 연결될 수 있다.
- [0091] 수평 화소 전극 바(51)는 게이트 라인(13)에 인접하여 제1 수평 공통 전극 바(21)와 오버랩되도록 형성된다. 따라서, 수평 화소 전극 바(51)와 제1 수평 공통 전극 바(21)는 보호막(37)과 게이트 절연막(27)을 매개로 하여 스토리지 캐패시터가 형성될 수 있다.
- [0092] 수직 화소 전극 바들(53a 내지 53d) 중 화소 영역 내의 최외곽에 위치한 수직 화소 전극 바들(53a, 53d)은 제1 수직 공통 전극 바들(25a 내지 25e) 중 화소 영역 내의 최외곽에 위치한 제1 수직 공통 전극 바들(25a, 25e)와 오버랩되도록 형성된다. 따라서, 수직 화소 전극 바들(53a, 53d)과 제1 수직 공통 전극 바들(25a, 25e)은 보호막(37)과 게이트 절연막(27)을 매개로 하여 스토리지 캐패시터가 형성될 수 있다.

- [0093] 제2 공통 전극(60)은 제3 수평 공통 전극 바(61)와 제3 수평 공통 전극 바(61)로부터 연장되어 일체로 형성된 다수의 제2 수직 공통 전극 바들(63a 내지 63c)을 포함한다.
- [0094] 제3 수평 공통 전극 바(61)는 제2 콘택홀(43)을 통해 제2 수평 공통 전극 바(23)에 전기적으로 연결될 수 있다.
- [0095] 제2 수직 공통 전극 바들(63a 내지 63c)은 수직 화소 전극 바들(53b, 53c)과 교대로 형성될 수 있다.
- [0096] 제2 수직 공통 전극 바들(63a 내지 63c)은 제1 수직 공통 전극 바들(25b 내지 25d) 각각에 대응하여 오버랩되도록 형성될 수 있다.
- [0097] 제2 수직 공통 전극 바들(63a 내지 63c) 각각의 폭은 대응하는 제1 수직 공통 전극 바들(25b 내지 25d) 각각의 폭보다 적어도 크도록 형성될 수 있다. 다시 말해, 제2 수직 공통 전극 바들(63a 내지 63c) 각각은 제1 수직 공통 전극 바들(25b 내지 25d) 각각을 커버하도록 오버랩 형성될 수 있다.
- [0098] 제2 수직 공통 전극 바들(63a 내지 63c)과 수직 화소 전극 바들(53a 내지 53d)은 데이터 라인(35)에 평행하게 형성될 수 있다.
- [0099] 제2 수직 공통 전극 바들(63a 내지 63c)과 수직 화소 전극 바들(53a 내지 53d)은 각각 절곡된 형상을 가질 수 있다.
- [0100] 본 발명은 제1 및 제2 공통 전극들(20, 60)은 서로 상이한 층들에 형성되고, 제1 및 제2 공통 전극들(20, 60)은 서로 전기적으로 연결하는 한편, 화소 전극(50)은 제2 공통 전극(60)과 동일한 층에 형성한다. 또한, 본 발명은 제1 공통 전극(20)의 제1 수직 공통 전극 바들(25b 내지 25d)과 제2 공통 전극(60)의 제2 수직 공통 전극 바들(63a 내지 63c)을 서로 간에 오버랩되도록 형성될 수 있다.
- [0101] 따라서, 본 발명은 제1 공통 전극(20)이 미스얼라인으로 인해 어느 일 방향으로 쉬프트되어 형성되더라도 화소 전극(50)과 제1 및 제2 공통 전극(20, 60) 중 어느 하나의 공통 전극 사이의 개구 블록의 사이즈가 동일하여 각 개구 블록 간의 투과도가 동일하여 투과율이 향상될 수 있다.
- [0102] 또한, 본 발명은 제2 공통 전극(60)과 오버랩되도록 불투명한 제1 공통 전극(20)을 형성하여, 제1 공통 전극(20)에 의해 광이 차단되도록 하여 개구 블록의 투과 효율을 증가시켜 콘트라스트 비를 향상시킬 수 있다.
- [0103] 한편, 제1 공통 전극(20)은 2개의 금속 물질로 이루어진 이중층으로 이루어질 수 있다. 예를 들어, 제1 공통 전극(20)은 MoTi/Cu의 이중층으로 이루어질 수 있다.
- [0104] 제1 공통 전극(20)을 이중층으로 형성하는 경우, 그 위에 형성되는 다른 층들이 제1 공통 전극(20)으로 인한 단차가 발생되어, 궁극적으로 러빙 공정시 액정의 배열이 균일하지 않게 되어 빛샘이 발생하게 된다.
- [0105] 따라서, 본 발명은 이러한 문제를 해결하기 위해, Cu를 제거하여 MoTi만으로 이루어진 제1 공통 전극(20)을 형성함으로써, 제1 공통 전극(20)의 전체적인 두께를 줄여 주어 제1 공통 전극(20)으로 인한 단차를 최소화하여 러빙 공정시 액정의 배열을 균일하게 하여 빛샘을 방지할 수 있다.

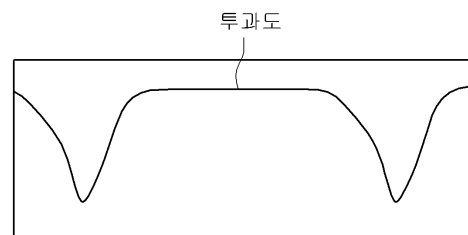
도면의 간단한 설명

- [0106] 도 1은 종래의 1metal1ITO 구조의 액정표시장치를 도시한 도면이다.
- [0107] 도 2는 도 1에서 미스얼라인에 의한 광 투과도를 도시한 그래프이다.
- [0108] 도 3a는 종래의 2ITO 구조의 액정표시장치를 도시한 도면이다.
- [0109] 도 3b는 도 3a의 2ITO 구조에서의 광 투과도를 도시한 도면이다.
- [0110] 도 4a는 종래의 2MoTi 구조의 액정표시장치를 도시한 도면이다.
- [0111] 도 4b는 도 4a의 2MoTi 구조에서의 광 투과도를 도시한 도면이다.
- [0112] 도 5는 본 발명에 따른 횡전계 모드의 액정표시장치를 도시한 평면도이다.
- [0113] 도 6은 도 5의 횡전계 모드의 액정표시장치에서 A-A'라인, B-B'라인 및 C-C'라인을 따라 절단한 단면도이다.
- [0114] 도 7은 도 5의 횡전계 모드의 액정표시장치에서의 광 투과도를 도시한 도면이다.

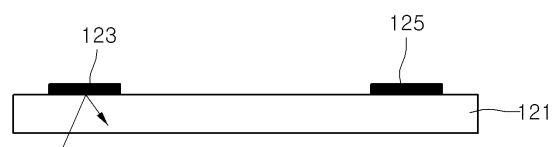
도면3a



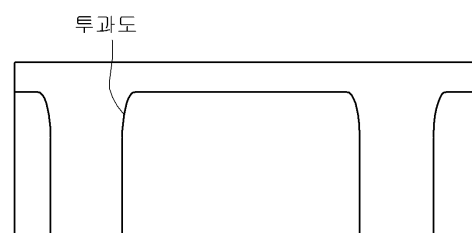
도면3b



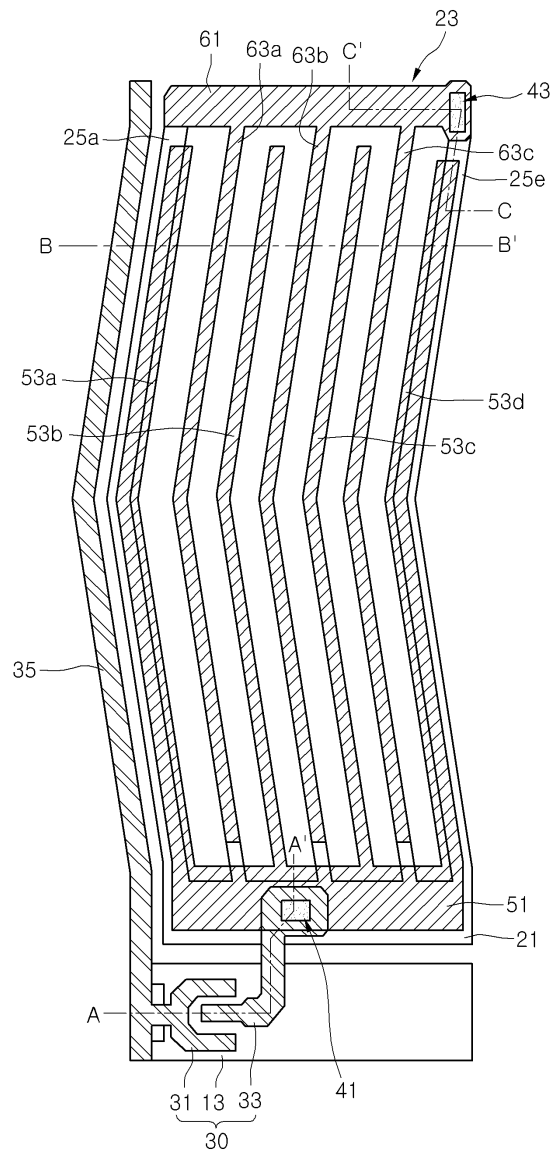
도면4a



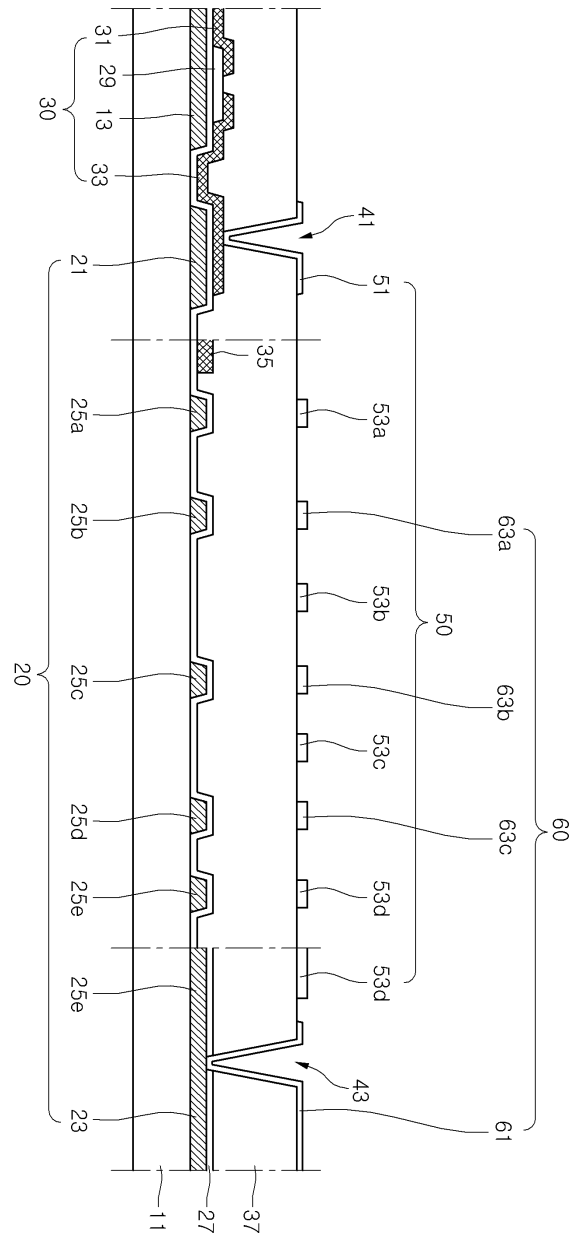
도면4b



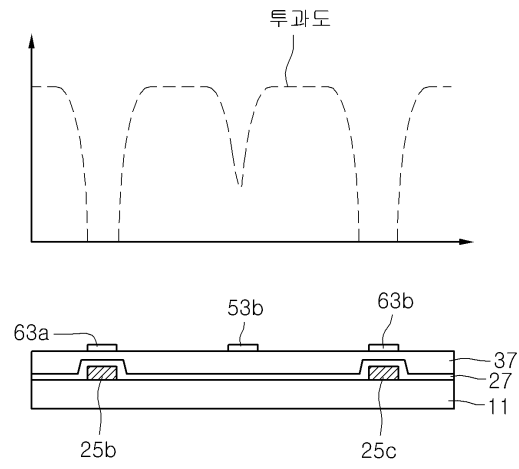
도면5



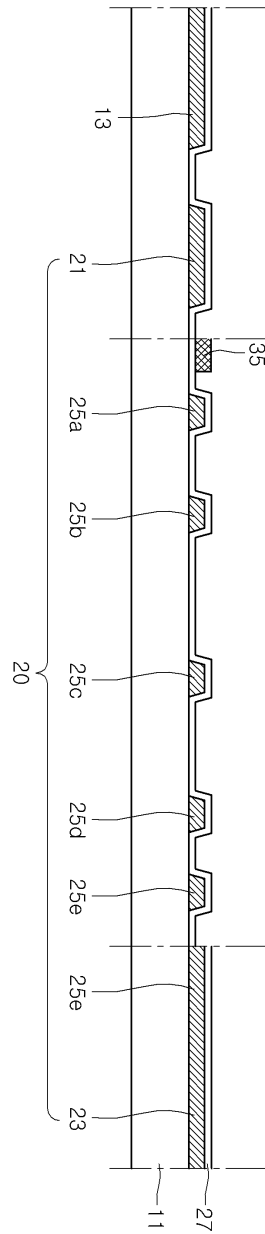
도면6



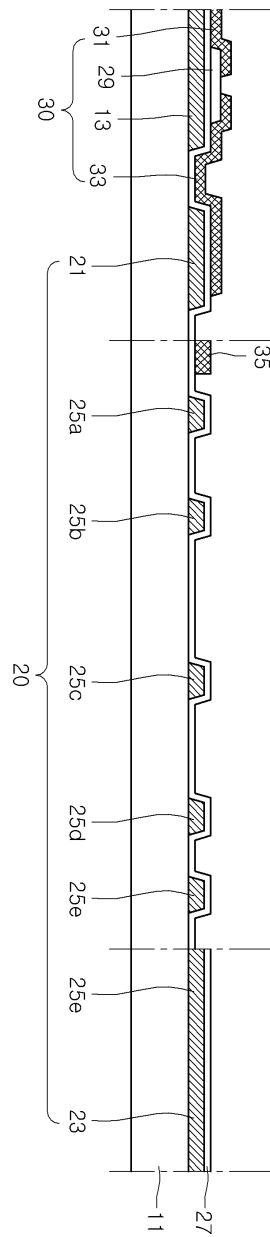
도면7



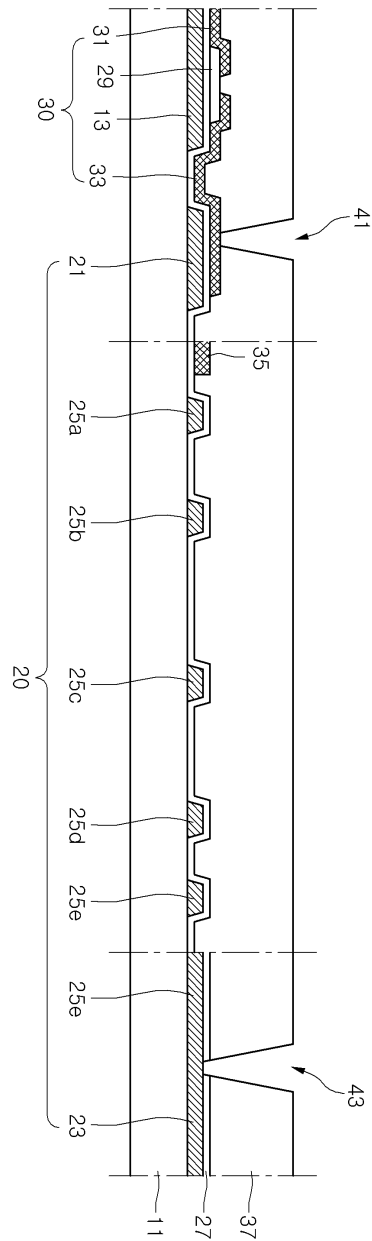
도면8a



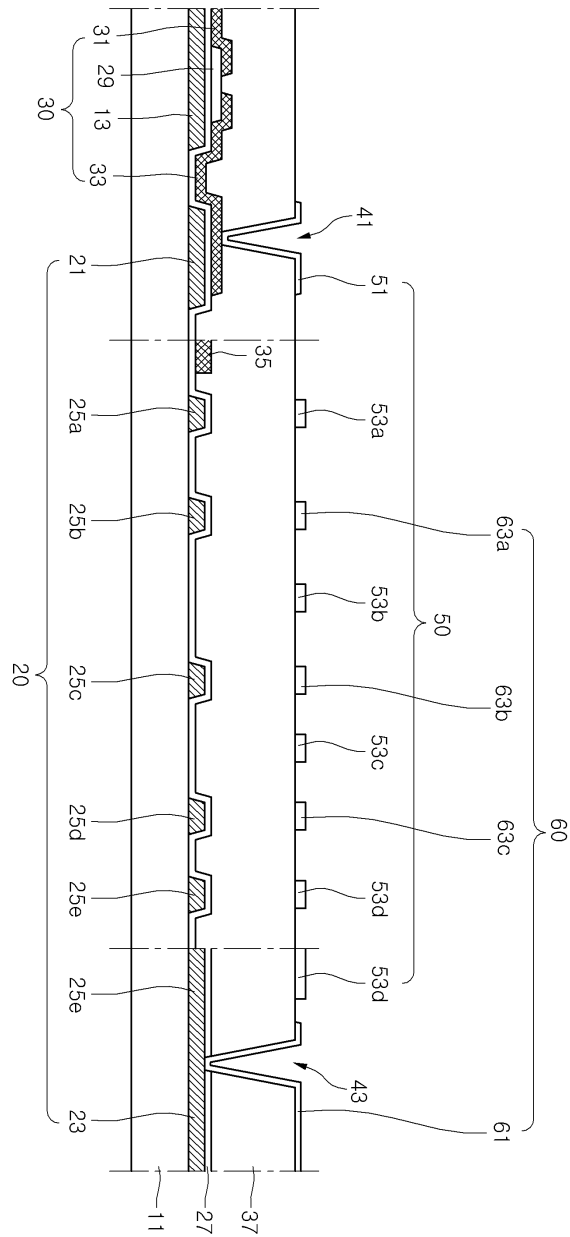
도면8b



도면8c



도면8d



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020100063184A	公开(公告)日	2010-06-11
申请号	KR1020080121576	申请日	2008-12-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN SANG HUN 한상훈 LEE KYUNG HA 이경하		
发明人	한상훈 이경하		
IPC分类号	G02F1/1343 G02F1/13		
CPC分类号	H01L27/1214 G02F1/134363 H01L27/124		
其他公开文献	KR101308250B1		
外部链接	Espacenet		

摘要(译)

公开了一种能够同时提高透射率和对比度的液晶显示装置及其制造方法。本发明的液晶显示器包括第一公共电极和第三水平公共电极棒，包括第一和第二水平公共电极棒和多个第一垂直公共电极棒和多个第二垂直公共电极棒包括水平像素电极条和多个垂直像素电极条的像素电极设置在与第二公共电极相同的层中，并且第一和第二公共电极彼此连接。

