



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0055696
(43) 공개일자 2010년05월27일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0114542

(22) 출원일자 2008년11월18일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

신경주

경기 화성시 태안읍 반월리 신영통현대1차아파트
105-1102호

(74) 대리인

박영우

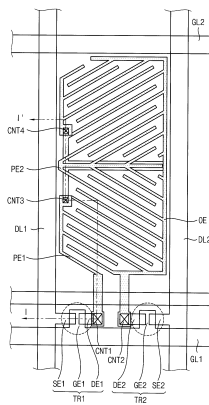
전체 청구항 수 : 총 20 항

(54) 어레이 기판 및 이를 갖는 액정표시장치

(57) 요약

어레이 기판 및 이를 갖는 액정표시장치가 개시된다. 어레이 기판은 화소 전극, 커패시터 전극 및 대향 전극을 포함한다. 화소 전극은 제1 전압을 인가받는 복수의 제1 전극 바들을 포함하는 제1 서브 전극과 복수의 제2 전극 바들을 포함하는 제2 서브 전극을 포함한다. 커패시터 전극은 제1 전극 바들의 일부와 전기적으로 연결되고 제2 전극 바들과 일부분이 오버랩되어 커패시터를 형성한다. 대향 전극은 서로 이격되어 배치된 제1 전극 바들 및 제2 전극 바들의 사이에 배치되어 제1 전압과 다른 제2 전압을 인가받는다. 이에 따라 측면 시야각을 향상시킬 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

제1 전압을 인가받는 복수의 제1 전극 바들을 포함하는 제1 서브 전극; 복수의 제2 전극 바들을 포함하는 제2 서브 전극을 포함하는 화소 전극;

상기 제1 전극 바들의 일부와 전기적으로 연결되고 상기 제2 전극 바들과 일부분이 오버랩되어 커패시터를 형성하는 커패시터 전극; 및

서로 이격되어 배치된 상기 제1 전극 바들 및 상기 제2 전극 바들의 사이에 배치되어 상기 제1 전압과 다른 제2 전압을 인가받는 대향 전극을 포함하는 어레이 기판.

청구항 2

제1항에 있어서,

제1 데이터 라인 및 상기 제1 전극 바들과 연결되어 상기 제1 전극 바들에 상기 제1 전압을 인가하는 제1 스위칭 소자; 및

상기 제1 데이터 라인과 인접한 제2 데이터 라인 및 상기 제2 전극 바들과 연결되어 상기 제2 전극 바들에 상기 제2 전압을 인가하는 제2 스위칭 소자를 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 3

제2항에 있어서,

상기 제1 및 제2 전압들은 기준전압 대해 위상이 반전된 것을 특징으로 하는 액정표시장치.

청구항 4

제2항에 있어서,

상기 제1 및 제2 스위칭 소자와 전기적으로 연결된 게이트 라인; 및

상기 게이트 라인과 평행하고 형성되고, 상기 제1 서브 전극 및 상기 대향 전극과 일부 오버랩되어 제1 및 제2 스토리지 커패시터를 정의하는 스토리지 라인을 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 5

제1항에 있어서,

상기 커패시터 전극은 상기 게이트 라인과 동일한 물질로 형성된 것을 특징으로 하는 어레이 기판.

청구항 6

제1항에 있어서,

상기 커패시터 전극은 상기 제1 및 제2 스위칭 소자의 소스 전극과 동일한 물질로 형성된 것을 특징으로 하는 어레이 기판.

청구항 7

제1항에 있어서,

상기 게이트 라인 및 상기 제1 및 제2 데이터 라인들이 형성된 베이스 기판과, 상기 화소 전극 사이에 형성된 컬러 필터층을 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 8

제1 게이트 라인 및 상기 제1 게이트 라인과 교차하는 제1 데이터 라인에 연결되어 제1 전압을 인가받는 제1 및 제2 스위칭 소자;

상기 제1 스위칭 소자에 연결되어 상기 제1 전압을 인가받는 복수의 제1 전극 바들을 포함하는 제1 서브 전극

및 상기 제2 스위칭 소자와 연결되어 상기 제1 전압을 인가받는 복수의 제2 전극 바들을 포함하는 제2 서브 전극을 포함하는 화소 전극;

상기 제1 전극 바들 사이에 배치된 복수의 제3 전극 바들 및 상기 제2 전극 바들 사이에 배치된 복수의 제4 전극 바들을 포함하며, 상기 제1 데이터 라인과 인접한 제2 데이터에 전달되는 제2 전압을 인가받는 대향 전극; 및

상기 제2 전극 바들, 상기 제 4 전극 바들과 및 상기 제1 게이트 라인과 인접한 제2 게이트 라인과 연결되고, 상기 제2 게이트 라인을 통해 인가되는 게이트 신호에 응답하여 상기 제2 서브 전극의 화소 전압을 제어하는 제 3 스위칭 소자를 포함하는 어레이 기관.

청구항 9

제8항에 있어서,

상기 제1 게이트 라인, 상기 제2 데이터 라인 및 상기 제3 전극 바들과 연결된 제4 스위칭 소자; 및

상기 제1 게이트 라인, 상기 제2 데이터 라인 및 상기 제4 전극 바들과 연결된 제5 스위칭 소자를 더 포함하는 것을 특징으로 하는 어레이 판.

청구항 10

제9항에 있어서,

상기 제1 게이트 라인과 평행하게 형성되고, 상기 제1 및 제3 전극 바들과 일부 오버랩되어 제1 및 제2 스토리지 커패시터를 정의하는 제1 스토리지 라인; 및

상기 제1 게이트 라인과 평행하게 형성되고, 상기 제2 및 제4 전극 바들과 일부 오버랩되어 제3 및 제4 스토리지 커패시터를 정의하는 제2 스토리지 라인을 더 포함하는 것을 특징으로 하는 어레이 기관.

청구항 11

제8항에 있어서,

상기 제1 및 제2 전압들은 기준전압에 대해 위상이 반전된 것을 특징으로 하는 어레이 기관.

청구항 12

게이트 라인 및 상기 게이트 라인과 교차하는 제1 데이터 라인에 연결되어 제1 전압을 인가받는 제1 스위칭 소자;

상기 게이트 라인 및 상기 제1 데이터 라인과 인접한 제2 데이터 라인에 연결되어 상기 제1 전압과 다른 제2 전압을 인가받는 제2 스위칭 소자;

상기 제1 스위칭 소자의 출력단과 상기 제2 스위칭 소자의 출력단 사이에 연결된 제1 액정 커패시터;

상기 제1 스위칭 소자의 출력단과 상기 제2 스위칭 소자의 출력단 사이에 상기 제1 액정 커패시터와 병렬 연결된 제2 액정 커패시터; 및

상기 제1 스위칭 소자의 출력단과 상기 제2 액정 커패시터의 제1 전극 사이에 연결된 커플링 커패시터를 포함하는 액정표시장치.

청구항 13

제12항에 있어서,

상기 제1 액정 커패시터의 상기 제1 전극과 연결된 제1 전극과 공통 전압을 인가받는 제2 전극을 포함하는 제1 스토리지 커패시터; 및

상기 제1 액정 커패시터의 제2 전극과 연결된 제1 전극과 상기 공통 전압을 인가받는 제2 전극을 포함하는 제2 스토리지 커패시터를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 14

제12항에 있어서,

상기 제1 액정 커패시터의 제1 전극과 연결된 제1 전극과 상기 제 1 액정 커패시터의 제2 전극과 연결된 제2 전극을 포함하는 제3 스토리지 커패시터를 더 포함하는 것을 특징으로 하는 액정표시장치

청구항 15

제12항에 있어서,

상기 제2 스위칭 소자의 출력단과 연결된 제1 전극과 상기 제2 액정 커패시터의 제2 전극과 연결된 제2 전극을 포함하는 제2 커플링 커패시터를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 16

제12항에 있어서,

상기 제1 및 제2 전압들은 기준전압에 대해 위상이 반전된 것을 특징으로 하는 액정표시장치.

청구항 17

제1 게이트 라인 및 상기 제1 게이트 라인과 교차하는 제1 데이터 라인에 연결되어 제1 전압을 인가받는 제1 스위칭 소자;

상기 제1 게이트 라인 및 제2 데이터 라인에 연결되어 상기 제1 전압과 다른 제2 전압을 인가받는 제2 스위칭 소자;

상기 제1 스위칭 소자와 상기 제2 스위칭 소자의 사이에 연결된 제1 액정 커패시터;

상기 제1 게이트 라인 및 상기 제1 데이터 라인에 연결되어 상기 제1 전압을 인가받는 제3 스위칭 소자;

상기 제1 게이트 라인 및 상기 제2 데이터 라인에 연결되어 상기 제2 전압을 인가받는 제4 스위칭소자;

상기 제3 및 제4 스위칭 소자의 사이에 연결된 제2 액정 커패시터; 및

상기 제3 및 제4 스위칭 소자 사이에 상기 제2 액정 커패시터와 병렬 연결되고, 제2 게이트 라인에 연결되어 상기 제2 액정 커패시터에 충전된 화소 전압을 제어하는 제5 스위칭 소자를 포함하는 액정표시장치.

청구항 18

제17항에 있어서,

상기 제1 스위칭 소자의 출력단과 상기 제1 액정 커패시터의 제1 전극 사이에 연결된 제1 전극과 공통 전압을 인가받는 제2 전극을 포함하는 제1 스토리지 커패시터;

상기 제2 스위칭 소자의 출력단과 상기 제1 액정 커패시터의 제2 전극 사이에 연결된 제1 전극과 상기 공통 전압을 인가받는 제2 전극을 포함하는 제2 스토리지 커패시터;

상기 제3 스위칭 소자의 출력단과 상기 제2 액정 커패시터의 제1 전극 사이에 연결된 제1 전극과 상기 공통 전압을 인가받는 제2 전극을 포함하는 제3 스토리지 커패시터; 및

상기 제3 스위칭 소자의 출력단과 상기 제2 액정 커패시터의 제2 전극 사이에 연결된 제1 전극과 상기 공통 전압을 인가받는 제2 전극을 포함하는 제4 스토리지 커패시터를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 19

제17항에 있어서,

상기 제1 및 제2 전압들은 기준전압에 대해 위상이 반전된 것을 특징으로 하는 액정표시장치.

청구항 20

제17항에 있어서,

상기 제5 스위칭 소자는 상기 게이트 신호에 응답하여 상기 제2 및 제4 전극 바들에 인가된 전압의 레벨을 상기

제1 서브 전극에 인가된 제1 화소 전압보다 낮은 제2 화소 레벨로 변경하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 어레이 기판 및 이를 갖는 액정표시장치에 관한 것으로, 보다 상세하게는, 액정표시장치에 사용되는 어레이 기판 및 이를 갖는 액정표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치(Liquid Crystal Display, LCD)는 두 개의 상, 하부 기판에 형성된 공통 전극 및 화소 전극에 인가된 전압차에 의해 액정을 배열하는 방식으로 계조를 표시한다.

[0003] 상기 액정표시장치는 상기 액정층의 액정분자에 의해 차폐되지 않은 방향으로만 광이 투과되어 영상을 구현하기 때문에, 다른 표시장치들에 비해 상대적으로 시야각이 좁다. 이에 따라 광시야각을 실현하기 위하여 PVA(Patterned Vertically Alignment) 모드 및 IPS(In-Plane Switching) 모드의 액정표시장치가 개발되었다.

[0004] 상기 PVA 모드는 상부 기판에 형성된 공통 전극과 하부 기판에 형성된 화소 전극 사이의 수직 방향의 전기장에 의해 액정이 구동되는 방식이다.

[0005] 한편, IPS 모드는 하나의 기판에 두 전극을 형성하고, 상기 두 전극에 전원이 인가되면 수평 방향의 전기장이 형성되고, 상기 수평 방향의 전기장에 의해 액정이 구동되는 방식이다.

[0006] 그러나, 상기 PVA 모드 및 IPS 모드의 액정표시장치는 전면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0007] 이에 본 발명은 상기의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 측면 시인성 개선을 위한 어레이 기판을 제공하는 것이다.

[0008] 본 발명의 다른 목적은 상기 어레이 기판을 갖는 액정표시장치를 제공하는 것이다.

과제 해결수단

[0009] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 어레이 기판은 화소 전극, 커패시터 전극 및 대향 전극을 포함한다. 상기 화소 전극은 제1 전압을 인가받는 복수의 제1 전극 바들을 포함하는 제1 서브 전극과 복수의 제2 전극 바들을 포함하는 제2 서브 전극을 포함한다. 상기 커패시터 전극은 제1 전극 바들의 일부와 전기적으로 연결되고 제2 전극 바들과 일부가 오버랩되어 커패시터 커패시터를 형성한다. 상기 대향 전극은 서로 이격되어 배치된 제1 전극 바들 및 제2 전극 바들의 사이에 배치되어 제1 전압과 다른 제2 전압을 인가받는다.

[0010] 상기한 본 발명의 목적을 실현하기 위한 다른 실시예에 따른 어레이 기판은, 제1 및 제2 스위칭 소자, 화소 전극, 대향 전극 및 제3 스위칭 소자를 포함한다. 상기 제1 및 제2 스위칭 소자는 제1 게이트 라인 및 상기 제1 게이트 라인과 교차하는 제1 데이터 라인에 연결되어 제1 전압을 인가받는다. 상기 화소 전극은 상기 제1 스위칭 소자에 연결되어 상기 제1 전압을 인가받는 복수의 제1 전극 바들을 포함하는 제1 서브 전극 및 상기 제2 스위칭 소자와 연결되어 상기 제1 전압을 인가받는 복수의 제2 전극 바들을 포함하는 제2 서브 전극을 포함한다. 상기 대향 전극은 상기 제1 전극 바들 사이에 배치된 복수의 제3 전극 바들 및 상기 제2 전극 바들 사이에 배치된 복수의 제4 전극 바들을 포함하며, 상기 제1 데이터 라인과 인접한 제2 데이터에 전달되는 제2 전압을 인가받는다. 상기 제3 스위칭 소자는 상기 제2 전극 바들, 상기 제4 전극 바들과 및 상기 제1 게이트 라인과 인접한 제2 게이트 라인과 연결되고, 상기 제2 게이트 라인을 통해 인가되는 게이트 신호에 응답하여 상기 제2 서브 전극의 화소 전압을 제어한다.

[0011] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 액정표시장치는, 제1 스위칭 소자, 제2 스위칭 소자, 제1 액정 커패시터, 제2 액정 커패시터 및 커패시터 커패시터를 포함한다. 상기 제1 스위칭 소자는 게이트 라인

및 상기 게이트 라인과 교차하는 제1 데이터 라인에 연결되어 제1 전압을 인가받는다. 상기 제2 스위칭 소자는 상기 게이트 라인 및 상기 제1 데이터 라인과 인접한 제2 데이터 라인에 연결되어 상기 제1 전압과 다른 제2 전압을 인가받는다. 상기 제1 액정 커패시터는 상기 제1 스위칭 소자의 출력단과 상기 제2 스위칭 소자의 출력단 사이에 연결된다. 상기 제2 액정 커패시터는 상기 제1 스위칭 소자의 출력단과 상기 제2 스위칭 소자의 출력단 사이에 상기 제1 액정 커패시터와 병렬 연결된다. 상기 커플링 커패시터는 상기 제1 스위칭 소자의 출력단과 상기 제2 액정 커패시터의 제1 전극 사이에 연결된다.

[0012] 상기한 본 발명의 목적을 실현하기 위한 다른 실시예에 따른 액정표시장치는, 제1 스위칭 소자, 제2 스위칭 소자, 제1 액정 커패시터, 제3 스위칭 소자, 제4 스위칭 소자, 제2 액정 커패시터 및 제5 스위칭 소자를 포함한다. 상기 제1 스위칭 소자는 제1 게이트 라인 및 상기 제1 게이트 라인에 교차하는 제1 데이터 라인에 연결되어 제1 전압을 인가받는다. 상기 제2 스위칭 소자는 제1 게이트 라인 및 제2 데이터 라인에 연결되어 상기 제1 전압과 다른 제2 전압을 인가받는다. 상기 제1 액정 커패시터는 상기 제1 스위칭 소자와 상기 제2 스위칭 소자의 사이에 연결된다. 상기 제3 스위칭 소자는 상기 제1 게이트 라인 및 상기 제1 데이터 라인에 연결되어 상기 제1 전압을 인가받는다. 상기 제4 스위칭 소자는 상기 제1 게이트 라인 및 상기 제2 데이터 라인에 연결되어 상기 제2 전압을 인가받는다. 상기 제2 액정 커패시터는 상기 제3 및 제4 스위칭 소자의 사이에 연결된다. 상기 제5 스위칭 소자는 상기 제3 및 제4 스위칭 소자 사이에 상기 제2 액정 커패시터와 병렬 연결되고, 제2 게이트 라인에 연결되어 상기 제2 액정 커패시터에 충전된 화소 전압을 제어한다.

효 과

[0013] 이러한 어레이 기판 및 이를 갖는 액정표시장치에 의하면, 수평전계방식을 채용한 액정표시장치에서 하나의 화소를 두 개의 서브 화소로 분할하고, 두 개의 서브 화소에 서로 다른 화소 전압을 인가함으로써 측면 시인성을 개선할 수 있다.

발명의 실시를 위한 구체적인 내용

[0014] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.

[0015] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0016] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 경우, 이는 다른 부분 바로 위에 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 아래에 있다고 할 경우, 이는 다른 부분 바로 아래에 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0017] 실시예 1

[0018] 도 1은 본 발명의 실시예 1에 따른 액정표시장치의 등가회로도이다.

[0019] 도 1을 참조하면, 상기 액정표시장치는 화소(P)를 포함한다. 상기 화소(P)는 게이트 라인(GL)과 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)에 의해 전달된 게이트 신호 및 데이터 신호에 의해 구동된다. 상기 화소(P)는 제1 스위칭 소자(TR1), 제2 스위칭 소자(TR2), 제1 액정 커패시터(CLC_H), 제2 액정 커패시터(CLC_L), 커플링 커패시터(Ccp), 제1 스토리지 커패시터(CST1) 및 제2 스토리지 커패시터(CST2)를 포함한다.

- [0020] 상기 제1 및 제2 데이터 라인들(DL1, DL2)은 상기 게이트 라인(GL)과 교차하는 방향으로 서로 평행하게 연장된다. 상기 제1 데이터 라인(DL1)은 제1 전압을 전달하고, 상기 제2 데이터 라인(DL2)은 상기 제1 전압과 다른 제2 전압을 전달한다. 상기 제1 및 제2 전압들은 스토리지 라인(STL)에 인가되는 공통전압(Vcom)을 기준으로 서로 다른 극성을 가질 수 있다. 예를 들면, 상기 제1 전압은 양의 극성을 갖고, 상기 제2 전압은 음의 극성을 가질 수 있다. 상기 제2 전압은 제1 전압에 연동된다. 상기 화소(P)에 양극성(+) 및 음극성(-)의 전압을 인가함으로써 상기 제1 액정 커패시터(CLC_H)를 고전압으로 구동시킬 수 있다. 이와 같이 듀얼 극성 구동 방식은 액정의 응답 속도 및 투과율을 향상시킬 수 있다.
- [0021] 상기 스토리지 라인(STL)은 상기 게이트 라인(GL)과 평행한 방향으로 연장되고, 상기 공통전압(Vcom)을 전달한다.
- [0022] 상기 제1 스위칭 소자(TR1)는 상기 게이트 라인(GL)과 전기적으로 연결된 제어단(이하, 게이트 전극이라 명칭 함)과, 상기 제1 데이터 라인(DL1)과 전기적으로 연결된 입력단(이하, 소스 전극이라 명칭 함) 및 상기 커플링 커패시터(Ccp)의 제1 전극과 전기적으로 연결된 출력단(이하, 드레인 전극이라 명칭 함)을 포함한다.
- [0023] 상기 제2 스위칭 소자(TR2)는 상기 게이트 라인(GL)과 전기적으로 연결된 게이트 전극과, 상기 제2 데이터 라인(DL2)과 전기적으로 연결된 소스 전극 및 상기 제2 액정 커패시터(CLC_L)의 제2 전극과 전기적으로 연결된 드레인 전극을 포함한다.
- [0024] 상기 제1 액정 커패시터(CLC_H)는 상기 제1 스위칭 소자(TR1)의 상기 드레인 전극과 전기적으로 연결되는 제1 전극과, 상기 제2 스위칭 소자(TR2)의 상기 드레인 전극과 전기적으로 연결되는 제2 전극 및 상기 제1 전극과 상기 제2 전극의 사이에 개재되는 액정을 포함한다.
- [0025] 상기 제2 액정 커패시터(CLC_L)는 상기 커플링 커패시터(Ccp)의 제2 전극과 전기적으로 연결되는 제1 전극과, 상기 제2 스위칭 소자(TR2)의 상기 드레인 전극과 전기적으로 연결되는 제2 전극 및 상기 제1 전극과 상기 제2 전극의 사이에 개재되는 액정을 포함한다.
- [0026] 상기 커플링 커패시터(Ccp)는 상기 제1 스위칭 소자(TR1)의 상기 드레인 전극과 전기적으로 연결된 제1 전극 및 상기 제2 액정 커패시터(CLC_L)의 제1 전극과 전기적으로 연결된 제2 전극을 포함한다.
- [0027] 상기 제1 스토리지 커패시터(CST1)는 제1 전극이 상기 제1 스위칭 소자(TR1)의 상기 드레인 전극과 전기적으로 연결되고, 제2 전극이 상기 스토리지 라인(STL)과 전기적으로 연결된다.
- [0028] 상기 제2 스토리지 커패시터(CST2)는 제1 전극이 상기 제2 스위칭 소자(TR2)의 상기 드레인 전극과 연결되고, 제2 전극이 상기 스토리지 라인(STL)과 전기적으로 연결된다. 상기 제1 및 제2 스토리지 커패시터(CST2)는 상기 제1 액정 커패시터(CLC_H)에 충전되는 제1 화소 전압 및 상기 제2 액정 커패시터(CLC_L)에 충전되는 제2 화소 전압을 한 프레임 동안 유지시킨다.
- [0029] 상기 화소(P)의 구동 방식은 다음과 같다.
- [0030] 상기 게이트 라인(GL)에 상기 게이트 신호가 인가되면, 상기 제1 및 제2 스위칭 소자(TR2)가 턴온(turn-on)된다. 상기 제1 액정 커패시터(CLC_H)에는 상기 제1 데이터 라인(DL1)을 통해 전달되는 상기 제1 전압과 상기 제2 데이터 라인(DL2)을 통해 전달되는 상기 제2 전압에 의한 제1 화소 전압이 충전된다. 상기 제1 액정 커패시터(CLC_H)에 충전된 상기 제1 화소 전압은 상기 제1 액정 커패시터(CLC_H)와 병렬로 연결된 상기 커플링 커패시터(Ccp) 및 상기 제2 액정 커패시터(CLC_L)에 각각 분압되어 충전된다. 상기 제2 액정 커패시터(CLC_L)에는 상기 제1 화소 전압 보다 낮은 제2 화소 전압이 충전된다. 상기 커플링 커패시터(Ccp)는 상기 제2 화소 전압이 상기 제1 화소 전압보다 약 0.5~0.8배가 되도록 설계된다.
- [0031] 도 2는 도 1에 도시된 액정표시장치의 평면도이고, 도 3은 도 2의 I-I라인을 따라 절단한 단면도이다.
- [0032] 도 1 내지 도 3을 참조하면, 상기 액정표시장치는 어레이 기판(100)과 상기 어레이 기판(100)과 결합하여 액정층(300)을 형성하는 대향 기판(200)을 포함한다.
- [0033] 상기 어레이 기판(100)은 화소 영역이 정의된 제1 베이스 기판(110)을 포함한다. 상기 제1 베이스 기판(110) 위에는 상기 게이트 전극들(GE1, GE2), 상기 게이트 라인(GL), 상기 스토리지 라인(STL), 화소 전극(PE) 및 대향 전극(OE)을 포함한다. 상기 화소 전극(PE)은 제1 서브 전극(PE1) 및 제2 서브 전극(PE2)을 포함한다.
- [0034] 상기 제1 스위칭 소자(TR1)는 상기 게이트 라인(GL)과 상기 제1 데이터 라인(DL1)이 교차하는 영역에 인접하게 형성된다. 상기 제1 스위칭 소자(TR1)는 게이트 전극(GE1)이 상기 게이트 라인(GL)과 전기적으로 연결되고, 상

기 소스 전극(SE1)이 상기 제1 데이터 라인(DL1)과 전기적으로 연결되며, 드레인 전극(DE1)이 상기 제1 서브 전극(PE1)의 일부와 제1 콘택부(CNT1)를 통해 전기적으로 연결된다.

- [0035] 상기 제2 스위칭 소자(TR2)는 상기 게이트 배선(GL)과 상기 제2 데이터 라인(DL2)이 교차하는 영역에 인접하게 형성된다. 상기 제1 스위칭 소자(TR1)는 게이트 전극(GE2)이 상기 게이트 라인(GL)과 전기적으로 연결되고, 소스 전극(SE2)이 상기 제2 데이터 라인(DL2)과 전기적으로 연결되며, 드레인 전극(DE2)이 상기 대향 전극(OE)의 일부와 제2 콘택부(CNT2)를 통해 전기적으로 연결된다.
- [0036] 상기 제1 서브 전극(PE1)은 패터닝된 복수의 제1 전극 바들(E1)을 포함한다. 상기 제1 전극 바들(E1)은 상기 제1 베이스 기판(100) 상에 정의된 화소 영역의 양측에 이격되어 형성되고, 상기 커플링 커패시터(Ccp)를 형성하기 위한 상기 커플링 전극(125), 제3 콘택부(CNT3) 및 제4 콘택부(CNT4)를 통해 물리적, 전기적으로 서로 연결된다. 상기 제1 서브 전극(PE1)은 상기 제1 스위칭 소자(TR1)와 연결되어 상기 제1 데이터 라인(DL1)에 전달되는 상기 제1 전압을 인가받는다.
- [0037] 상기 커플링 전극(125)은 상기 제1 전극 바들(E1)의 일부와 상기 제3 및 제4 콘택부들(CNT3, CNT4)를 통해 전기적으로 연결되고, 상기 제2 전극 바들(E2)과 일부분이 오버랩되도록 형성된다.
- [0038] 상기 제2 서브 전극(PE2)은 패터닝된 복수의 제2 전극 바들(E2)을 포함한다. 상기 제2 전극 바들(E2)은 상기 화소 영역의 중앙에 형성되며, 상기 커플링 전극(125)과 일부분이 오버랩되도록 형성된다. 상기 제2 서브 전극(PE2)은 상기 제1 서브 전극(PE1) 및 상기 커플링 전극(125)과 이격되어 플로팅 된다.
- [0039] 상기 제2 전극 바들(E2)과 상기 커플링 전극(125)이 오버랩되는 부분에 게이트 절연층(120) 및 패시베이션층(140)에 의해 상기 커플링 커패시터(Ccp)가 정의된다. 즉, 상기 커플링 커패시터(Ccp)의 제1 전극은 상기 커플링 전극(125)과 연결되고, 제2 전극은 상기 커플링 전극(125)과 오버랩되는 상기 제2 전극 바들(E2)과 연결된다.
- [0040] 상기 대향 전극(OE)은 상기 제2 데이터 라인(DL2)과 인접하게 형성된다. 상기 대향 전극(OE)은 상기 제2 스위칭 소자(TR2)와 연결되어 상기 제1 데이터 라인(DL1)에 전달되는 상기 제2 전압을 인가받는다. 상기 대향 전극(OE)은 복수의 제3 전극 바들(E3)을 포함한다. 상기 대향 전극(OE)은 복수의 제3 전극 바들(E3)을 포함한다. 상기 제3 전극 바들(E3)은 서로 이격되어 배치된 상기 제1 및 제2 전극 바들(E2)의 사이에 배치된다.
- [0041] 상기 제1 내지 제3 전극 바들(E3)은 빗살 모양(Comb Shape)으로 형성될 수 있다. 상기 제1 및 제2 전극 바들(E1, E2)은 상기 제2 데이터 라인(DL2) 쪽으로 돌출되도록 형성되고, 상기 제3 전극 바들(E3)은 상기 제1 데이터 라인(DL1) 쪽으로 돌출되도록 형성될 수 있다. 상기 제1 내지 제3 전극 바들(E1 내지 E3)은 동일 평면상에 형성될 수 있다. 상기 제1 및 제3 전극 바들(E1, E3)에 인가된 전압들에 의해 제1 수평 전기장이 형성되고, 상기 제2 및 제3 전극 바들(E2, E3)에 인가된 전압들에 의해 제2 수평 전기장이 형성된다.
- [0042] 이에 따라 상기 제1 서브 전극(PE1)에는 상기 제1 데이터 라인들(DL1)에 전달되는 상기 제1 전압이 그대로 인가되고, 상기 제2 서브 전극(PE2)에는 상기 커플링 커패시터(Ccp)에 의해 분압된 전압이 인가된다. 즉, 상기 제2 서브 전극(PE2)에는 상기 제1 전압 보다 낮은 전압이 인가된다.
- [0043] 상기 스토리지 라인(STL)은 상기 제1 게이트 라인(GL1)과 평행하게 형성된다. 상기 스토리지 라인(STL)은 상기 제1 서브 전극(PE1) 및 상기 대향 전극(OE)과 일부분이 오버랩되게 형성된다. 상기 제1 서브 전극(PE1)과 상기 스토리지 라인(STL) 사이에 형성된 상기 게이트 절연층(120) 및 상기 패시베이션층(140)에 의해 상기 제1 스토리지 커패시터(CST1)가 정의되고, 상기 대향 전극(OE)과 상기 스토리지 라인(STL) 사이에 형성된 상기 게이트 절연층(120) 및 상기 패시베이션층(140)에 의해 상기 제2 스토리지 커패시터(CST2)가 정의된다. 상기 제1 스토리지 커패시터(CST1)의 제1 전극은 상기 제1 서브 전극(PE1)과 연결되고, 제2 전극은 상기 스토리지 라인(STL)과 연결되어 상기 공통전압(Vcom)을 인가받는다. 상기 제2 스토리지 커패시터(CST2)의 제1 전극은 상기 대향 전극(OE)과 연결되고, 제2 전극은 상기 스토리지 라인(STL)과 연결되어 상기 공통전압(Vcom)을 인가 받는다.
- [0044] 상기 대향 기판(200)은 제2 베이스 기판(210)을 포함한다. 상기 제2 베이스 기판(210) 상에는 차광층(220) 및 컬러 필터층(230)이 형성된다.
- [0045] 상기 차광층(220)은 상기 제1 및 제2 서브 전극(PE1, PE2)의 가장자리를 둘러싸는 영역에 대응하여 전도성을 가지는 물질로 형성되어 광을 차단한다.
- [0046] 상기 컬러 필터층(230)은 상기 어레이 기판(100)의 상기 제1 및 제2 서브 전극들(PE1, PE2)과 대응하는 상기 제2 베이스 기판(210) 상에 형성된다. 상기 컬러 필터층(230)은 컬러 포토레지스층을 사진 식각 공정을 통해 패터닝하여 형성하거나, 잉크를 인쇄하여 형성할 수 있다. 상기 컬러 필터층(230)은 적색, 녹색 및 청색의 컬러 필

터들을 포함할 수 있다.

- [0047] 액정층(300)은 무전계 상태에서 블랙을 표시하고, 전계 상태에서 화이트를 표시하는 노멀리 블랙 모드이다. 상기 액정층(300)은 무전계 상태에서 수직 배향되어 광을 차단하고, 전계 상태에서 상기 제1 및 제2 전극 바들(E1, E2) 사이에 형성된 수평 전계 및 상기 제2 및 제3 전극 바들(E2, E3) 사이에 형성된 수평 전계에 의해 액정이 기울어져 광을 투과한다.
- [0048] 상기와 같은 본 실시예에 따르면, 상기 커플링 커패시터(Ccp)를 이용해 상기 제1 및 제2 서브 전극(PE1, PE2)을 서로 다른 화소 전압으로 구동시킬 수 있으므로, 측면 시인성을 개선할 수 있다. 또한, 본 실시예에 따르면 상기 제1 및 제2 서브 전극(PE1, PE2)과 상기 대향 전극(OE)들의 전극 간격을 동일하게 함으로써 액정의 응답속도 균일하게 할 수 있다.
- [0049] 이하, 도 2 및 도 3을 참조하여 상기 어레이 기판(100)의 제조 방법을 설명하기로 한다.
- [0050] 도 1 및 도 2를 참조하면, 상기 제1 베이스 기판(110) 상에 게이트 금속층(미도시)을 형성하고, 상기 게이트 금속층을 패터닝하여 상기 게이트 배선(GL1), 상기 게이트 전극들(GE1, GE2), 상기 스토리지 라인(STL) 및 상기 커플링 전극(125)을 포함하는 게이트 금속패턴을 형성한다.
- [0051] 이어서, 상기 게이트 금속패턴이 형성된 상기 제1 베이스 기판(110) 상에 상기 게이트 절연층(120)을 형성한다. 상기 게이트 절연층(120)이 형성된 상기 제1 베이스 기판(110) 위에 상기 반도체 패턴들을 형성한다.
- [0052] 이어서, 상기 반도체 패턴들이 형성된 상기 제1 베이스 기판(110) 위에 소스 금속층을 형성한다. 상기 소스 금속층을 사진 식각 공정을 통해 패터닝하여 상기 제1 및 제2 데이터 배선들(DL1, DL2), 상기 소스 전극들(SE1, SE2) 및 상기 드레인 전극들(DE1, DE2)을 형성한다.
- [0053] 상기 소스 금속 패턴이 형성된 상기 제1 베이스 기판(110) 위에 상기 패시베이션층(140)을 형성한다. 상기 패시베이션층(140)을 형성하는 물질의 예로서는, 질화 실리콘, 산화 실리콘 등을 들 수 있다.
- [0054] 이어서 상기 패시베이션층(140)을 식각하여 상기 드레인 전극들(DE1, DE2) 및 상기 커플링 전극(125)을 노출시키는 상기 제1 내지 제4 콘택부(CNT1 내지 CNT4)를 형성한다.
- [0055] 상기 제1 내지 제4 콘택부(CNT1 내지 CNT4)가 형성된 상기 제1 베이스 기판(110) 위에 투명 도전층을 형성한다. 상기 투명 도전층을 패터닝하여 상기 제1 전극 바들(E1)을 갖는 상기 제1 서브 전극(PE1), 상기 제2 전극 바들(E2)을 갖는 상기 제2 서브 전극(PE2) 및 상기 제3 전극 바들(E3)을 갖는 상기 대향 전극(OE)을 형성한다. 상기 투명 도전층을 형성하는 물질의 예로서는, 인듐 틴 옥사이드, 인듐 징크 옥사이드 등을 들 수 있다.
- [0056] 상기 제1 서브 전극(PE1)은 상기 제1 및 제2 콘택부들(CNT1, CNT2)를 통해 상기 제1 및 제2 스위칭 소자들(TR1, TR2)의 드레인 전극들(DE1, DE2)과 전기적으로 연결된다. 상기 제2 서브 전극(PE1)은 상기 제1 서브 전극(PE1) 및 상기 커플링 전극(125)과 이격되어 플로팅 된다.
- [0057] 도면에 도시하지 않았지만, 상기 패시베이션층(140)과 상기 제1 및 제2 서브 전극들(PE1, PE2) 사이에 상기 어레이 기판(100)을 평탄화시키는 유기층을 더 형성할 수 있다.
- [0058] 한편, 본 실시예에서는 상기 커플링 전극(125)이 상기 게이트 라인(GL)과 동일 층에 형성된 경우를 예로 들어 설명하였지만, 이에 한정되는 것은 아니다. 즉, 상기 커플링 전극(125)은 상기 소스 전극들(SE1, SE2)과 동일한 층에 형성될 수 있다.
- [0059] 실시예 2
- [0060] 도 4는 본 발명의 실시예 2에 따른 액정표시장치의 단면도이다.
- [0061] 도 4에 도시된 상기 액정표시장치는, 컬러 필터층(150)을 제외하고는 상기 도 2 및 도 3에 도시된 실시예 1에 따른 액정표시장치와 동일하므로, 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다.
- [0062] 도 4를 참조하면, 본 실시예에 따른 액정표시장치는 컬러 필터층(150)이 형성된 어레이 기판(100a), 상기 어레이 기판(100a)과 결합하여 액정층(300)을 형성하는 대향 기판(200a)을 포함한다.
- [0063] 상기 어레이 기판(100a)은 제1 베이스 기판(110), 게이트 절연층(120), 패시베이션층(140), 상기 컬러 필터층(150), 제1 서브 전극(PE1), 제2 서브 전극(PE2) 및 대향 전극(OE)을 포함한다.

- [0064] 상기 게이트 절연층(120)은 상기 제1 베이스 기판(110) 상에 형성되어 제1 스위칭 소자(TR1)의 게이트 전극(GE1), 게이트 라인(GL), 스토리지 라인(STL) 및 커플링 전극(125)을 커버한다. 상기 패시베이션층(140)은 상기 게이트 절연층(120) 위에 형성된다.
- [0065] 상기 컬러 필터층(150)은 상기 패시베이션층(140) 위에 형성되고, 상기 어레이 기판(100a)을 평탄화시킬 수 있다. 상기 컬러 필터층(150)은 컬러 포토레지스트층을 사진 식각 공정을 통해 패터닝하여 형성하거나, 잉크를 인쇄하여 형성할 수 있다. 상기 컬러 필터층(150)은 적색, 녹색 및 청색의 컬러 필터들을 포함할 수 있다.
- [0066] 상기 컬러 필터층(150) 위에는 투명성 도전 물질로 이루어진 상기 제1 서브 전극(PE1), 상기 제2 서브 전극(PE2) 및 상기 대향 전극(OE)이 형성된다. 상기 제1 서브 전극(PE1)은 바 형상으로 패터닝된 제1 전극 바들(E1)을 포함하고, 상기 제2 서브 전극(PE2)은 바 형상으로 패터닝된 제2 전극 바들(E2)을 포함하며, 상기 대향 전극(OE)은 바 형상으로 패터닝된 제3 전극 바들(E3)을 포함한다.
- [0067] 도면에 도시하지 않았지만, 상기 어레이 기판(100a)은 상기 제1 스위칭 소자(TR1)와 상기 제1 베이스 기판(110)의 사이에 개재된 차광층을 더 포함할 수 있다.
- [0068] 상기 대향 기판(200a)은 제2 베이스 기판(210)을 포함한다. 상기 차광층은 상기 어레이 기판(100a)에 형성되지 않고 상기 제2 베이스 기판(210)위에 형성될 수 있다.
- [0069] 실시예 3
- [0070] 도 5는 본 발명의 실시예 3에 따른 액정표시장치의 등가회로도이다.
- [0071] 도 5에 도시된 액정표시장치는, 스토리지 커패시터(CST)를 제외하고는 도 1에 도시된 실시예 1에 따른 액정표시장치와 동일하므로, 동일한 부재는 동일한 참조 부호로 나타내고 중복되는 상세한 설명은 생략하기로 한다. 또한, 본 실시예에 따른 어레이 기판(100b)의 제조 방법은 도 2 및 3을 참조하여 설명한 실시예 1에 따른 어레이 기판(100)의 제조 방법과 실질적으로 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.
- [0072] 도 5를 참조하면, 상기 액정표시장치는 게이트 라인(GL)과, 상기 게이트 라인(GL)과 교차하는 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)과 전기적으로 연결된 화소(P)를 포함한다. 상기 화소(P)는 제1 스위칭 소자(TR1), 제2 스위칭 소자(TR2), 제1 액정 커패시터(CLC_H), 제2 액정 커패시터(CLC_L), 커플링 커패시터(Ccp) 및 상기 스토리지 커패시터(CST)를 포함한다.
- [0073] 상기 제1 데이터 라인(DL1)은 제1 전압을 전달하고, 상기 제2 데이터 라인(DL2)은 상기 제1 전압과 다른 제2 전압을 전달한다.
- [0074] 상기 스토리지 커패시터(CST)는 상기 제1 액정 커패시터(CLC_H)와 병렬로 연결된다. 즉, 상기 스토리지 커패시터(CST)는 상기 제1 액정 커패시터(CLC_H)의 제1 전극과 전기적으로 연결되는 제1 전극 및 상기 제1 액정 커패시터(CLC_H)의 제2 전극과 전기적으로 연결되는 제2 전극을 포함한다.
- [0075] 상기과 같은 본 실시예에 따르면 상기 제1 액정 커패시터(CLC_H)에 상기 스트로지 커패시터(CST) 하나만 연결되므로, 실시예 1에 비해서 구조가 단순해진다.
- [0076] 실시예 4
- [0077] 도 6은 본 발명의 실시예 4에 따른 액정표시장치의 등가회로도이다.
- [0078] 도 6에 도시된 액정표시장치는, 제2 커플링 커패시터(Ccp2)를 제외하고는 도 1에 도시된 실시예 1에 따른 액정표시장치와 동일하므로, 동일한 부재는 동일한 참조 부호로 나타내고 중복되는 상세한 설명은 생략하기로 한다.
- [0079] 도 6을 참조하면, 상기 액정표시장치는 게이트 라인(GL)과, 상기 게이트 라인(GL)과 교차하는 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)과 전기적으로 연결된 화소(P)를 포함한다. 상기 화소(P)는 제1 스위칭 소자(TR1), 제2 스위칭 소자(TR2), 제1 액정 커패시터(CLC_H), 제2 액정 커패시터(CLC_L), 제1 커플링 커패시터(Ccp1), 제2 커플링 커패시터(Ccp2), 제1 스토리지 커패시터(CST1) 및 제2 스토리지 커패시터(CST2)를 포함한다.
- [0080] 상기 제1 커플링 커패시터(Ccp1)는 상기 제1 스위칭 소자(TR1)의 드레인 전극과 전기적으로 연결된 제1 전극 및

상기 제2 액정 커패시터(CLC_L)의 제1 전극과 전기적으로 연결된 제2 전극을 포함한다.

- [0081] 상기 제2 커플링 커패시터(Ccp2)는 상기 제2 스위칭 소자(TR2)의 드레인 전극과 전기적으로 연결된 제1 전극 및 상기 제2 액정 커패시터(CLC_L)의 제2 전극과 전기적으로 연결된 제2 전극을 포함한다.
- [0082] 상기와 같이 상기 제1 및 제2 커플링 커패시터(Ccp1, Ccp2)를 상기 제2 액정 커패시터(CLC_L)의 양단에 형성하는 경우, 직류 성분의 잔류로 인해 발생하는 잔상을 막을 수 있다.
- [0083] 실시예 5
- [0084] 도 7은 본 발명의 실시예 5에 따른 액정표시장치의 등가회로도이다.
- [0085] 도 7을 참조하면, 상기 액정표시장치는 화소(P)를 포함한다. 상기 화소(P)는 제1 게이트 라인(GL1), 제2 게이트 라인(GL2), 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)에 의해 전달된 게이트 신호 및 데이터 신호에 의해 구동된다.
- [0086] 상기 화소(P)는 제1 스위칭 소자(TR1), 제2 스위칭 소자(TR2), 제1 액정 커패시터(CLC_H), 제1 스토리지 커패시터(CST1), 제2 스토리지 커패시터(CST2), 제3 스위칭 소자(TR3), 제4 스위칭 소자(TR4), 제2 액정 커패시터(CLC_L), 제3 스토리지 커패시터(CST), 제4 스토리지 커패시터(CST) 및 제5 스위칭 소자(TR5)를 포함한다. 상기 제1 및 제2 데이터 라인들(DL1, DL2)은 상기 게이트 라인(GL)과 교차하는 방향으로 서로 평행하게 연장된다.
- [0087] 상기 제1 데이터 라인(DL1)은 제1 전압을 전달하고, 상기 제2 데이터 라인(DL2)은 상기 제1 전압과 다른 제2 전압을 전달한다. 상기 제1 및 제2 전압들은 스토리지 라인(미도시)에 인가되는 공통전압(Vcom)을 기준으로 서로 다른 극성을 가질 수 있다. 예를 들면, 상기 제1 전압은 양의 극성을 갖고, 상기 제2 전압은 음의 극성을 가질 수 있다. 상기 제2 전압은 상기 제1 전압에 연동된다.
- [0088] 상기 제1 게이트 라인(GL1)은 제1 게이트 신호를 전달하고, 상기 제2 게이트 라인(GL2)은 제2 게이트 신호를 전달한다.
- [0089] 상기 제1 스위칭 소자(TR1)는 상기 제1 게이트 라인(GL1)과 전기적으로 연결된 게이트 전극과, 상기 제1 데이터 라인(DL1)과 전기적으로 연결된 소스 전극 및 상기 제1 액정 커패시터(CLC_H)의 제1 전극과 전기적으로 연결된 드레인 전극을 포함한다.
- [0090] 상기 제2 스위칭 소자(TR2)는 상기 제1 게이트 라인(GL1)과 전기적으로 연결된 게이트 전극과, 상기 제2 데이터 라인(DL2)과 전기적으로 연결된 소스 전극 및 상기 제2 액정 커패시터(CLC_L)의 제2 전극과 전기적으로 연결된 드레인 전극을 포함한다.
- [0091] 상기 제1 액정 커패시터(CLC_H)는 상기 제1 스위칭 소자(TR1)의 상기 드레인 전극과 전기적으로 연결되는 제1 전극과, 상기 제2 스위칭 소자(TR2)의 상기 드레인 전극과 전기적으로 연결되는 제2 전극 및 상기 제1 전극과 상기 제2 전극의 사이에 개재되는 액정을 포함한다.
- [0092] 상기 제1 스토리지 커패시터(CST1)는 상기 제1 스위칭 소자(TR1)의 상기 드레인 전극과 전기적으로 연결된 제1 전극 및 상기 공통전압(Vcom)을 인가받는 제2 전극을 포함한다.
- [0093] 상기 제2 스토리지 커패시터(CST2)는 상기 제2 스위칭 소자(TR2)의 상기 드레인 전극과 전기적으로 연결된 제1 전극 및 상기 공통전압(Vcom)을 인가받는 제2 전극을 포함한다. 상기 제1 및 제2 스토리지 커패시터(CST2)는 상기 제1 액정 커패시터(CLC_H)에 충전되는 제1 화소 전압을 한 프레임 동안 유지 시킨다.
- [0094] 상기 제3 스위칭 소자(TR3)는 상기 제1 게이트 라인(GL1)에 전기적으로 연결된 게이트 전극, 상기 제1 데이터 라인(DL1)에 전기적으로 연결된 소스 전극 및 상기 제2 액정 커패시터(CLC_L)의 제1 전극에 전기적으로 연결된 드레인 전극을 포함한다.
- [0095] 상기 제4 스위칭 소자(TR4)는 상기 제1 게이트 라인(GL1)에 전기적으로 연결된 게이트 전극, 상기 제2 데이터 라인(DL2)에 전기적으로 연결된 소스 전극 및 상기 제2 액정 커패시터(CLC_L)의 제2 전극에 전기적으로 연결된 드레인 전극을 포함한다.
- [0096] 상기 제2 액정 커패시터(CLC_L)는 상기 제3 스위칭 소자(TR3)의 상기 드레인 전극과 전기적으로 연결되는 제1 전극과, 상기 제4 스위칭 소자(TR4)의 상기 드레인 전극과 전기적으로 연결되는 제2 전극 및 상기 제1 전극과

상기 제2 전극의 사이에 개재되는 액정을 포함한다.

- [0097] 상기 제3 스토리지 커패시터(CST)는 상기 제3 스위칭 소자(TR3)의 상기 드레인 전극과 전기적으로 연결된 제1 전극 및 상기 공통전압(Vcom)을 인가받는 제2 전극을 포함한다.
- [0098] 상기 제4 스토리지 커패시터(CST)는 상기 제4 스위칭 소자(TR4)의 상기 드레인 전극과 전기적으로 연결된 제1 전극 및 상기 공통전압(Vcom)을 인가받는 제2 전극을 포함한다. 상기 제3 및 제4 스토리지 커패시터들(CST3, CST4)은 상기 제2 액정 커패시터(CLC_L)에 충전되는 제2 화소 전압을 한 프레임 동안 유지 시킨다.
- [0099] 상기 제5 스위칭 소자(TR5)는 상기 제2 게이트 라인(GL2)에 전기적으로 연결된 게이트 전극, 상기 제2 액정 커패시터(CLC_L)의 상기 제1 전극과 전기적으로 연결된 소스 전극, 상기 제2 액정 커패시터(CLC_L)의 상기 제2 전극과 전기적으로 연결된 드레인 전극을 포함한다.
- [0100] 상기 화소(P)의 구동 방식은 다음과 같다.
- [0101] 상기 제1 게이트 라인(GL1)에 상기 제1 게이트 신호가 인가되면, 상기 제1 내지 제4 스위칭 소자(TR1 내지 TR4)가 턴-온(turn-on) 된다. 이에 의해 상기 제1 및 제2 액정 커패시터(CLC_H, CLC_L)에는 상기 제1 데이터 라인(DL1)을 통해 전달되는 상기 제1 전압과 상기 제2 데이터 라인(DL2)을 통해 전달되는 상기 제2 전압에 의한상기 제1 및 제2 화소 전압이 각각 충전된다. 상기 제1 게이트 신호에 응답하여 상기 제1 및 제2 액정 커패시터(CLC_L)에 충전되는 상기 제1 및 제2 화소 전압은 동일한 레벨을 갖는다. 상기 제2 게이트 라인(GL2)에 상기 제2 게이트 신호가 인가되면, 상기 제5 스위칭 소자(TR5)가 턴-온되고, 상기 제2 액정 커패시터(CLC_L)에 충전된 상기 제2 화소 전압은 일정레벨 감소된다. 상기 제5 스위칭 소자(TR5)는 상기 제2 화소 전압이 상기 제1 화소 전압보다 약 0.5~0.8배가 되도록 설계된다. 상기 제5 스위칭 소자(TR5)의 채널 폭(W)과 길이(L)를 상기 조건을 만족하도록 설계하면 된다.
- [0102] 도 8은 도 7에 도시된 액정표시장치의 평면도이고, 도 9는 도 8의 II-II라인을 따라 절단한 단면도이다.
- [0103] 도 7 내지 도 9를 참조하면, 상기 액정표시장치는 어레이 기판(100b)과 상기 어레이 기판(100b)과 결합하여 액정층(300)을 형성하는 대향 기판(200b)을 포함한다.
- [0104] 상기 어레이 기판(100b)은 화소 영역이 정의된 제1 베이스 기판(110)을 포함한다. 상기 제1 베이스 기판(110) 위에는 상기 제1 내지 제5 스위칭 소자(TR1 내지 TR5)의 게이트 전극들(GE1 내지 GE5), 제1 내지 제3 게이트 라인들(GL1 내지 GL3), 상기 제1 및 제2 스토리지 라인들(STL1, STL2), 화소 전극(PE) 및 상기 하소 전극(PE)과 대향되는 대향 전극(OE)이 형성된다. 상기 화소 전극(PE)은 제1 서브 전극(PE1) 및 제2 서브 전극(PE2)을 포함한다.
- [0105] 상기 제1 스위칭 소자(TR1)는 상기 제2 게이트 라인(GL2)과 상기 제1 데이터 라인(DL1)이 교차하는 영역에 인접하게 형성된다. 상기 제1 스위칭 소자(TR1)는 게이트 전극(GE1)이 상기 제2 게이트 라인(GL)과 연결되고, 소스 전극(SE1)이 상기 제1 데이터 라인(DL1)과 연결되며, 드레인 전극(DE1)이 상기 제1 서브 전극(PE1)과 제1 콘택부(CNT1)를 통해 전기적으로 연결된다.
- [0106] 상기 제2 스위칭 소자(TR2)는 상기 제2 게이트 라인(GL2)과 상기 제1 데이터 라인(DL1)이 교차하는 영역에 인접하게 형성된다. 상기 제2 스위칭 소자(TR2)는 게이트 전극(GE2)이 상기 제2 게이트 라인(GL)과 연결되고, 소스 전극(SE2)이 상기 제1 데이터 라인(DL2)과 연결되며, 드레인 전극(DE2)이 상기 제2 서브 전극(PE2)과 제2 콘택부(CNT2)를 통해 전기적으로 연결된다.
- [0107] 상기 제3 스위칭 소자(TR3)는 게이트 전극(GE3)이 상기 제2 게이트 라인(GL2)에 전기적으로 연결되고, 소스 전극(SE3)이 상기 제2 데이터 라인(DL1)에 전기적으로 연결되며 드레인 전극(DE3)이 상기 대향 전극(OE)의 제3 전극 바들(E3)의 일부와 전기적으로 연결된다.
- [0108] 상기 제4 스위칭 소자(TR4)는 게이트 전극(GE4)이 상기 제2 게이트 라인(GL2)에 전기적으로 연결되고, 소스 전극(SE4)이 상기 제2 데이터 라인(DL2)에 전기적으로 연결되며, 드레인 전극(DE4)이 상기 대향 전극(OE)의 제4 전극 바들(E4)의 일부와 전기적으로 연결된다.
- [0109] 상기 제1 서브 전극(PE1)과 상기 제2 서브 전극(PE2)은 상기 제1 내지 제4 스위칭 소자(TR4)가 형성된 영역을 기준으로 서로 이격 되어 배치된다.
- [0110] 상기 제1 서브 전극(PE1)은 패터닝된 복수의 제1 전극 바들(E1)을 갖는다. 상기 제1 전극 바들(E1)은 상기 제1 스위칭 소자(TR1)와 연결되어 상기 제1 데이터 라인(DL1)에 전달되는 상기 제1 전압을 인가받는다.

- [0111] 상기 제2 서브 전극(PE2)은 패터닝된 복수의 제2 전극 바들(E2)을 갖는다. 상기 제2 전극 바들(E2)은 상기 제2 스위칭 소자(TR2)와 연결되어 상기 제1 데이터 라인(DL2)에 전달되는 상기 제1 전압을 인가받는다. 또한, 상기 제2 전극 바들(E2)은 상기 제5 스위칭 소자(TR5)의 소스 전극(SE5)과 제5 콘택부(CNT5)를 통해 전기적으로 연결된다.
- [0112] 상기 대향 전극(OE)은 패터닝된 복수의 제3 전극 바들(E3) 및 패터닝된 복수의 제4 전극 바들(E4)을 갖는다. 상기 제3 전극 바들(E3)은 상기 제3 스위칭 소자(TR3)와 연결되어 상기 제2 데이터 라인(DL2)에 전달되는 상기 제2 전압을 인가받는다. 상기 제4 전극 바들(E4)은 상기 제4 스위칭 소자(TR4)와 연결되어 상기 제2 데이터 라인(DL2)에 전달되는 상기 제2 전압을 인가받는다. 또한 상기 제4 전극 바들(E4)은 상기 제5 스위칭 소자(TR5)의 드레인 전극(DE5)과 제6 콘택부(CNT6)를 통해 전기적으로 연결된다.
- [0113] 상기 제3 전극 바들(E3)은 상기 제1 전극 바들(E1)의 사이에 배치된다. 상기 제1 및 제3 전극 바들(E1, E3)에 인가되는 상기 제1 및 제2 전압들에 의해 제1 수평 전기장이 형성된다. 상기 제4 전극 바들(E4)은 상기 제2 전극 바들(E2)의 사이에 배치된다. 상기 제2 및 제4 전극 바들(E1, E3)에 인가되는 상기 제1 및 제2 전압들에 의해 제2 수평 전기장이 형성된다.
- [0114] 상기 제1 내지 제4 전극 바들(E1 내지 E4)은 빗살 모양으로 형성될 수 있다. 상기 제1 및 제2 전극 바들(E1, E2)은 상기 제2 데이터 라인(DL2) 쪽으로 돌출되게 형성되고, 상기 제3 및 제4 전극 바들(E3, E4)은 상기 제1 데이터 라인(DL1) 쪽으로 돌출되게 형성된다. 상기 제1 및 제2 전극 바들(E1, E2)에 간격과 상기 제3 및 제4 전극 바들(E2, E3)의 간격은 동일하다.
- [0115] 상기 제5 스위칭 소자(TR5)는 게이트 전극(GE5)이 상기 제1 게이트 라인(GL1)과 전기적으로 연결되고, 소스 전극(SE5)이 상기 제2 전극 바들(E2)의 일부와 전기적으로 연결되고, 드레인 전극(DE5)이 상기 제4 전극 바들(E4)의 일부와 전기적으로 연결된다.
- [0116] 상기 제1 내지 제4 스위칭 소자(TR 내지 TR4)는 상기 제2 및 제3 게이트 라인(GL2, GL3)에 인가되는 상기 제1 게이트 신호에 응답하여 턴-온되고, 상기 제5 스위칭 소자(TR5)는 상기 제2 게이트 라인(GL2)에 인가되는 상기 제2 게이트 신호에 응답하여 턴-온 된다. 상기 제2 및 제3 게이트 라인(GL2, GL3)은 전기적으로 연결되어 상기 제1 게이트 신호를 인가 받는다.
- [0117] 상기 제1 스토리지 라인(STL1)은 상기 제1 및 제3 스위칭 소자들(TR1, TR3)의 상기 드레인 전극들(DE1, DE2)과 제1 및 제2 콘택부들(CNT1, CNT2)를 통해 전기적으로 연결된 상기 제1 및 제3 전극 바들(E1, E3)과 일부분이 오버랩된다. 상기 제1 전극 바(E1)와 상기 제1 스토리지 라인(STL1) 사이에 형성된 게이트 절연층(120) 및 패시베이션층(140)에 의해 상기 제1 스토리지 커패시터(CST1)가 정의되고, 상기 제3 전극 바(E2)와 상기 제1 스토리지 라인(STL1) 사이에 형성된 상기 게이트 절연층(120) 및 상기 패시베이션층(140)에 의해 상기 제2 스토리지 커패시터(CST2)가 정의된다.
- [0118] 상기 제2 스토리지 라인(STL2)은 상기 제2 및 제4 스위칭 소자들(TR2, TR4)의 상기 드레인 전극들(DE3, DE4)과 제3 및 제4 콘택부들(CNT3, CNT4)을 통해 전기적으로 연결된 상기 제2 및 제4 전극 바들(E2, E4)과 일부분이 오버랩된다. 상기 제2 전극 바(E2)와 상기 제2 스토리지 라인(STL2) 사이에 형성된 상기 게이트 절연층(120) 및 상기 패시베이션층(140)에 의해 상기 제3 스토리지 커패시터(CST3)가 정의되고, 상기 제4 전극 바(E4)와 상기 제2 스토리지 라인(STL2) 사이에 형성된 상기 게이트 절연층(120) 및 상기 패시베이션층(140)에 의해 상기 제4 스토리지 커패시터(CST4)가 정의된다. 상기 제1 및 제2 스토리지 라인들(STL1, STL2)은 상기 공통전압(Vcom)을 인가받는다.
- [0119] 상기 대향 기관(200b)은 제2 베이스 기관(210)을 포함한다. 상기 제2 베이스 기관(210) 상에는 차광층(220) 및 컬러 필터층(230)이 형성된다.
- [0120] 상기 차광층(220)은 상기 제1 및 제2 서브 전극(PE1, PE2)이 가장자리를 둘러싸는 영역에 대응하여 전도성을 가지는 물질로 형성되어 광을 차단한다.
- [0121] 상기 컬러 필터층(230)은 상기 어레이 기관(100b)의 상기 제1 및 제2 서브 전극들(PE1, PE2)과 대응하는 상기 제2 베이스 기관(210) 상에 형성된다. 상기 컬러 필터층(230)은 적색, 녹색 및 청색의 컬러 필터들을 포함할 수 있다.
- [0122] 액정층(300)은 무전계 상태에서 수직 배향되어 광을 차단하고, 전계 상태에서 상기 제1 및 제2 전극 바들(E2) 사이에 형성된 수평 전계 및 상기 제3 및 제4 전극 바들(E3) 사이에 형성된 수평 전계에 의해 액정이 기울어져

광을 투과한다.

- [0123] 이하, 도 8 및 도 9를 참조하여 실시예 5에 따른 상기 어레이 기판(100b)의 제조 방법을 설명하면 다음과 같다.
- [0124] 도 8 및 도 9를 참조하면, 상기 제1 베이스 기판(110) 상에 게이트 금속층(미도시)을 형성하고, 상기 게이트 금속층을 패터닝하여 상기 게이트 배선(GL1), 상기 제1 내지 제5 스위칭 소자(TR1 내지 TR5)의 게이트 전극들(DE1 내지 DE5) 및 상기 제1 및 제2 스토리지 라인(STL1, STL2)을 포함하는 게이트 금속패턴을 형성한다.
- [0125] 이어서, 상기 게이트 금속패턴이 형성된 상기 제1 베이스 기판(110) 상에 상기 게이트 절연층(120)을 형성한다. 상기 게이트 절연층(120)이 형성된 상기 제1 베이스 기판(110) 위에 상기 반도체 패턴들을 형성한다.
- [0126] 이어서, 상기 반도체 패턴들이 형성된 상기 제1 베이스 기판(110) 위에 소스 금속층을 형성한다. 상기 소스 금속층을 사진 식각 공정을 통해 패터닝하여 상기 제1 및 제2 데이터 배선들(DL1, DL2), 상기 소스 전극들(SE1 내지 SE5) 및 상기 드레인 전극들(DE1 내지 DE5)을 형성한다.
- [0127] 상기 소스 금속 패턴이 형성된 상기 제1 베이스 기판(110) 위에 상기 패시베이션층(140)을 형성한다. 상기 패시베이션층(140)을 형성하는 물질의 예로서는, 질화 실리콘, 산화 실리콘 등을 들 수 있다.
- [0128] 이어서 상기 패시베이션층(140)을 식각하여 상기 제1 내지 제4 스위칭 소자(TR4)의 드레인 전극들(DE1 내지 DE4), 상기 제5 스위칭 소자(TR5)의 소스 전극(SE5) 및 드레인 전극(DE5)을 노출시키는 제1 내지 6 콘택부(CNT1 내지 CNT6)를 형성한다.
- [0129] 상기 제1 내지 제6 콘택부(CNT1 내지 CNT6)가 형성된 상기 제1 베이스 기판(110) 위에 투명 도전층을 형성한다. 상기 투명 도전층을 패터닝하여 상기 제1 전극 바들(E1)을 갖는 상기 제1 서브 전극(PE1), 제2 전극 바들(E2)을 갖는 제2 서브 전극(PE2) 및 상기 제3 및 제4 전극 바들(E3, E4)을 갖는 상기 대향 전극(OE)을 형성한다. 상기 투명 도전층을 형성하는 물질의 예로서는, 인듐 틴 옥사이드, 인듐 징크 옥사이드 등을 들 수 있다.
- [0130] 상기 제1 서브 전극(PE1)은 상기 제1 콘택부(CNT1)를 통해 상기 제1 스위칭 소자(TR1)의 드레인 전극(DE1)과 전기적으로 연결된다. 상기 제2 서브 전극(PE2)은 상기 제2 콘택부(CNT2)를 통해 상기 제2 스위칭 소자(TR2)의 드레인 전극(DE2)과 전기적으로 연결되고, 상기 제5 콘택부(CNT5)를 통해 상기 제5 스위칭 소자(TR5)의 소스 전극(SE5)과 전기적으로 연결된다. 상기 대향 전극(OE)은 상기 제3 콘택부(CNT3)를 통해 상기 제3 스위칭 소자(TR3)의 소스 전극(SE3)과 전기적으로 연결되고, 상기 제4 콘택부(CNT4)를 통해 상기 제4 스위칭 소자(TR4)의 소스 전극(SE4)과 전기적으로 연결된다.
- [0131] 본 실시 예에 따르면 스위칭 소자들을 이용하여 상기 제1 및 제2 서브 전극(PE1, PE2)에 서로 다른 전압을 인가할 수 있으므로 측면 시인성을 향상시킬 수 있다.

산업이용 가능성

- [0132] 본 발명의 어레이 기판 및 이를 갖는 액정표시장치에 따르면, 수평전계방식을 채용한 액정표시장치에서 하나의 화소를 두 개의 서브 화소로 분할하고, 두 개의 서브 화소에 커패시터 또는 스위칭 소자를 이용하여 서로 다른 화소 전압을 인가함으로써 측면 시인성을 개선할 수 있다. 또한, 상기 두 개의 화소를 듀얼 극성 방식으로 구동시키고, 상기 두 개의 서브 화소들이 포함하는 전극 바들의 간격을 균일하게 함으로써 액정의 응답속도를 향상시킬 수 있다. 따라서, 동영상의 화질이 향상된다.
- [0133] 이상에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

- [0134] 도 1은 본 발명의 실시예 1에 따른 액정표시장치의 등가회로도이다.
- [0135] 도 2는 도 1에 도시된 액정표시장치의 평면도이다.
- [0136] 도 3은 도 2의 I-I라인을 따라 절단한 단면도이다.
- [0137] 도 4는 본 발명의 실시예 2에 따른 액정표시장치의 단면도이다.
- [0138] 도 5는 본 발명의 실시예 3에 따른 액정표시장치의 등가회로도이다.

[0139] 도 6은 본 발명의 실시예 4에 따른 액정표시장치의 등가회로도이다.

[0140] 도 7은 본 발명의 실시예 5에 따른 액정표시장치의 등가회로도이다.

[0141] 도 8은 도 7에 도시된 액정표시장치의 평면도이다.

[0142] 도 9는 도 8의 II-II라인을 따라 절단한 단면도이다.

[0143] <도면의 주요부분에 대한 부호의 설명>

[0144] 100 : 어레이 기판 110 : 제1 베이스 기판

[0145] 120 : 게이트 절연층 125 : 커패시터 전극

[0146] 140 : 패시베이션막 150, 230 : 컬러 필터층

[0147] 200 : 대향 기관 210 : 제2 베이스 기관

[0148] 220 : 차광층 300 : 액정층

[0149] PE1, PE2 : 제1 및 제2 서브 전극 OE : 대향전극

[0150] E1, E2, E3, E4 : 제1 내지 제4 전극 바

[0151] CLC_H, CLC_L : 제1 및 제2 액정 커패시터

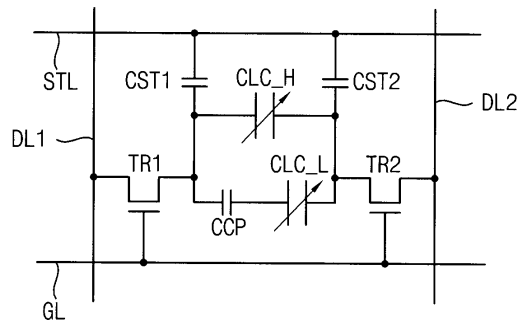
[0152] TR1, TR2, TR3, TR4, TR5 : 제1 내지 제4 스위칭 소자

[0153] Ccp : 커플링 커패시터

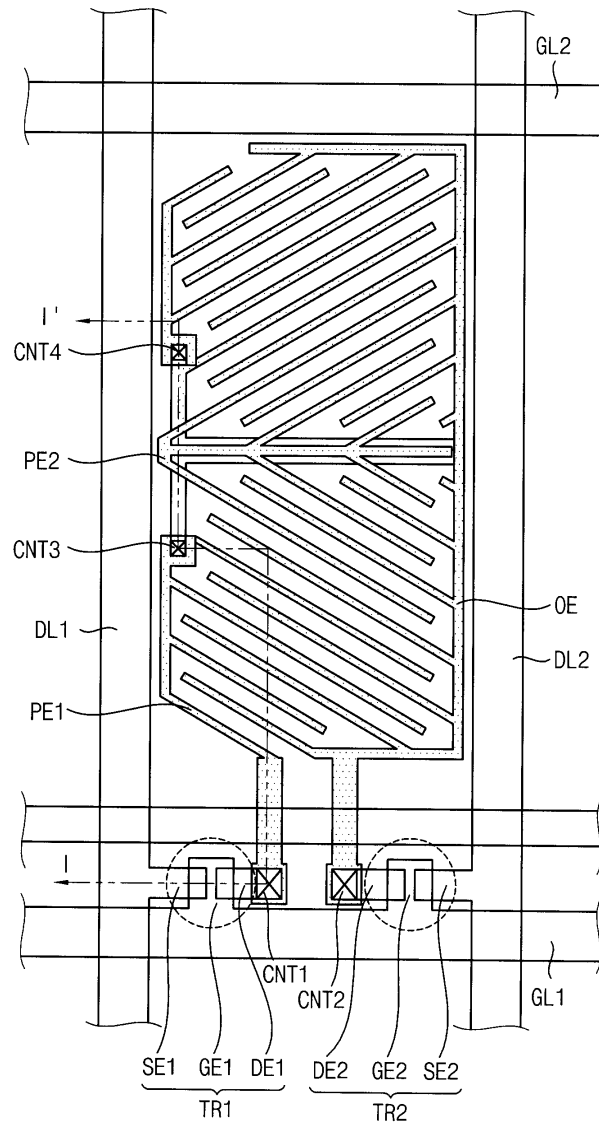
[0154] CST1, CST2, CST3, CST4 : 제1 내지 제4 스토리지 커패시터

도면

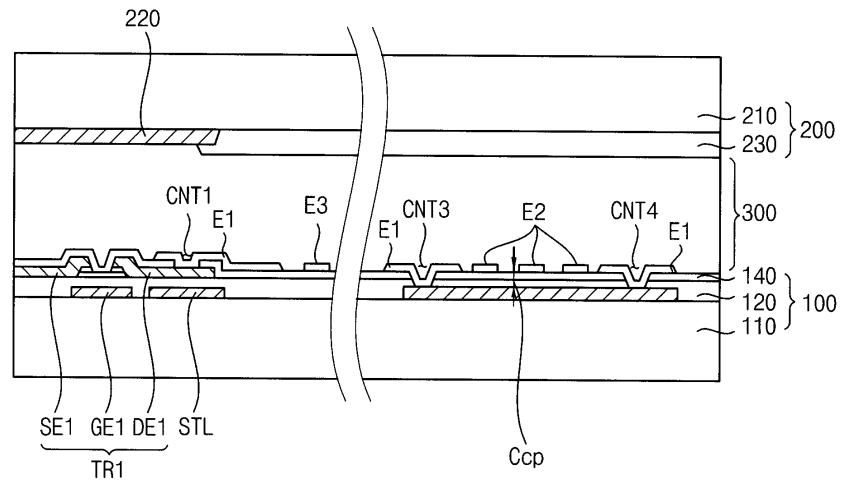
도면1



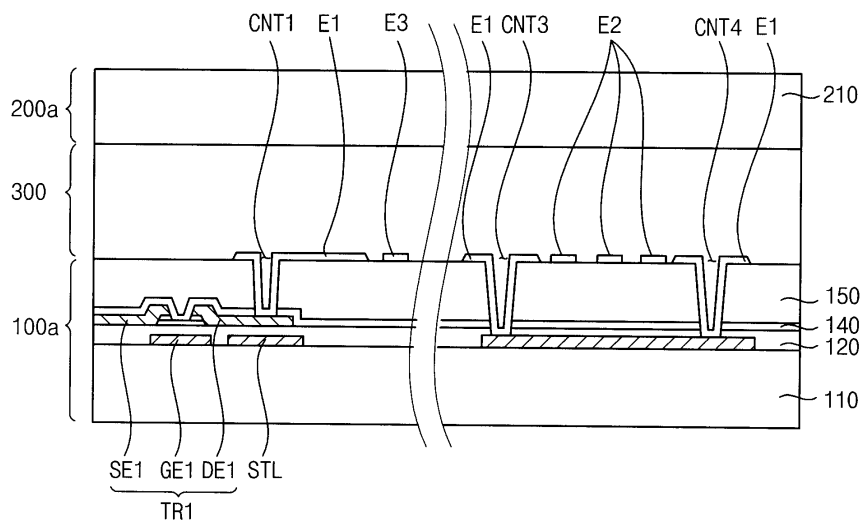
도면2



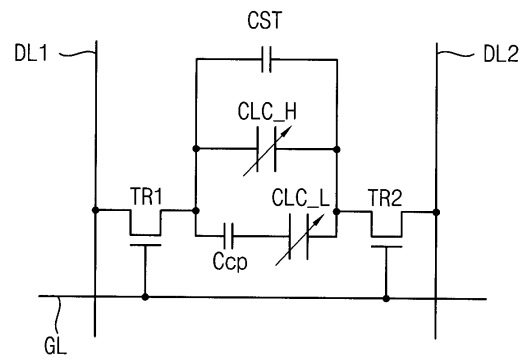
도면3



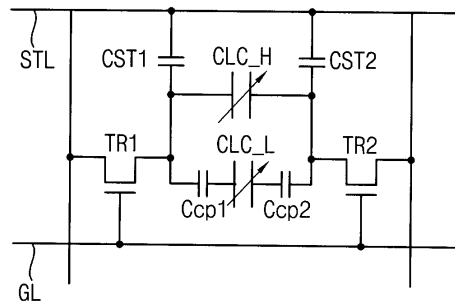
도면4



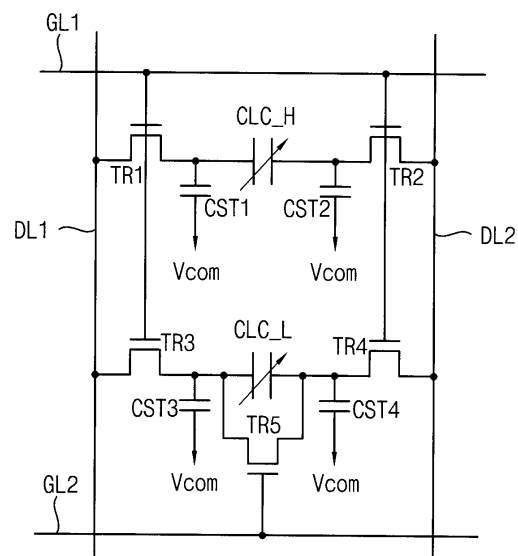
도면5



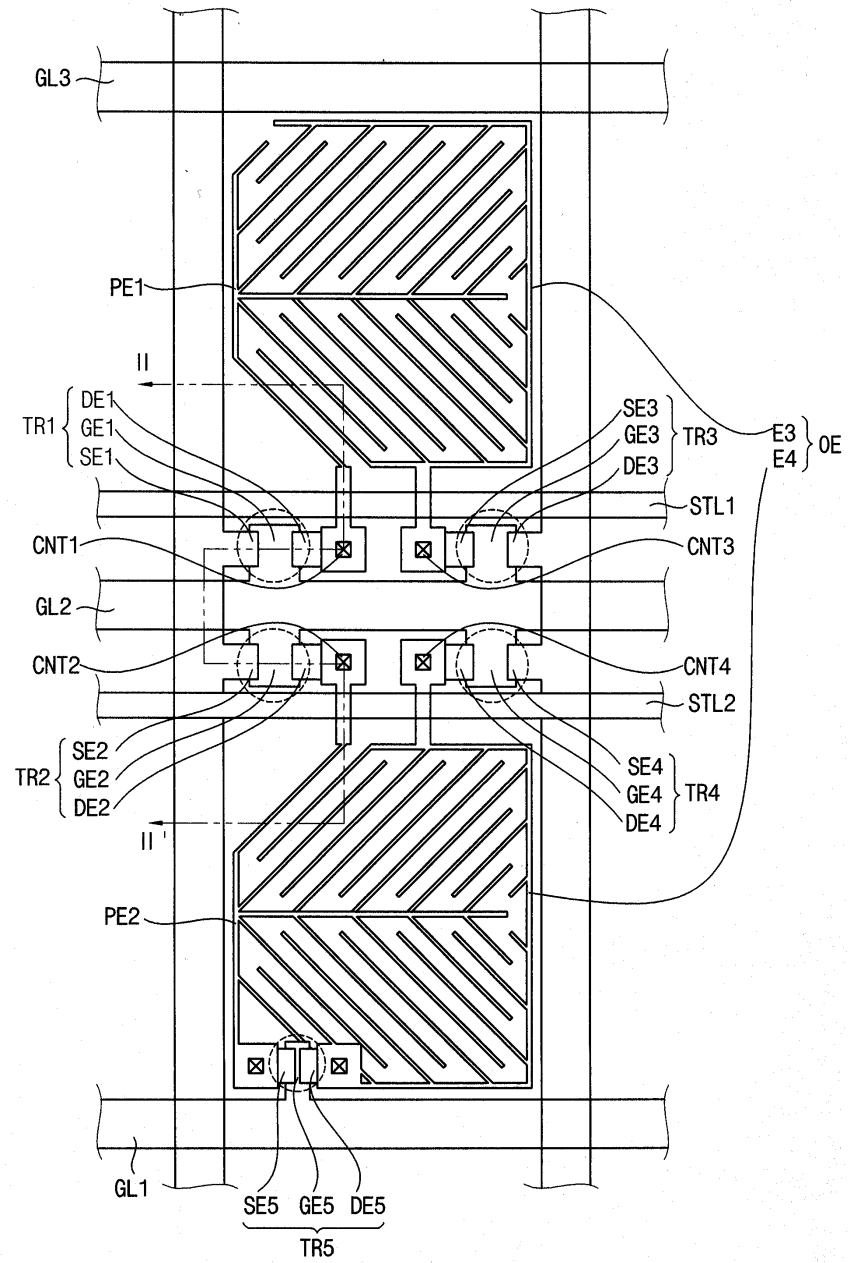
도면6



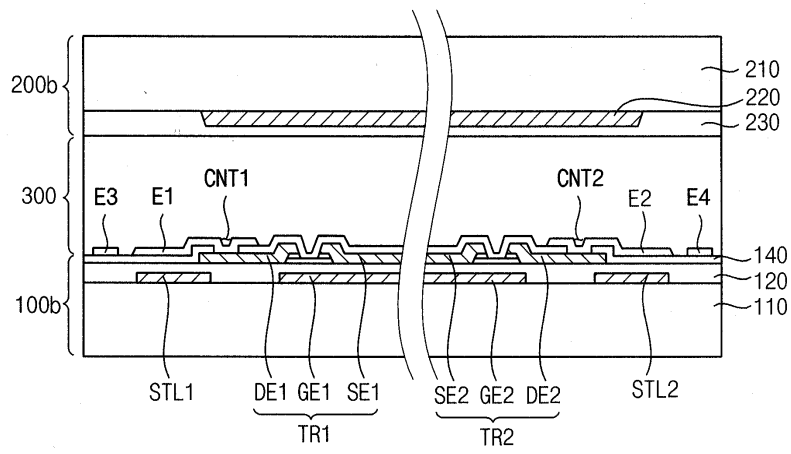
도면7



도면8



도면9



专利名称(译)	阵列基板和具有该阵列基板的液晶显示装置		
公开(公告)号	KR1020100055696A	公开(公告)日	2010-05-27
申请号	KR1020080114542	申请日	2008-11-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SHIN KYOUNG JU		
发明人	SHIN KYOUNG JU		
IPC分类号	G02F1/1343 G02F1/133		
CPC分类号	G02F1/136213 G02F1/13624 G02F1/134363		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR101608852B1		
外部链接	Espacenet		

摘要(译)

公开了一种阵列面板和具有该阵列面板的液晶显示器。阵列面板包括像素电极，耦合电极和相对电极。像素电极包括第一子电极和第二子电极，第一子电极包括围绕第一电压施加的多个第一电极棒，第二子电极包括多个第二电极棒。耦合电极与第一电极条和第二电极条的一部分电连接，并且一部分重叠并形成耦合电容器。它是关于与第一电极条不同的第二电压施加的，其中相对电极彼此分开布置，第一电压布置在第二电极条之间。因此，可以改善侧视角。横向电场，耦合电容和可视性。

