



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0048264
(43) 공개일자 2010년05월11일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0107354

(22) 출원일자 2008년10월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

오재영

서울 영등포구 대림3동 현대3차아파트 303동 1204호

신동수

경기 안양시 동안구 호계동 1057번지 무궁화아파트 305-602호

(뒷면에 계속)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 13 항

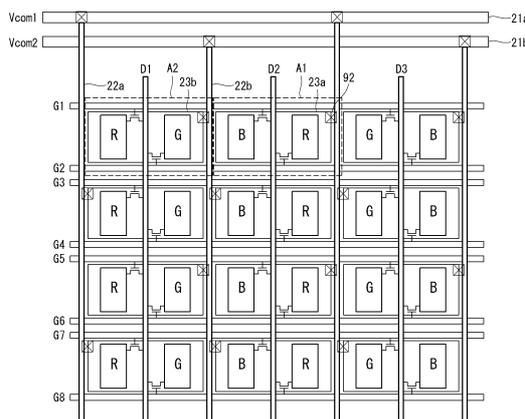
(54) 액정표시장치

(57) 요약

본 발명은 공통전압의 왜곡을 줄일 수 있는 액정표시장치에 관한 것이다.

이 액정표시장치는 표시영역 내에서 하나 이상의 액정셀들로 각각 구성된 제1 화소유닛과 제2 화소유닛이 다수 배치되고 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 일정기간을 주기로 제1 공통전압과 제2 공통전압을 두 개의 전압 레벨을 이용하여 서로 반대 방향으로 스위칭하는 공통전압 발생부; 상기 데이터라인들과 나란한 방향으로 형성되고 다수의 제1 입력부들을 통해 입력되는 상기 제1 공통전압을 상기 제1 화소유닛들에 형성된 제1 화소공통라인 패턴들에 각각 공급하는 다수의 제1 세로 공통라인들; 및 상기 데이터라인들과 나란한 방향으로 형성되고 다수의 제2 입력부들을 통해 입력되는 상기 제2 공통전압을 상기 제2 화소유닛들에 형성된 제2 화소공통라인 패턴들에 각각 공급하는 다수의 제2 세로 공통라인들을 구비하고; 상기 제1 화소유닛들과 제2 화소유닛들은 모자이크패턴 형태 또는 스트라이프패턴 형태로 혼합되어 배치된다.

대표도 - 도8



(72) 발명자

최상훈

서울 마포구 창전동 토정길 160 한진해모로아파트
106동 1702호

이재균

경기 수원시 장안구 정자3동 풍림2차 412-404호

특허청구의 범위

청구항 1

표시영역 내에서 하나 이상의 액정셀들로 각각 구성된 제1 화소유닛과 제2 화소유닛이 다수 배치되고 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

일정기간을 주기로 제1 공통전압과 제2 공통전압을 두 개의 전압 레벨을 이용하여 서로 반대 방향으로 스위칭시키는 공통전압 발생부;

상기 데이터라인들과 나란한 방향으로 형성되고 다수의 제1 입력부들을 통해입력되는 상기 제1 공통전압을 상기 제1 화소유닛들에 형성된 제1 화소공통라인 패턴들에 각각 공급하는 다수의 제1 세로 공통라인들; 및

상기 데이터라인들과 나란한 방향으로 형성되고 다수의 제2 입력부들을 통해입력되는 상기 제2 공통전압을 상기 제2 화소유닛들에 형성된 제2 화소공통라인 패턴들에 각각 공급하는 다수의 제2 세로 공통라인들을 구비하고;

상기 제1 화소유닛들과 제2 화소유닛들은 모자이크패턴 형태 또는 스트라이프패턴 형태로 혼합되어 배치되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 표시영역 밖의 비표시영역에 형성되고 상기 제1 입력부들과 상기 제1 세로 공통라인들을 전기적으로 접속시키는 제1 테두리 공통라인; 및

상기 제1 테두리 공통라인과는 별개로 상기 비표시영역에 형성되고 상기 제2 입력부들과 상기 제2 세로 공통라인들을 전기적으로 접속시키는 제2 테두리 공통라인을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 데이터라인들을 구동하기 위한 다수의 데이터 드라이브 IC들을 더 구비하고;

상기 제1 입력부들은 상기 데이터 드라이브 IC들 각각의 일측 더미채널에 접속되는 다수의 제1 공통전압 입력패드들을 포함하고;

상기 제2 입력부들은 상기 데이터 드라이브 IC들 각각의 타측 더미채널에 접속되는 다수의 제2 공통전압 입력패드들을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 테두리 공통라인들 및 상기 화소공통라인 패턴들은 상기 게이트라인들과 동일 금속패턴으로 형성되고;

상기 세로 공통라인들은 상기 데이터라인들과 동일 금속패턴으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 제1 화소유닛들과 제2 화소유닛들이 모자이크패턴 형태로 혼합 배치되는 경우, 이웃한 수평라인상에 배치된 상기 제1 화소공통라인 패턴들은 그들 사이의 제1 세로 공통라인에 지그재그 접속되어 그들이 속하는 제1 화소유닛들의 제1 공통전압에 상기 제1 공통전압을 공급하고, 이웃한 수평라인상에 배치된 상기 제2 화소공통라인 패턴들은 그들 사이의 제2 세로 공통라인에 지그재그 접속되어 그들이 속하는 제2 화소유닛들의 제2 공통전압에 상기 제2 공통전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 액정표시패널에서,

상기 제1 화소유닛 및 제2 화소유닛 각각은 수평으로 인접한 두 개의 액정셀들을 포함하고, 화소유닛마다 두 개의 게이트라인들과 한 개의 데이터라인이 할당되며, 수평으로 이웃한 화소유닛들 사이에는 제1 세로 공통라인과 제2 세로 공통라인이 교대로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 액정표시패널에서,

상기 제1 화소유닛 및 제2 화소유닛 각각은 수평으로 인접한 세 개의 액정셀들을 포함하고, 화소유닛마다 두 개의 게이트라인들과 두 개의 데이터라인들이 할당되며, 수평으로 이웃한 화소유닛들 사이에는 제1 세로 공통라인과 제2 세로 공통라인이 교대로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 5 항에 있어서,

상기 액정표시패널에서,

상기 제1 화소유닛 및 제2 화소유닛 각각은 한 개의 액정셀을 포함하고, 화소유닛마다 화소유닛의 중심을 가로지르는 한 개의 데이터라인과 한 개의 게이트라인이 할당되며, 수평으로 이웃한 화소유닛들 사이에는 제1 세로 공통라인과 제2 세로 공통라인이 교대로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 6 항에 있어서,

상기 비표시영역에 상기 테두리 공통라인들과는 분리되도록 형성되어 노멀 공통전압이 공급되는 노멀 테두리 공통라인;

상기 세로 공통라인들 사이마다 상기 데이터라인들과 나란히 형성되는 노멀 세로공통라인들; 및

상기 액정셀들의 화소전극들과 부분적으로 중첩되며 상기 노멀 세로공통라인들에 공통 접속되는 노멀 공통라인 패턴을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 제1 화소유닛들과 제2 화소유닛들이 스트라이프패턴 형태로 혼합 배치되는 경우, 동일 수직라인상에 배치된 상기 제1 화소공통라인 패턴들은 그들을 가로지르는 제1 세로 공통라인에 일자로 접속되어 그들이 속하는 제1 화소유닛들의 제1 공통전극에 상기 제1 공통전압을 공급하고, 동일 수직라인상에 배치된 상기 제2 화소공통라인 패턴들은 그들을 가로지르는 제2 세로 공통라인에 일자로 접속되어 그들이 속하는 제2 화소유닛들의 제2 공통전극에 상기 제2 공통전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 액정표시패널에서,

상기 제1 화소유닛 및 제2 화소유닛 각각은 한 개의 액정셀을 포함하고, 화소유닛마다 한 개의 게이트라인과 한 개의 데이터라인이 할당되며, 수직라인에 배치된 액정셀들의 중간 부분에는 제1 세로 공통라인과 제2 세로 공통라인이 교대로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 12

제 1 항에 있어서,

상기 두 개의 전압 레벨 중, 높은 쪽은 최대 데이터전압 이상의 전위를 가지고, 낮은 쪽은 최소 데이터전압 이

하의 전위를 가지는 것을 특징으로 하는 액정표시장치.

청구항 13

제 9 항에 있어서,

상기 노멀 공통전압은 상기 제1 공통전압 및 제2 공통전압의 낮은 전위 이하의 전압 레벨을 가지는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 공통전압을 안정화시켜 화질 저하없이 소비전력을 줄일 수 있는 액정표시장치에 관한 것이다.

배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

[0003] 이러한 액정표시장치에서, 화소전극에는 데이터전압이 인가되고 그 화소전극과 대향하는 공통전극에는 공통전압이 인가된다. 공통전극들은 공통라인에 병렬 접속된다. 액정셀들은 화소전극과 공통전극에 인가되는 전압에 의해 구동된다.

[0004] 그런데 공통전압은 공통라인의 구조에 따른 라인저항 또는 면내 편차로 인하여 왜곡되기 쉽다. 예컨대, 공통라인이 수평라인 수(수직 해상도)만큼 형성되고 그 공통라인이 게이트라인과 나란한 방향으로 형성되는 액정표시장치는 스캔펄스에 의해 1 수평라인의 화소들에 동시에 데이터전압이 인가되므로 그 화소들에 대향하는 공통라인의 로드(Load)가 커질 수 밖에 없다. 공통라인의 로드는 공통라인의 라인저항과 기생용량의 곱으로 정의되는 RC 딜레이(Delay) 량에 의존하므로, RC 딜레이(Delay) 량을 줄이기 위해서는 공통라인의 라인저항을 줄일 필요가 있다. 그러나, 종래 액정표시장치는 도 1과 같이 단지 두 군데의 입력 소스를 통해 공통전압(Vcom)을 공급받는 공통라인의 구조를 취하므로 라인저항을 줄이는데 한계가 있다. 그 결과 종래 액정표시장치에서 공통전압(Vcom)은 일정한 값으로 유지되지 못하고, 도 2a와 같이 스캔펄스(SP) 또는 데이터전압(Vdat)에 영향받아 출렁이게 된다. 이러한 공통전압(Vcom)의 리플(Ripple) 현상은 도 3a와 같이 특정 데이터패턴이 표시될 때 수평 크로스토크(Crosstalk)를 유발하는 주 요인이 된다.

[0005] 또한, 종래 액정표시장치에서는 도 1과 같은 공통라인의 구조로 인해 패널의 좌우측 영역으로부터 패널의 중간 영역으로 갈수록 라인저항이 증가되므로, 도 2b와 같은 공통전압(Vcom)의 면내 편차가 야기된다. 이러한 공통전압(Vcom)의 면내 편차는 도 3b와 같은 상하 휘도차 및 플리커(Flicker)를 유발할 뿐만 아니라, 패널 내에 DC 성분을 축적시켜 잔상등을 유발한다. 공통라인의 저항을 줄이기 위하여, 대부분의 액정표시장치에서는 패널의 가장자리 즉, 화소 어레이의 밖의 비표시영역에 형성된 공통라인의 선폭을 넓게 하고 있지만 그 비표시영역의 면적도 한계가 있어 공통라인의 저항을 줄이기가 어렵고 공통라인의 위치에 따라 저항 편차가 비교적 크다.

[0006] 한편, 최근에는 소비전력 감소, 응답속도 향상, 데이터 드라이브 IC의 칩 사이즈 축소등을 위해 공통전압을 데이터전압의 극성과 반대 방향으로 스윙시키는 기술이 제안되고 있다. 그러나, 이러한 공통전압 스윙 방식은 상술한 공통전압의 왜곡에 기초한 화질저하 현상으로 인해 실제로 양산에 적용되기 어렵다.

발명의 내용

해결 하고자하는 과제

[0007] 따라서, 본 발명의 목적은 공통라인의 배치를 최적화하여 공통전압의 왜곡을 줄일 수 있도록 한 액정표시장치를

제공하는데 있다.

[0008] 본 발명의 다른 목적은 화질 저하를 초래하지 않으면서 공통전압을 스위칭시킬 수 있도록 한 액정표시장치를 제공하는데 있다.

과제 해결수단

[0009] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 표시영역 내에서 하나 이상의 액정셀들로 각각 구성된 제1 화소유닛과 제2 화소유닛이 다수 배치되고 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 일정기간을 주기로 제1 공통전압과 제2 공통전압을 두 개의 전압 레벨을 이용하여 서로 반대 방향으로 스위칭하는 공통전압 발생부; 상기 데이터라인들과 나란한 방향으로 형성되고 다수의 제1 입력부들을 통해 입력되는 상기 제1 공통전압을 상기 제1 화소유닛들에 형성된 제1 화소공통라인 패턴들에 각각 공급하는 다수의 제1 세로 공통라인들; 및 상기 데이터라인들과 나란한 방향으로 형성되고 다수의 제2 입력부들을 통해 입력되는 상기 제2 공통전압을 상기 제2 화소유닛들에 형성된 제2 화소공통라인 패턴들에 각각 공급하는 다수의 제2 세로 공통라인들을 구비하고; 상기 제1 화소유닛들과 제2 화소유닛들은 모자이크패턴 형태 또는 스트라이프패턴 형태로 혼합되어 배치된다.

[0010] 상기 표시영역 밖의 비표시영역에 형성되고 상기 제1 입력부들과 상기 제1 세로 공통라인들을 전기적으로 접속시키는 제1 테두리 공통라인; 및 상기 제1 테두리 공통라인과는 별개로 상기 비표시영역에 형성되고 상기 제2 입력부들과 상기 제2 세로 공통라인들을 전기적으로 접속시키는 제2 테두리 공통라인을 더 구비한다.

[0011] 이 액정표시장치는 상기 데이터라인들을 구동하기 위한 다수의 데이터 드라이브 IC들을 더 구비하고; 상기 제1 입력부들은 상기 데이터 드라이브 IC들 각각의 일측 터미널에 접속되는 다수의 제1 공통전압 입력패드들을 포함하고; 상기 제2 입력부들은 상기 데이터 드라이브 IC들 각각의 타측 터미널에 접속되는 다수의 제2 공통전압 입력패드들을 포함한다.

[0012] 상기 테두리 공통라인들 및 상기 화소공통라인 패턴들은 상기 게이트라인들과 동일 금속패턴으로 형성되고; 상기 세로 공통라인들은 상기 데이터라인들과 동일 금속패턴으로 형성된다.

[0013] 상기 제1 화소유닛들과 제2 화소유닛들이 모자이크패턴 형태로 혼합 배치되는 경우, 이웃한 수평라인상에 배치된 상기 제1 화소공통라인 패턴들은 그들 사이의 제1 세로 공통라인에 지그재그 접속되어 그들이 속하는 제1 화소유닛들의 제1 공통전극에 상기 제1 공통전압을 공급하고, 이웃한 수평라인상에 배치된 상기 제2 화소공통라인 패턴들은 그들 사이의 제2 세로 공통라인에 지그재그 접속되어 그들이 속하는 제2 화소유닛들의 제2 공통전극에 상기 제2 공통전압을 공급한다.

[0014] 상기 액정표시패널에서, 상기 제1 화소유닛 및 제2 화소유닛 각각은 수평으로 인접한 두 개의 액정셀들을 포함하고, 화소유닛마다 두 개의 게이트라인들과 한 개의 데이터라인이 할당되며, 수평으로 이웃한 화소유닛들 사이에는 제1 세로 공통라인과 제2 세로 공통라인이 교대로 배치된다.

[0015] 상기 액정표시패널에서, 상기 제1 화소유닛 및 제2 화소유닛 각각은 수평으로 인접한 세 개의 액정셀들을 포함하고, 화소유닛마다 두 개의 게이트라인들과 두 개의 데이터라인들이 할당되며, 수평으로 이웃한 화소유닛들 사이에는 제1 세로 공통라인과 제2 세로 공통라인이 교대로 배치된다.

[0016] 상기 액정표시패널에서, 상기 제1 화소유닛 및 제2 화소유닛 각각은 한 개의 액정셀을 포함하고, 화소유닛마다 화소유닛의 중심을 가로지르는 한 개의 데이터라인과 한 개의 게이트라인이 할당되며, 수평으로 이웃한 화소유닛들 사이에는 제1 세로 공통라인과 제2 세로 공통라인이 교대로 배치된다.

[0017] 이 액정표시장치는 상기 비표시영역에 상기 테두리 공통라인들과는 분리되도록 형성되어 노멀 공통전압이 공급되는 노멀 테두리 공통라인; 상기 세로 공통라인들 사이마다 상기 데이터라인들과 나란히 형성되는 노멀 세로 공통라인들; 및 상기 액정셀들의 화소전극들과 부분적으로 중첩되며 상기 노멀 세로 공통라인들에 공통 접속되는 노멀 공통라인패턴을 더 구비한다.

[0018] 상기 제1 화소유닛들과 제2 화소유닛들이 스트라이프패턴 형태로 혼합 배치되는 경우, 동일 수직라인상에 배치된 상기 제1 화소공통라인 패턴들은 그들을 가로지르는 제1 세로 공통라인에 일자로 접속되어 그들이 속하는 제1 화소유닛들의 제1 공통전극에 상기 제1 공통전압을 공급하고, 동일 수직라인상에 배치된 상기 제2 화소공통라인 패턴들은 그들을 가로지르는 제2 세로 공통라인에 일자로 접속되어 그들이 속하는 제2 화소유닛들의 제2 공통

전극에 상기 제2 공통전압을 공급하는 것을 특징으로 하는 액정표시장치.

- [0019] 상기 액정표시패널에서, 상기 제1 화소유닛 및 제2 화소유닛 각각은 한 개의 액정셀을 포함하고, 화소유닛마다 한 개의 게이트라인과 한 개의 데이터라인이 할당되며, 수직라인에 배치된 액정셀들의 중간 부분에는 제1 세로 공통라인과 제2 세로 공통라인이 교대로 배치된다.
- [0020] 상기 두 개의 전압 레벨 중, 높은 쪽은 최대 데이터전압 이상의 전위를 가지고, 낮은 쪽은 최소 데이터전압 이하의 전위를 가진다.
- [0021] 상기 노멀 공통전압은 상기 제1 공통전압 및 제2 공통전압의 낮은 전위 이하의 전압 레벨을 가진다.

효 과

- [0022] 본 발명에 따른 액정표시장치는 공통라인의 배치를 최적화하여 공통전압의 왜곡을 줄일 수 있다.
- [0023] 나아가, 본 발명에 따른 액정표시장치는 공통전압이 안정화될 수 있는 환경하에서 공통전압을 스윙시킴으로써, 화질 저하를 초래하지 않으면서 소비전력 감소, 응답속도 향상, 데이터 드라이브 IC의 갯수 및 칩 사이즈를 축소, 액정 구동마진 증가, 데이터 드라이브 IC의 발열 감소등의 여러가지 탁월한 패널성능을 발휘할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0024] 이하, 도 4 내지 도 30을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0025] 도 4는 본 발명의 실시예에 따른 액정표시장치를 보여준다.
- [0026] 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13), 및 공통전압 발생부(14)를 구비한다.
- [0027] 액정표시패널(10)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널(10)은 다수의 데이터라인들(DL)과 다수의 게이트라인들(GL)의 교차 구조에 의해 매트릭스 형태로 배치된 다수의 액정셀(C1c)들을 포함한다.
- [0028] 액정표시패널(10)의 하부 유리기관에는 데이터라인들(DL), 게이트라인들(GL), TFT들, TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동되는 액정셀(C1c), 및 스토리지 커패시터(Cst) 등이 형성된다. 공통라인은 서로 전기적으로 분리되는 제1 공통라인과 제2 공통라인을 포함한다. 제1 및 제2 공통라인에는 각각 일정 기간을 주기로 서로 반대 방향으로 스윙되는 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2)이 공급된다. 이를 위해, 제1 및 제2 공통라인은 각각 하부 유리기관의 가장자리(비표시영역)에 형성되는 테두리 공통라인과, 데이터라인들(DL)과 나란한 방향으로 형성되어 테두리 공통라인에 연결되는 세로 공통라인들과, 액정셀(C1c)들 내에서 메쉬(Mesh) 구조로 각각 형성되어 세로 공통라인들과 공통전극들(2)을 전기적으로 접속시키는 화소공통라인 패턴을 포함한다. 제1 및 제2 공통라인은 공통전압 발생부(14)의 출력단에 전기적으로 접속되고 공통전극들(2)은 제1 및 제2 공통라인에 연결된다. 이러한 공통라인은 공통전극(2)에 연결됨과 아울러 화소 어레이에서 스토리지 온 커먼(Storage on common) 방식의 스토리지 커패시터(Cst)를 형성할 수 있다. 이 경우에 공통라인은 하부 유리기관 상에서 절연막을 사이에 두고 화소전극들과 중첩된다. 한편, 화소 어레이에서 스토리지 온 커먼(Storage on common) 방식의 스토리지 커패시터(Cst)를 형성하기 위해 공통라인과 분리되는 노멀 공통라인이 더 형성될 수 있다.
- [0029] 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다.
- [0030] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.
- [0031] 액정표시패널(10)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 계면에 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0032] 타이밍 콘트롤러(11)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블 신호(Data Enable), 도트클럭신호

(DCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12), 및 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 데이터 타이밍 제어신호(DDC)와 게이트 타이밍 제어신호(GDC)를 포함한다. 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 스캔펄스가 발생하도록 스캔이 시작되는 라인을 포함한다. 게이트 쉬프트 클럭신호(GSC)는 게이트 구동회로(13)로 하여금 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키도록 게이트 구동회로(13)를 제어한다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(13)의 출력을 제어한다. 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 액정셀을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(12) 내에서 데이터의 래치동작을 포함한다. 극성제어신호(POL)는 데이터 구동회로(12)로부터 출력되는 아날로그 비디오 데이터전압의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 소스 드라이브 IC의 출력을 제어한다.

[0033] 데이터 구동회로(12)는 다수의 데이터 드라이브 IC들을 포함한다. 데이터 드라이브 IC 각각은 타이밍 컨트롤러(11)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한 후에, 아날로그 정극성/부극성 데이터전압으로 변환하여 데이터라인들(DL)에 공급한다. 또한, 데이터 드라이브 IC 각각은 좌우측 두 개의 더미 채널들을 이용하여 공통전압 발생부(14)로부터의 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2)을 공통라인에 공급한다.

[0034] 게이트 구동회로(13)는 다수의 게이트 드라이브 IC들을 포함한다. 게이트 드라이브 IC들은 타이밍 컨트롤러(11)의 제어 하에 스캔펄스를 게이트라인들(GL)에 공급한다.

[0035] 공통전압 발생부(14)는 전압 레벨이 다른 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2)을 발생시킨다. 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2)은 두 개의 전압 레벨들 사이에서 일정기간을 주기로 서로 반대 방향으로 스윙된다. 예컨대, 제1 공통전압(Vcom1)이 기수번째 프레임 동안 제1 전압 레벨을 가지고 우수번째 프레임 동안 제2 전압 레벨로 업/다운된다면, 제2 공통전압(Vcom2)은 기수번째 프레임 동안 제2 전압 레벨을 가지고 우수번째 프레임 동안 제1 전압 레벨로 다운/업된다. 여기서, 제1 및 제2 전압 레벨 중 높은 쪽은 최대 데이터전압 이상의 전위를 가지고, 제1 및 제2 전압 레벨 중 낮은 쪽은 최소 데이터전압 이하의 전위를 갖는다. 액정셀(C1c)의 전위는 공통전압 대비 데이터전압의 높낮이로 결정되므로, 높은 전압 레벨의 공통전압이 인가되는 액정셀은 부극성으로 충전되고, 낮은 전압 레벨의 공통전압이 인가되는 액정셀은 정극성으로 충전된다. 이에 따라, 인버전 구동을 위한 데이터전압의 스윙폭은 공통전압을 일정한 레벨로 공급할 때에 비해 50% 이상 줄어든다. 데이터전압의 스윙폭이 감소되면, 그만큼 데이터 드라이브 IC에서 소비되는 전력이 줄어들게 되고, 액정의 응답속도가 빨라져 액정 구동 마진이 증가되며, 데이터 드라이브 IC의 발열이 줄어드는 등 많은 이점이 있다. 이렇게 공통전압 스윙 방식을 적용하기 위해서는 공통전압의 왜곡을 방지하여 안정화시킬 수 있는 방안이 절실히 요구된다. 이하 공통라인의 배치를 최적화하여 공통전압의 왜곡을 줄일 수 방법을 제안한다.

[0036] 도 5는 본 발명의 실시예에 따른 공통라인을 보여 주는 평면도이다. 도 6은 도 5에 도시된 공통라인의 일부와 데이터라인들의 일부를 보여 주는 평면도이다. 그리고, 도 7은 도 6을 1-1', 2-2' 및 3-3'을 따라 절취하여 공통라인(20)의 단면 구조를 보여준다. 도 7에서, 도면부호 '41'은 하부 유리기관을, 도면부호 '43'은 게이트절연막을, 도면부호 '47'은 보호막을 각각 나타낸다. 이하, 다른 도면에서도 이 구성요소들에 대한 도면부호는 도 7과 동일하게 사용한다.

[0037] 도 5 내지 도 7을 참조하면, 공통라인(20)은 서로 전기적으로 분리된 제1 공통라인(20a)과 제2 공통라인(20b)을 포함한다. 제1 공통라인(20a)은 기관의 가장자리에서 비교적 두꺼운 선폭으로 형성되는 제1 테두리 공통라인(21a)과, 데이터라인들과 나란히 세로 방향으로 형성되는 다수의 제1 세로 공통라인(22a)들과, 각각 하나 이상의 액정셀들을 포함한 다수의 제1 화소유닛들 마다 형성되는 제1 화소공통라인 패턴을 포함한다. 그리고, 제2 공통라인(20b)은 기관의 가장자리에서 비교적 두꺼운 선폭으로 제1 테두리 공통라인(21a)과는 전기적으로 분리되어 형성되는 제2 테두리 공통라인(21b)과, 데이터라인들과 나란히 세로 방향으로 형성되는 다수의 제2 세로 공통라인(22b)들과, 각각 하나 이상의 액정셀들을 포함한 다수의 제2 화소유닛들 마다 형성되는 제2 화소공통라인 패턴을 포함한다. 테두리 공통라인들(21a, 21b)은 게이트라인들과 동일 재질로 형성된다. 게이트라인들과 동일 재질로 형성되는 화소공통라인 패턴들에 대해서는 도 8 내지 도 30을 결부하여 후술한다.

[0038] 제1 세로 공통라인(22a)들은 제1 공통전압(Vcom1)이 공급되는 제1 Vcom 패드(24a)와 연결된다. 제1 Vcom 패드(24a)와 직접적으로 연결되는 제1 세로 공통라인(22a)은 제1 및 제2 공통라인 콘택홀(50a, 50b)을 통해 제1 테

두리 공통라인(21a)에 전기적으로 접속된다. 제1 공통라인 콘택홀(50a)에서, 제1 세로 공통라인(22a)과 중첩되지 않은 제1 테두리 공통라인(21a)의 일부는 제1 연결패턴(49a)에 접속된다. 제2 공통라인 콘택홀(50b)에서, 제1 테두리 공통라인(21a)과 중첩되는 제1 세로 공통라인(22a)의 일부는 제1 연결패턴(49a)에 접속된다. 제1 Vcom 패드(24a)와 직접적으로 연결되지 않는 제1 세로 공통라인(22a)은 제3 및 제4 공통라인 콘택홀(51a, 51b)을 통해 제1 테두리 공통라인(21a)에 전기적으로 접속된다. 제3 공통라인 콘택홀(51a)에서, 제1 세로 공통라인(22a)과 중첩되지 않은 제1 테두리 공통라인(21a)의 일부는 제2 연결패턴(49b)에 접속된다. 제4 공통라인 콘택홀(51b)에서, 제1 테두리 공통라인(21a)과 중첩되지 않은 제1 세로 공통라인(22a)의 일부는 제2 연결패턴(49b)에 접속된다. 제1 Vcom 패드(24a)는 제1 Vcom 콘택홀(25a)을 통해 제1 세로 공통라인(22a)에 접속된다. 제1 Vcom 콘택홀(25a)에서, 제1 세로 공통라인(22a)은 제3 연결패턴(49c)에 접속된다. 제1 세로 공통라인(22a)들은 데이터라인들과 동일 재질로 형성된다.

[0039] 제2 세로 공통라인(22b)들은 제2 공통전압(Vcom2)이 공급되는 제2 Vcom 패드(24b)와 연결된다. 제2 Vcom 패드(24b)와 직접적으로 연결되는 제2 세로 공통라인(22b)은 제5 및 제6 공통라인 콘택홀(50c, 50d)을 통해 제2 테두리 공통라인(21b)에 전기적으로 접속된다. 제2 Vcom 패드(24b)와 직접적으로 연결되지 않는 제2 세로 공통라인(22b)은 제7 및 제8 공통라인 콘택홀(51c, 51d)을 통해 제2 테두리 공통라인(21b)에 전기적으로 접속된다. 제2 Vcom 패드(24b)는 제2 Vcom 콘택홀(25b)을 통해 제2 세로 공통라인(22b)에 접속된다. 제2 세로 공통라인(22b)들은 데이터라인들과 동일 재질로 형성된다.

[0040] 제1 및 제2 Vcom 패드(24a, 24b)는 데이터 드라이브 IC(D-IC)의 더미채널들에 접속되도록 데이터 드라이브 IC(D-IC)마다 각각 한 개씩 할당된다. 제1 Vcom 패드(24a)는 데이터 드라이브 IC(D-IC)를 경유하여 공급되는 제1 공통전압(Vcom1)을 제1 공통라인(20a)에 전달한다. 제2 Vcom 패드(24b)는 데이터 드라이브 IC(D-IC)를 경유하여 공급되는 제2 공통전압(Vcom2)을 제2 공통라인(20b)에 전달한다. 한편, 제1 및 제2 Vcom 패드(24a, 24b)는 각각 공통전압 발생부(14)의 제1 및 제2 출력단자에 접속되어 공통전압 발생부(14)로부터의 제1 및 제2 공통전압(Vcom1, Vcom2)을 데이터 드라이브 IC(D-IC)를 거치지 않고 제1 및 제2 공통라인(20a, 20b)에 전달할 수도 있다. 본 발명의 Vcom 패드들(24a, 24b)의 수는 종래 2개에 비해 데이터 드라이브 IC의 숫자만큼 증가하므로, 공통전압들(Vcom1, Vcom2)을 공급하는 입력 소스의 수가 그만큼 증가되어 공통전압들(Vcom1, Vcom2)의 면내 편차를 획기적으로 줄일 수 있으며, 공통라인의 저항값을 크게 줄일 수 있다.

[0041] 테두리 공통라인들(21a, 21b)의 폭(W₁)은 공통라인들(20a, 20b)의 저항을 줄이기 위하여 세로 공통라인들(22a, 22b)의 폭(W₂)에 비해 두껍게 형성된다. 세로 공통라인들(22a, 22b) 각각의 폭(W₂)은 화소 어레이에서 개구율의 저하를 줄이기 위하여 데이터라인의 폭에 비해 얇게 형성됨이 바람직하다.

[0042] 이와 같이, 본 발명에 따른 액정표시장치는 비교적 선포이 넓은 테두리 공통라인들(21a, 21b)과 그에 연결되는 데이터라인 방향의 세로 공통라인들(22a, 22b)을 포함한 공통라인들(20a, 20b)을 형성함으로써 공통라인의 로드를 분산시킴으로써 공통전압의 왜곡을 줄일 수 있다. 예컨대, 종래에는 공통라인이 게이트라인 방향으로 형성되기 때문에, 스캔펄스에 의해 1 수평라인이 스캐닝될 때 하나의 공통라인이 1 수평라인의 모든 액정셀들에 인가되는 데이터전압에 의해 영향을 받을 수 밖에 없지만, 본 발명에서는 1 수평라인이 스캐닝될 때 화소유닛에 인가되는 데이터전압만이 세로 공통라인에 영향을 주기 때문에 공통라인의 로드가 크게 분산된다.

[0043] 도 8은 세로 공통라인들(22a, 22b)과 화소공통라인 패턴들(23a, 23b)을 이용하여 서로 반대 방향으로 스윙되는 두 개의 공통전압들(Vcom1, Vcom2)을 안정되게 화소유닛들(A1, A2)에 공급할 수 있는 액정표시패널(10) 구조의 일 예를 보여준다.

[0044] 도 8을 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치는 수평으로 이웃한 두 개의 액정셀들과 이 액정셀들 내에서 메쉬 구조를 이루는 화소공통라인 패턴을 각각 포함하는 다수의 화소유닛들을 구비한다. 화소유닛마다 두 개의 게이트라인들과 한 개의 데이터라인이 할당되고, 수평으로 이웃한 화소유닛들 사이에는 제1 세로 공통라인(22a)과 제2 세로 공통라인(22b)이 번갈아 가며 배치된다.

[0045] 다수의 화소유닛들을 구성하는 제1 화소유닛(A1)들과 제2 화소유닛(A2)들은 모자이크패턴 방식으로 배치된다. 제1 화소유닛(A1)들은 각각 제1 세로 공통라인(22a)들에 접속되는 제1 화소공통라인 패턴(23a)들을 통해 제1 공통전압(Vcom1)을 공급받는다. 반면, 제2 화소유닛(A2)들은 각각 제2 세로 공통라인(22b)들에 접속되는 제2 화소공통라인 패턴(23b)들을 통해 제2 공통전압(Vcom2)을 공급받는다. 이웃한 수평라인상에 배치된 제1 화소공통라인 패턴(23a)들은 그들 사이의 제1 세로 공통라인(22a)에 지그재그 접속되어 그들이 속하는 제1 화소유닛(A1)들의 공통전극에 제1 공통전압(Vcom1)을 공급한다. 이웃한 수평라인상에 배치된 제2 화소공통라인 패턴(23

b)들은 그들 사이의 제2 세로 공통라인(22b)에 지그재그 접속되어 그들이 속하는 제2 화소유닛(A2)들의 공통전극에 제2 공통전압(Vcom2)을 공급한다.

- [0046] 도 9는 도 8에 도시된 제1 화소유닛(A1)에 대한 일 예로서 수퍼 IPS 구동모드로 동작되는 경우를 보여준다. 도 10은 도 9를 4-4', 5-5', 6-6', 7-7' 및 8-8'을 따라 절취하여 제1 세로 공통라인(22a), 제1 화소공통라인 패턴(23a), 및 공통전극(Ec)간의 접속 단면 구조를 보여준다.
- [0047] 도 9 및 도 10을 참조하면, 제1 화소유닛(A1)에는 동일 평면상에서 서로 대향되게 배치되는 공통전극(Ec)과 화소전극(Ep)을 각각 구비하는 두 개의 액정셀들을 포함한다. 각 액정셀의 공통전극(Ec)은 메쉬 형태로 형성되는 제1 화소공통라인 패턴(23a)의 일 부분을 노출하는 제1 콘택홀(91)을 통해 제1 화소공통라인 패턴(23a)에 접속된다. 그리고, 한 액정셀의 공통전극(Ec)은 제2 콘택홀(92)을 통해 제1 세로 공통라인(22a)에 접속된다. 제1 화소공통라인 패턴(23a)과 제1 세로 공통라인(22a)은 제3 및 제4 콘택홀(93,94)과 투명전극패턴(95)을 통해 재차 접속된다. 제1 화소공통라인 패턴(23a)과 화소전극(Ep)의 중첩 영역에는 스토리지 커패시터(Cst)가 형성된다.
- [0048] 도 11은 제1 공통전압(Vcom1)이 제2 공통전압(Vcom2)보다 높은 특정 프레임에서 도 8의 구동상태를 보여준다. 도 12a 및 도 12b는 제1 및 제2 공통전압(Vcom1, Vcom2)의 프레임 간 전위 변화를 보여준다.
- [0049] 도 11 내지 도 12b를 참조하면, N 프레임 동안 제1 공통전압(Vcom1)은 최대 데이터전압보다 높고 제2 공통전압(Vcom2)은 최소 데이터전압보다 낮으므로, 제1 공통전압(Vcom1)이 공급되는 화소유닛은 부극성(-)으로 충전되고, 제2 공통전압(Vcom2)이 공급되는 화소유닛은 정극성(+)으로 충전된다. 이에 따라, 액정표시패널은 수평 2도트 인버전 방식의 충전 극성을 갖는다. 한편, 도시하지는 않았지만 N+1 프레임 동안에는 제1 및 제2 공통전압(Vcom1, Vcom2)의 전위가 서로 반전되므로, 제1 공통전압(Vcom1)이 공급되는 화소유닛은 정극성(+)으로 충전되고, 제2 공통전압(Vcom2)이 공급되는 화소유닛은 정극성(+)으로 충전됨을 쉽게 알 수 있다.
- [0050] 이러한 제1 실시예에 따른 액정표시장치에 의하면, 공통라인의 배치를 최적화하여 공통전압의 왜곡을 줄일 수 있다. 이를 기반으로 리플이나 플리커 등과 같은 화질저하를 초래할 우려없이 안정되게 공통전압을 스위칭함으로써 데이터전압의 스윙폭을 줄여 소비전력을 감소시키고, 응답속도를 향상시키며, 데이터 드라이브 IC의 갯수 및 칩 사이즈를 축소시킬 수 있는 효과가 있다. 나아가, 제1 실시예에서는 종래 대비 데이터라인수를 반으로 줄이고, 두개의 액정셀이 세로 공통라인을 공유하는 구조를 취하므로 개구율이 10% 이상 향상되는 효과가 있다.
- [0051] 도 13은 세로 공통라인들(22a, 22b)과 화소공통라인 패턴들(23a, 23b)을 이용하여 서로 반대 방향으로 스윙되는 두개의 공통전압들(Vcom1, Vcom2)을 안정되게 화소유닛들(B1, B2)에 공급할 수 있는 액정표시패널(10) 구조의 다른 예를 보여준다.
- [0052] 도 13을 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치는 수평으로 이웃한 세 개의 액정셀들과 이 액정셀들 내에서 메쉬 구조를 이루는 화소공통라인 패턴을 각각 포함하는 다수의 화소유닛들을 구비한다. 화소유닛마다 두 개의 게이트라인들과 두 개의 데이터라인이 할당되고, 수평으로 이웃한 화소유닛들 사이에는 제1 세로 공통라인(22a)과 제2 세로 공통라인(22b)이 교대로 배치된다.
- [0053] 다수의 화소유닛들을 구성하는 제1 화소유닛(B1)들과 제2 화소유닛(B2)들은 모자이크패턴 방식으로 배치된다. 제1 화소유닛(B1)들은 각각 제1 세로 공통라인(22a)들에 접속되는 제1 화소공통라인 패턴(23a)들을 통해 제1 공통전압(Vcom1)을 공급받는다. 반면, 제2 화소유닛(B2)들은 각각 제2 세로 공통라인(22b)들에 접속되는 제2 화소공통라인 패턴(23b)들을 통해 제2 공통전압(Vcom2)을 공급받는다. 이웃한 수평라인상에 배치된 제1 화소공통라인 패턴(23a)들은 그들 사이의 제1 세로 공통라인(22a)에 지그재그 접속되어 그들이 속하는 제1 화소유닛(B1)들의 공통전극에 제1 공통전압(Vcom1)을 공급한다. 이웃한 수평라인상에 배치된 제2 화소공통라인 패턴(23b)들은 그들 사이의 제2 세로 공통라인(22b)에 지그재그 접속되어 그들이 속하는 제2 화소유닛(B2)들의 공통전극에 제2 공통전압(Vcom2)을 공급한다.
- [0054] 도 14는 도 13에 도시된 제2 화소유닛(B2)에 대한 일 예로서 수퍼 IPS 구동모드로 동작되는 경우를 보여준다. 도 15는 도 14를 9-9' 및 10-10'을 따라 절취하여 제2 세로 공통라인(22b), 제2 화소공통라인 패턴(23b), 및 공통전극(Ec)간의 접속 단면 구조를 보여준다.
- [0055] 도 14 및 도 15를 참조하면, 제2 화소유닛(B2)에는 동일 평면상에서 서로 대향되게 배치되는 공통전극(Ec)과 화소전극(Ep)을 각각 구비하는 세 개의 액정셀들을 포함한다. 제2 세로 공통라인(22b)과 부분적으로 중첩되는 액정셀의 공통전극(Ec)은 제1 콘택홀(141)을 통해 제2 세로 공통라인(22b)에 접속된다. 그리고, 양 측면 액정셀의 공통전극(Ec)은 풀 메쉬 형태로 형성되는 제2 화소공통라인 패턴(23b)의 일 부분을 노출하는 제2 콘택홀

(142)을 통해 제2 화소공통라인 패턴(23b)에 접속된다. 제2 화소공통라인 패턴(23b)과 화소전극(Ep)의 중첩 영역에는 스토리지 커패시터(Cst)가 형성된다. 공통전극(Ec)의 핑거부와 화소전극(Ep)의 핑거부는 데이터라인들에 나란히 형성된다.

[0056] 도 16은 도 13에 도시된 제2 화소유닛(B2)에 대한 다른 예로서 수평 IPS 구동모드로 동작되는 경우를 보여준다. 도 17은 도 16을 11-11' 및 12-12'을 따라 절취하여 제2 세로 공통라인(22b), 제2 화소공통라인 패턴(23b), 및 공통전극(Ec)간의 접속 단면 구조를 보여준다.

[0057] 도 16 및 도 17을 참조하면, 제2 화소유닛(B2)에는 동일 평면상에서 서로 대향되게 배치되는 공통전극(Ec)과 화소전극(Ep)을 각각 구비하는 세 개의 액정셀들을 포함한다. 제2 세로 공통라인(22b)과 부분적으로 중첩되는 액정셀의 공통전극(Ec)은 제1 콘택홀(171)을 통해 제2 세로 공통라인(22b)에 접속된다. 그리고, 각 액정셀의 공통전극(Ec)은 하프 메쉬 형태로 형성되는 제2 화소공통라인 패턴(23b)의 일 부분을 노출하는 제2 콘택홀(172)을 통해 제2 화소공통라인 패턴(23b)에 접속된다. 가운데 액정셀의 공통전극(Ec)은 제3 콘택홀(173)을 통해 제2 화소공통라인 패턴(23b)에 접속된다. 제3 콘택홀(173)의 단면 구조는 제1 콘택홀(171)의 단면 구조와 동일하다. 제2 화소공통라인 패턴(23b)과 화소전극(Ep)의 중첩 영역에는 스토리지 커패시터(Cst)가 형성된다. 공통전극(Ec)의 핑거부와 화소전극(Ep)의 핑거부는 데이터라인들에 경사지게 형성된다.

[0058] 도 18은 제1 공통전압(Vcom1)이 제2 공통전압(Vcom2)보다 높은 특정 프레임에서 도 13의 구동상태를 보여준다.

[0059] 도 18과 함께 도 12a 및 도 12b를 참조하면, N 프레임 동안 제1 공통전압(Vcom1)은 최대 데이터전압보다 높고 제2 공통전압(Vcom2)은 최소 데이터전압보다 낮으므로, 제1 공통전압(Vcom1)이 공급되는 화소유닛은 부극성(-)으로 충전되고, 제2 공통전압(Vcom2)이 공급되는 화소유닛은 정극성(+)으로 충전된다. 이에 따라, 액정표시패널은 수평 3 도트 인버전 방식의 충전 극성을 갖는다. 한편, 도시하지는 않았지만 N+1 프레임 동안에는 제1 및 제2 공통전압(Vcom1, Vcom2)의 전위가 서로 반전되므로, 제1 공통전압(Vcom1)이 공급되는 화소유닛은 정극성(+)으로 충전되고, 제2 공통전압(Vcom2)이 공급되는 화소유닛은 정극성(+)으로 충전됨을 쉽게 알 수 있다.

[0060] 이러한 제2 실시예에 따른 액정표시장치에 의하면, 공통라인의 배치를 최적화하여 공통전압의 왜곡을 줄일 수 있다. 이를 기반으로 리플이나 플리커 등과 같은 화질저하를 초래할 우려없이 안정되게 공통전압을 스윙시킴으로써 데이터전압의 스윙폭을 줄여 소비전력을 감소시키고, 응답속도를 향상시켜 액정 구동마진을 증가시키며, 데이터 드라이브 IC의 갯수 및 칩 사이즈를 축소시킬 수 있는 효과가 있다. 나아가, 제2 실시예에서는 종래 대비 데이터라인수를 2/3로 줄이고, 세 개의 액정셀들이 세로 공통라인을 공유하는 구조를 취하므로 개구율이 크게 향상되는 효과가 있다.

[0061] 도 19는 세로 공통라인들(22a, 22b)과 화소공통라인 패턴들(23a, 23b)을 이용하여 서로 반대 방향으로 스윙되는 두개의 공통전압들(Vcom1, Vcom2)을 안정되게 화소유닛들(C1, C2)에 공급할 수 있는 액정표시패널(10) 구조의 또 다른 예를 보여준다.

[0062] 도 19를 참조하면, 본 발명의 제3 실시예에 따른 액정표시장치는 한 개의 액정셀과 이 액정셀 내에서 메쉬 구조를 이루는 화소공통라인 패턴을 각각 포함하는 다수의 화소유닛들을 구비한다. 화소유닛마다 한 개의 게이트라인과 한 개의 데이터라인이 할당되고, 수평으로 이웃한 화소유닛들 사이에는 제1 세로 공통라인(22a)과 제2 세로 공통라인(22b)이 교대로 배치된다. 데이터라인들은 각각 수직인 화소유닛들의 중간 부분을 가로지르도록 형성되어 하나의 액정셀을 두 개의 도메인으로 분할한다. 이를 위해, 액정셀 당 두 개의 TFT가 형성된다.

[0063] 다수의 화소유닛들을 구성하는 제1 화소유닛(C1)들과 제2 화소유닛(C2)들은 모자이크패턴 방식으로 배치된다. 제1 화소유닛(C1)들은 각각 제1 세로 공통라인(22a)들에 접속되는 제1 화소공통라인 패턴(23a)들을 통해 제1 공통전압(Vcom1)을 공급받는다. 반면, 제2 화소유닛(C2)들은 각각 제2 세로 공통라인(22b)들에 접속되는 제2 화소공통라인 패턴(23b)들을 통해 제2 공통전압(Vcom2)을 공급받는다. 이웃한 수평라인상에 배치된 제1 화소공통라인 패턴(23a)들은 그들 사이의 제1 세로 공통라인(22a)에 지그재그 접속되어 그들이 속하는 제1 화소유닛(C1)들의 공통전극에 제1 공통전압(Vcom1)을 공급한다. 이웃한 수평라인상에 배치된 제2 화소공통라인 패턴(23b)들은 그들 사이의 제2 세로 공통라인(22b)에 지그재그 접속되어 그들이 속하는 제2 화소유닛(C2)들의 공통전극에 제2 공통전압(Vcom2)을 공급한다.

[0064] 도 20은 도 19에 도시된 제1 화소유닛(C1)에 대한 일 예로서 수평 IPS 구동모드로 동작되는 경우를 보여준다. 도 21은 도 19를 13-13' 및 14-14'를 따라 절취하여 제1 세로 공통라인(22a), 제1 화소공통라인 패턴(23a), 및 공통전극(Ec)간의 접속 단면 구조를 보여준다.

- [0065] 도 20 및 도 21을 참조하면, 제1 화소유닛(C1)에는 동일 평면상에서 서로 대향되게 배치되는 공통전극(Ec)과 화소전극(Ep)을 갖는 한 개의 액정셀들을 포함한다. 제1 세로 공통라인(22a)과 부분적으로 중첩되는 공통전극(Ec)은 제1 콘택홀(202)을 통해 제1 세로 공통라인(22a)에 접속된다. 그리고, 이 공통전극(Ec)은 제1 화소공통라인 패턴(23a)의 일 부분을 노출하는 제2 콘택홀(201)을 통해 제1 화소공통라인 패턴(23a)에 접속된다. 제1 화소공통라인 패턴(23a)과 화소전극(Ep)의 중첩 영역에는 스토리지 커패시터(Cst)가 형성된다.
- [0066] 도 22는 제1 공통전압(Vcom1)이 제2 공통전압(Vcom2)보다 높은 특정 프레임에서 도 19의 구동상태를 보여준다.
- [0067] 도 22와 함께 도 12a 및 도 12b를 참조하면, N 프레임 동안 제1 공통전압(Vcom1)은 최대 데이터전압보다 높고 제2 공통전압(Vcom2)은 최소 데이터전압보다 낮으므로, 제1 공통전압(Vcom1)이 공급되는 화소유닛은 부극성(-)으로 충전되고, 제2 공통전압(Vcom2)이 공급되는 화소유닛은 정극성(+)으로 충전된다. 이에 따라, 액정표시패널은 1 도트 인버전 방식의 충전 극성을 갖는다. 한편, 도시하지는 않았지만 N+1 프레임 동안에는 제1 및 제2 공통전압(Vcom1, Vcom2)의 전위가 서로 반전되므로, 제1 공통전압(Vcom1)이 공급되는 화소유닛은 정극성(+)으로 충전되고, 제2 공통전압(Vcom2)이 공급되는 화소유닛은 정극성(+)으로 충전됨을 쉽게 알 수 있다.
- [0068] 이러한 제3 실시예에 따른 액정표시장치에 의하면, 공통라인의 배치를 최적화하여 공통전압의 왜곡을 줄일 수 있다. 이를 기반으로 리플이나 플리커 등과 같은 화질저하를 초래할 우려없이 안정되게 공통전압을 스위칭함으로써 데이터전압의 스위칭폭을 줄여 소비전력을 감소시키고, 응답속도를 향상시켜 액정 구동마진을 증가시키며, 데이터 드라이브 IC의 갯수 및 칩 사이즈를 축소시킬 수 있는 효과가 있다. 나아가, 제3 실시예에서는 도트 인버전 충전 방식을 적용하기가 자유로워 화질 향상에 크게 기여하는 효과가 있다.
- [0069] 도 23은 세로 공통라인들(22a, 22b)과 화소공통라인 패턴들(23a, 23b)을 이용하여 서로 반대 방향으로 스위칭되는 두개의 공통전압들(Vcom1, Vcom2)을 안정되게 화소유닛들(E1, E2)에 공급할 수 있는 액정표시패널(10) 구조의 또 다른 예를 보여준다.
- [0070] 도 23을 참조하면, 본 발명의 제4 실시예에 따른 액정표시장치는 한 개의 액정셀과 이 액정셀 내에서 메쉬 구조를 이루는 화소공통라인 패턴을 각각 포함하는 다수의 화소유닛들을 구비한다. 화소유닛마다 한 개의 게이트라인과 한 개의 데이터라인이 할당되고, 제1 세로 공통라인(22a)과 제2 세로 공통라인(22b)은 이웃한 수직라인에 배치된 액정셀들의 중간 부분을 가로지르도록 서로 교대로 배치된다.
- [0071] 다수의 화소유닛들을 구성하는 제1 화소유닛(D1)들과 제2 화소유닛(D2)들은 스트라이프패턴 방식으로 배치된다. 제1 화소유닛(D1)들은 각각 제1 세로 공통라인(22a)들에 접속되는 제1 화소공통라인 패턴(23a)들을 통해 제1 공통전압(Vcom1)을 공급받는다. 반면, 제2 화소유닛(D2)들은 각각 제2 세로 공통라인(22b)들에 접속되는 제2 화소공통라인 패턴(23b)들을 통해 제2 공통전압(Vcom2)을 공급받는다.
- [0072] 도 24는 도 23에 도시된 제2 화소유닛(E2)에 대한 일 예로서 수평 IPS 구동모드로 동작되는 경우를 보여준다. 도 25는 도 24를 15-15'를 따라 절취하여 제2 세로 공통라인(22b), 제2 화소공통라인 패턴(23b), 및 공통전극(Ec)간의 접속 단면 구조를 보여준다.
- [0073] 도 24 및 도 25를 참조하면, 제2 화소유닛(D2)에는 동일 평면상에서 서로 대향되게 배치되는 공통전극(Ec)과 화소전극(Ep)을 가지며 중간을 가로지르는 제2 세로 공통라인(22b)에 의해 두개의 도메인으로 분할되는 한 개의 액정셀을 포함한다. 제2 세로 공통라인(22b) 및 제2 화소공통라인 패턴(23b)과 부분적으로 중첩되는 공통전극(Ec)은 콘택홀(241)을 통해 제2 세로 공통라인(22b) 및 제2 화소공통라인 패턴(23b)에 접속된다. 이때, 공통전극(Ec)은 제2 세로 공통라인(22b)과는 측면 접속된다. 제1 화소공통라인 패턴(23a)과 화소전극(Ep)의 중첩 영역에는 스토리지 커패시터(Cst)가 형성된다.
- [0074] 도 26은 제1 공통전압(Vcom1)이 제2 공통전압(Vcom2)보다 높은 특정 프레임에서 도 23의 구동상태를 보여준다.
- [0075] 도 26과 함께 도 12a 및 도 12b를 참조하면, N 프레임 동안 제1 공통전압(Vcom1)은 최대 데이터전압보다 높고 제2 공통전압(Vcom2)은 최소 데이터전압보다 낮으므로, 제1 공통전압(Vcom1)이 공급되는 화소유닛은 부극성(-)으로 충전되고, 제2 공통전압(Vcom2)이 공급되는 화소유닛은 정극성(+)으로 충전된다. 이에 따라, 액정표시패널은 컬럼 인버전 방식의 충전 극성을 갖는다. 한편, 도시하지는 않았지만 N+1 프레임 동안에는 제1 및 제2 공통전압(Vcom1, Vcom2)의 전위가 서로 반전되므로, 제1 공통전압(Vcom1)이 공급되는 화소유닛은 정극성(+)으로 충전되고, 제2 공통전압(Vcom2)이 공급되는 화소유닛은 정극성(+)으로 충전됨을 쉽게 알 수 있다.

- [0076] 이러한 제4 실시예에 따른 액정표시장치에 의하면, 공통라인의 배치를 최적화하여 공통전압의 왜곡을 줄일 수 있다. 이를 기반으로 리플이나 플리커 등과 같은 화질저하를 초래할 우려없이 안정되게 공통전압을 스위칭함으로써 데이터전압의 스윙폭을 줄여 소비전력을 감소시키고, 응답속도를 향상시켜 액정 구동마진을 증가시키며, 데이터 드라이브 IC의 발열을 감소시킬 수 있는 효과가 있다.
- [0077] 도 27은 세로 공통라인들(22a, 22b)과 화소공통라인 패턴들(23a, 23b)을 이용하여 서로 반대 방향으로 스윙되는 두개의 공통전압들(Vcom1, Vcom2)을 안정되게 화소유닛들(A1, A2)에 공급할 수 있는 액정표시패널(10) 구조의 또 다른 예를 보여준다.
- [0078] 도 27을 참조하면, 본 발명의 제5 실시예에 따른 액정표시장치는 수평으로 이웃한 두 개의 액정셀들과 이 액정셀들의 일측을 따라 게이트라인들에 나란하게 형성되는 화소공통라인 패턴을 각각 포함하는 다수의 화소유닛들을 구비한다. 화소유닛마다 한 개의 게이트라인들과 두 개의 데이터라인이 할당되고, 수평으로 이웃한 화소유닛들 사이에는 제1 세로 공통라인(22a)과 제2 세로 공통라인(22b)이 번갈아 가며 배치된다. 데이터라인들은 수직으로 이웃한 액정셀들의 중간 부분을 가로지르도록 형성되어 하나의 액정셀을 두 개의 도메인으로 분할한다. 이를 위해, 액정셀 당 두 개의 TFT가 형성된다. 수평 및 수직으로 이웃한 화소유닛들의 화소공통라인 패턴들은 서로 전기적으로 분리된다. 한편, 이 액정표시장치는 구동을 위한 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2) 외에 별도로 스토리지 커패시터의 형성에 이용되는 노멀 공통전압(NVcom)을 공급하기 위한 노멀 테두리 공통라인(21c), 노멀 세로공통라인(22c) 및 노멀공통라인 패턴(23c)를 더 구비한다. 노멀 테두리 공통라인(21c)은 비표시영역 상에 제1 및 제2 테두리 공통라인(21a, 21b)과는 분리되도록 형성되어 공통전압 발생부(14)로부터의 노멀 공통전압(NVcom)을 입력받는다. 노멀 세로공통라인(22c)은 데이터라인들과 나란하게 세로 공통라인들(22a, 22b) 사이마다 형성되어 노멀 테두리 공통라인(21c)에 접속된다. 노멀 공통전압(NVcom)은 구동 공통전압들(Vcom1, Vcom2)의 낮은 전위와 거의 동일한 전압 레벨을 가진다. 노멀공통라인 패턴(23c)은 노멀 세로공통라인(22c)에 접속되고 화소유닛내 액정셀들의 화소전극들과 부분적으로 중첩되도록 형성된다.
- [0079] 다수의 화소유닛들을 구성하는 제1 화소유닛(F1)들과 제2 화소유닛(F2)들은 모자이크패턴 방식으로 배치된다. 제1 화소유닛(F1)들은 각각 제1 세로 공통라인(22a)들에 접속되는 제1 화소공통라인 패턴(23a)들을 통해 제1 공통전압(Vcom1)을 공급받는다. 반면, 제2 화소유닛(F2)들은 각각 제2 세로 공통라인(22b)들에 접속되는 제2 화소공통라인 패턴(23b)들을 통해 제2 공통전압(Vcom2)을 공급받는다. 이웃한 수평라인상에 배치된 제1 화소공통라인 패턴(23a)들은 그들 사이의 제1 세로 공통라인(22a)에 지그재그 접속되어 그들이 속하는 제1 화소유닛(F1)들의 공통전극에 제1 공통전압(Vcom1)을 공급한다. 이웃한 수평라인상에 배치된 제2 화소공통라인 패턴(23b)들은 그들 사이의 제2 세로 공통라인(22b)에 지그재그 접속되어 그들이 속하는 제2 화소유닛(F2)들의 공통전극에 제2 공통전압(Vcom2)을 공급한다. 노멀 테두리 공통라인(21c) 및 노멀공통라인 패턴(23c)은 게이트 금속재질로 형성될 수 있으며, 노멀 세로공통라인(22c)은 데이터 금속재질로 형성될 수 있다.
- [0080] 도 28은 도 27에 도시된 "K" 부분에 대한 일 예로서 수퍼 IPS 구동모드로 동작되는 경우를 보여준다. 도 29는 도 28을 16-16', 17-17', 18-18', 19-19', 20-20' 및 21-21'을 따라 절취하여 제1 및 제2 세로 공통라인(22a, 22b), 제1 및 제2 화소공통라인 패턴(23a, 23b), 노멀 세로공통라인(22c), 노멀공통라인 패턴(23c) 및 공통전극(Ec)간의 접속 단면 구조를 보여준다.
- [0081] 도 28 및 도 29을 참조하면, "K" 영역에는 제1 화소유닛(F1)을 구성하며 동일 평면상에서 서로 대향되게 배치되는 공통전극(Ec)과 화소전극(Ep)을 각각 구비하는 R 액정셀 및 G 액정셀이 포함된다. 제1 화소유닛(F1)에서, 공통전극(Ec)은 제1 콘택홀(281)을 통해 제1 세로 공통라인(22a)에 접속되고 제2 콘택홀(282)을 통해 제1 화소공통라인 패턴(23a)에 접속된다. 제2 화소유닛(F2)에서, 공통전극(Ec)은 제3 콘택홀(283)을 통해 제2 세로 공통라인(22b)에 접속되고 제4 콘택홀(284)을 통해 제2 화소공통라인 패턴(23b)에 접속된다. 제1 화소유닛(F1)에서, 노멀공통라인 패턴(23c)은 제5 콘택홀(285), 제6 콘택홀(286) 및 투명전극패턴(287)을 통해 노멀 세로공통라인(22c)에 접속된다. 노멀공통라인 패턴(23c)과 화소전극(Ep)의 중첩 영역에는 스토리지 커패시터(Cst)가 형성된다. 특히, 19-19' 절취 도면에서 알 수 있듯이, 화소유닛을 형성하는 두개의 액정셀들 사이에 형성되는 노멀 세로공통전압(22c)은 액정셀들간의 광간섭을 차폐할 수 있으므로, 노멀 세로공통전압(22c)이 형성되는 경계부에 대응하는 상부 유리기관에는 블랙 매트릭스의 제거가 가능해진다.
- [0082] 도 30은 제1 공통전압(Vcom1)이 제2 공통전압(Vcom2)보다 높은 특정 프레임에서 도 27의 구동상태를 보여준다.
- [0083] 도 30과 함께 도 12a 및 도 12b를 참조하면, N 프레임 동안 제1 공통전압(Vcom1)은 최대 데이터전압보다 높고 제2 공통전압(Vcom2)은 최소 데이터전압보다 낮으므로, 제1 공통전압(Vcom1)이 공급되는 화소유닛은 부극성(-

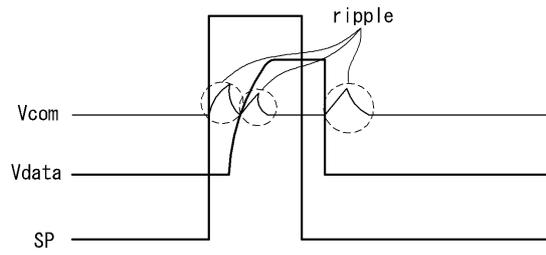
)으로 충전되고, 제2 공통전압(Vcom2)이 공급되는 화소유닛은 정극성(+)으로 충전된다. 이에 따라, 액정표시패널은 도시된 충전 극성을 갖는다. 한편, 도시하지는 않았지만 N+1 프레임 동안에는 제1 및 제2 공통전압(Vcom1, Vcom2)의 전위가 서로 반전되므로, 제1 공통전압(Vcom1)이 공급되는 화소유닛은 정극성(+)으로 충전되고, 제2 공통전압(Vcom2)이 공급되는 화소유닛은 정극성(+)으로 충전됨을 쉽게 알 수 있다.

- [0084] 이러한 제5 실시예에 따른 액정표시장치에 의하면, 공통라인의 배치를 최적화하여 공통전압의 왜곡을 줄일 수 있다. 이를 기반으로 리플이나 플리커 등과 같은 화질저하를 초래할 우려없이 안정되게 공통전압을 스윙시킴으로써 데이터전압의 스윙폭을 줄여 소비전력을 감소시키고, 응답속도를 향상시키며, 데이터 드라이브 IC의 갯수 및 칩 사이즈를 축소시킬 수 있는 효과가 있다. 나아가, 제5 실시예에서는 구동용 및 스토리지 커패시터 형성용으로 공통전압을 분리함으로써 액정셀 내 DC 성분이 축적되는 것을 방지하여 DC 잔상을 용이하게 제거할 수 있다. 그리고, 이 실시예에 의하면 부분적으로 블랙 매트릭스를 제거할 수 있어 수율 향상에 이바지할 수 있다.
- [0085] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 공통라인의 배치를 최적화하여 공통전압의 왜곡을 줄일 수 있다.
- [0086] 나아가, 본 발명에 따른 액정표시장치는 공통전압이 안정화될 수 있는 환경하에서 공통전압을 스윙시킴으로써, 화질 저하를 초래하지 않으면서 소비전력 감소, 응답속도 향상, 데이터 드라이브 IC의 갯수 및 칩 사이즈를 축소, 액정 구동마진 증가, 데이터 드라이브 IC의 발열 감소등의 여러가지 탁월한 패널성능을 발휘할 수 있다.
- [0087] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

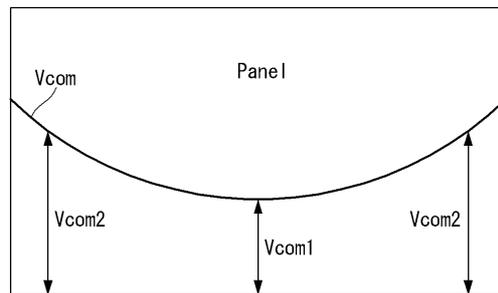
도면의 간단한 설명

- [0088] 도 1은 종래 공통라인의 접속 구조를 보여주는 도면.
- [0089] 도 2a는 종래 공통전압의 라인저항으로 인해 리플이 발생하는 것을 보여주는 도면.
- [0090] 도 2b는 종래 공통전압의 면내 편차를 보여주는 도면.
- [0091] 도 3a는 종래 공통전압의 불안정으로 인해 크로스토크가 발생하는 것을 보여주는 도면.
- [0092] 도 3b는 종래 공통전압의 불안정으로 인해 면내 상하 휘도차가 발생하는 것을 보여주는 도면.
- [0093] 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블럭도.
- [0094] 도 5는 본 발명의 실시예에 따른 공통라인을 보여 주는 평면도.
- [0095] 도 6은 도 5에 도시된 공통라인의 일부와 데이터라인들을 보여 주는 평면도.
- [0096] 도 7은 도 6을 1-1', 2-2' 및 3-3'을 따라 절취하여 공통라인의 단면 구조를 보여주는 단면도.
- [0097] 도 8은 안정적으로 공통전압을 스윙시키기 위한 액정표시패널 구조의 일 예를 보여주는 도면.
- [0098] 도 9는 도 8에 도시된 제1 화소유닛에 대한 일 예를 보여주는 평면도.
- [0099] 도 10은 도 9를 4-4', 5-5', 6-6', 7-7' 및 8-8'을 따라 절취하여 각부의 접속 단면 구조를 보여주는 단면도.
- [0100] 도 11은 제1 공통전압이 제2 공통전압보다 높은 특정 프레임에서 도 8의 구동상태를 보여주는 도면.
- [0101] 도 12a 및 도 12b는 제1 및 제2 공통전압의 프레임 간 전위 변화를 보여주는 도면.
- [0102] 도 13은 안정적으로 공통전압을 스윙시키기 위한 액정표시패널 구조의 다른 예를 보여주는 도면.
- [0103] 도 14는 도 13에 도시된 제2 화소유닛에 대한 일 예를 보여주는 평면도.
- [0104] 도 15는 도 14를 9-9' 및 10-10'을 따라 절취하여 각부의 접속 단면 구조를 보여주는 단면도.
- [0105] 도 16은 도 13에 도시된 제2 화소유닛에 대한 다른 예를 보여주는 평면도.
- [0106] 도 17은 도 16을 11-11' 및 12-12'을 따라 절취하여 각부의 접속 단면 구조를 보여주는 단면도.

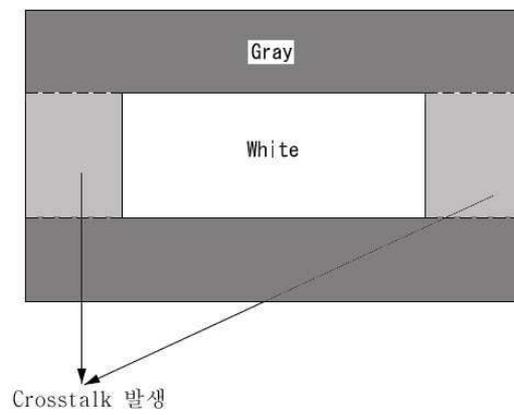
도면2a



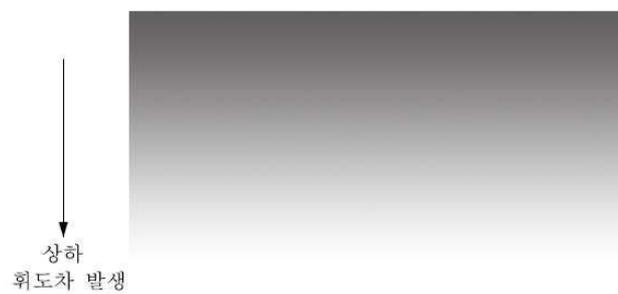
도면2b



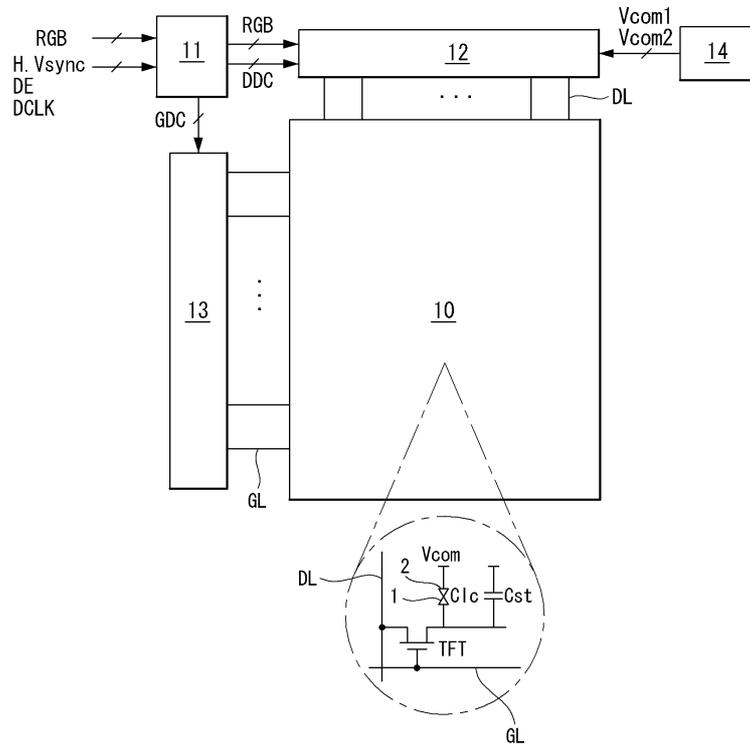
도면3a



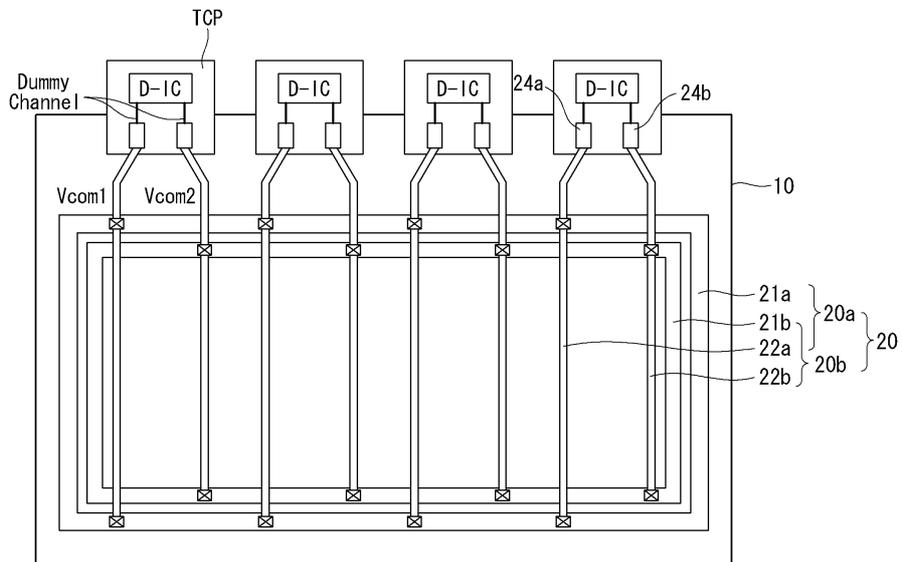
도면3b



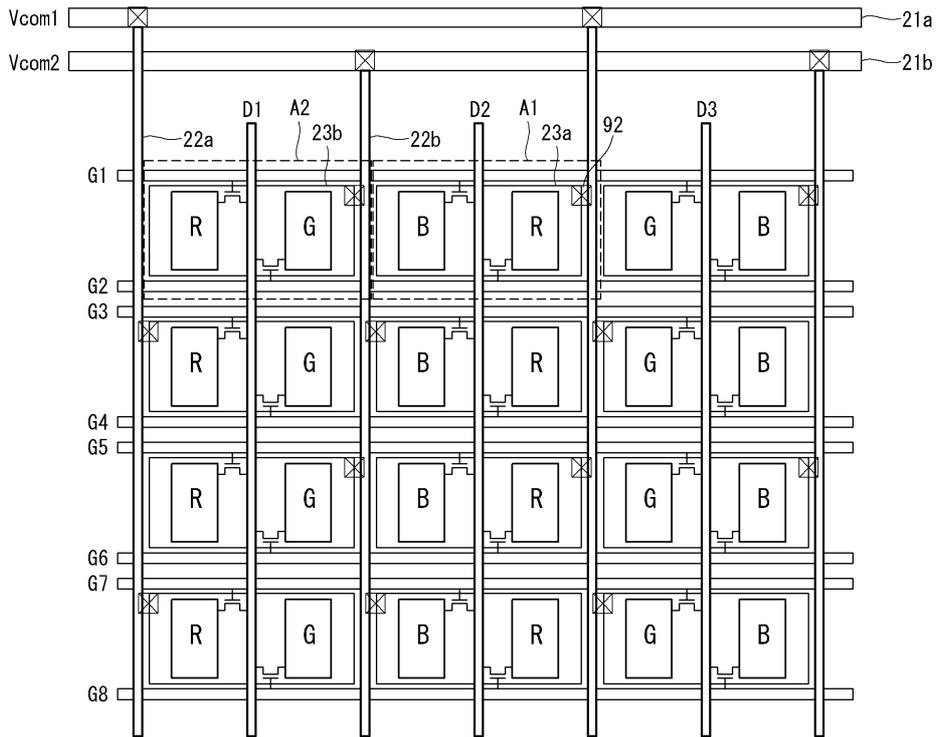
도면4



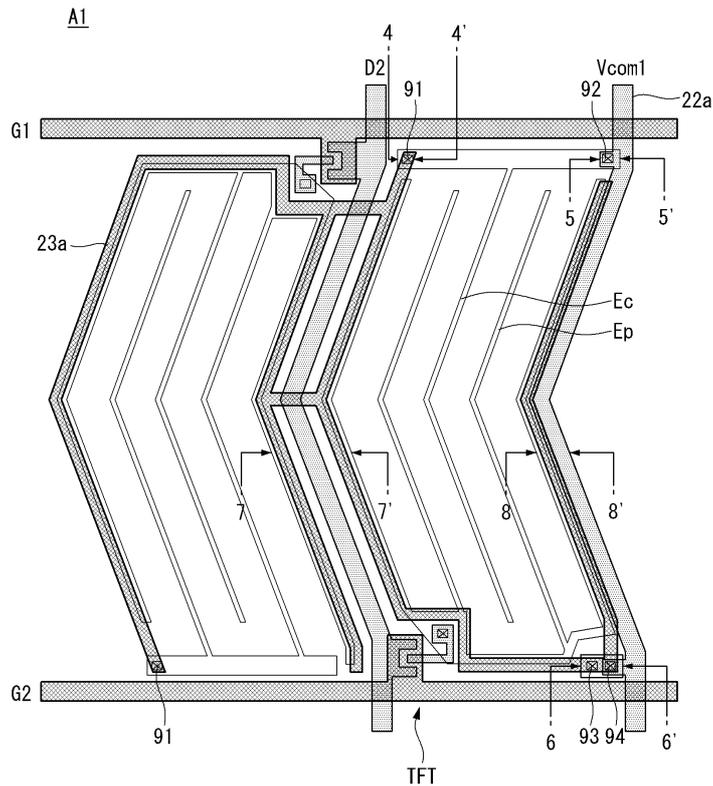
도면5



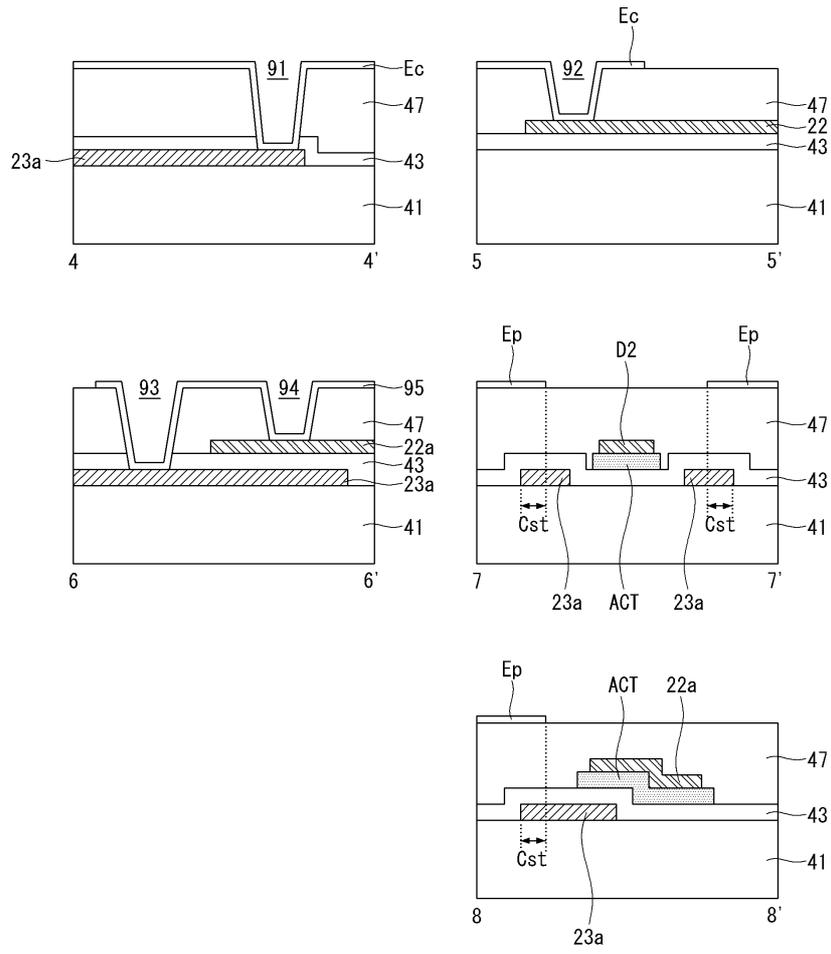
도면8



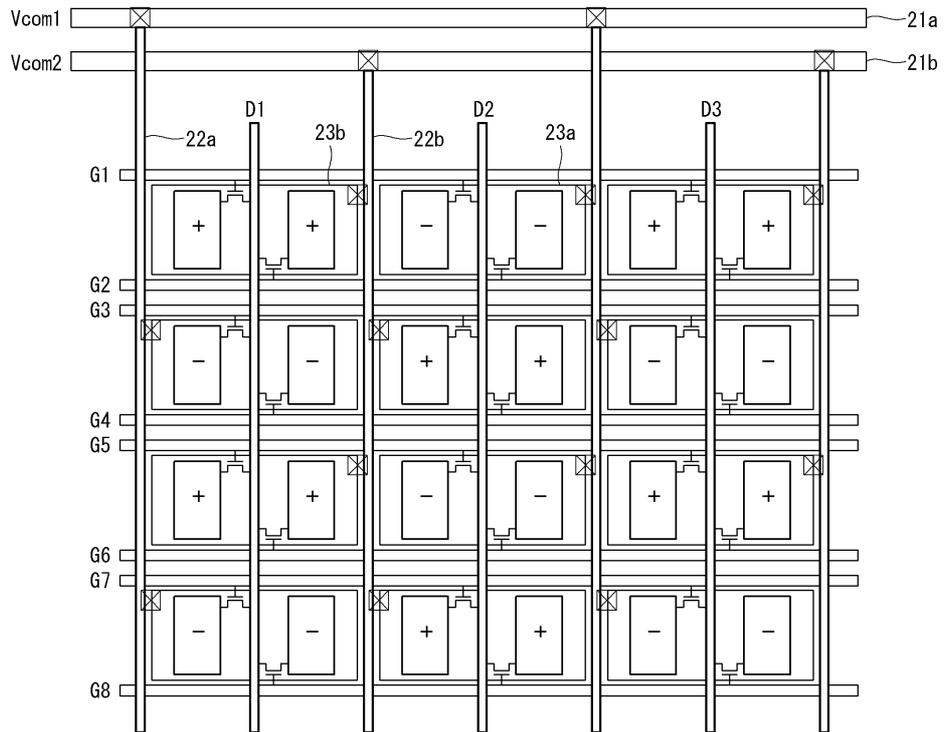
도면9



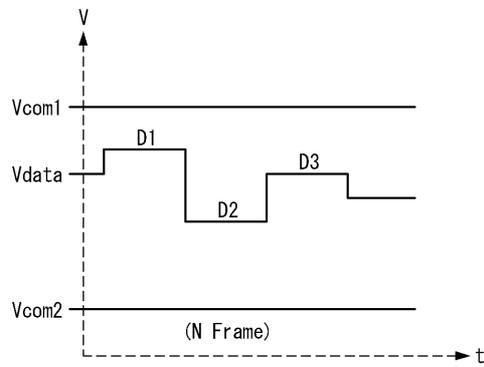
도면10



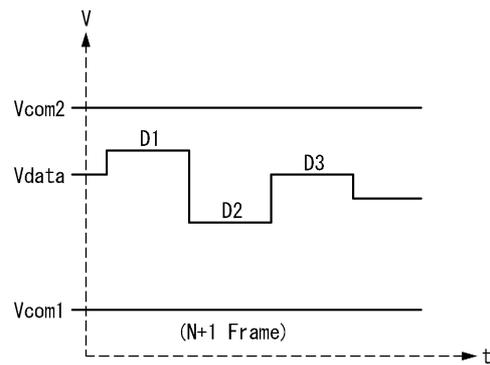
도면11



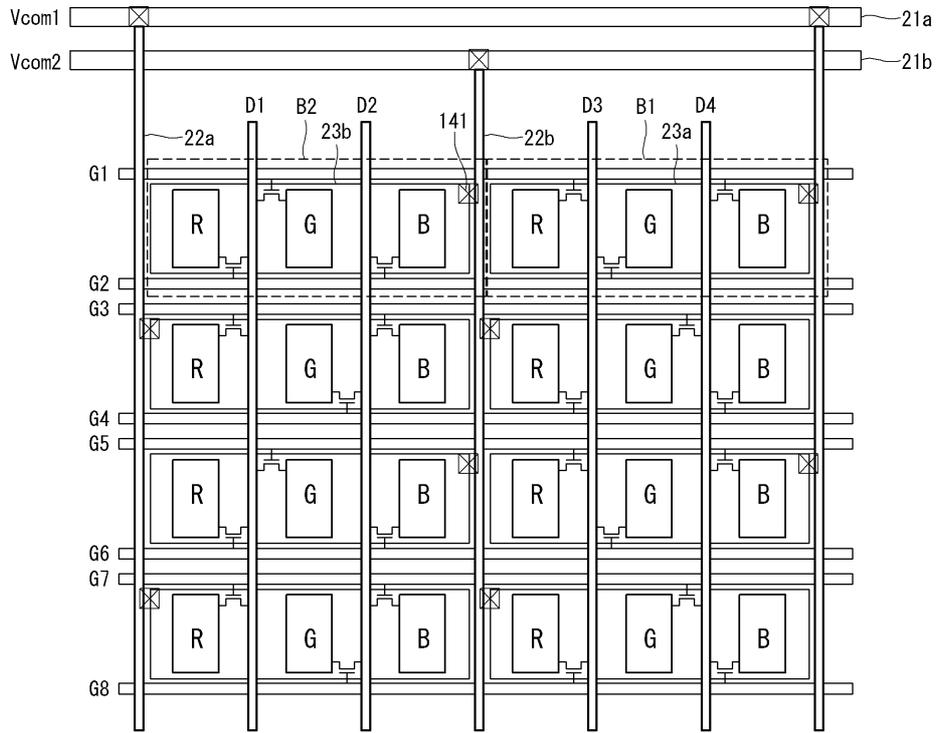
도면12a



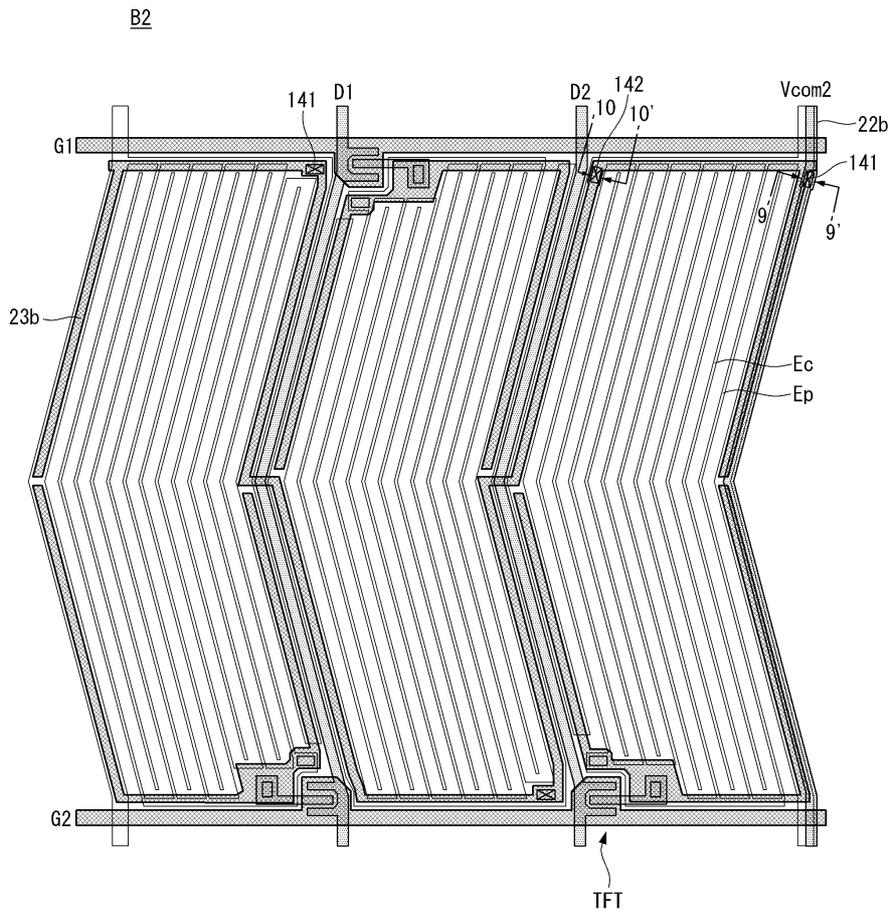
도면12b



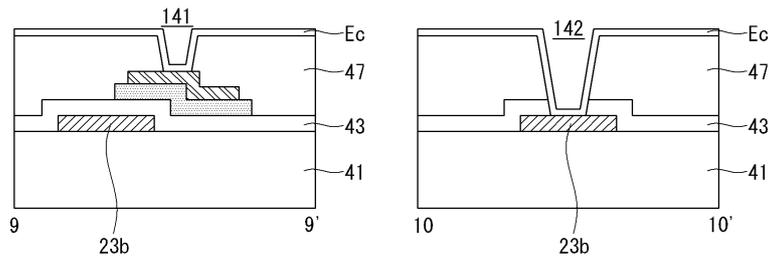
도면13



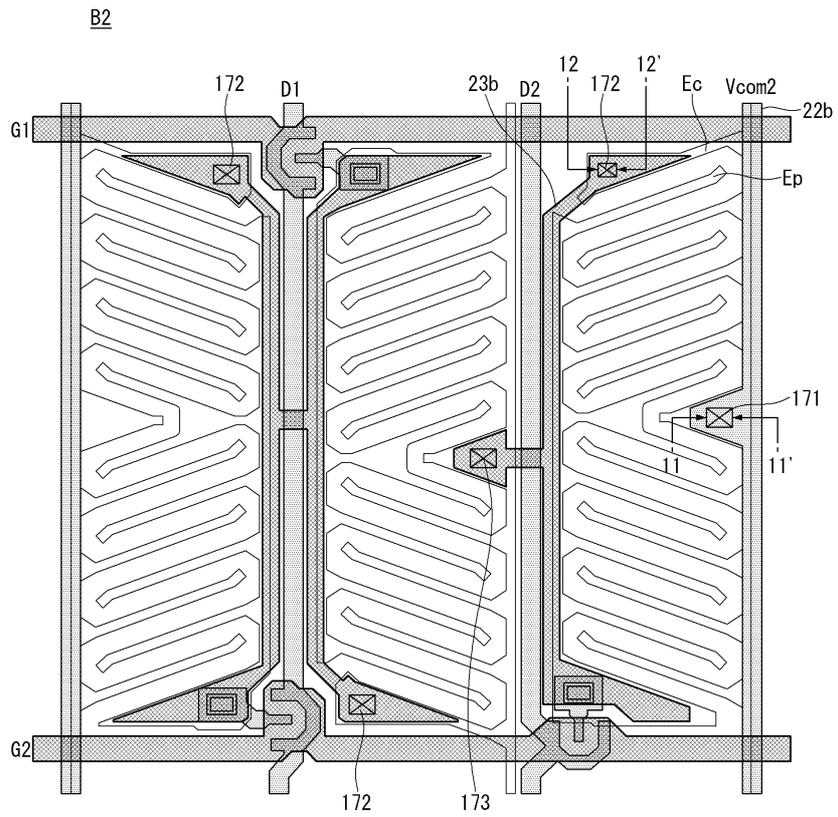
도면14



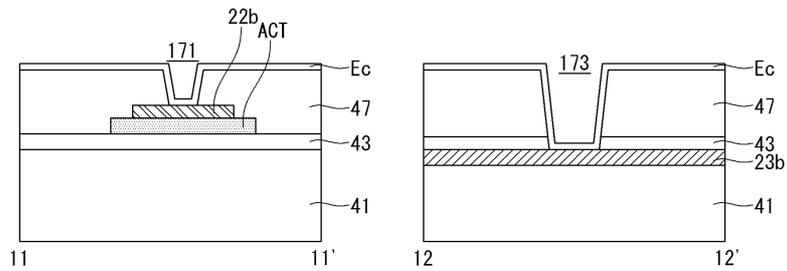
도면15



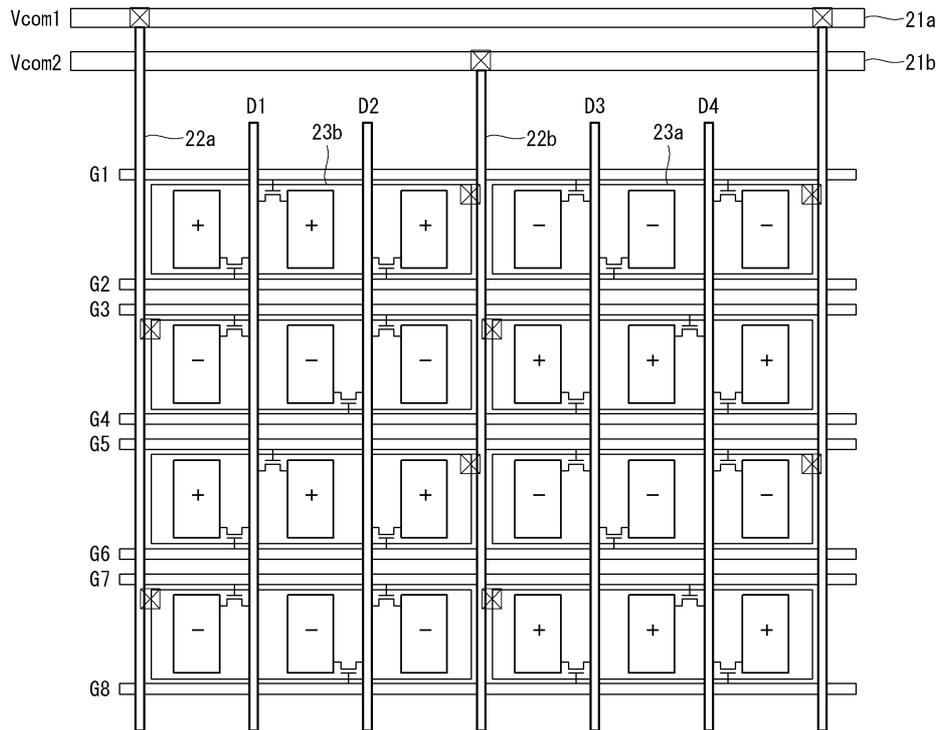
도면16



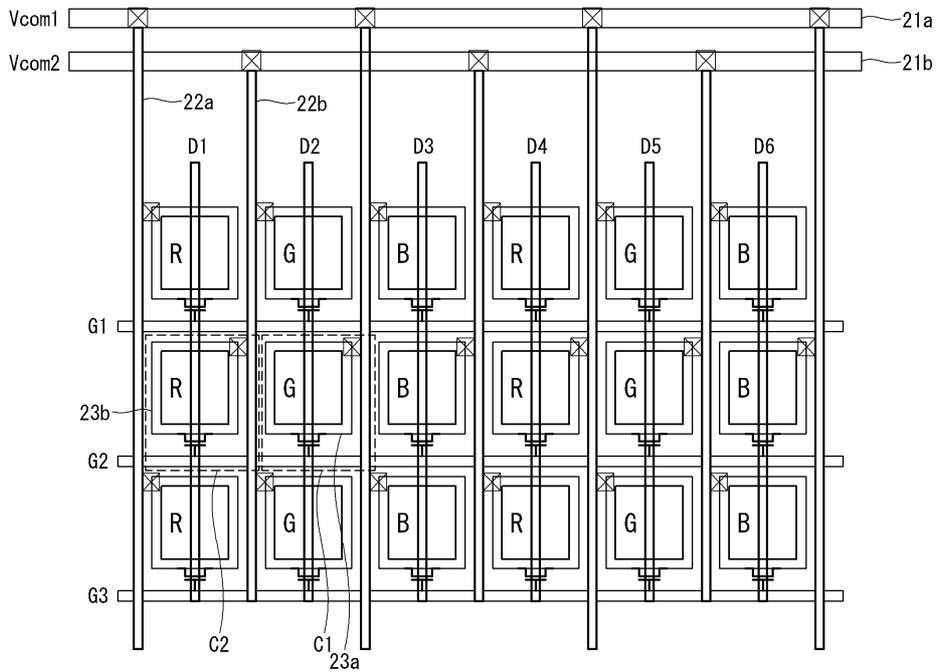
도면17



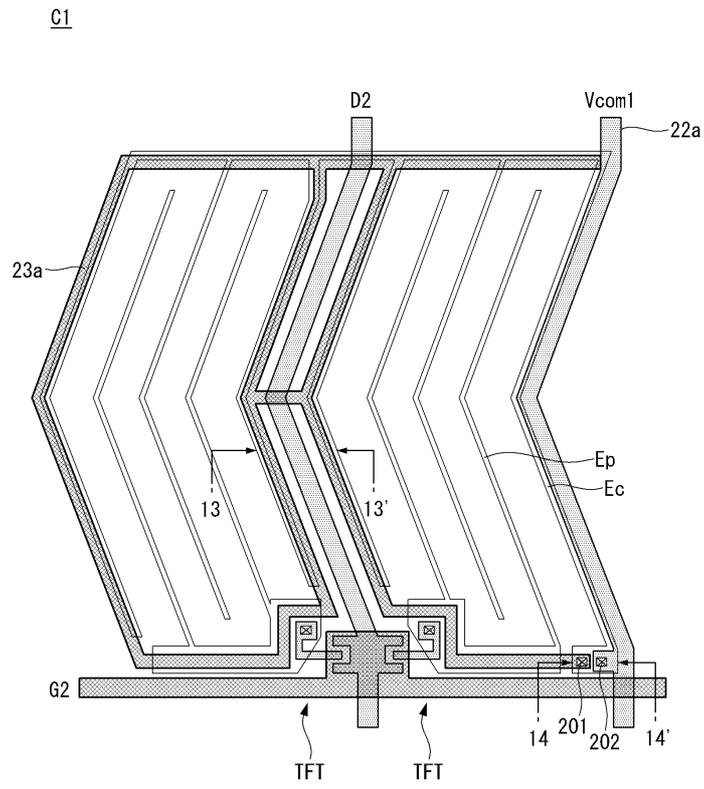
도면18



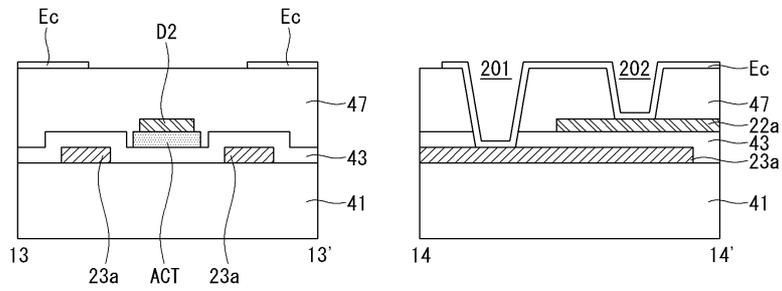
도면19



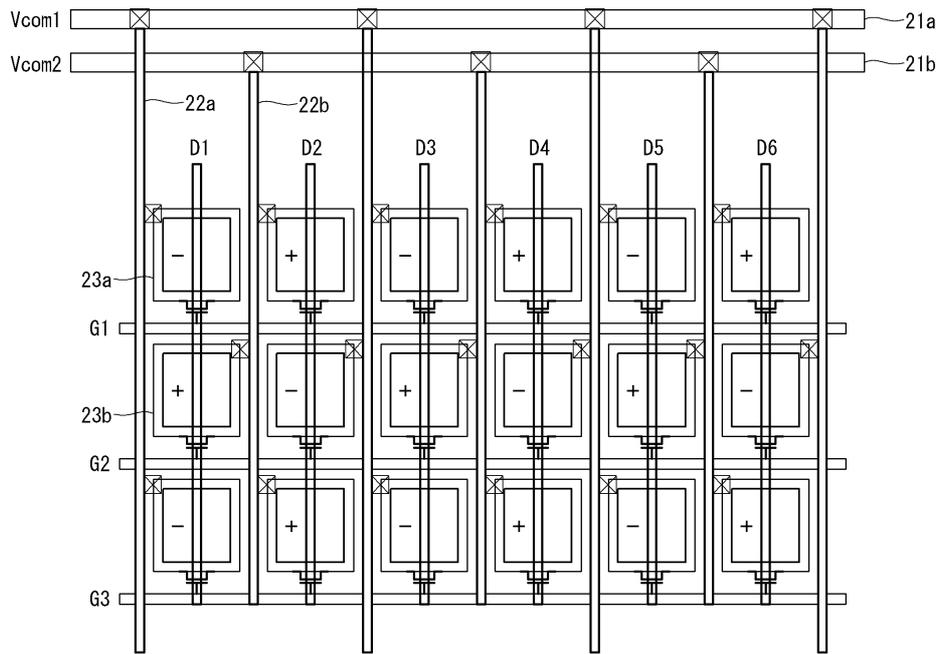
도면20



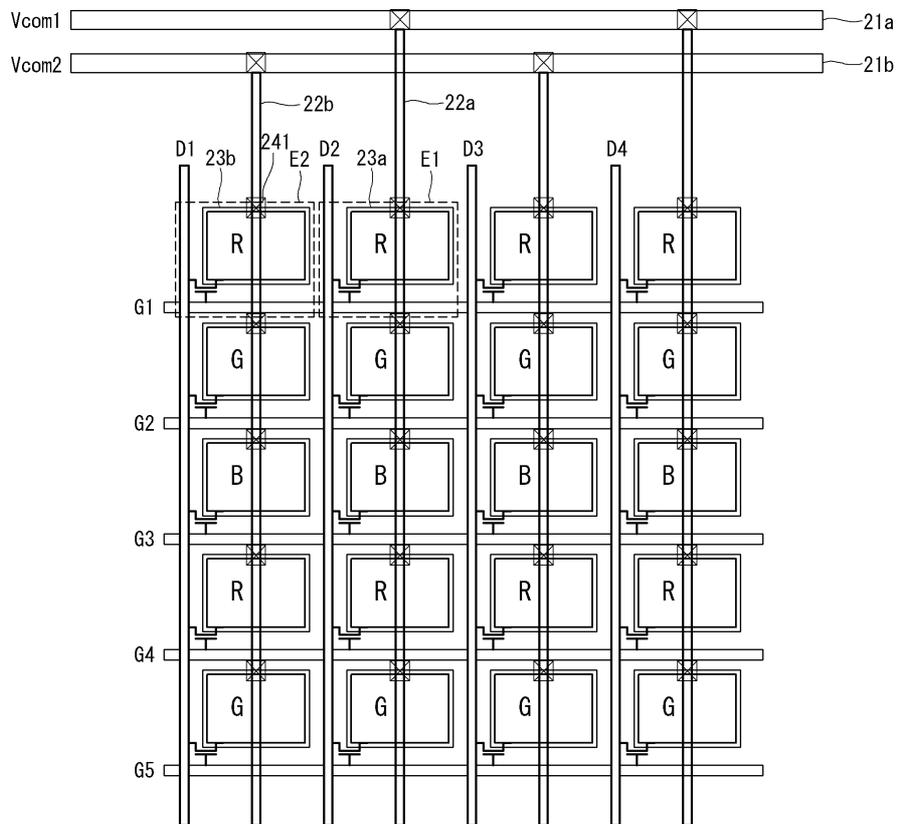
도면21



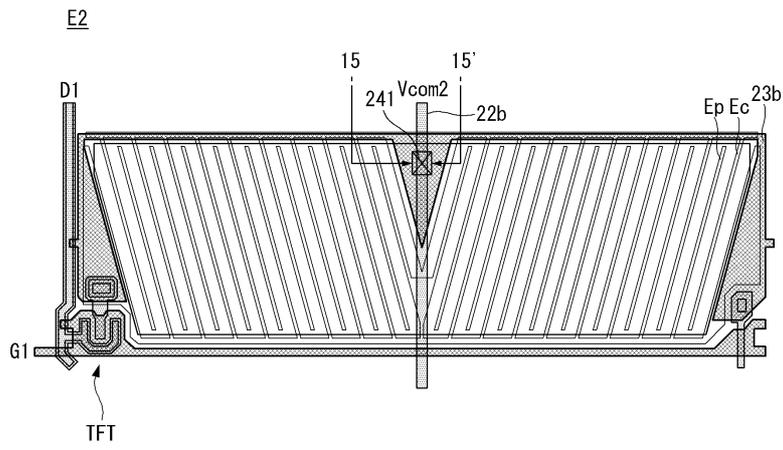
도면22



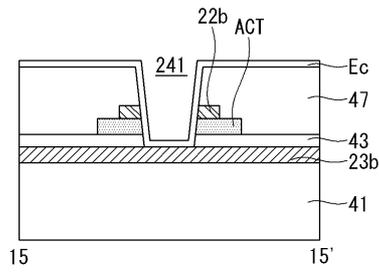
도면23



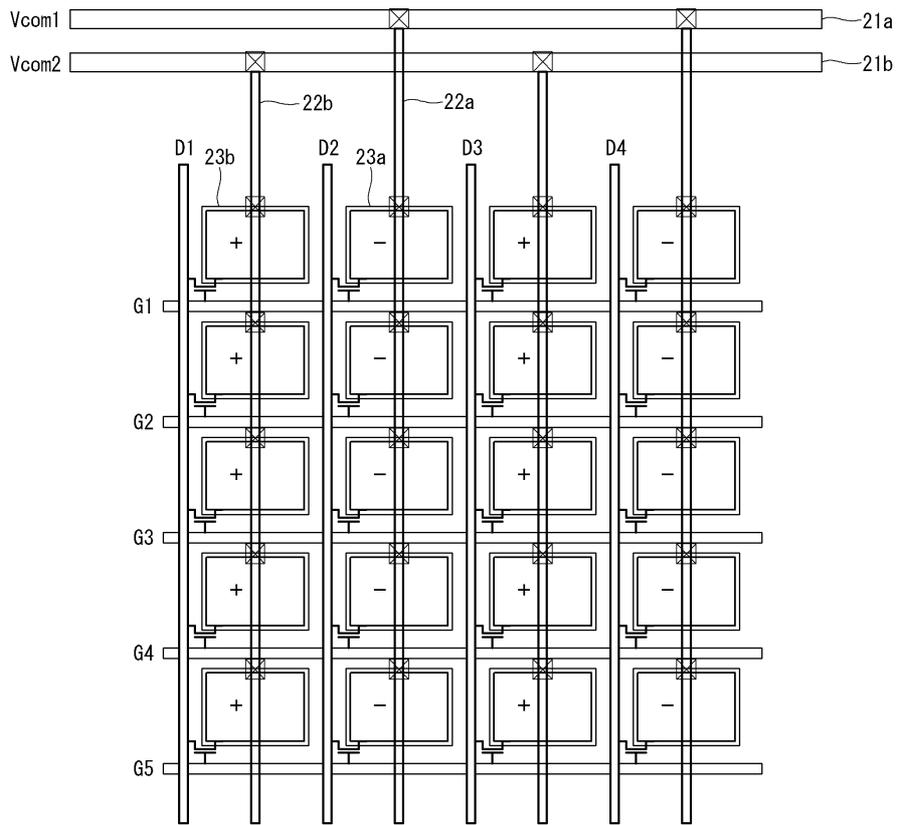
도면24



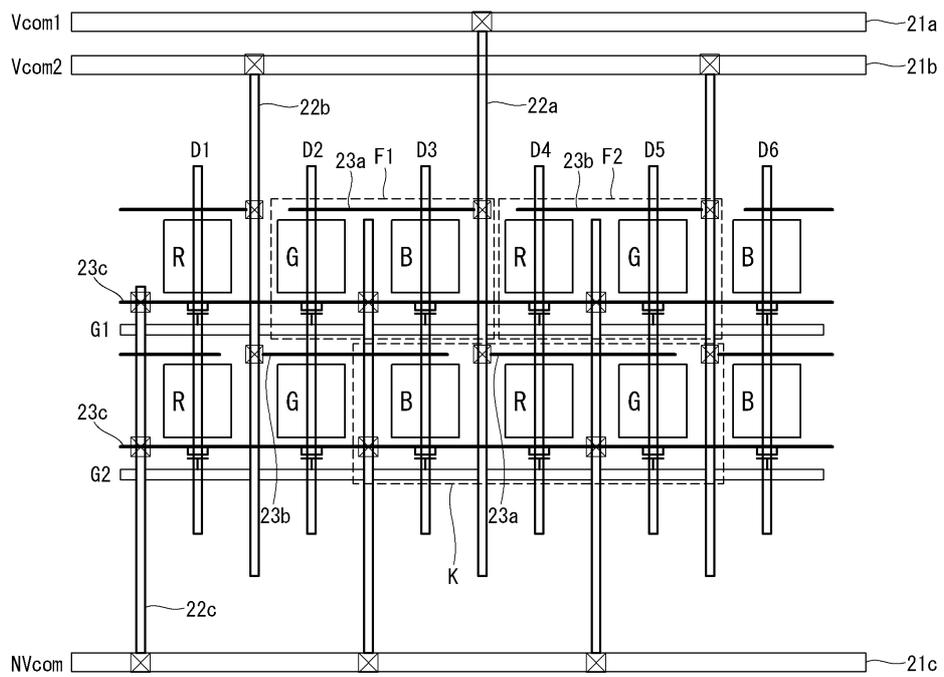
도면25



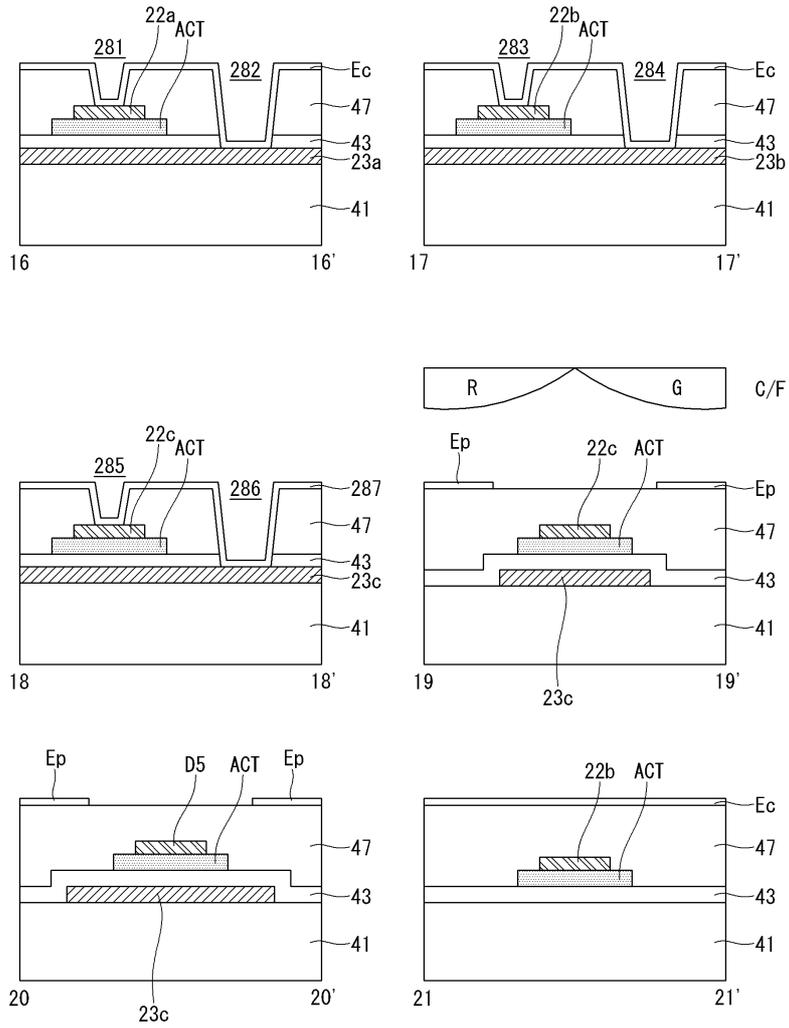
도면26



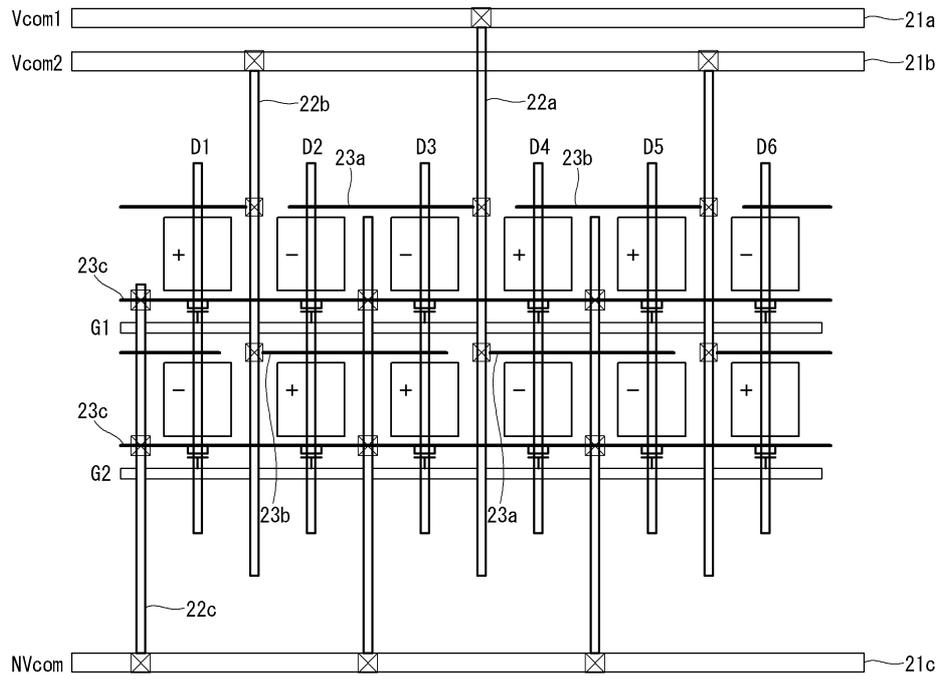
도면27



도면29



도면30



专利名称(译)	液晶显示器		
公开(公告)号	KR1020100048264A	公开(公告)日	2010-05-11
申请号	KR1020080107354	申请日	2008-10-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH JAE YOUNG 오재영 SHIN DONG SU 신동수 CHOI SANG HUN 최상훈 LEE JAE KYUN 이재균		
发明人	오재영 신동수 최상훈 이재균		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G02F1/134309 G02F1/136286 G09G2300/0426 G09G2320/0247		
其他公开文献	KR101570532B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示器，通过优化公共线的排列来减少公共电压的失真。组成：LCD面板包括第一像素单元 (A1) 和第二像素单元 (A2)。LCD面板包括彼此交叉的多条数据线和栅极线。公共电压产生部分以相反方向摆动第一公共电压和第二公共电压。第一垂直公共线 (22a) 将第一公共电压提供给第一像素公共线图案 (23a)。第二垂直公共线 (22b) 将第二公共电压提供给第二像素公共线图案 (23b)。
COPYRIGHT KIPO 2010

