



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0129774
(43) 공개일자 2009년12월17일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2008-0055860

(22) 출원일자 2008년06월13일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김동규

경기 용인시 풍덕천2동 삼성5차아파트 523동 1305호

(74) 대리인

박영우

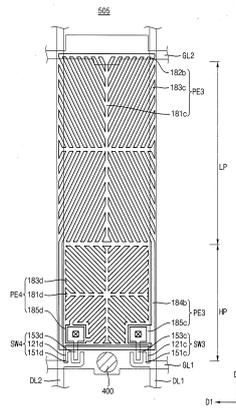
전체 청구항 수 : 총 19 항

(54) 표시 기판 및 이를 포함하는 액정표시패널

(57) 요약

표시 기판 및 이를 포함하는 액정표시패널에서, 표시 기판은 화소 영역이 정의된 베이스 기판 상에 형성된 게이트 배선들, 게이트 배선들과 교차하는 데이터 배선들 및 화소 영역에 형성되고 단부가 각 게이트 배선과 중첩된 복수의 마이크로 슬릿 패턴들 및 각 게이트 배선과 중첩되는 마이크로 슬릿 패턴들의 단부들을 연결하는 제1 설딩 패턴을 갖는 화소 전극을 포함한다. 이에 따라, 게이트 배선의 전계에 의해 게이트 배선과 인접하게 배치된 액정 분자들의 액정 방향자의 왜곡을 방지하여 빛샘 및 텍스처의 발생을 최소화할 수 있다.

대표도 - 도8



특허청구의 범위

청구항 1

화소영역이 정의된 베이스 기관 상에 형성된 게이트 배선들;

상기 게이트 배선들과 교차하는 데이터 배선들; 및

상기 화소 영역에 형성되고 단부가 각 게이트 배선과 중첩된 복수의 마이크로 슬릿 패턴들 및 상기 각 게이트 배선과 중첩되는 상기 마이크로 슬릿 패턴들의 단부들을 연결하는 제1 설딩 패턴을 갖는 화소 전극을 포함하는 표시 기관.

청구항 2

제1항에 있어서, 상기 화소 전극은

제1 전압이 인가되고, 제1 마이크로 슬릿 패턴들을 포함하는 제1 서브 전극; 및

상기 제1 전압보다 고 전위의 제2 전압이 인가되고, 제2 마이크로 슬릿 패턴들을 포함하는 제2 서브 전극을 포함하는 것을 특징으로 하는 표시 기관.

청구항 3

제2항에 있어서, 상기 제1 서브 전극은,

상기 제2 마이크로 슬릿 패턴들과 인접한 상기 제1 마이크로 슬릿 패턴들의 단부들을 연결하는 제2 설딩 패턴을 포함하는 것을 특징으로 하는 표시 기관.

청구항 4

제2항에 있어서, 상기 제2 서브 전극은,

상기 제1 마이크로 슬릿 패턴들과 인접한 상기 제2 마이크로 슬릿 패턴들의 단부들을 연결하는 제3 설딩 패턴을 포함하는 것을 특징으로 하는 표시 기관.

청구항 5

제2항에 있어서, 상기 제1 서브 전극은 상기 제2 마이크로 슬릿 패턴들과 인접한 상기 제1 마이크로 슬릿 패턴들의 단부들을 연결하는 제2 설딩 패턴을 포함하고,

상기 제2 서브 전극은 상기 제2 설딩 패턴과 인접한 상기 제2 마이크로 슬릿 패턴들의 단부들을 연결하는 제3 설딩 패턴을 포함하는 것을 특징으로 하는 표시 기관.

청구항 6

제1항에 있어서, 상기 마이크로 슬릿 패턴들은

상기 게이트 배선들의 연장 방향과 상기 데이터 배선들의 연장 방향 사이의 방향으로 연장된 것을 특징으로 하는 표시 기관.

청구항 7

제6항에 있어서, 상기 제1 설딩 패턴은 상기 게이트 배선들의 연장 방향으로 연장된 것을 특징으로 하는 표시 기관.

청구항 8

제6항에 있어서, 상기 화소 전극과 전기적으로 연결된 스위칭 소자를 더 포함하고,

상기 화소 전극은 상기 스위칭 소자의 출력 전극과 접촉하며, 인접한 마이크로 슬릿 패턴의 단부와 연결된 콘택 패턴을 더 포함하는 것을 특징으로 하는 표시 기관.

청구항 9

제8항에 있어서, 상기 콘택 패턴은
인접한 마이크로 슬릿 패턴의 단부와 수직하게 연결된 것을 특징으로 하는 표시 기판.

청구항 10

제9항에 있어서, 상기 출력 전극 및 상기 콘택 패턴은 모따기(chamfering)된 형상을 갖는 것을 특징으로 하는 표시 기판.

청구항 11

제1항에 있어서, 상기 제2 서브 전극과 게이트 배선이 중첩되는 영역에 배치된 셀 갭 유지부재를 더 포함하는 것을 특징으로 하는 표시 기판.

청구항 12

서로 교차하는 게이트 배선들과 데이터 배선들이 형성된 베이스 기판의 화소 영역에 형성되고 단부가 각 게이트 배선과 중첩된 복수의 마이크로 슬릿 패턴들 및 상기 각 게이트 배선과 중첩되는 마이크로 슬릿 패턴들의 단부들을 연결하는 제1 설딩 패턴을 갖는 화소 전극을 포함하는 표시 기판; 및

상기 표시 기판과 결합하여 액정층을 수용하고, 공통 전극층을 포함하는 대향 기판을 포함하는 액정표시패널.

청구항 13

제12항에 있어서, 상기 화소 전극은

제1 전압이 인가되고, 제1 마이크로 슬릿 패턴들을 포함하는 제1 서브 전극; 및

상기 제1 전압보다 고 전위의 제2 전압이 인가되고, 제2 마이크로 슬릿 패턴들을 포함하는 제2 서브 전극을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 14

제13항에 있어서, 상기 제1 서브 전극은,

상기 제2 마이크로 슬릿 패턴들과 인접한 상기 제1 마이크로 슬릿 패턴들의 단부들을 연결하는 제2 설딩 패턴을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 15

제13항에 있어서, 상기 제2 서브 전극은,

상기 제1 마이크로 슬릿 패턴들과 인접한 상기 제2 마이크로 슬릿 패턴들의 단부들을 연결하는 제2 설딩 패턴을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 16

제13항에 있어서, 상기 제1 서브 전극은 상기 제2 마이크로 슬릿 패턴들과 인접한 상기 제1 마이크로 슬릿 패턴들의 단부들을 연결하는 제3 설딩 패턴을 포함하고,

상기 제2 서브 전극은 상기 제2 설딩 패턴과 인접한 상기 제2 마이크로 슬릿 패턴들의 단부들을 연결하는 제3 설딩 패턴을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 17

제12항에 있어서, 상기 표시 기판의 상기 게이트 배선이 형성된 영역에 배치되어, 상기 액정층의 셀 갭을 유지하는 셀 갭 유지 부재를 더 포함하는 것을 특징으로 하는 액정표시패널.

청구항 18

제17항에 있어서, 상기 제1 설딩 패턴의 폭(w)은 $0 < w \leq$ 셀 갭(d) 인 것을 특징으로 하는 액정표시패널.

청구항 19

제12항에 있어서, 상기 표시 기관은

상기 게이트 배선들 및 상기 데이터 배선들이 형성된 베이스 기관과, 상기 화소 전극 사이에 형성된 컬러층을 더 포함하는 것을 특징으로 하는 액정표시패널.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 표시 기관 및 이를 포함하는 액정표시패널에 관한 것으로, 더욱 상세하게는 표시장치용 표시 기관 및 이를 포함하는 액정표시패널에 관한 것이다.

배경 기술

<2> 일반적으로, 액정표시패널은 각 화소 영역을 구동하기 위한 스위칭 소자들이 형성된 하부 기관과, 상기 하부 기관과 대향하는 상부 기관과, 상기 하부 기관 및 상기 상부 기관 사이에 개재되어 형성된 액정층을 포함한다. 상기 액정표시패널은 상기 액정층에 전압을 인가하여 광의 투과율을 제어하는 방식으로 화상을 표시한다.

<3> 한편, VA 모드의 액정표시장치의 일종으로, 넓은 시야각을 확보하기 위해 개발된 PVA 모드(Patterned Vertical Alignment mode)는 패터닝된 투명전극들 사이에 형성된 전계에 의해 액정이 서로 다른 방향으로 배열되도록 한다. PVA 모드는 하부 기관의 화소 전극에 개구부를 형성하기 위한 패터닝 공정 및 상부 기관의 공통 전극층에 개구부를 형성하기 위한 패터닝 공정이 필수적이다. 또한, 하부 기관 및 상부 기관의 어셈블리 시에, 개구부가 형성된 화소 전극과 개구부가 형성된 공통 전극층의 정확한 얼라인 필수적이다. 그러나, 실질적으로 설계와 동일한 이상적인 얼라인은 실제 공정상 쉽지 않은 문제점이 있다.

<4> 상부 기관 및 하부 기관의 미스 얼라인을 근본적으로 해결하기 위해, 하부 기관의 화소 전극에 미세한 슬릿 패턴을 형성하고 상부 기관의 공통 전극층의 패터닝을 생략한 구조가 개발되었다. 상기 구조에 의하면, 미스 얼라인의 방지 및 공정 수 감소로 인한 생산성 향상 측면에서는 효과적이거나, 상기 미세한 슬릿 패턴에 의해 액정 방향자의 왜곡이 생겨 블랙 표시 시에는 빛샘이 발생하고, 화이트 표시 시에는 광투과율이 작아져 표시 품질을 저하시키는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

<5> 이에, 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로 본 발명의 목적은 액정 방향자의 왜곡을 최소화하여 표시 품질을 향상시킨 표시 기관을 제공하는 것이다.

<6> 본 발명의 다른 목적은 상기 표시 기관을 포함하는 액정표시패널을 제공하는 것이다.

과제 해결수단

<7> 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 표시 기관은 게이트 배선들, 데이터 배선들 및 화소 전극을 포함한다.

<8> 상기 게이트 배선들은 화소 영역이 정의된 베이스 기관 상에 형성되고, 상기 데이터 배선들은 상기 게이트 배선들이 형성된 베이스 기관 상에 형성되며, 상기 게이트 배선들과 교차한다. 상기 화소 전극은 상기 화소 영역에 형성되고 단부가 각 게이트 배선과 중첩된 복수의 마이크로 슬릿 패턴들 및 상기 각 게이트 배선과 중첩되는 마이크로 슬릿 패턴들의 단부들을 연결하는 제1 설딩 패턴을 갖는다.

<9> 상기 마이크로 슬릿 패턴들은 상기 게이트 배선들의 연장 방향과 상기 데이터 배선들의 연장 방향 사이의 방향으로 연장될 수 있다. 상기 제1 설딩 패턴은 상기 게이트 배선들의 연장 방향으로 연장될 수 있다.

<10> 상기 표시 기관은 상기 화소 전극과 전기적으로 연결된 스위칭 소자를 더 포함하고, 상기 화소 전극은 상기 스위칭 소자의 출력 전극과 접촉하며, 인접한 마이크로 슬릿 패턴의 단부와 연결된 콘택 패턴을 더 포함할 수 있다. 상기 콘택 패턴은 인접한 마이크로 슬릿 패턴의 단부와 수직하게 연결되는 것이 바람직하다. 또한, 상기 출

력 전극 및 상기 콘택 패턴은 각각 모따기된 형상을 가질 수 있다.

- <11> 상기 화소 전극이 서로 다른 전압이 인가되는 제1 서브 전극 및 제2 서브 전극을 포함하는 경우, 상기 제1 서브 전극과 상기 제2 서브 전극의 경계에는 상기 제1 서브 전극의 제1 마이크로 슬릿 패턴들의 단부들을 연결하는 제2 셸딩 패턴 및/또는 상기 제2 서브 전극의 제2 마이크로 슬릿 패턴들의 단부들을 연결하는 제3 셸딩 패턴이 형성될 수 있다.
- <12> 상기한 본 발명의 다른 목적을 실현하기 위한 실시예에 따른 액정표시패널은 표시 기관, 상기 표시 기관과 대향하는 대향 기관 및 상기 표시 기관과 상기 대향 기관 사이에 형성된 액정층을 포함한다.
- <13> 상기 표시 기관은 서로 교차하는 게이트 배선들과 데이터 배선들이 형성된 베이스 기관의 화소 영역에 형성된 복수의 마이크로 슬릿 패턴들 및 각 게이트 배선과 중첩되는 마이크로 슬릿 패턴들의 단부들을 연결하는 제1 셸딩 패턴을 갖는 화소 전극을 포함한다. 상기 대향 기관은 상기 표시 기관과 결합하여 액정층을 수용하고, 공통 전극층을 포함한다.

효 과

- <14> 이와 같은 표시 기관 및 이를 포함하는 액정표시패널에 따르면, 게이트 배선과 인접한 화소 전극의 가지들의 단부를 연결하는 연결부가 게이트 배선에 형성된 전계를 셸딩(shielding)하여, 상기 게이트 배선과 인접하게 배치된 액정의 방향자가 왜곡되는 것을 방지할 수 있다.
- <15> 또한, 제1 전압이 인가되는 제1 서브 전극 및 상기 제1 전압보다 높은 제2 전압이 인가되는 제2 서브 전극의 경계에 배치된 가지들의 단부를 연결하는 연결부가 상기 제1 서브 전극에 형성된 전계와 상기 제2 서브 전극에 형성된 전계를 서로 셸딩하여, 상기 경계에 배치된 액정의 방향자가 왜곡되는 것을 방지할 수 있다.
- <16> 또한, 스위칭 소자와 콘택하는 가지들의 연결 구조 및 콘택부의 형상을 최적화시킴으로써, 상기 스위칭 소자가 형성된 영역에서 액정의 방향자가 왜곡되는 것을 방지할 수 있다.
- <17> 이에 따라, 빗샘 현상 및 액정 방향자가 왜곡되어 광투과 효율이 작아짐으로써 나타나는 텍스처 현상을 방지함으로써, 액정표시장치의 표시 품질을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <18> 이하, 첨부한 도면들을 참조하여, 본 발명의 표시 기관 및 이를 포함하는 액정표시패널의 실시예들을 보다 상세하게 설명하고자 한다.
- <19> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 실시예들을 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "이루어진다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <20> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- <21> 첨부된 도면에 있어서, 기관, 층(막) 또는 패턴들 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 본 발명에 있어서, 각 층(막), 패턴 또는 구조물들이 기관, 각 층(막) 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 패턴 또는 구조물들이 직접 기관, 각 층(막) 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 패턴 또는 다른 구

조물들이 기판 상에 추가적으로 형성될 수 있다.

- <22> 도 1은 본 발명의 실시예 1에 따른 액정표시패널의 평면도이다.
- <23> 도 2는 도 1의 I-I' 배선을 따라 절단한 단면도이다.
- <24> 도 1 및 도 2를 참조하면, 본 발명의 실시예 1에 따른 제1 액정표시패널(500)은 제1 표시 기판(100), 상기 제1 표시 기판(100)과 대향하는 제1 대향 기판(200) 및 상기 제1 표시 기판(100)과 상기 제1 대향 기판(200) 사이에 수용된 액정 분자들을 포함하는 액정층(300)을 포함한다.
- <25> 상기 제1 표시 기판(100)은 제1 베이스 기판(110) 상에 형성된 게이트 배선들(GL1, GL2), 데이터 배선들(DL1, DL2), 박막트랜지스터들(SW1, SW2), 화소 전극(PE1, PE2) 및 셀 갭 유지부재(400)를 포함한다. 상기 제1 표시 기판(100)은 게이트 절연층(130), 패시베이션층(160) 및 유기층(170)을 더 포함할 수 있다.
- <26> 상기 게이트 배선들(GL1, GL2)은 상기 제1 액정표시패널(500)의 제1 방향(D1)으로 연장되고, 상기 제1 방향(D1)과 다른 제2 방향(D2)으로 병렬로 배열된다. 예를 들어, 상기 제1 방향(D1)과 상기 제2 방향(D2)은 수직이다. 제1 게이트 배선(GL1)은 상기 박막트랜지스터들(SW1, SW2)과 연결되고, 상기 제1 게이트 배선(GL1)의 상기 제2 방향(D2)에 제2 게이트 배선(GL2)이 배치된다.
- <27> 상기 데이터 배선들(DL1, DL2)은 상기 제2 방향(D2)으로 연장되고, 상기 제1 방향(D1)으로 병렬로 배열된다. 제1 데이터 배선(DL1)은 상기 제1 및 제2 게이트 배선들(GL1, GL2)과 교차하고, 상기 제1 데이터 배선(DL1)의 상기 제1 방향에 제2 데이터 배선(DL2)이 배치된다.
- <28> 상기 박막트랜지스터들(SW1, SW2)은 각각 제어전극인 게이트 전극, 입력전극인 소스 전극 및 출력전극인 드레인 전극을 포함하고, 상기 제1 게이트 배선과 연결된 제1 박막트랜지스터(SW1) 및 제2 박막트랜지스터(SW2)를 포함한다.
- <29> 상기 제1 박막트랜지스터(SW1)는 상기 제1 게이트 배선(GL1) 및 상기 제2 데이터 배선(DL2)과 연결된다. 상기 제1 박막트랜지스터(SW1)는 상기 제1 게이트 배선(GL1)과 연결된 제1 게이트 전극(121a), 상기 제2 데이터 배선(DL2)과 연결된 제1 소스 전극(151a), 상기 제1 소스 전극(151a)과 이격된 제1 드레인 전극(153a) 및 제1 액티브 패턴(140a)을 포함한다. 상기 제2 박막트랜지스터(SW2)는 상기 제1 게이트 배선(GL1) 및 상기 제1 데이터 배선(DL1)과 연결된다. 상기 제2 박막트랜지스터(SW2)는 상기 제1 게이트 배선(GL1)과 연결된 제2 게이트 전극(121b), 상기 제1 데이터 배선(DL1)과 연결된 제2 소스 전극(151b), 상기 제2 소스 전극(151b)과 이격된 제2 드레인 전극(153b) 및 제2 액티브 패턴(140b)을 포함한다.
- <30> 상기 화소 전극(PE1, PE2)은 상기 박막트랜지스터들(SW1, SW2)과 전기적으로 연결된다. 상기 화소 전극(PE1, PE2)은 복수개의 마이크로 슬릿 패턴들(183a, 183b)을 포함하고, 상기 제1 및 제2 게이트 배선들(GL1, GL2)과 중첩되는 상기 마이크로 슬릿 패턴들(183a, 183b)의 단부들은 제1 쉘딩 패턴(182a)을 통해 서로 연결된다.
- <31> 상기 마이크로 슬릿 패턴들(183a, 183b)은 상기 제1 방향(D1) 및 상기 제2 방향(D2)의 사이 방향으로 연장되어 형성될 수 있다. 예를 들어, 상기 마이크로 슬릿 패턴들(183a, 183b)은 상기 제1 게이트 배선을 기준으로 약 45° 또는 약 135°의 경사로 연장되어 형성된다. 구체적으로, 상기 마이크로 슬릿 패턴들(183a, 183b)은 상기 제1 방향(D1) 및 상기 제2 방향(D2)으로 연장된 십자형의 몸통부(181a, 181b)와 연결되고, 상기 몸통부(181a, 181b)로부터 상기 사이 방향으로 분기된 형태를 갖는다. 상기 마이크로 슬릿 패턴들(183a, 183b)은 서로 동일한 폭으로 형성될 수 있다. 상기 마이크로 슬릿 패턴들(183a, 183b)은 서로 동일한 간격으로 이격되어 형성될 수 있다. 예를 들어, 상기 마이크로 슬릿 패턴들(183a, 183b)은 약 2 μ m 내지 약 4 μ m의 폭으로 형성될 수 있다. 서로 인접한 마이크로 슬릿 패턴들(183a, 183b)은 약 2 μ m 내지 약 4 μ m으로 이격될 수 있다.
- <32> 상기 제1 쉘딩 패턴(182a)은 상기 제2 게이트 배선(GL2)과 중첩되는 상기 마이크로 슬릿 패턴들(183a, 183b)의 단부들을 연결한다. 상기 제1 쉘딩 패턴(182a)은 상기 제2 게이트 배선(GL2)의 연장 방향인 상기 제1 방향(D1)으로 연장되어 상기 제2 게이트 배선(GL2)과 평행하게 형성될 수 있다. 상기 제1 쉘딩 패턴(182a)은 상기 제2 게이트 배선(GL2)과 중첩된다. 상기 제1 쉘딩 패턴(182a)은 상기 제2 게이트 배선(GL2)과 일부 또는 전부가 중첩될 수 있다.
- <33> 상기 제1 쉘딩 패턴(182a)은 상기 제2 게이트 배선(GL2)의 전계가 상기 마이크로 슬릿 패턴들(183a, 183b) 사이로 유입되는 것을 차단하는 수단으로서, 상기 제1 쉘딩 패턴(182a)을 형성함으로써 상기 제2 게이트 배선(GL2)과 인접하게 배치된 액정 분자들의 액정 방향자가 왜곡되는 것을 방지할 수 있다. 이에 따라, 블랙 화상 표시에 빛샘이 발생하는 것을 방지할 수 있고, 화이트 화상 표시에 액정 방향자가 왜곡되어 광투과 효율이 작아짐으로

써 나타나는 텍스츄어 현상을 방지할 수 있다.

- <34> 상기 제1 설딩 패턴(182a)의 폭(w)이 상기 액정층(300)의 셀 갭(d)보다 큰 경우에는 오히려 상기 제1 설딩 패턴(182a)의 형성으로 인해, 상기 제1 설딩 패턴(182a)과 인접하게 배치된 액정 분자의 액정 방향자가 왜곡될 수 있으므로 상기 제1 설딩 패턴(182a)의 폭(w)은 약 $0\mu\text{m}$ 보다는 넓게 형성되고, 상기 셀 갭(d)보다 작게 형성되는 것이 바람직하다. 예를 들어, 상기 셀 갭(d)이 약 $4\mu\text{m}$ 인 경우, 상기 제1 설딩 패턴(182a)의 폭은 약 $3.5\mu\text{m}$ 일 수 있다.
- <35> 보다 구체적으로, 상기 화소 전극(PE1, PE2)은 제1 마이크로 슬릿 패턴(183a)들을 포함하는 제1 서브 전극(PE1), 제2 마이크로 슬릿 패턴(183b)들을 포함하는 제2 서브 전극(PE2) 및 상기 제1 설딩 패턴(182a)을 포함한다.
- <36> 상기 제1 서브 전극(PE1)은 상기 제2 데이터 배선(DL2)을 통해 제1 전압이 인가된다. 상기 제2 서브 전극(PE2)은 상기 제1 데이터 배선(DL1)을 통해 제2 전압이 인가된다. 예를 들어, 상기 제2 전압은 상기 제1 전압보다 높은 고 전위의 전압이다. 상기 제1 서브 전극(PE1)이 형성된 영역이 제1 액정표시패널(500)의 로우 픽셀(LP)로 정의되고, 상기 제2 서브 전극(PE2)이 형성된 영역이 하이 픽셀(HP)로 정의된다.
- <37> 상기 제1 서브 전극(PE1)은 상기 제1 드레인 전극(153a)과 콘택함으로써, 상기 제1 박막트랜지스터(SW1)와 전기적으로 연결된다. 상기 제1 서브 전극(PE1)은 상기 제1 마이크로 슬릿 패턴(183a)들과, 상기 제1 드레인 전극(153a)과 콘택하는 제1 콘택 패턴(185a) 및 제1 브릿지 패턴(184a)을 포함한다. 상기 제1 서브 전극(PE1)은 상기 제2 서브 전극(PE2)을 기준으로 상기 제2 서브 전극(PE2)의 양측에 이격되어 배치된 영역들을 포함하고, 상기 영역들은 상기 제1 브릿지 패턴(184a)을 통해 물리적, 전기적으로 서로 연결된다. 즉, 상기 제2 서브 전극(PE2)은 상기 제1 서브 전극(PE1)을 둘러싸도록 형성될 수 있다. 상기 제1 콘택 패턴(185a)은 상기 제1 드레인 전극(153a) 상에 형성되고, 상기 제1 콘택 패턴(185a)과 인접한 상기 제1 마이크로 슬릿 패턴(183a)들의 단부들과 연결된다. 예를 들어, 상기 제1 콘택 패턴(185a)은 인접한 상기 제1 마이크로 슬릿 패턴(183a)들의 단부들과 약 45° 로 연결될 수 있다.
- <38> 상기 제1 설딩 패턴(182a)은 상기 제2 게이트 배선(GL2)과 인접한 상기 제1 마이크로 슬릿 패턴(183a)들의 단부들을 연결한다. 도면으로 도시하지는 않았으나, 상기 제2 설딩 패턴은 상기 제1 게이트 배선(GL1)과 인접한 상기 제1 마이크로 슬릿 패턴(183a)들의 단부들을 연결할 수 있다.
- <39> 상기 제2 서브 전극(PE2)은 상기 제2 드레인 전극(153b)과 콘택함으로써, 상기 제2 박막트랜지스터(SW2)와 전기적으로 연결된다. 상기 제2 서브 전극(PE2)은 상기 제2 마이크로 슬릿 패턴(183b)들과, 상기 제2 드레인 전극(153b)과 콘택하는 제2 콘택 패턴(185b)을 포함한다. 상기 제2 서브 전극(PE2)은 상기 제1 서브 전극(PE1)과 전기적, 물리적으로 분리된다. 상기 제2 드레인 전극(153b)의 일부는 상기 제1 서브 전극(PE1)과 중첩된다.
- <40> 상기 셀 갭 유지부재(400)는 상기 제1 박막트랜지스터(SW1)와 상기 제2 박막트랜지스터(SW2) 사이의 상기 제1 게이트 배선(GL1) 상에 배치된다. 상기 셀 갭 유지부재(400)는 상기 제1 액정표시패널(500)의 상기 셀 갭(d)을 일정하게 유지시키는 부재로, 예를 들어 컬럼 스페이서일 수 있다. 상기 셀 갭 유지부재(400)는 상기 제1 게이트 배선(GL1), 상기 제2 게이트 배선(GL2), 상기 제1 데이터 배선(DL1) 및 상기 제2 데이터 배선(DL2)이 형성된 차광 영역 중 일 영역에 형성될 수 있다. 바람직하게는, 상기 셀 갭 유지부재(400)는 상기 제2 서브 전극(PE2)의 면적보다 상대적으로 넓은 면적에 형성된 상기 제1 서브 전극(PE1)과 중첩되는 상기 제1 게이트 배선(GL1) 상에 배치될 수 있다.
- <41> 상기 게이트 절연층(130)은 상기 제1 및 제2 게이트 배선(GL1, GL2)들, 상기 제1 및 제2 게이트 전극(121a, 121b)들을 포함하는 제1 베이스 기판(110) 상에 형성되고, 상기 제1 및 제2 액티브 패턴(140a, 140b)들의 하부에 형성된다.
- <42> 상기 패시베이션층(160)은 상기 제1, 제2 데이터 배선들(DL1, DL2), 상기 제1, 제2 소스 전극들(151a, 151b), 상기 제1 및 제2 드레인 전극들(153a, 153b)이 형성된 제1 베이스 기판(110) 상에 형성된다. 상기 유기층(170)은 상기 패시베이션층(160)과 상기 제1 및 제2 서브 전극들(PE1, PE2) 사이에 형성되어, 상기 제1 표시 기판(100)을 평탄화시키는 역할을 한다. 상기 패시베이션층(160) 및 상기 유기층(170)은 상기 제1 드레인 전극(153a)의 일단부와 상기 제2 드레인 전극(153b)의 일단부를 노출시키는 콘택홀을 포함한다.
- <43> 상기 제1 대향 기판(200)은 상기 제1 표시 기판(100)과 대향하는 제2 베이스 기판(210) 상에 형성된 차광 패턴(220), 컬러필터(230), 오버 코팅층(240) 및 공통 전극층(250)을 포함한다.

- <44> 상기 차광 패턴(220)은 상기 표시 기관(100)의 상기 제1 및 제2 게이트 배선(GL2)들과 상기 제1 및 제2 데이터 배선(DL2)들, 상기 제1 및 제2 박막트랜지스터(SW2)들과 대응하는 상기 제2 베이스 기관(210) 상에 형성된다. 상기 차광 패턴(220)은 금속막을 사진 식각 공정을 통해 패터닝하여 형성할 수 있고, 유기 물질을 인쇄하여 형성할 수 있다.
- <45> 상기 컬러필터(230)는 상기 차광 패턴(220)이 구획하는 제2 베이스 기관(210)의 영역들에 형성된다. 상기 컬러필터(230)는 상기 제1 표시 기관(100)의 제1 및 제2 서브 전극들(PE1, PE2)과 대응하는 상기 제2 베이스 기관(210) 상에 형성된다. 상기 컬러필터(230)는 컬러 포토레지스트층을 사진 식각 공정을 통해 패터닝하여 형성할 수 있고, 잉크를 인쇄하여 형성할 수 있다.
- <46> 상기 오버 코팅층(240)은 상기 차광 패턴(220) 및 상기 컬러필터(230)가 형성된 제2 베이스 기관(210)과 상기 공통 전극층(250) 사이에 형성된다. 상기 오버 코팅층(240)은 상기 제1 대향 기관(200)을 평탄화시키는 역할을 한다. 상기 오버 코팅층(240)을 형성하는 물질의 예로서는, 아크릴 수지를 들 수 있다.
- <47> 상기 공통 전극층(250)은 상기 오버 코팅층(240)이 형성된 제2 베이스 기관(210) 상에 형성된다. 상기 공통 전극층(250)은 상기 제1 및 제2 서브 전극들(PE1, PE2)과 대향하고, 상기 제2 베이스 기관(210)의 전면에 걸쳐 전체적으로 형성된다. 상기 제1 표시 기관(100)의 상기 제1 및 제2 마이크로 슬릿 패턴들(183a, 183b)에 의해, 상기 공통 전극층(250)은 별도의 패터닝 공정 없이 상기 오버 코팅층(240) 상에 증착하는 것만으로 상기 제1 표시 기관(100) 및 상기 제1 대향 기관(200) 사이의 전계 방향을 제어하여 PVA(Printed Vertical Alignment) 모드를 구현할 수 있다.
- <48> 도면으로 도시하지는 않았으나, 상기 제1 및 제2 서브 전극들(PE1, PE2)이 형성된 제1 베이스 기관(110) 및 상기 공통 전극층(250)이 형성된 제2 베이스 기관(210) 각각에는 상기 액정층(300)에 개재된 액정 분자들이 선경사각을 갖도록 하는 배향막들이 더 형성될 수 있다.
- <49> 또한, 상기 제1 표시 기관(100)의 일면에는 상기 제1 방향(D1) 또는 상기 제2 방향(D2)의 제1 편광축을 갖는 제1 편광판(미도시)이 결합된다. 상기 제1 대향 기관(200)의 일면에는 상기 제1 편광축의 방향과 수직인 방향의 제2 편광축을 갖는 제2 편광판(미도시)이 결합된다. 일례로, 상기 제1 편광축의 방향이 상기 제1 방향(D1)이고, 상기 제2 편광축의 방향이 상기 제2 방향(D2)일 수 있다.
- <50> 이하, 도 1, 도 2 및 도 3a 내지 도 3d를 참조하여 도 2에 도시된 제1 표시 기관(100)의 제조 방법을 간단하게 설명하기로 한다.
- <51> 도 3a 및 도 3c는 도 2에 도시된 제1 표시 기관(100)의 제조 방법을 설명하기 위한 평면도들이고, 도 3b 및 도 3d는 도 2에 도시된 제1 표시 기관(100)의 제조 방법을 설명하기 위한 단면도들이다.
- <52> 도 3a 및 도 3b를 참조하면, 상기 제1 베이스 기관(110) 상에 상기 제1 게이트 배선(GL1), 상기 제2 게이트 배선(GL2) 및 상기 제1 게이트 전극(121a), 상기 제2 게이트 전극(121b)을 형성한다. 일례로, 상기 제1 베이스 기관(110) 상에 게이트 금속층(미도시)을 형성하고, 상기 게이트 금속층을 사진 식각 공정을 통해 패터닝하여 상기 제1 게이트 배선(GL1), 상기 제2 게이트 배선(GL2) 및 상기 제1 게이트 전극(121a), 상기 제2 게이트 전극(121b)을 형성할 수 있다.
- <53> 이어서, 상기 제1 베이스 기관(110) 상에 상기 게이트 절연층(130)을 형성한다. 상기 게이트 절연층(130)을 형성하는 물질의 예로서는, 질화 실리콘, 산화 실리콘 등을 들 수 있다.
- <54> 상기 게이트 절연층(130)이 형성된 제1 베이스 기관(110) 상에 반도체층(142) 및 오믹 콘택층(144)을 순차적으로 형성하고, 상기 반도체층(142) 및 상기 오믹 콘택층(144)을 패터닝하여 상기 제1 액티브 패턴(140a) 및 상기 제2 액티브 패턴(140b)을 형성한다. 상기 제1 액티브 패턴(140a)은 상기 제1 게이트 전극(121a)과 중첩되고, 상기 제2 액티브 패턴(140b)은 상기 제2 게이트 전극(121b)과 중첩된다. 상기 반도체층(142)을 형성하는 물질의 예로서는 비정질 실리콘을 들 수 있고, 상기 오믹 콘택층(144)을 형성하는 물질의 예로서는 n형 불순물이 고농도로 도핑된 비정질 실리콘을 들 수 있다. 상기 제1 및 제2 액티브 패턴(140b)들은 상기 게이트 절연층(130) 상에 상기 반도체층(142) 및 상기 오믹 콘택층(144)을 순차적으로 형성하고, 건식 식각 공정을 통해 패터닝하여 형성할 수 있다. 이와 달리, 상기 제1 표시 기관(100)의 제조 공정에 따라, 상기 제1 및 제2 데이터 배선(DL2)들과 상기 게이트 절연층(130) 사이에 상기 반도체층(142) 및 상기 오믹 콘택층(144)이 순차적으로 적층된 패턴이 더 형성될 수 있다.
- <55> 이어서, 상기 제1 액티브 패턴(140a) 및 상기 제2 액티브 패턴(140b)이 형성된 제1 베이스 기관(110) 상에 상기

제1, 제2 데이터 배선들(DL1, DL2), 상기 제1, 제2 소스 전극들(151a, 151b), 상기 제1 및 제2 드레인 전극들(153a, 153b)을 형성한다. 일례로, 상기 제1 액티브 패턴(140a) 및 상기 제2 액티브 패턴(140b)이 형성된 제1 베이스 기판(110) 상에 소스 금속층(미도시)을 형성하고, 상기 소스 금속층을 사진 식각 공정을 통해 패터닝하여 상기 제1, 제2 데이터 배선들(DL1, DL2), 상기 제1, 제2 소스 전극들(151a, 151b), 상기 제1 및 제2 드레인 전극들(153a, 153b)을 형성한다.

- <56> 상기 제1 베이스 기판(110) 상에 상기 패시베이션층(160) 및 상기 유기층(170)을 순차적으로 형성한다. 상기 패시베이션층(160)을 형성하는 물질의 예로서는, 질화 실리콘, 산화 실리콘 등을 들 수 있다. 상기 유기층(170)을 형성하는 물질의 예로서는, 포지티브형 포토레지스트 조성물을 들 수 있다.
- <57> 도 3c 및 도 3d를 참조하면, 상기 제1 및 제2 드레인 전극들(153a, 153b) 상의 상기 유기층(170)을 노광, 현상하여 상기 제1 및 제2 드레인 전극들(153a, 153b) 상에 형성된 상기 패시베이션층(160)을 노출시킨다. 노출된 상기 패시베이션층(160)은 건식 식각하여 상기 제1 및 제2 드레인 전극들(153a, 153b)의 일단부를 노출시킨다.
- <58> 상기 제1 및 제2 드레인 전극들(153a, 153b)의 일단부를 노출시키는 상기 패시베이션층(160) 및 상기 유기층(170)이 형성된 제1 베이스 기판(110) 상에 투명 전극층(TE)을 형성한다. 상기 투명 전극층(TE)을 패터닝하여 상기 제1 서브 전극(PE1), 상기 제2 서브 전극(PE2) 및 상기 제1 월딩 패턴(182a)을 포함하는 상기 화소 전극을 형성한다. 상기 제1 서브 전극(PE1)의 상기 제1 콘택 패턴(185a)은 상기 제1 드레인 전극(153a)의 일단부와 접촉하고, 상기 제2 서브 전극(PE2)의 상기 제2 콘택 패턴(185b)은 상기 제2 드레인 전극(153b)의 일단부와 접촉한다. 상기 제1 월딩 패턴(182a)은 상기 제2 게이트 배선(GL2)과 중첩되는 상기 마이크로 슬릿 패턴들(183a, 183b)의 단부들을 연결한다. 상기 투명 전극층(TE)을 형성하는 물질의 예로서는, 인듐 틴 옥사이드, 인듐 징크 옥사이드 등을 들 수 있다.
- <59> 도 4a 및 도 4b는 마이크로 슬릿 패턴과 콘택 패턴의 연결 구조를 설명하기 위한 확대 평면도들이다.
- <60> 도 4a를 참조하면, 상기 제2 서브 전극(PE2)은 상기 제2 콘택 패턴(185b)과 상기 제2 콘택 패턴(185b)과 인접한 제2 마이크로 슬릿 패턴(183b)의 단부를 연결하는 제1 연결 패턴(186a)을 더 포함한다.
- <61> 상기 제1 연결 패턴(186a)은 상기 제1 편광판의 상기 제1 편광축의 방향 또는 상기 제2 편광판의 상기 제2 편광축의 방향으로 연장되어 형성된다. 즉, 상기 제1 연결 패턴(186a)은 상기 제2 콘택 패턴(185b)과 약 90° 로 연결된다. 예를 들어, 상기 제2 콘택 패턴(185b)의 상기 제1 방향(D1)으로 연장된 측면과 상기 제1 연결 패턴(186a)은 약 90° 로 연결되고, 상기 제2 콘택 패턴(185b)의 상기 제2 방향(D2)으로 연장된 측면과 상기 제1 연결 패턴(186a)은 약 90° 로 연결될 수 있다.
- <62> 상기 제2 콘택 패턴(185b)을 상기 제2 마이크로 슬릿 패턴(183b)과 상기 제1 연결 패턴(186a)을 통해 연결시킴으로써, 상기 제2 콘택 패턴(185b)과 상기 제2 마이크로 슬릿 패턴(183b)의 연결 부분에서 왜곡되는 액정 방향자의 방향을 편광축들의 방향과 동일하게 제어하여 텍스처 발생을 최소화시킬 수 있다.
- <63> 도 4b를 참조하면, 상기 제2 서브 전극(PE2)은 상기 제2 콘택 패턴(185b)과 상기 제2 콘택 패턴(185b)과 인접한 상기 제2 마이크로 슬릿 패턴(183b)의 단부를 연결하는 제1 연결 패턴(186a)을 더 포함하고, 상기 제2 드레인 전극(153b)의 일단부는 모따기(chamfering)된 형상(154)으로 형성될 수 있다. 상기 제2 콘택 패턴(185b)은 상기 제2 드레인 전극(153b)의 일단부의 외곽 형상을 따라 상기 제2 콘택 패턴(185b)도 모따기된 형상으로 형성될 수 있다. 상기 제2 드레인 전극(153b)의 일단부 및 상기 제2 콘택 패턴(185b)을 모따기된 형상으로 형성함으로써, 상기 제1 방향(D1)으로 액정 방향자를 갖는 액정 분자들과 상기 제2 방향(D2)으로 액정 방향자를 갖는 액정 분자들의 경계점인 침부(point portion)에서 상기 액정 방향자들이 왜곡되는 것을 방지할 수 있다. 상기 제1 연결 패턴(186a)의 형성 및 모따기된 형상의 적용을 통해 액정 방향자 왜곡으로 인한 텍스처 발생을 최소화 효과를 더욱 향상시킬 수 있다.
- <64> 한편, 도 4a 및 도 4b에서는 상기 제2 콘택 패턴(185b) 및 상기 제2 마이크로 슬릿 패턴(183b)의 연결 구조에 대해서 도시하고 이를 설명하였으나, 상기 제1 콘택 패턴(185a) 및 상기 제1 마이크로 슬릿 패턴(183a)의 연결 구조에도 동일하게 적용될 수 있다.
- <65> 도 5는 본 발명의 실시예 2에 따른 액정표시패널의 단면도이다.
- <66> 도 5에 도시된 제2 액정표시패널(502)은, 컬러층을 제외하고는 도 1 및 도 2에 도시된 제1 액정표시패널(500)과 동일하므로 실시예 1에서와 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다. 또한, 도 5에 도시된 제2 표시 기판(102)의 제조 방법은 도 3a 내지 도 3d에 도시된 본 발명의 실시예 1

에 따른 제1 표시 기관(100)의 제조 방법과 컬러층을 형성하는 단계를 제외하고는 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.

- <67> 도 5를 참조하면, 본 발명의 실시예 2에 따른 제2 액정표시패널(502)은 컬러층(172)이 형성된 제2 표시 기관(102), 상기 제2 표시 기관(102)과 대향하는 제2 대향 기관(202) 및 액정층(300)을 포함한다.
- <68> 상기 제2 표시 기관(102)은 제1 베이스 기관(110) 상에 형성된 제1 및 제2 박막트랜지스터들(SW1, SW2), 패시베이션층(160), 상기 컬러층(172), 제1 및 제2 서브 전극들(PE1, PE2)을 포함한다. 상기 컬러층(172)은 상기 제1 및 제2 박막트랜지스터들을 커버하는 상기 패시베이션층(160) 상에 형성되고, 상기 컬러층(172)은 상기 제2 표시 기관(102)을 평탄화시킬 수 있다. 상기 컬러층(172)은 컬러 포토레지스트로 형성될 수 있고, 사진 식각 공정을 상기 컬러 포토레지스트를 패터닝하여 상기 컬러층(172)을 형성할 수 있다. 이와 달리, 상기 컬러층(172)은 컬러 잉크를 젯팅하여 형성할 수 있다.
- <69> 상기 제1 서브 전극(PE1) 및 상기 제2 서브 전극(PE2)은 각각 제1 마이크로 슬릿 패턴(183a)들 및 제2 마이크로 슬릿 패턴(183b)들을 포함하고, 상기 제2 게이트 배선(GL2)과 인접한 상기 제1 마이크로 슬릿 패턴(183a)들의 단부들은 제1 절딩 패턴(182a, 도 1 참조)에 의해 서로 연결된다.
- <70> 상기 제2 대향 기관(202)은 차광 패턴(220)이 형성된 제2 베이스 기관(210) 상에 형성된 오버 코팅층(240) 및 상기 오버 코팅층(240) 상에 형성된 공통 전극층(250)을 포함한다.
- <71> 본 발명의 실시예 2에 따르면, 상기 제2 표시 기관(102) 상에 상기 컬러층(172)을 형성함으로써 유기층 형성 공정의 생략(170, 도 2참조)하여 공정을 단순화시키고 제2 표시 기관(102)과 제2 대향 기관(202) 어셈블리 시의 미스 얼라인을 방지하여 얼라인의 신뢰성을 향상시킬 수 있다. 또한, 상기 제1 마이크로 슬릿 패턴(183a)들을 포함하는 상기 제1 서브 전극(PE1) 및 상기 제2 마이크로 슬릿 패턴(183b)들을 포함하는 상기 제2 서브 전극(PE2)을 형성함으로써 상기 공통 전극층(250)의 패터닝 공정을 생략하여 공정을 단순화시키고 상기 제1 절딩 패턴(182a)에 의해 액정 방향자의 왜곡을 방지하여 빛샘 및 텍스처 발생을 방지하여 표시 품질을 향상시킬 수 있다.
- <72> 도 6은 본 발명의 실시예 3에 따른 표시 기관의 평면도이다.
- <73> 도 6에서, 제2 절딩 패턴(186)을 제외하고는 도 1 및 도 2에 도시된 제1 표시 기관(100)과 동일하므로 실시예 1에서와 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다. 또한, 도 6에 도시된 제3 표시 기관(103)의 제조 방법은 제2 절딩 패턴(186)을 포함하는 화소 전극을 형성하는 단계를 제외하고는 도 3a 내지 도 3d에 도시된 본 발명의 실시예 1에 따른 제1 표시 기관(100)의 제조 방법과 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.
- <74> 도 6을 참조하면, 본 발명의 실시예 3에 따른 제3 표시 기관(103)은 제1 박막트랜지스터(SW1)와 전기적으로 연결된 제1 서브 전극(PE1)과 제2 박막트랜지스터(SW2)와 전기적으로 연결된 제2 서브 전극(PE2)을 포함한다. 상기 제1 서브 전극(PE1)의 제1 마이크로 슬릿 패턴(183a)들 중, 제2 게이트 배선(GL2)과 인접한 상기 제2 마이크로 슬릿 패턴(183b)들의 단부들은 제1 절딩 패턴(182a)에 의해 서로 연결된다. 상기 제1 서브 전극(PE1)의 상기 제1 마이크로 슬릿 패턴(183a)들 중, 상기 제2 서브 전극(PE2)과 인접한 상기 제1 마이크로 슬릿 패턴(183a)들의 단부들은 제2 절딩 패턴(186)을 통해 서로 연결된다.
- <75> 상기 제1 서브 전극(PE1)에는 제1 전압이 인가되고, 상기 제2 서브 전극(PE2)에는 상기 제1 전압보다 고 전위 전압인 제2 전압이 인가되므로 상기 제1 서브 전극(PE1)과 상기 제2 서브 전극(PE2)의 경계에 배치된 액정 분자들은 상기 제1 전압 및 상기 제2 전압의 전위 차이로 인해 액정 방향자의 왜곡이 일어날 수 있다. 상기 경계에 상기 제2 절딩 패턴(186)을 형성함으로써 상기 제2 절딩 패턴(186)이 상기 제2 전압에 의한 전계가 상기 제1 마이크로 슬릿 패턴(183a)들을 통해 상기 제1 서브 전극(PE1)으로 유입되어 상기 액정 방향자가 왜곡되는 것을 최소화시킬 수 있다.
- <76> 도 7은 본 발명의 실시예 4에 따른 표시 기관의 평면도이다.
- <77> 도 7에서, 제3 절딩 패턴(187)을 제외하고는 도 1 및 도 2에 도시된 제1 표시 기관(100)과 동일하므로 실시예 1에서와 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다. 또한, 도 7에 도시된 제4 표시 기관(104)의 제조 방법은 제3 절딩 패턴(187)을 포함하는 화소 전극을 형성하는 단계를 제외하고는 도 3a 내지 도 3d에 도시된 본 발명의 실시예 1에 따른 제1 표시 기관(100)의 제조 방법과 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.

- <78> 도 7을 참조하면, 본 발명의 실시예 4에 따른 제4 표시 기관(104)은 제1 박막트랜지스터(SW1)와 전기적으로 연결된 제1 서브 전극(PE1)과 제2 박막트랜지스터(SW2)와 전기적으로 연결된 제2 서브 전극(PE2)을 포함한다. 상기 제1 서브 전극(PE1)의 제1 마이크로 슬릿 패턴(183a)들 중, 제2 게이트 배선(GL2)과 인접한 상기 제1 마이크로 슬릿 패턴(183a)들의 단부들은 제1 설딩 패턴(182a)에 의해 서로 연결된다. 상기 제2 서브 전극(PE2)의 제2 마이크로 슬릿 패턴(183b)들 중, 상기 제1 서브 전극(PE1)과 인접한 상기 제2 마이크로 슬릿 패턴(183b)들의 단부들은 제3 설딩 패턴(187)을 통해 서로 연결된다.
- <79> 상기 제1 서브 전극(PE1)에는 제1 전압이 인가되고, 상기 제2 서브 전극(PE2)에는 상기 제1 전압보다 고 전위 전압인 제2 전압이 인가되므로 상기 제1 서브 전극(PE1)과 상기 제2 서브 전극(PE2)의 경계에 배치된 액정 분자들은 상기 제1 전압 및 상기 제2 전압의 전위 차이로 인해 액정 방향자의 왜곡이 일어날 수 있다. 상기 경계에 상기 제3 설딩 패턴(187)을 형성함으로써 상기 제3 설딩 패턴(187)이 상기 제1 전압에 의한 전계가 상기 제2 마이크로 슬릿 패턴(183b)들을 통해 상기 제2 서브 전극(PE2)으로 유입되어 상기 액정 방향자가 왜곡되는 것을 최소화시킬 수 있다.
- <80> 한편, 도면으로 도시하지 않았으나, 도 6 및 도 7을 참조하면 상기 제1 서브 전극(PE1) 및 상기 제2 서브 전극(PE2)의 경계에 상기 제2 설딩 패턴(186) 및 상기 제3 설딩 패턴(187)이 형성될 수 있다. 상기 제2 설딩 패턴(186) 및 상기 제3 설딩 패턴(187)의 형성으로, 상기 경계에 배치된 액정 분자들의 액정 방향자가 왜곡되는 것을 최소화시킬 수 있다. 이에 따라, 전위 차이에 의한 액정 분자의 액정 방향자 왜곡을 방지하여 텍스처 발생을 최소화시킬 수 있다.
- <81> 도 8은 본 발명의 실시예 5에 따른 액정표시패널의 평면도이다.
- <82> 도 8에서, 도 1에 도시된 제1 액정표시패널(500)과 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다. 도 8에서, 제3 서브 전극(PE3), 제4 서브 전극(PE4) 및 제4 설딩 패턴(182b)은 각각 도 1에 도시된 제1 서브 전극(PE1), 제2 서브 전극(PE2) 및 제1 설딩 패턴(182a)과 대응되는 부재로, 형상 및 구조적 배치는 차이가 있으나 그 기능 및 역할은 실질적으로 동일하므로 중복되는 구체적인 상세한 설명은 생략하기로 한다. 또한, 도 8에 도시된 제5 액정표시패널(505)의 제5 표시 기관의 제조 방법은 제3 서브 전극(PE3), 제4 서브 전극(PE4) 및 제4 설딩 패턴(182b)을 포함하는 화소 전극을 형성하는 단계를 제외하고는 본 발명의 실시예 1에 따른 제1 표시 기관(100)의 제조 방법과 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.
- <83> 도 8을 참조하면, 본 발명의 실시예 5에 따른 제5 액정표시패널(505)은 제1 및 제2 게이트 배선들(GL1, GL2), 제1 및 제2 데이터 배선들(DL1, DL2)과 연결된 제3 및 제4 박막트랜지스터들(SW3, SW4), 상기 제3 및 제4 박막트랜지스터들(SW3, SW4)과 전기적으로 제3 및 제4 서브 전극(PE3, PE4)들 및 셀 갭 유지부재(400)를 포함한다.
- <84> 상기 제3 박막 트랜지스터(SW3)는 상기 제1 게이트 배선(GL1)과 상기 제1 데이터 배선(DL1)이 교차하는 영역에 형성되고, 상기 제4 박막트랜지스터(SW4)는 상기 제1 게이트 배선(GL1)과 상기 제2 데이터 배선(DL2)이 교차하는 영역에 형성된다. 상기 제4 서브 전극(PE4)은 상기 제1 게이트 배선(GL1), 상기 제3 및 제4 박막트랜지스터들(SW3, SW4)과 인접하게 형성되고, 상기 제3 서브 전극(PE3)은 상기 제4 서브 전극(PE4)과 이격되어 상기 제2 게이트 배선(GL2)과 인접하게 형성된다.
- <85> 상기 제3 박막트랜지스터(SW3)는 상기 제3 서브 전극(PE3)과 전기적으로 연결된다. 상기 제3 박막트랜지스터(SW3)는 상기 제1 게이트 배선(GL1)과 연결된 제3 게이트 전극(121c), 상기 제1 데이터 배선(DL1)과 연결된 제3 소스 전극(151c), 상기 제3 소스 전극(151c)과 이격된 제3 드레인 전극(153c) 및 제3 액티브 패턴(미도시)을 포함한다. 상기 제3 드레인 전극(153c)의 일단부가 상기 제3 서브 전극(PE3)의 제3 콘택 패턴(185c)과 접촉하여, 상기 제3 박막트랜지스터(SW3)는 상기 제3 서브 전극(PE3)과 전기적으로 연결된다. 상기 제3 콘택 패턴(185c)은 제2 브릿지 패턴(184b)을 통해 상기 제3 서브 전극(PE3)의 제3 마이크로 슬릿 패턴(183c)들과 물리적, 전기적으로 연결된다. 상기 제2 브릿지 패턴(184b)은 상기 제4 서브 전극(PE4)을 둘러싸도록 형성된다. 상기 제3 드레인 전극(153c)은 상기 제4 서브 전극(PE4)과 중첩되지 않는다.
- <86> 상기 제3 마이크로 슬릿 패턴(183c)들 중에서, 상기 제2 게이트 배선(GL2)과 인접한 상기 제3 마이크로 슬릿 패턴(183c)들의 단부들은 제4 설딩 패턴(182b)에 의해 서로 연결된다. 상기 제4 설딩 패턴(182b)을 형성함으로써, 상기 제2 게이트 배선(GL2)의 전계가 상기 제3 마이크로 슬릿 패턴(183c)들을 통해 상기 제3 서브 전극(PE3)의 내부로 유입되는 것을 차단할 수 있다.
- <87> 상기 제4 박막트랜지스터(SW4)는 상기 제1 게이트 배선(GL1)과 연결된 제4 게이트 전극(121d), 상기 제2 데이터

배선(DL2)과 연결된 제4 소스 전극(151d), 상기 제4 소스 전극(151d)과 이격된 제4 드레인 전극(153d) 및 제4 액티브 패턴(미도시)을 포함한다. 상기 제4 드레인 전극(153d)의 일단부가 상기 제4 서브 전극(PE4)의 제4 콘택 패턴(185d)과 접촉하여, 상기 제4 박막트랜지스터(SW4)는 상기 제4 서브 전극(PE4)과 전기적으로 연결된다. 상기 제4 콘택 패턴(185d)은 상기 제4 서브 전극(PE4)의 제4 마이크로 슬릿 패턴(183d)들과 물리적, 전기적으로 연결된다. 이하, 상기 제4 콘택 패턴(185d)과 상기 제4 마이크로 슬릿 패턴(183d)의 연결 구조에 대해서 도 9a 및 도 9b를 참조하여 설명하기로 한다.

- <88> 도 9a 및 도 9b는 도 8의 마이크로 슬릿 패턴과 콘택 패턴의 연결 구조를 설명하기 위한 확대 평면도들이다.
- <89> 도 9a를 참조하면, 상기 제4 콘택 패턴(185d)은 상기 제4 콘택 패턴(185d)과 인접한 상기 제4 마이크로 슬릿 패턴(183d)의 단부와 연결된다. 상기 제4 마이크로 슬릿 패턴(183d)은 상기 제1 게이트 배선(GL1)을 기준으로 약 45°로 경사져 연장되므로 상기 제4 콘택 패턴(185d)의 측면과도 약 45° (θ)로 경사지도록 연결될 수 있다. 상기 제4 콘택 패턴(185d)은, 상기 제4 콘택 패턴(185d)과 인접한 상기 제3 마이크로 슬릿 패턴(183d)들 중 적어도 하나의 상기 제3 마이크로 슬릿 패턴(183d)의 단부와 연결된다.
- <90> 도 9b를 참조하면, 상기 제4 콘택 패턴(185d)의 첨부(point portion)와 인접한 상기 제4 마이크로 슬릿 패턴(183d)의 단부가 상기 제4 콘택 패턴(185d)과 연결된다. 상기 첨부와 인접한 상기 제4 마이크로 슬릿 패턴(183d)의 단부를 상기 첨부와 연결시킴으로써 상기 제1 방향(D1)으로 액정 방향자를 갖는 액정 분자들과 상기 제2 방향(D2)으로 액정 방향자를 갖는 액정 분자들의 경계점인 상기 첨부에서 상기 액정 방향자들이 왜곡되는 것을 최소화할 수 있다.
- <91> 도 10a 및 도 10b는 마이크로 슬릿 패턴과 콘택 패턴의 다른 연결 구조를 설명하기 위한 확대 평면도들이다. 도 10a 및 도 10b에서, 제2 연결 패턴(186b)을 제외하고는 도 9a에 도시된 것과 동일하므로 중복되는 상세한 설명은 생략하기로 한다.
- <92> 도 10a를 참조하면, 상기 제4 서브 전극(PE4)은 상기 제4 콘택 패턴(185d)과 상기 제4 콘택 패턴(185d)과 인접한 제4 마이크로 슬릿 패턴(185d)의 단부를 연결하는 제2 연결 패턴(186b)을 더 포함한다.
- <93> 상기 제2 연결 패턴(186b)은 상기 제1 편광판의 제1 편광축의 방향 또는 상기 제2 편광판의 제2 편광축의 방향으로 연장되어 형성된다. 상기 제2 연결 패턴(186b)은 상기 제4 콘택 패턴(185d)과 약 90°로 연결된다. 예를 들어, 상기 제4 콘택 패턴(185d)의 상기 제1 방향(D1)으로 연장된 측면과 상기 제4 연결 패턴(186b)은 약 90°로 연결되고, 상기 제4 콘택 패턴(185d)의 상기 제2 방향(D2)으로 연장된 측면과 상기 제2 연결 패턴(186b)은 약 90°로 연결될 수 있다.
- <94> 상기 제4 콘택 패턴(185d)을 상기 제4 마이크로 슬릿 패턴(183d)과 b상기 제2 연결 패턴(186b)을 통해 연결시킴으로써, 상기 제4 콘택 패턴(185d)과 상기 제4 마이크로 슬릿 패턴(183d)의 연결 부분에서 왜곡되는 액정 방향자의 방향을 편광축들의 방향과 동일하게 제어하여 텍스처 발생을 최소화시킬 수 있다.
- <95> 도 10b를 참조하면, 상기 제4 서브 전극(PE4)은 상기 제4 콘택 패턴(185d)과 상기 제4 콘택 패턴(185d)과 인접한 상기 제4 마이크로 슬릿 패턴(183d)의 단부를 연결하는 제2 연결 패턴(186b)을 더 포함하고, 상기 제4 드레인 전극(153d)의 일단부는 모따기(chamfering)된 형상으로 형성될 수 있다. 상기 제4 콘택 패턴(185d)은 상기 제4 드레인 전극(153d)의 일단부의 외곽 형상을 따라 상기 제4 콘택 패턴(185d)도 모따기된 형상으로 형성될 수 있다.
- <96> 상기 제4 드레인 전극(153d)의 일단부 및 상기 제4 콘택 패턴(185d)을 모따기된 형상으로 형성함으로써, 상기 제1 방향(D1)으로 액정 방향자를 갖는 액정 분자들과 상기 제2 방향(D2)으로 액정 방향자를 갖는 액정 분자들의 경계점인 첨부(point portion)에서 상기 액정 방향자들이 왜곡되는 것을 방지할 수 있다. 상기 제2 연결 패턴(186b)의 형성 및 모따기된 형상의 적용을 통해 액정 방향자 왜곡으로 인한 텍스처 발생을 최소화 효과를 더욱 향상시킬 수 있다.
- <97> 도 11은 본 발명의 실시예 6에 따른 표시 기관의 평면도이다.
- <98> 도 11에서, 제5 절당 패턴(182c)을 제외하고는 도 8에 도시된 제5 액정표시패널(505)과 동일하므로 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다. 또한, 도 11에 도시된 제6 표시 기관의 제조 방법은 제3 서브 전극(PE3), 제4 서브 전극(PE4), 제4 절당 패턴(182b) 및 제5 절당 패턴(182c)을 포함하는 화소 전극을 형성하는 단계를 제외하고는 본 발명의 실시예 1에 따른 제1 표시 기관(100)의 제조 방법과 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.

- <99> 도 11을 참조하면, 본 발명의 실시예 6에 따른 제6 표시 기관(106)은 제3 박막트랜지스터(SW3)와 전기적으로 연결된 제3 서브 전극(PE3)과, 제4 박막트랜지스터(SW4)와 전기적으로 연결된 제4 서브 전극(PE4)을 포함한다. 상기 제3 서브 전극(PE3)의 제3 마이크로 슬릿 패턴(183c)들 중, 제2 게이트 배선(GL2)과 인접한 상기 제3 마이크로 슬릿 패턴(183c)들의 단부들은 제4 설딩 패턴(182b)에 의해 서로 연결된다. 상기 제3 마이크로 슬릿 패턴(183c)들 중, 상기 제4 서브 전극(PE4)과 인접한 상기 제3 마이크로 슬릿 패턴(183c)들의 단부들은 제5 설딩 패턴(182c)에 의해 서로 연결된다.
- <100> 상기 제3 서브 전극(PE3)에는 제1 전압이 인가되고, 상기 제4 서브 전극(PE4)에는 상기 제1 전압보다 고 전위 전압인 제2 전압이 인가되므로 상기 제3 서브 전극(PE3)과 상기 제4 서브 전극(PE4)의 경계에 배치된 액정 분자들은 상기 제1 전압 및 상기 제2 전압의 전위 차이로 인해 액정 방향자의 왜곡이 일어날 수 있다. 상기 경계에 상기 제5 설딩 패턴(182c)을 형성함으로써, 상기 제5 설딩 패턴(182c)이 상기 제2 전압에 의한 전계가 상기 제3 마이크로 슬릿 패턴(183c)들을 통해 상기 제3 서브 전극(PE3)으로 유입되어 상기 액정 방향자가 왜곡되는 것을 최소화시킬 수 있다.
- <101> 도 12는 본 발명의 실시예 7에 따른 표시 기관의 평면도이다.
- <102> 도 12에서, 제6 설딩 패턴(182d)을 제외하고는 도 8에 도시된 제5 액정표시패널(505)과 동일하므로 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다. 또한, 도 12에 도시된 제7 표시 기관의 제조 방법은 제3 서브 전극(PE3), 제4 서브 전극(PE4), 제4 설딩 패턴(182b) 및 제6 설딩 패턴(182d)을 포함하는 화소 전극을 형성하는 단계를 제외하고는 본 발명의 실시예 1에 따른 제1 표시 기관(100)의 제조 방법과 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.
- <103> 도 12를 참조하면, 본 발명의 실시예 7에 따른 제7 표시 기관(107)은 제3 박막트랜지스터(SW3)와 전기적으로 연결된 제3 서브 전극(PE3)과, 제4 박막트랜지스터(SW4)와 전기적으로 연결된 제4 서브 전극(PE4)을 포함한다. 상기 제3 서브 전극(PE3)의 제3 마이크로 슬릿 패턴(183c)들 중, 제2 게이트 배선(GL2)과 인접한 상기 제3 마이크로 슬릿 패턴(183c)들의 단부들은 제4 설딩 패턴(182b)에 의해 서로 연결된다. 상기 제4 서브 전극(PE4)의 제4 마이크로 슬릿 패턴(183d)들 중, 상기 제3 서브 전극(PE3)과 인접한 상기 제4 마이크로 슬릿 패턴(183d)들의 단부들은 제6 설딩 패턴(182d)을 통해 서로 연결된다. 상기 경계에 상기 제6 설딩 패턴(183d)을 형성함으로써 상기 제6 설딩 패턴(183d)이 상기 제1 전압에 의한 전계가 상기 제4 마이크로 슬릿 패턴(183d)들을 통해 상기 제4 서브 전극(PE4)으로 유입되어 액정 방향자가 왜곡되는 것을 최소화시킬 수 있다.
- <104> 한편, 도면으로 도시하지 않았으나, 도 11 및 도 12를 참조하면 상기 제3 서브 전극(PE3) 및 상기 제4 서브 전극(PE4)의 경계에 상기 제5 설딩 패턴(183c) 및 상기 제6 설딩 패턴(183d)이 형성될 수 있다. 상기 제5 설딩 패턴(183c) 및 상기 제6 설딩 패턴(183d)의 형성으로, 상기 경계에 배치된 액정 분자들의 액정 방향자가 왜곡되는 것을 최소화시킬 수 있다.

산업이용 가능성

- <105> 본원발명에 따르면, 게이트 배선과 인접한 화소 전극의 마이크로 슬릿 패턴들의 단부를 연결하는 제1 설딩 패턴이 게이트 배선에 형성된 전계를 설딩(shielding)하여, 상기 게이트 배선과 인접하게 배치된 액정의 방향자가 왜곡되는 것을 방지할 수 있다. 또한, 제1 전압이 인가되는 제1 서브 전극 및 상기 제1 전압보다 높은 제2 전압이 인가되는 제2 서브 전극의 경계에 배치된 마이크로 슬릿 패턴들의 단부를 연결하는 제2 설딩 패턴이 상기 제1 서브 전극에 형성된 전계와 상기 제2 서브 전극에 형성된 전계를 서로 설딩하여, 상기 경계에 배치된 액정의 방향자가 왜곡되는 것을 방지할 수 있다. 또한, 스위칭 소자와 콘택하는 마이크로 슬릿 패턴들의 연결 구조 및 콘택 패턴의 형상을 최적화시킴으로써, 상기 스위칭 소자가 형성된 영역에서 액정의 방향자가 왜곡되는 것을 방지할 수 있다. 이에 따라, 빗샘 현상 및 광투과 효율이 작아짐으로써 나타나는 텍스처 현상을 방지함으로써, 액정표시장치의 표시 품질을 향상시킬 수 있다.
- <106> 이상 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

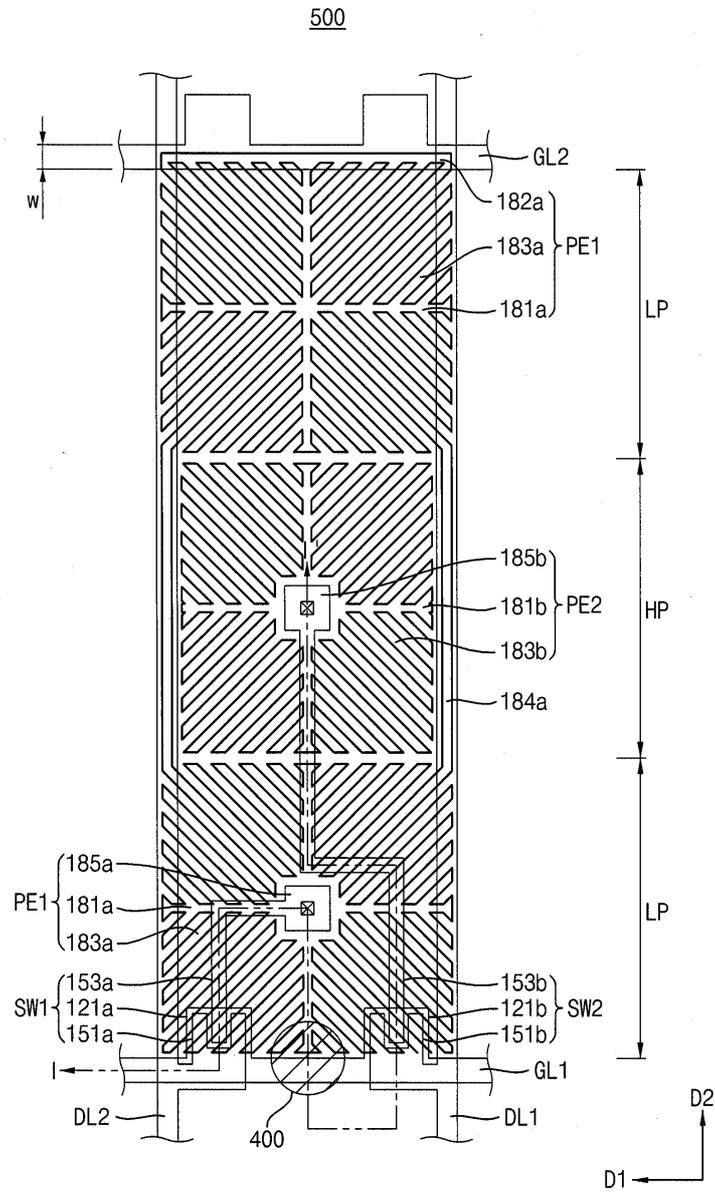
도면의 간단한 설명

- <107> 도 1은 본 발명의 실시예 1에 따른 액정표시패널의 평면도이다.

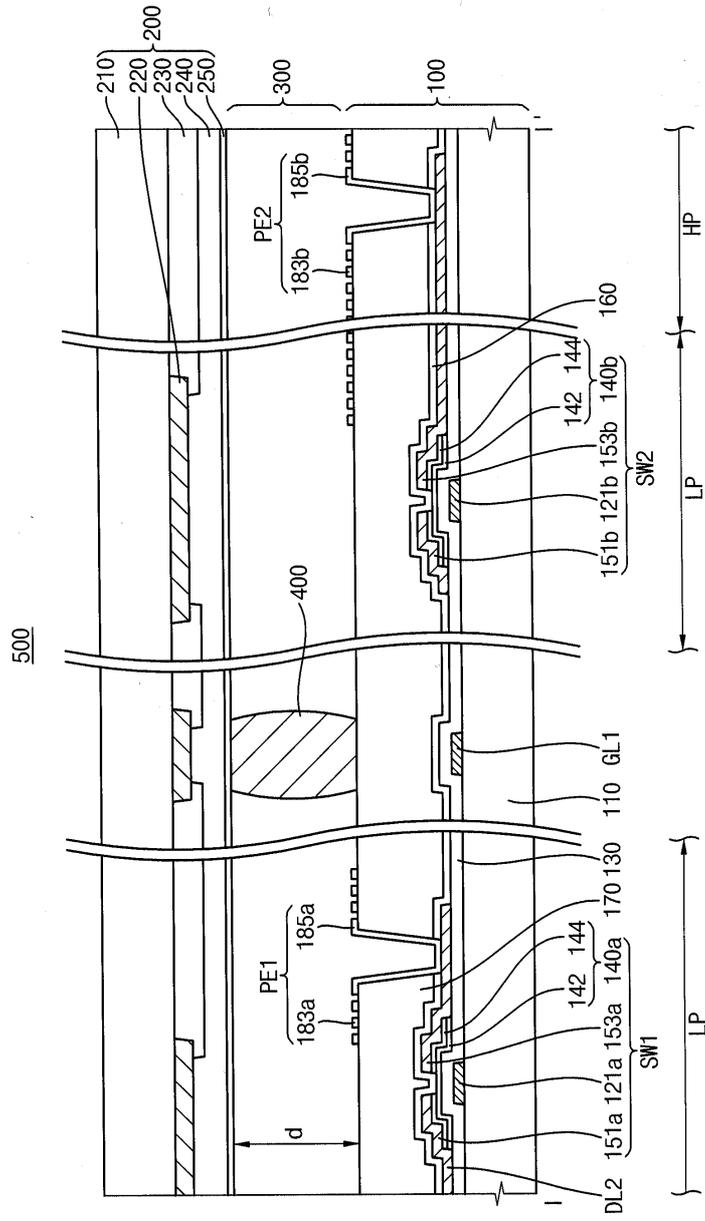
- <108> 도 2는 도 1의 I-I' 배선을 따라 절단한 단면도이다.
- <109> 도 3a 및 도 3c는 도 2에 도시된 표시 기관의 제조 방법을 설명하기 위한 평면도들이고, 도 3b 및 도 3d는 도 2에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.
- <110> 도 4a 및 도 4b는 마이크로 슬릿 패턴과 콘택 패턴의 연결 구조를 설명하기 위한 확대 평면도들이다.
- <111> 도 5는 본 발명의 실시예 2에 따른 액정표시패널의 단면도이다.
- <112> 도 6은 본 발명의 실시예 3에 따른 표시 기관의 평면도이다.
- <113> 도 7은 본 발명의 실시예 4에 따른 표시 기관의 평면도이다.
- <114> 도 8은 본 발명의 실시예 5에 따른 액정표시패널의 평면도이다.
- <115> 도 9a 및 도 9b는 도 8의 마이크로 슬릿 패턴과 콘택 패턴의 연결 구조를 설명하기 위한 확대 평면도들이다.
- <116> 도 10a 및 도 10b는 마이크로 슬릿 패턴과 콘택 패턴의 다른 연결 구조를 설명하기 위한 확대 평면도들이다.
- <117> 도 11은 본 발명의 실시예 6에 따른 표시 기관의 평면도이다.
- <118> 도 12는 본 발명의 실시예 7에 따른 표시 기관의 평면도이다.
- <119> <도면의 주요 부분에 대한 부호의 설명>
- <120> GL1, GL2 : 제1, 제2 게이트 배선
- <121> DL1, DL2 : 제1, 제2 데이터 배선
- <122> SW1, SW2, SW3, SW4 : 제1, 제2, 제3, 제4 박막트랜지스터
- <123> PE1, PE2, PE3, PE4 : 제1, 제2, 제3, 제4 서브 전극
- <124> 183a, 183b, 183c, 183d : 제1, 제2, 제3, 제4 마이크로 슬릿 패턴
- <125> 185a, 185b, 185c, 185d : 제1, 제2, 제3, 제4 콘택 패턴
- <126> 186a, 186b : 제1, 제2 연결 패턴
- <127> 184a, 184b : 제1, 제2 브릿지 패턴
- <128> 153a, 153b, 153c, 153d : 제1, 제2, 제3, 제4 드레인 전극
- <129> 400 : 셀 갭 유지 부재
- <130> 182a, 186, 187 : 제1, 제2, 제3 절당 패턴
- <131> 182b, 182c, 182d : 제4, 제5, 제6 절당 패턴

도면

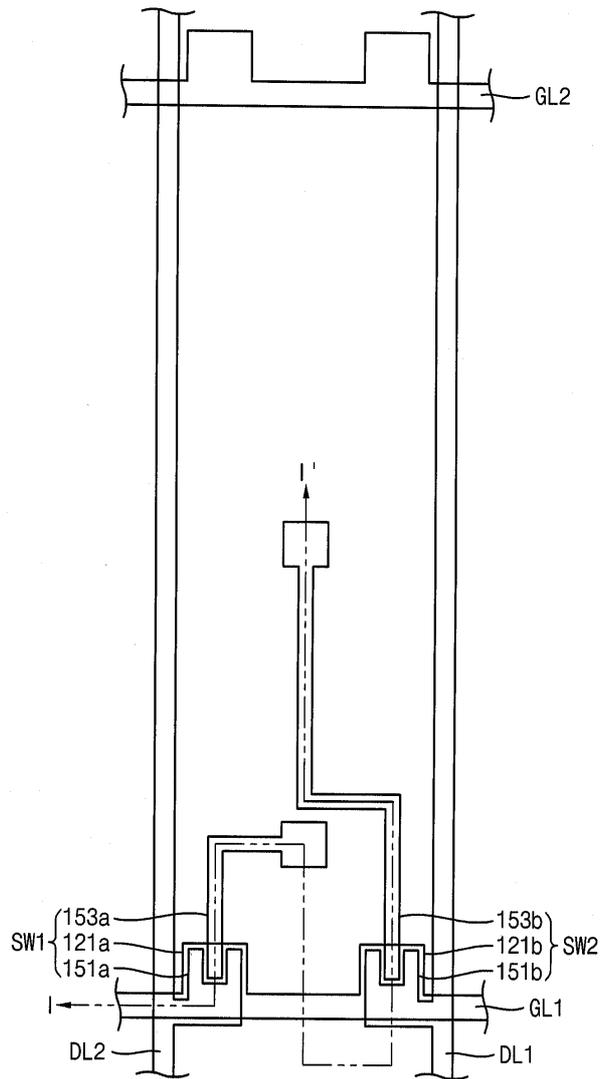
도면1



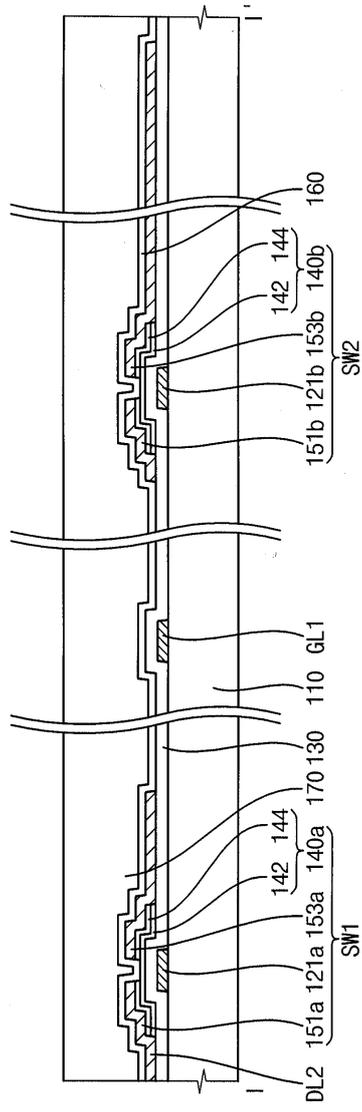
도면2



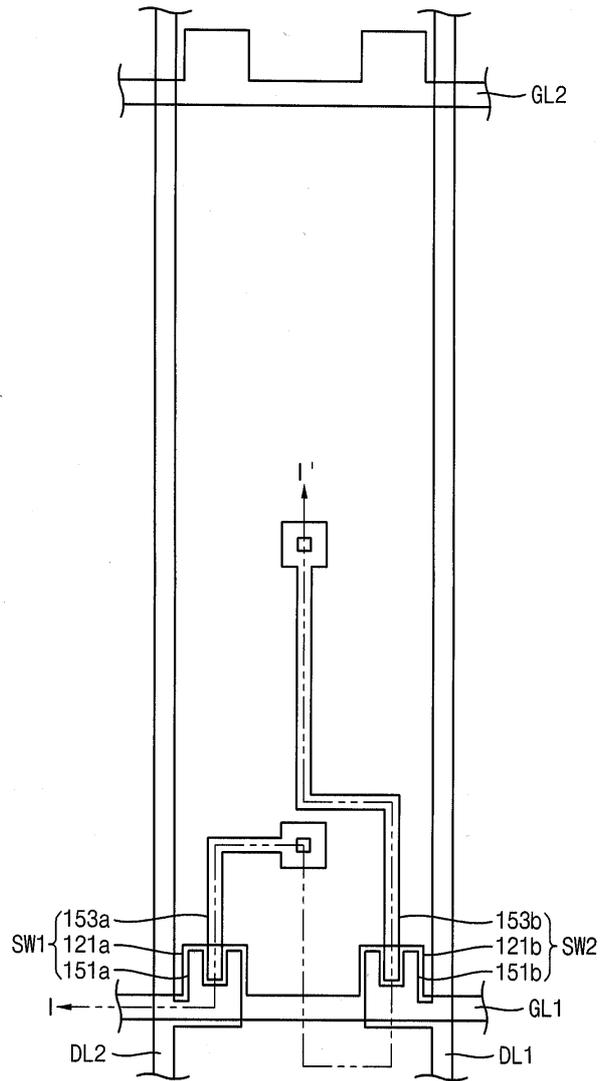
도면3a



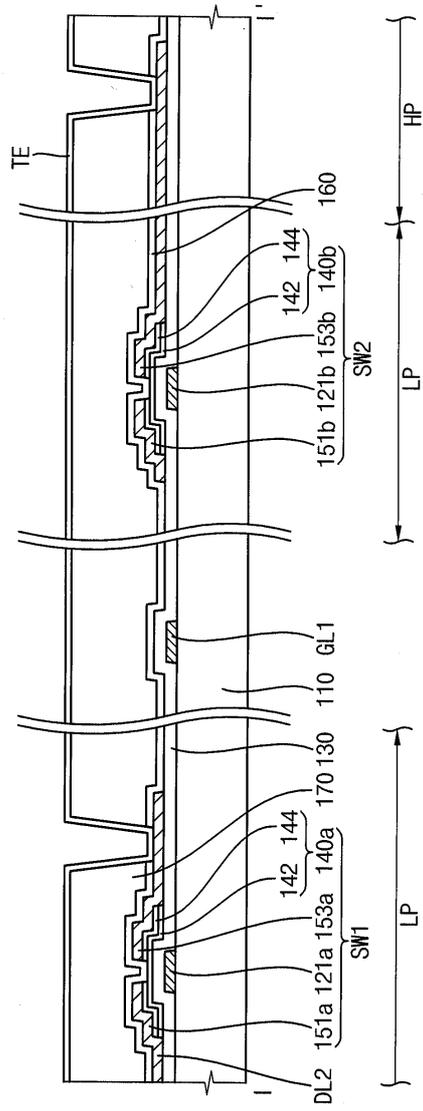
도면3b



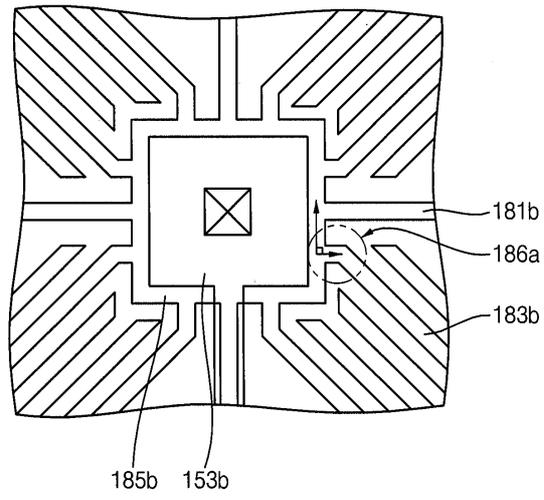
도면3c



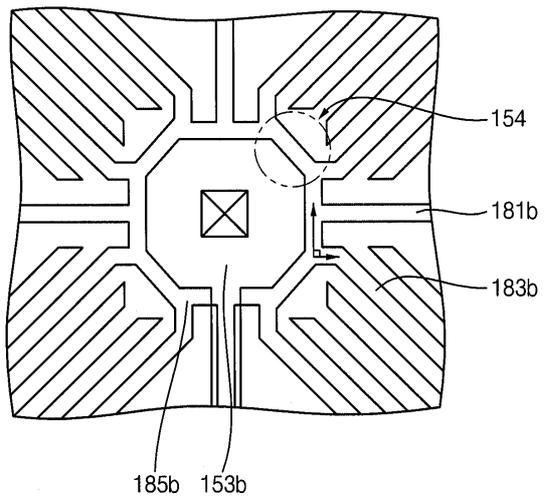
도면3d



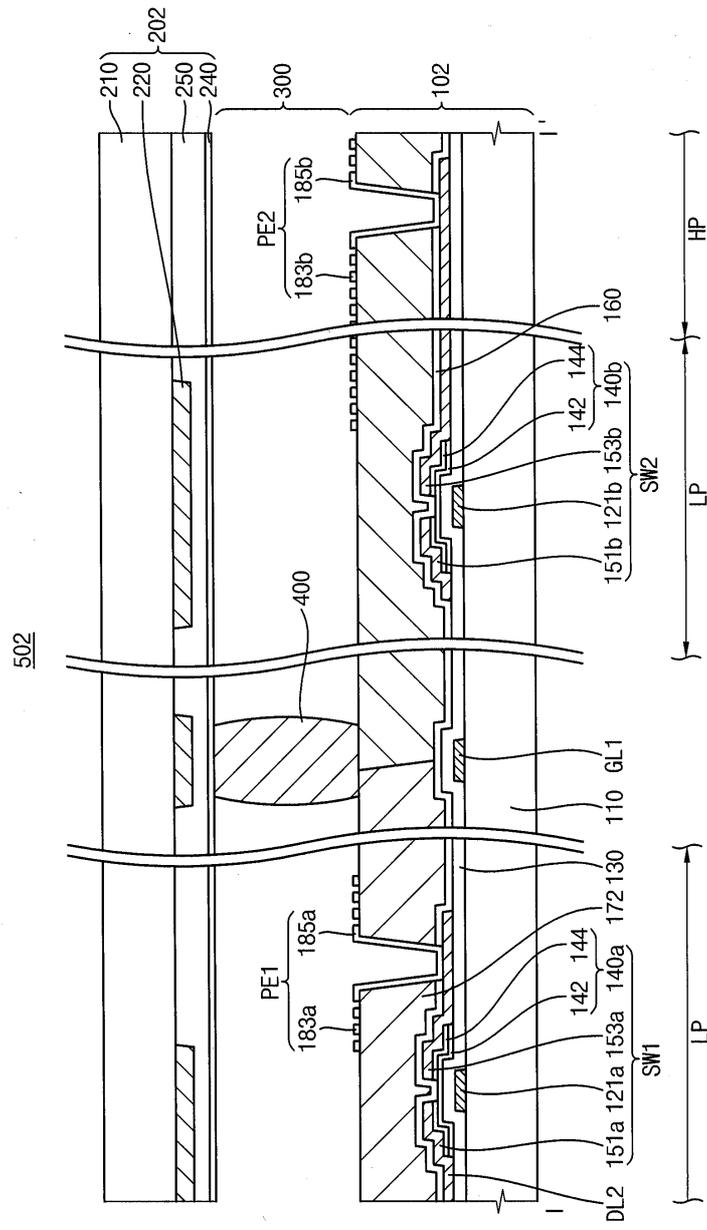
도면4a



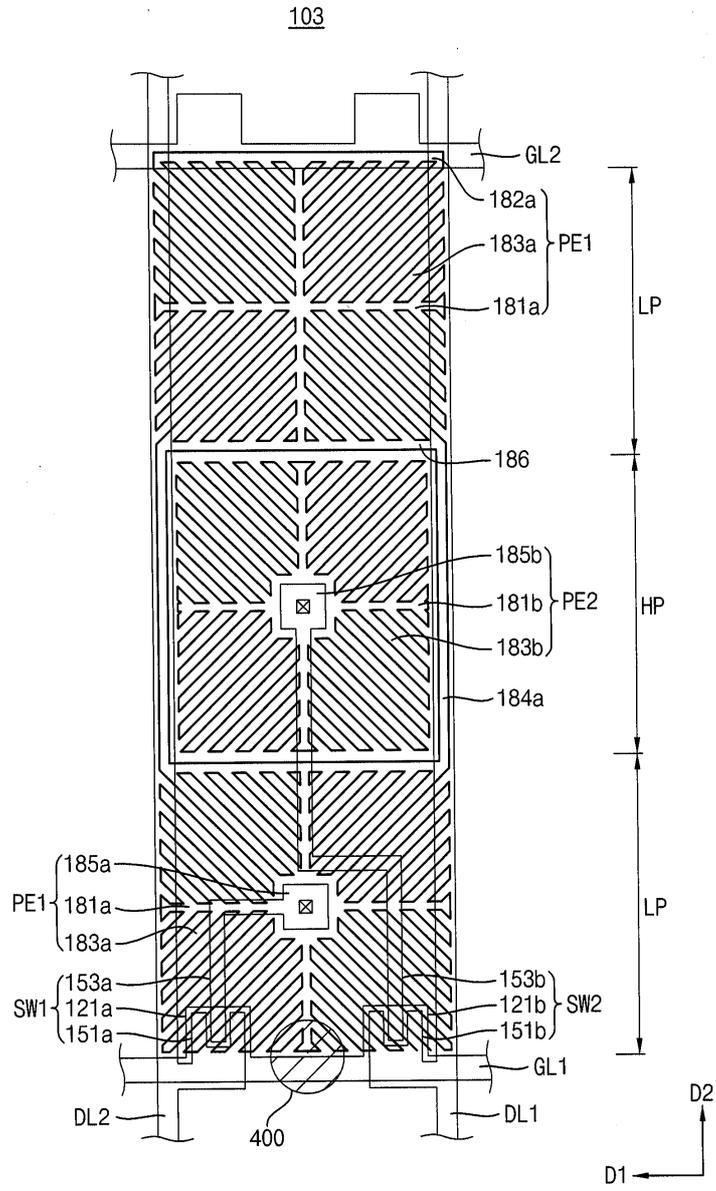
도면4b



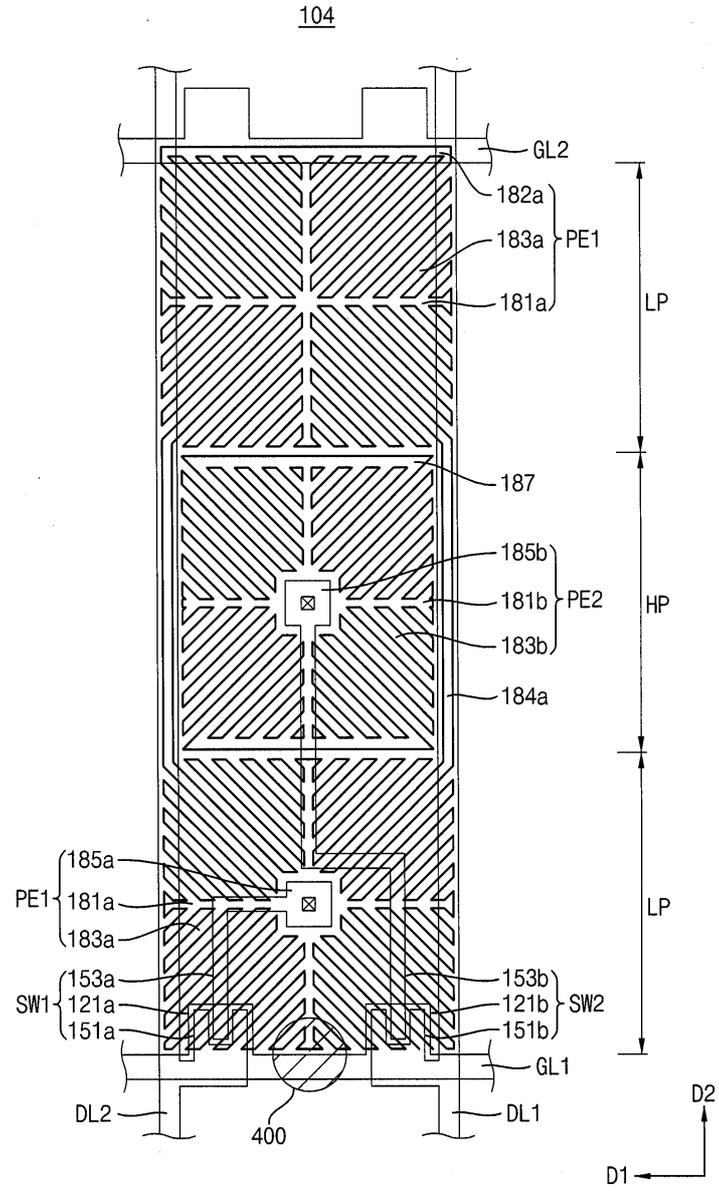
도면5



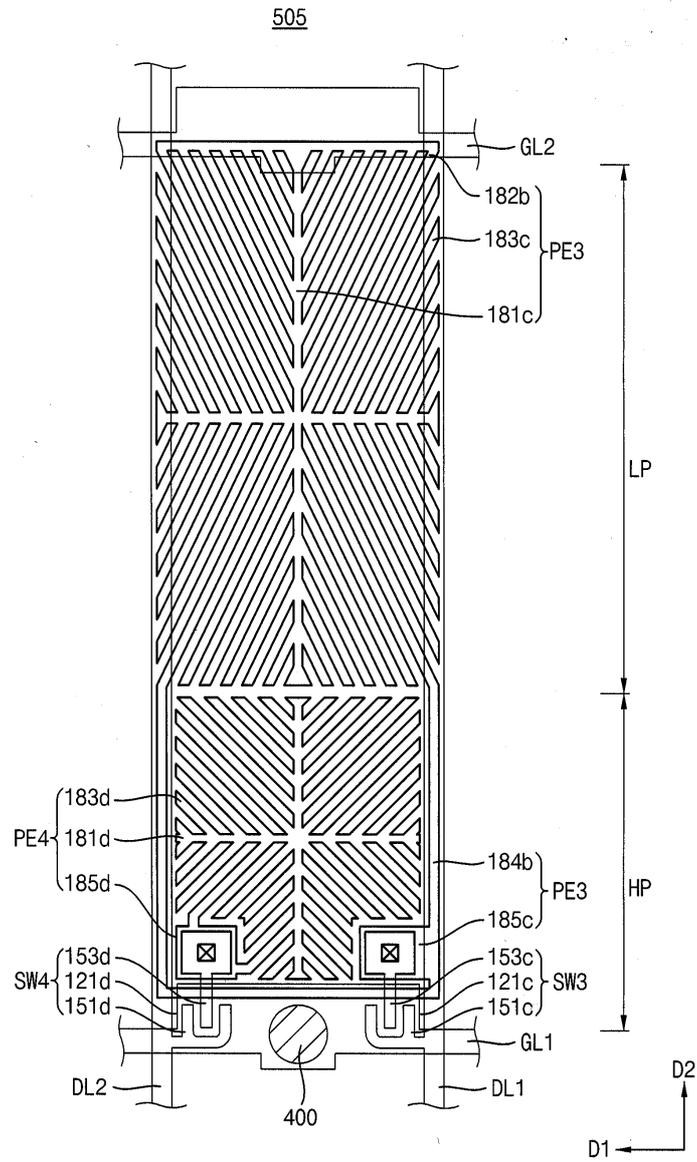
도면6



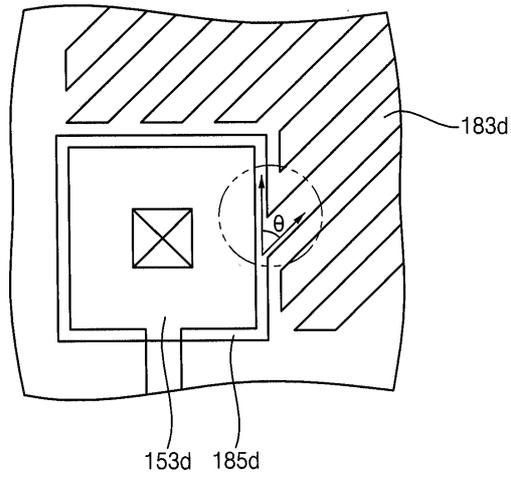
도면7



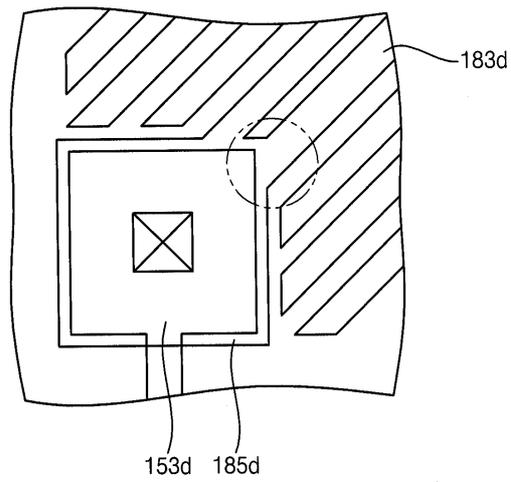
도면8



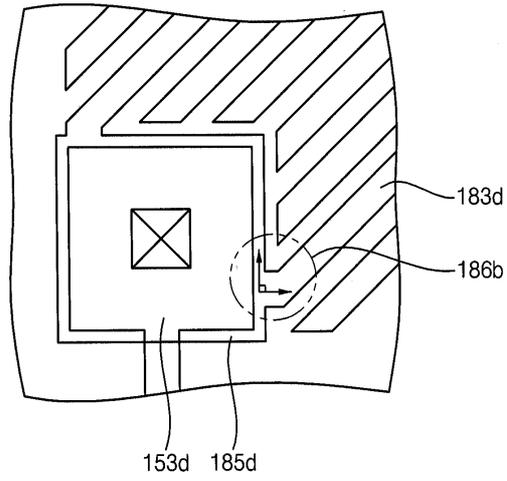
도면9a



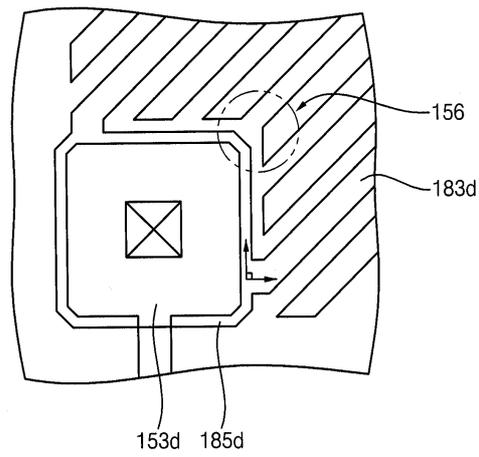
도면9b



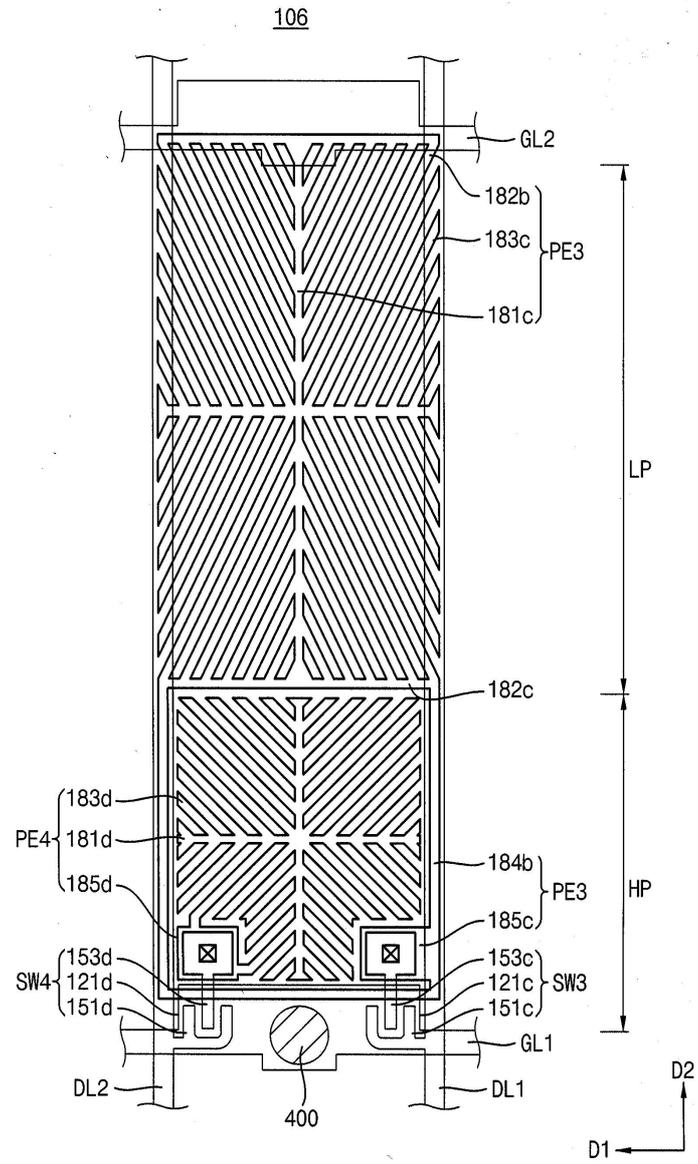
도면10a



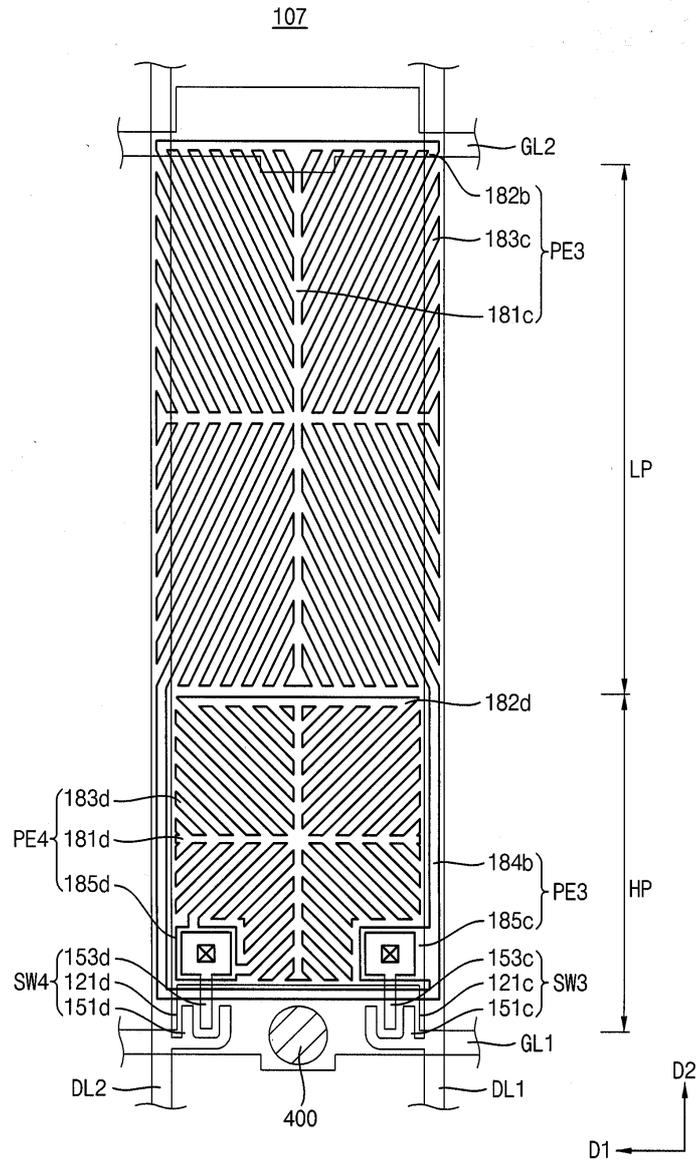
도면10b



도면11



도면12



| | | | |
|----------------|----------------------------------|---------|------------|
| 专利名称(译) | 显示基板和包括其的液晶显示面板 | | |
| 公开(公告)号 | KR1020090129774A | 公开(公告)日 | 2009-12-17 |
| 申请号 | KR1020080055860 | 申请日 | 2008-06-13 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示器有限公司 | | |
| 当前申请(专利权)人(译) | 三星显示器有限公司 | | |
| [标]发明人 | KIM DONG GYU | | |
| 发明人 | KIM DONG GYU | | |
| IPC分类号 | G02F1/1343 | | |
| CPC分类号 | G02F1/133707 G02F1/1393 | | |
| 代理人(译) | PARK , YOUNG WOO | | |
| 外部链接 | Espacenet | | |

摘要(译)

显示基板中的显示基板和包括该显示基板的LCD面板包括像素区域，该像素区域是具有连接与微缝隙图案重叠的端部的第一屏蔽图案的像素电极，以及形成在其上的栅极布线的微缝隙图案的每个栅极布线。限定的基础基板数据线与栅极布线交叉，多个基板数据线的形成在像素区域中，并且其中每个栅极布线与每个栅极布线重叠。因此，防止了被栅极布线的电场相对于液晶分子的栅极布线液晶指向器布置成相邻的失真，并且可以最小化纹理和光源的产生。狭缝，栅极布线，像素电极，光源，微光照射，纹理。

