

특허청구의 범위

청구항 1

제1기관;

상기 제1기관 상에 위치하는 스캔 배선 및 데이터 배선의 교차 영역에 위치하는 박막 트랜지스터를 포함하는 서브 픽셀 영역;

상기 서브 픽셀 영역 내의 상기 제1기관 상에 상호 이격하여 위치하는 두 개의 하부 전극;

상기 두 개의 전극 상에 위치하는 복수의 절연막; 및

상기 복수의 절연막 상에 위치하며 상기 두 개의 하부 전극을 기준으로 각각 양쪽으로 두 개씩 분할되어 위치하는 복수의 상부 전극을 포함하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 하부 전극은,

상기 제1기관 상에 위치하는 제1화소 전극과, 상기 제1화소 전극과 이격하여 위치하는 제1공통 전극을 포함하고,

상기 상부 전극은 상기 제1화소 전극을 기준으로 양쪽으로 분할되어 위치하는 복수의 제2공통 전극과, 상기 제1공통 전극을 기준으로 양쪽으로 분할되어 위치하는 복수의 제2화소 전극을 포함하는 액정표시장치.

청구항 3

제2항에 있어서,

상기 복수의 제2공통 전극 중 하나와 상기 복수의 제2화소 전극 중 하나의 사이는 제1구동 영역으로 정의되고,

상기 복수의 제2공통 전극의 사이 및 상기 복수의 제2화소 전극의 사이 중 적어도 하나는 제2구동 영역으로 정의되는 것을 특징으로 하는 액정표시장치.

청구항 4

제3항에 있어서,

상기 제1구동 영역과 상기 제2구동 영역에 걸리는 전압은,

서로 다른 것을 특징으로 하는 액정표시장치.

청구항 5

제3항에 있어서,

상기 제1구동 영역에 걸리는 전압이 5 ~ 10V일 때,

상기 제1구동 영역의 투과율은 0.4% ~ 0.92%이고,

상기 제2구동 영역에 걸리는 전압이 5V ~ 10V일 때,

상기 제2구동 영역의 투과율은 0.6% ~ 0.9%인 것을 특징으로 하는 액정표시장치.

청구항 6

제3항에 있어서,

상기 제1구동 영역에 걸리는 전압과 상기 제2구동 영역에 걸리는 전압이 6.3V ~ 8.3V 범위를 가질 때,

상기 제1구동 영역의 투과율과 상기 제2구동 영역의 투과율은 적어도 한번 매칭하는 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,
 상기 상부 전극 중 상호 인접하여 위치하는 전극 간의 간격은,
 6 μ m ~ 8 μ m 인 것을 특징으로 하는 액정표시장치.

청구항 8

제1항에 있어서,
 상기 하부 전극 중 적어도 하나의 폭은,
 2.5 μ m ~ 3.5 μ m 인 것을 특징으로 하는 액정표시장치.

청구항 9

제1항에 있어서,
 상기 복수의 절연막의 두께는,
 0.8 μ m ~ 1 μ m 인 것을 특징으로 하는 액정표시장치.

청구항 10

제1항에 있어서,
 상기 복수의 절연막은,
 상기 박막 트랜지스터의 게이트를 덮는 제1절연막과, 상기 제1절연막보다 상부에 위치하는 제2절연막을 포함하는 액정표시장치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 액정표시장치에 관한 것이다.

배경기술

- <2> 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계 발광소자(Organic Light Emitting Diodes: OLED) 및 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.
- <3> 여기서, 액정표시장치는 수광형 표시장치로 분류된다. 이러한 액정표시장치는 액정패널의 하부에 위치하는 백라이트 유닛으로부터 광원을 제공받아 영상을 표현할 수 있다. 이러한 액정표시장치는 크게 트랜지스터 어레이 기판과 컬러필터 기판으로 구성된다. 트랜지스터 어레이 기판에는 게이트, 반도체층, 소오스 및 드레인을 포함하는 트랜지스터와 트랜지스터의 소오스 또는 드레인에 연결된 화소 전극을 포함하는 서브 픽셀이 형성된다. 그리고 컬러필터 기판에는 컬러필터와 블랙매트릭스가 형성된다.
- <4> 한편, 트랜지스터 어레이 기판과 컬러필터 기판 사이에 위치하는 액정층은 트랜지스터 어레이 기판 상에 위치하는 서브 픽셀에 포함된 화소 전극과 공통 전극 간의 차 전압에 의해 액정이 트위스트(twist) 되거나 틸트(tilt) 되며, 이때 하부에 위치하는 광원으로부터 출사되는 광의 투과율에 따라 표시품질이 좌우된다.
- <5> 그러나, 종래 액정표시장치의 서브 픽셀에 포함된 화소 전극과 공통 전극의 구조는 투과율을 더욱 향상시키기 위해 개선되어야 할 필요성이 있다.

발명의 내용

해결 하고자하는 과제

<6> 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 화소 전극과 공통 전극의 구조를 변경하고 서브 픽셀 영역 내에 서로 다른 두 개의 구동 영역을 설정함과 아울러 이들 간의 투과율을 매칭함으로써 투과율을 더욱 향상시킬 수 있는 액정표시장치를 제공하는 것이다. 또한, 이와 같은 효과에 따라, 종래 기술 대비 비용을 감소하면서도 대화면 텔레비전까지 적용할 수 있는 액정표시장치를 제공하는 것이다. 또한, 종래 기술 대비 투과율을 증가시킬 수 있어 더욱 우수한 표시품질의 액정표시장치를 제작하는 것이다.

과제 해결수단

- <7> 상술한 과제 해결 수단으로 본 발명은, 제1기판; 제1기판 상에 위치하는 스캔 배선 및 데이터 배선의 교차 영역에 위치하는 박막 트랜지스터를 포함하는 서브 픽셀 영역; 서브 픽셀 영역 내의 제1기판 상에 상호 이격하여 위치하는 두 개의 하부 전극; 두 개의 전극 상에 위치하는 복수의 절연막; 및 복수의 절연막 상에 위치하며 두 개의 하부 전극을 기준으로 각각 양쪽으로 두 개씩 분할되어 위치하는 복수의 상부 전극을 포함하는 액정표시장치를 제공한다.
- <8> 하부 전극은, 제1기판 상에 위치하는 제1화소 전극과, 제1화소 전극과 이격하여 위치하는 제1공통 전극을 포함하고, 상부 전극은 제1화소 전극을 기준으로 양쪽으로 분할되어 위치하는 복수의 제2공통 전극과, 제1공통 전극을 기준으로 양쪽으로 분할되어 위치하는 복수의 제2화소 전극을 포함할 수 있다.
- <9> 복수의 제2공통 전극 중 하나와 복수의 제2화소 전극 중 하나의 사이는 제1구동 영역으로 정의되고, 복수의 제2공통 전극의 사이 및 복수의 제2화소 전극의 사이 중 적어도 하나는 제2구동 영역으로 정의될 수 있다.
- <10> 제1구동 영역과 제2구동 영역에 걸리는 전압은, 서로 다를 수 있다.
- <11> 제1구동 영역에 걸리는 전압이 5 ~ 10V일 때, 제1구동 영역의 투과율은 0.4% ~ 0.92%이고, 제2구동 영역에 걸리는 전압이 5V ~ 10V일 때, 제2구동 영역의 투과율은 0.6% ~ 0.9%일 수 있다.
- <12> 제1구동 영역에 걸리는 전압과 제2구동 영역에 걸리는 전압이 6.3V ~ 8.3V 범위를 가질 때, 제1구동 영역의 투과율과 제2구동 영역의 투과율은 적어도 한번 매칭할 수 있다.
- <13> 상부 전극 중 상호 인접하여 위치하는 전극 간의 간격은, 6 μ m ~ 8 μ m 일 수 있다.
- <14> 하부 전극 중 적어도 하나의 폭은, 2.5 μ m ~ 3.5 μ m 일 수 있다.
- <15> 복수의 절연막의 두께는, 0.8 μ m ~ 1 μ m 일 수 있다.
- <16> 복수의 절연막은, 박막 트랜지스터의 게이트를 덮는 제1절연막과, 제1절연막보다 상부에 위치하는 제2절연막을 포함할 수 있다.

효 과

<17> 본 발명은, 화소 전극과 공통 전극의 구조를 변경하고 서브 픽셀 영역 내에 서로 다른 두 개의 구동 영역을 설정함과 아울러 이들 간의 투과율을 매칭함으로써 투과율을 더욱 향상시킬 수 있는 액정표시장치를 제공하는 효과가 있다. 또한, 이와 같은 효과에 따라, 종래 기술 대비 비용을 감소하면서도 대화면 텔레비전에 까지 적용할 수 있는 액정표시장치를 제공하는 효과가 있다. 또한, 종래 기술 대비 투과율을 증가시킬 수 있어 더욱 우수한 표시품질의 액정표시장치를 제작할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <18> 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- <19> 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 분해 사시도 이고, 도 2는 에지형 광원의 일 예시도 이다.
- <20> 도 1에 도시된 바와 같이, 액정표시장치는 광을 출사하는 광원(171)을 포함할 수 있다. 또한, 광원(171)으로부터 출사되는 광을 인도하는 광학필름층(176)을 포함할 수 있다. 광학필름층(176)은 광원(171) 상에 위치하는 확산판(172), 확산시트(173), 광학시트(174) 및 보호시트(175)를 포함할 수 있다.

- <21> 광원(171)의 경우 예를 들면, 냉음극관 형광램프(Cold Cathode Fluorescent Lamp: CCFL), 열음극관 형광램프(Hot Cathode Fluorescent Lamp: HCFL), 외부전극 형광램프(External Electrode Fluorescent Lamp: EEFL) 및 발광 다이오드(Light Emitting Diode: LED) 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다.
- <22> 또한, 광원(171)은 램프가 일 측면 외측에 위치하는 예지형, 램프가 양쪽 측면에 위치하는 듀얼형, 램프가 직선으로 다수 배열된 직하형 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다. 이와 같은 광원(171)은 인버터에 연결되어 전원을 공급받아 광을 출사할 수 있다.
- <23> 도 1에 도시된 광원(171)은 직하형을 일례로 나타낸 것이다. 이와는 달리 도 2를 참조하면, 예지형 광원(171)이 도시되어 있다. 도시된 바와 같은 예지형 광원(171)은 일 측면 외측에 램프(171a)와 램프(171a)로부터 출사된 광을 안내하는 도광판(171b)을 포함할 수 있으나 이에 한정되지 않는다.
- <24> 앞서 설명한 광학시트(174)의 경우, 예를 들면 도시된 바와 같이 프리즘 형상일 수 있으나, 렌티큘러 렌즈 또는 마이크로 렌즈 등과 같은 형상으로 위치할 수 있다. 그리고 이러한 광학시트(174)는 비드를 포함할 수도 있다.
- <25> 한편, 액정표시장치는 화상을 표시하는 액정패널(183) 및 광원(171)이 수납되는 상부 케이스(190) 및 하부 케이스(170)를 포함할 수 있다.
- <26> 여기서, 하부 케이스(170)는 광원(171)을 수납할 수 있다. 광원(171) 상에는 액정패널(183)이 일정 간격을 두고 위치할 수 있다. 액정패널(183) 및 광원(171)은 하부 케이스(170)와 체결되는 상부 케이스(190)에 의해 고정 및 보호될 수 있다.
- <27> 상부 케이스(190)의 상부 면에는 액정패널(183)의 화상 표시 영역을 노출시키는 개구부가 마련될 수 있다. 그리고 액정패널(183)과 광원(171) 사이에 위치하는 광학필름층(176)의 주변부가 안착 되는 몰드프레임(미도시)이 더 포함될 수도 있다.
- <28> 액정패널(183)은 박막 트랜지스터 어레이가 형성된 제1기판(110)과 컬러필터가 형성된 제2기판(180)이 액정층을 사이에 두고 합착된 구조를 가질 수 있다. 이러한 액정패널(183)은 박막 트랜지스터에 의해 독립적으로 구동되는 서브 픽셀이 매트릭스 형태로 배열되고, 서브 픽셀 각각이 공통 전극에 공급된 공통 전압과 박막 트랜지스터에 연결된 화소 전극에 공급된 데이터 신호와의 차전압에 따라 액정 배열을 제어하여 광 투과율을 조절함으로써 화상을 표시할 수 있다.
- <29> 또한, 액정패널(183)의 제1기판(110)에는 구동부(189)가 접속될 수 있다. 구동부(189)는 액정패널(183)의 데이터 배선과 스캔 배선을 각각 구동하기 위한 데이터 구동부(130)와 스캔 구동부(140)를 실장하여 제1기판(110)과 일측부가 접속된 다수의 연성필름(120)과, 다수의 연성필름(120)의 타측부와 접속된 외부 회로기판(188)을 포함할 수 있다.
- <30> 데이터 구동부(130)와 스캔 구동부(140)를 실장한 연성필름(120)은 COF(Chip On Film)나 TCP(Tape Carrier Package) 방식으로 위치할 수 있다. 그러나 데이터 구동부(130) 또는 스캔 구동부(140) 중 하나 이상은 COG(Chip On Glass) 방식으로 제1기판(110) 상에 직접 실장되거나, 박막 트랜지스터 형성 공정에서 제1기판(110) 상에 형성되어 내장될 수 있다.
- <31> 이하, 개략적인 단면도를 참조하여 서브 픽셀의 구조에 대해 설명한다.
- <32> 도 3은 서브 픽셀의 개략적인 평면 예시도 이고, 도 4는 도 3의 A1-A2영역의 단면도이며, 도 5는 도 3의 B1-B2영역의 단면도이다. 여기서, 도시된 서브 픽셀은 실시예의 일례를 설명하기 위한 것일 뿐 본 발명은 이에 한정되지 않는다. 단, 도면의 특성상 액정셀은 생략한다.
- <33> 도 3에 도시된 바와 같이, 서브 픽셀이 형성되는 서브 픽셀 영역(P)은 데이터 배선(220), 스캔 배선(230) 및 공통 전압 배선(235)의 교차 영역에 위치할 수 있다.
- <34> 데이터 배선(220) 및 스캔 배선(230)이 교차하는 영역에는 박막 트랜지스터(T)가 위치한다. 그리고, 공통 전압 배선(235)과 그 하부에 위치하는 전극 사이에 위치하는 절연막을 두고 커패시터(Cst)가 위치한다.
- <35> 도 4에 도시된 바와 같이, 박막 트랜지스터(T)는 제1기판(210) 상에 위치하는 게이트(202)를 포함할 수 있다. 게이트(202)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 균에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 게이트(202)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 균에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 게이트(202)는 몰리브덴/알루

미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

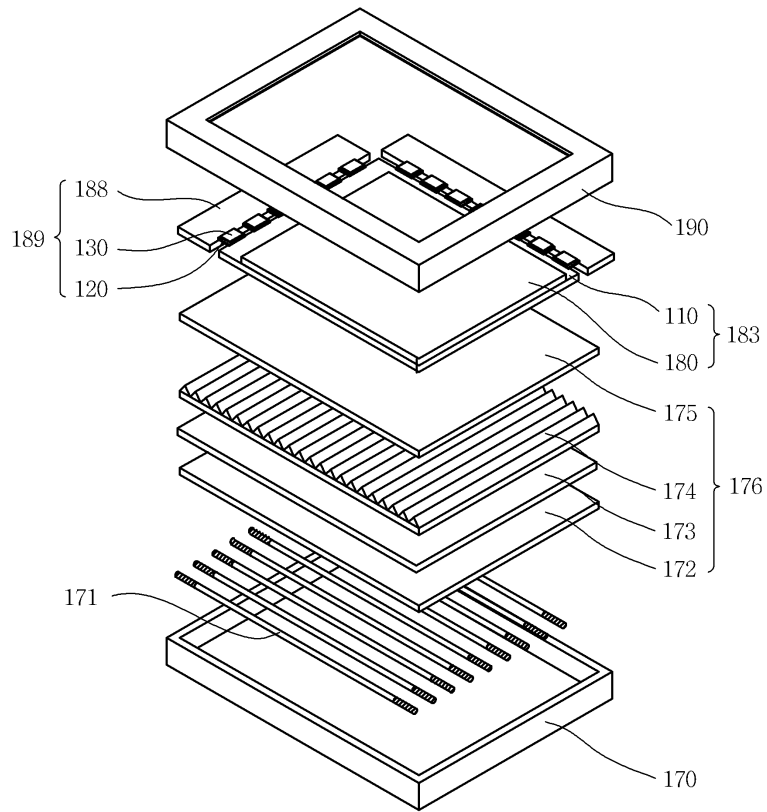
- <36> 또한, 박막 트랜지스터(T)는 게이트(202) 상에 위치하는 제1절연막(203)을 포함할 수 있다. 제1절연막(203)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- <37> 또한, 박막 트랜지스터(T)는 제1절연막(203) 상에 위치하는 액티브층(204a)을 포함할 수 있다. 또한, 액티브층(204a) 상에 정의된 소오스 영역 및 드레인 영역에 각각 위치하는 오믹콘택층(204b)를 포함할 수 있다. 액티브층(204a)은 a-Si 또는 p-Si 등으로 형성될 수 있으며, 오믹콘택층(204b)은 전기 접촉저항을 줄이기 위해 위치할 수 있다.
- <38> 또한, 박막 트랜지스터(T)는 액티브층(204a) 및 오믹콘택층(204b)에 접촉하는 드레인(205) 및 소오스(206)를 포함할 수 있다. 드레인(205) 및 소오스(206)는 단일층 또는 다중층으로 이루어질 수 있으며, 드레인(205) 및 소오스(206)가 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 드레인(205) 및 소오스(206)가 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <39> 또한, 박막 트랜지스터(T)는 드레인(205) 및 소오스(206) 상에 위치하는 제2절연막(207)을 포함할 수 있다. 제2절연막(207)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 제2절연막(207)은 보호막일 수 있다.
- <40> 이와 같이 형성된 트랜지스터(T)의 드레인(205) 또는 소오스(206)는 제2절연막(207) 상에 위치는 화소 전극(218)에 연결될 수 있다. 화소 전극(218)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 중 어느 하나일 수 있다.
- <41> 위의 설명에서 게이트(202)는 스캔 배선(230)에 연결될 수 있고, 드레인(205) 또는 소오스(206)는 데이터 배선(220)에 연결될 수 있다.
- <42> 도 3 및 도 5를 참조하면, 서브 픽셀 영역(P) 내의 제1기관(210) 상에는 상호 이격하여 위치하는 두 개의 하부 전극(240)이 위치할 수 있다. 또한, 두 개의 전극(240) 상에 위치하는 복수의 절연막(208)이 위치할 수 있다. 또한, 복수의 절연막(208) 상에 위치하며 두 개의 하부 전극(240)을 기준으로 각각 양쪽으로 두 개씩 분할되어 위치하는 복수의 상부 전극(250, 260)을 포함할 수 있다.
- <43> 여기서, 제1기관(210)과 대향하는 제2기관(280) 상에는 도시된 바와 같이 블랙매트릭스(281)가 위치할 수 있다. 블랙매트릭스(281)는 검은색 안료가 첨가된 감광성 유기물질로 이루어져 있으며 검은색 안료로는 카본블랙이나 티타늄 옥사이드 등을 사용할 수 있다.
- <44> 또한, 블랙매트릭스(281) 사이에는 적색, 녹색 및 청색을 포함하는 컬러필터(285)가 위치할 수 있다. 컬러필터(285)는 적색, 녹색 및 청색뿐만 아니라 다른 색을 가질 수도 있다.
- <45> 또한, 블랙매트릭스(281) 및 컬러필터(285)를 덮도록 오버코팅층(290)이 위치할 수 있으나, 경우에 따라서는 오버코팅층(290)이 생략될 수도 있다.
- <46> 또한, 도시되어 있진 않지만, 제1기관(210)과 제2기관(280) 사이에는 셀갭을 유지하기 위한 스페이서가 위치할 수 있다. 이러한 스페이서는 제1기관(210) 상에 위치하는 박막 트랜지스터의 상부에 위치할 수 있으나 이에 한정되지 않는다.
- <47> 한편, 복수의 절연막(208)은 도 4에 도시된 박막 트랜지스터(T)의 게이트(202)를 덮는 제1절연막(203)과, 제1절연막(203)보다 상부에 위치하는 제2절연막(207)을 포함할 수 있다.
- <48> 하부 전극(240)은 제1기관(210) 상에 위치하는 제1화소 전극(241)과, 제1화소 전극(241)과 이격하여 위치하는 제1공통 전극(242)을 포함할 수 있다. 그리고 상부 전극(250, 260)은 제1화소 전극(241)을 기준으로 양쪽으로 분할되어 위치하는 복수의 제2공통 전극(251, 252)과, 제1공통 전극(242)을 기준으로 양쪽으로 분할되어 위치하는 복수의 제2화소 전극(261, 262)을 포함할 수 있다.
- <49> 여기서, 하부 전극(240) 중 하나인 제1화소 전극(241)과 상부 전극(250, 260) 중 하나인 복수의 제2화소 전극(261, 262)은 비어홀(VH)을 통해 상호 전기적으로 연결되며, 이들은 박막 트랜지스터(T)의 드레인 또는 소오스에 연결된다. 그리고, 하부 전극(240) 중 하나인 제1공통 전극(242)과 상부 전극(250, 260) 중 하나인 복수의 제2공통 전극(251, 252)은 비어홀(VH)을 통해 상호 전기적으로 연결되며, 이들은 공통 전압 배선(235)에 연결된

다.

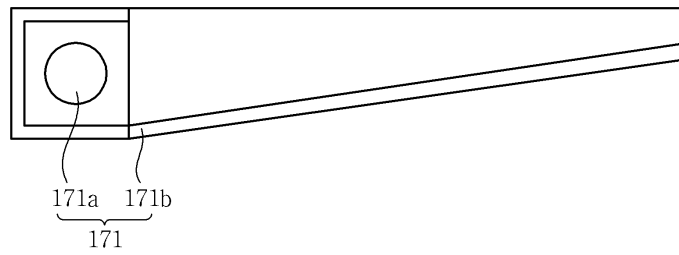
- <50> 한편, 상부 전극(250, 260)으로 복수의 제2공통 전극(251, 252)과 복수의 제2화소 전극(261, 262)을 형성할 때, 이들의 간의 간격은 비등간격을 갖도록 할 수 있으나 이에 한정되지 않는다.
- <51> 위와 같은 전극 구조를 갖는 서브 픽셀에서, 복수의 제2공통 전극(251, 252) 중 하나와 복수의 제2화소 전극(261, 262) 중 하나의 사이는 제1구동 영역(IPS)으로 정의되고, 복수의 제2공통 전극의(251, 252) 사이 및 복수의 제2화소 전극(261, 262)의 사이 중 적어도 하나는 제2구동 영역(FFS)으로 정의될 수 있다.
- <52> 여기서, 제1구동 영역(IPS)은 상부 전극(250, 260)에 속하는 복수의 제2공통 전극(251, 252) 중 하나와 복수의 제2화소 전극(261, 262) 중 하나가 어느 정도 거리를 두고 전극이 위치하여 전계가 수평으로 걸리게 되므로 액정은 트위스트(twist)되며 구동된다.
- <53> 반면, 제2구동 영역(FFS)은 하부 전극(240)에 속하는 제1화소 전극(241) 또는 제1공통 전극(242)과 상부 전극(250, 260)에 속하는 복수의 제2공통 전극(251, 252) 사이 또는 복수의 제2화소 전극(261, 262) 사이에 전극이 위치하여 전계가 수평 및 수직으로 걸리기 때문에 액정은 트위스트와 틸트(tilt)되며 구동된다.
- <54> 위와 같이, 제1기판(210) 상에 하부 전극(240)을 형성하고 하부 전극(240) 상에 상부 전극(250, 260)을 형성하면, 제1 및 제2구동 영역(IPS, FFS)을 더욱 활성화 시켜줄 수 있다. 다만, 위와 같은 구조에서 커패시터(Cst)가 과다 충전되지 않도록 공통 전압 배선(235)과 중첩되는 영역(S)에 위치하는 제1공통 전극(242)의 일부를 패터닝할 수 있으나 이에 한정되지 않는다.
- <55> 한편, 이상과 같이 제1구동 영역(IPS)과 제2구동 영역(FFS)으로 구분된 서브 픽셀은 제1구동 영역(IPS)과 제2구동 영역(FFS)에 서로 다른 구동 전압이 걸릴 수 있다.
- <56> 도 6은 제1구동 영역과 제2구동 영역의 투과율 대비 전압 곡선 그래프이고, 도 7은 도 5의 일부 단면도이다.
- <57> 도 6 및 도 7을 참조하면, 제1구동 영역(IPS)에 걸리는 전압이 5 ~ 10V일 때, 제1구동 영역(IPS)의 투과율은 0.4% ~ 0.92%이고, 제2구동 영역(FFS)에 걸리는 전압이 5V ~ 10V일 때, 제2구동 영역(FFS)의 투과율은 0.6% ~ 0.9%일 수 있다.
- <58> 이와 같이 제1구동 영역(IPS)과 제2구동 영역(FFS)은 구동 전압이 상이하게 걸리므로 최대 투과율(Tmax) 부분에 가까운 영역을 매칭하는 것이 중요하다.
- <59> 따라서, 투과율 대비 전압 곡선(TV Curve)을 매칭하기 위해 하기와 같이 하부 전극(240)의 폭(w1), 상부 전극(250, 260) 간의 거리(d1) 및 복수의 절연막(208)의 두께(d2)를 설정할 수 있다.
- <60> 먼저, 하부 전극(240) 중 적어도 하나 예를 들면, 제1화소 전극(241)의 폭(w1)은 2.5 μ m ~ 3.5 μ m 범위로 설정할 수 있다. 하부 전극(240)의 폭(w1)은 제1구동 영역(IPS) 및 제2구동 영역(FFS)의 투과율 대비 전압 곡선을 매칭할 수 있는 요소 중에 하나가 될 수 있다.
- <61> 여기서, 하부 전극(240) 중 적어도 하나의 폭(w1)을 2.5 μ m 이상으로 설정하게 되면 제1구동 영역(IPS)의 투과율 대비 전압 곡선의 전압이 감소하고 상대적으로 제2구동 영역(FFS)의 투과율 대비 전압 곡선의 전압이 증가하는 문제를 방지할 수 있게 된다. 그리고, 하부 전극(240) 중 적어도 하나의 폭(w1)을 3.5 μ m 이하로 설정하게 되면 제1구동 영역(IPS)의 투과율 대비 전압 곡선의 전압이 증가하고 상대적으로 제2구동 영역(FFS)의 투과율 대비 전압 곡선의 전압이 감소하는 문제를 방지할 수 있게 된다.
- <62> 이와 같이 하부 전극(240)의 폭(w1)은 제1구동 영역(IPS) 및 제2구동 영역(FFS)의 투과율 대비 전압 곡선을 매칭할 수 있는 요소로서 앞서 설정된 2.5 μ m ~ 3.5 μ m 범위를 벗어나면 벗어날수록 매칭률이 저하할 수도 있다.
- <63> 다음, 상부 전극(250, 260) 중 상호 인접하여 위치하는 제2공통 전극(252)과 제2화소 전극(262) 간의 간격(d1)은, 하부 전극(240) 중 하나의 폭(w1) 대비 2.5배 정도인 6 μ m ~ 8 μ m로 설정할 수 있다.
- <64> 여기서, 제2공통 전극(252)과 제2화소 전극(262) 간의 간격(d1)을 6 μ m 이상으로 설정하게 되면 제1구동 영역(IPS)의 투과율 대비 전압 곡선의 전압이 감소하는 문제를 방지할 수 있게 된다. 그리고 제2공통 전극(252)과 제2화소 전극(262) 간의 간격(d1)을 8 μ m 이하로 설정하게 되면 제1구동 영역(IPS)의 투과율 대비 전압 곡선의 전압이 증가하는 문제를 방지할 수 있게 된다.
- <65> 다음, 제1절연막(게이트 절연막)과 제2절연막(보호막)을 포함하는 복수의 절연막(208)의 두께(d2)는, 0.8 μ m ~ 1 μ m 일 수 있다.

도면

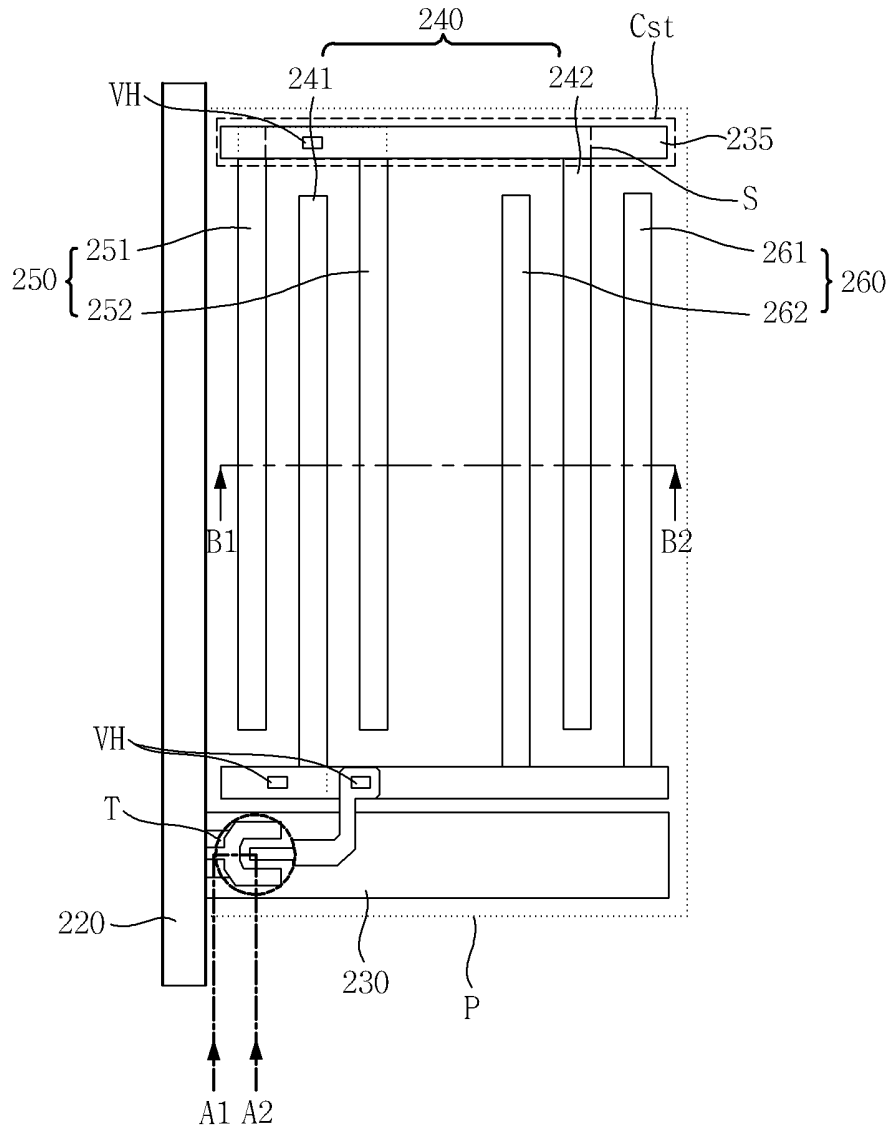
도면1



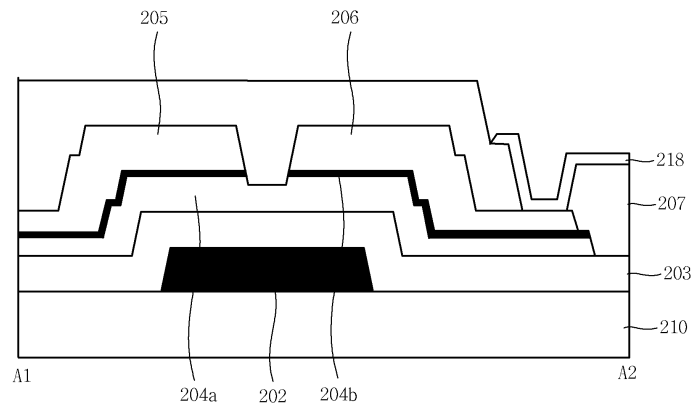
도면2



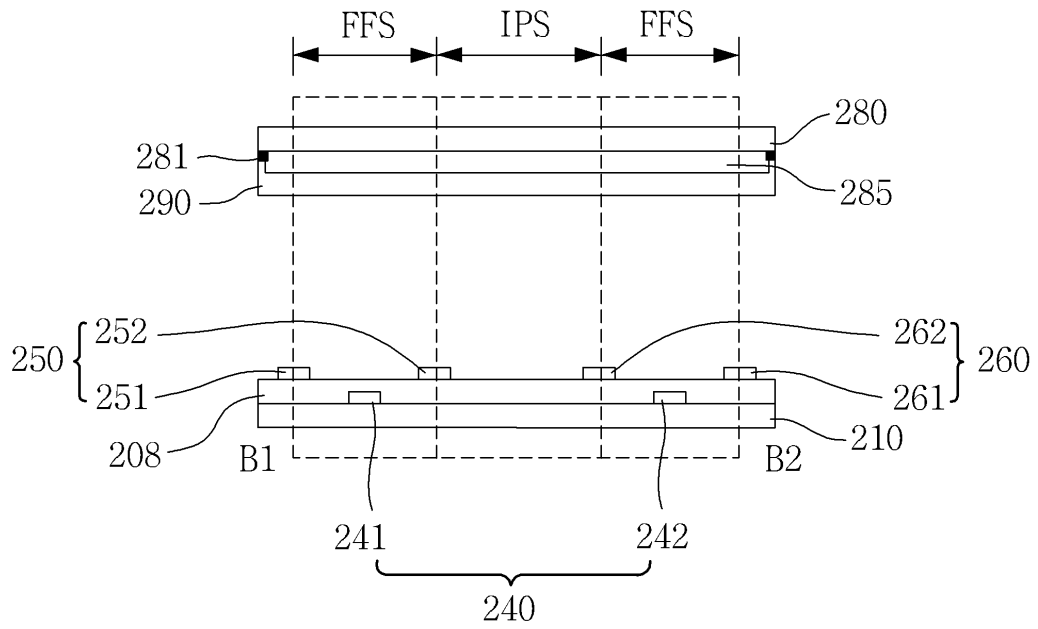
도면3



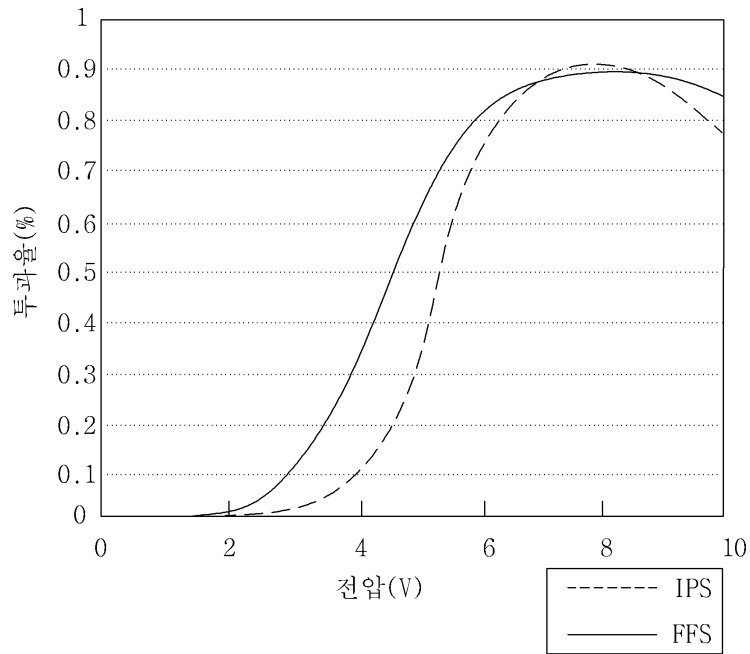
도면4



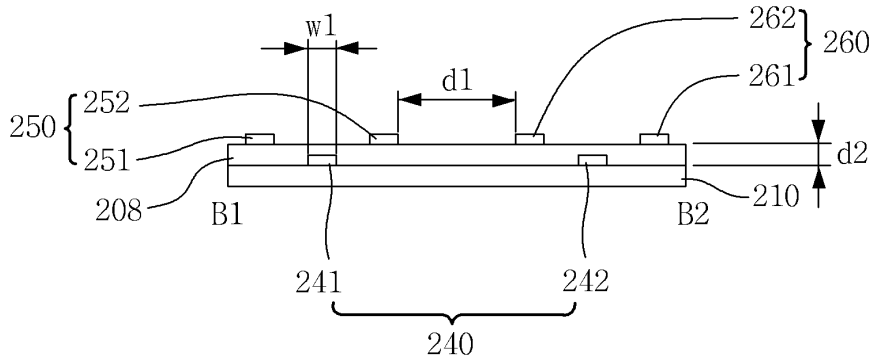
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR1020090117509A	公开(公告)日	2009-11-12
申请号	KR1020080043598	申请日	2008-05-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN SANG HUN 한상훈 LEE WON HO 이원호		
发明人	한상훈 이원호		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136286 G02F1/1343 G09G2320/02 H01L29/786		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器，包括子像素区域，两个底电极在子像素区域内的第一基板上进行间隔和定位，多个绝缘层位于表面两个电极上，多个上电极包括位于数据线的交叉域中的薄膜晶体管 and 位于第一基板上的扫描布线：第一基板。多个上电极位于多个绝缘层的表面上，并且基于两个底电极以成对的方式分成两个底侧电极并定位。液晶显示器，电极和透射率。

