



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년06월04일
(11) 등록번호 10-1985682
(24) 등록일자 2019년05월29일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2013-0011182
(22) 출원일자 2013년01월31일
심사청구일자 2018년01월12일
(65) 공개번호 10-2014-0098481
(43) 공개일자 2014년08월08일
(56) 선행기술조사문헌
KR1020070059340 A*
KR1020110038318 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한예슬
경기 파주시 월롱면 엘씨도로 201, LG디스플레이
정다운마을 A동 303호
이병현
경기 파주시 후곡로 50, 403동 1201호 (금촌동,
후곡마을아파트)
(74) 대리인
네이트특허법인

전체 청구항 수 : 총 7 항

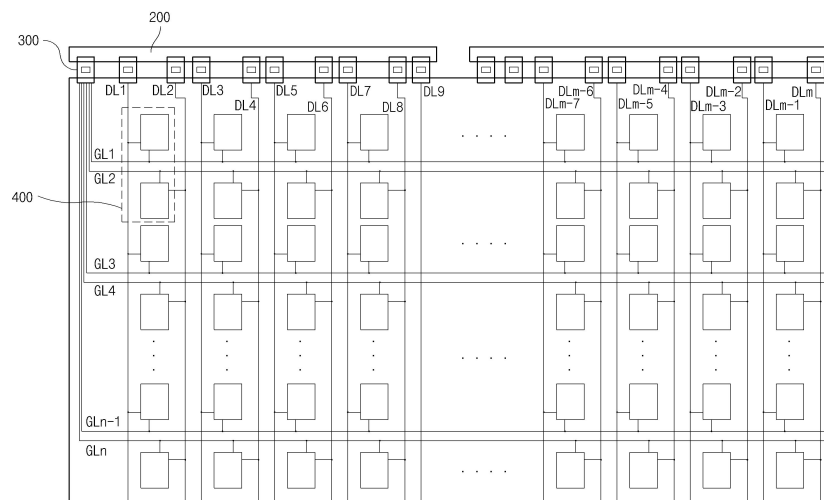
심사관 : 김민수

(54) 발명의 명칭 액정표시장치 및 그 구동 방법

(57) 요약

본 발명은, 기판과; 상기 기판 상부에 형성되는 인쇄 회로 기판과; 상기 기판 및 상기 인쇄 회로 기판 사이에 연결되는 다수의 집적 회로부와; 상기 다수의 집적 회로부와 연결되는 다수의 데이터 배선과; 상기 다수의 집적 회로부와 연결되고, 상기 다수의 데이터 배선과 교차하여 다수의 화소를 정의하는 다수의 게이트 배선을 포함하고, 상기 다수의 화소 각각은, 상기 다수의 게이트 배선 중 홀수 번째 게이트 배선과 상기 다수의 데이터 배선 중 홀수 번째 데이터 배선에 연결되는 제1 영역과; 상기 다수의 게이트 배선 중 짝수 번째 게이트 배선과 상기 다수의 데이터 배선 중 짝수 번째 데이터 배선에 연결되는 제2 영역을 포함하는 것을 특징으로 하는 액정표시장치를 제공한다.

대표도 - 도3



명세서

청구범위

청구항 1

기관과;

상기 기관 상부에 형성되는 인쇄 회로 기관과;

상기 기관 및 상기 인쇄 회로 기관 사이에 연결되는 다수의 집적 회로부와;

상기 다수의 집적 회로부와 연결되는 다수의 데이터 배선과;

상기 다수의 집적 회로부와 연결되고, 상기 다수의 데이터 배선과 교차하여 다수의 화소를 정의하는 다수의 게이트 배선을 포함하고, 상기 다수의 화소 각각은, 상기 다수의 게이트 배선 중 홀수 번째 게이트 배선과 상기 다수의 데이터 배선 중 홀수 번째 데이터 배선에 연결되는 제1 영역과;

상기 다수의 게이트 배선 중 짝수 번째 게이트 배선과 상기 다수의 데이터 배선 중 짝수 번째 데이터 배선에 연결되는 제2 영역을 포함하며,

상기 다수의 집적 회로부는 홀수 번째 게이트 배선에 턴 온 펄스를 갖는 게이트 신호와 홀수 번째 데이터 배선에 계조 데이터 신호를 인가하고, 또한 짝수 번째 게이트 배선에 상기 턴 온 펄스를 갖는 게이트 신호 또는 상기 턴 온 펄스를 갖지 않는 게이트 신호와 짝수 번째 데이터 배선에서 계조 데이터 신호 또는 블랙 계조 신호를 인가하는 것

을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 다수의 게이트 배선은 제1 및 제2 게이트 배선을 포함하고, 상기 다수의 데이터 배선은 제1 및 제2 데이터 배선을 포함하고, 상기 제1 게이트 배선 및 상기 제1 데이터 배선은 상기 제1 영역에 연결되고, 상기 제2 게이트 배선 및 상기 제2 데이터 배선은 상기 제2 영역에 연결되는 것을 포함하는 액정표시장치.

청구항 3

제 1항에 있어서,

상기 제1 영역은,

상기 게이트 배선 중 제1 게이트 배선과 연결되는 제1 박막트랜지스터와;

상기 제1 박막트랜지스터에 연결되는 스토리지캐패시터 및 액정캐패시터를 포함하고,

상기 제2 영역은,

상기 게이트 배선 중 제2 게이트 배선과 연결되는 제2 박막트랜지스터와 스토리지캐패시터 및 액정캐패시터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1항에 있어서,

상기 집적 회로부는 데이터 구동부 및 게이트 구동부를 포함하는 액정표시장치.

청구항 5

제1 데이터 배선 내지 제 m (m 은 자연수) 데이터 배선과 제1 게이트 배선 내지 제 n (n 은 자연수) 게이트 배선이 교차하여 정의하는 다수의 화소와, 상기 다수의 화소 각각에 2개의 게이트 배선과 2개의 데이터 배선이 교차하여 정의하는 제1 영역 및 제2 영역을 형성하고, 2D 모드와 3D 모드를 병용하는 액정표시장치의 구동방법에서,

상기 제1 게이트 배선내지 제 n 게이트 배선 중 홀수 번째 게이트 배선에 턴 온 펄스를 갖는 게이트 신호를 인가하는 단계와;

상기 제1 데이터 배선 내지 제 m 데이터 배선 중 홀수 번째 데이터 배선에 게조 데이터 신호를 인가하는 단계와;

상기 제1 게이트 배선 내지 제 n 게이트 배선 중 짝수 번째 게이트 배선에 상기 턴 온 펄스를 갖는 게이트 신호 또는 상기 턴 온 펄스를 갖지 않는 게이트 신호를 인가하는 단계와;

상기 제1 데이터 배선 내지 제 m 데이터 배선 중 짝수 번째 데이터 배선에서 게조 데이터 신호 또는 블랙 게조 신호를 인가하는 단계

를 포함하는 액정표시장치의 구동방법.

청구항 6

제 5 항에 있어서,

상기 제1 게이트 배선 내지 제 n 게이트 배선 중 짝수 번째 게이트 배선에 상기 턴 온 펄스를 갖는 게이트 신호 또는 상기 턴 온 펄스를 갖지 않는 게이트 신호를 인가하는 단계는,

3D모드일 때, 상기 제1 게이트 배선 내지 제 n 게이트 배선 중 짝수 번째 게이트 배선에 상기 턴 온 펄스를 갖는 게이트 신호를 인가하는 단계와;

상기 제1 데이터 배선 내지 제 m 데이터 배선 중 짝수 번째 데이터 배선에 블랙 게조 신호를 인가하는 단계를 포함하는 액정표시장치의 구동방법.

청구항 7

제 5 항에 있어서,

상기 제1 게이트 배선 내지 제 n 게이트 배선 중 짝수 번째 게이트 배선에 상기 턴 온 펄스를 갖는 게이트 신호 또는 상기 턴 온 펄스를 갖지 않는 게이트 신호를 인가하는 단계는,

2D모드일 때, 상기 제1 게이트 배선 내지 제 n 게이트 배선 중 짝수 번째 게이트 배선에 상기 턴 온 펄스를 갖지 않는 게이트 신호를 인가하는 단계와;

상기 제1 데이터 배선 내지 제 m 데이터 배선 중 짝수 번째 데이터 배선에 게조 신호를 인가하는 단계를 포함하는 액정표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치에서 패턴드 리타더 사용시 소비 전력을 개선하는 설계에 관한 것이다.

배경 기술

- [0002] 최근 3차원 입체영상 표시기술 중 편광안경을 이용한 3D 영상 표시장치에 대한 요구가 늘어나고 있다.
- [0003] 이런 편광안경을 이용한 액정표시장치는, 크게 화상을 표시하는 액정표시장치와, 상기 액정표시장치의 외측면에 부착된 패턴드 리타더 필름과, 상기 액정표시장치로부터 상기 패턴드 리타더 필름을 통과하여 나오는 화상을 선택적으로 투과시키는 것을 특징으로 하는 편광안경으로 구성되고 있다.
- [0004] 이러한 구성을 갖는 종래의 3D 영상 표시장치의 3D 영상 시청 가능 영역은 상기 액정표시장치의 중앙부에서의 법선을 기준으로 상하방향으로 ± 13 도 정도가 되고 있다.
- [0005] 따라서 사용자는 상기 액정표시장치를 정면을 기준으로 상하방향으로 ± 13 도 이상으로 정도를 벗어나서 상기 액정표시장치를 바라보는 경우, 좌안으로 입사되어야 하는 화상 정보 중 일부가 우안으로 입사되고, 우안으로 입사되어야 하는 화상 정보 중 일부가 좌안으로 입사됨으로써 영상 섞임이 발생하여 정상적인 3D 화상 시청이 불가능하거나 또는 3D 영상 품질이 현저히 저하되고 있는 실정이다.
- [0006] 이러한 현상을 3D 수직 크로스트크라 현상이라 칭하고 있다.
- [0007] 각 3D 영상 표시장치 제조사는 3D 영상 시청 가능 영역의 상하 방향으로의 각도를 늘려 3D 영상 시청 범위를 늘리고자 노력하고 있다.
- [0008] 이에 따라 패턴드 리타더 필름을 이용한 액정표시장치는 좌원편광과 우원편광 사이에 블랙 스트라이프(Black Stripe)를 형성하는 방법과, 광원의 면적을 줄여 상하 시야각 범위에서 간섭현상이 발생하지 않도록 시야각을 개선하는 방법이 제안되었다.
- [0009] 하지만 이와 같이 패턴드 리타더를 구성하면, 2D와 3D가 혼용되는 액정표시장치에서 2D로 영상을 구현 시 기존 2D 액정표시장치와 비교하여 휘도가 떨어지는 문제가 발생한다.
- [0010] 이와 같은 문제를 해결하기 위해 인-셀 블랙 스트라이프 패턴드 리타더(In-Cell Stripe Patterned Retarder) 구조가 제안되었다.
- [0011] 인-셀 블랙 스트라이프 패턴드 리타더 구조는 블랙 스트라이프를 구성하거나, 광원의 면적을 줄이는 대신 한 개의 화소를 두 개로 나누어 제어한다.
- [0012] 예를 들어 2D와 3D가 혼용되는 액정표시장치에서 3D 모드를 구현하려면, 둘로 나누어진 상기 화소 중 하나와 상기 화소와 동일 라인의 상기 화소들을 오프시켜 블랙 스트라이프와 같은 역할을 할 수 있다.
- [0013] 그리고 2D 모드로 구현하려면, 오프된 상기 화소를 온 시켜서 활용하므로 기존의 2D 액정표시장치와 동일한 휘도를 구현할 수 있다.
- [0014] 이하 도면을 참조하여 종래기술을 설명한다.
- [0015] 이하 위와 같은 구조의 화소를 가진 패널(10)을 설명한다.
- [0016] 도 1은 종래의 패널(10)을 개략적으로 도시한 도면이다.
- [0017] 도 1을 참조하면, 패널(10) 상부의 제1 측에 다수의 게이트 구동부(30)가 위치하고, 패널(10)의 제 2측에 다수의 데이터 구동부(20)가 위치한다. 이때 다수의 데이터 구동부(20) 및 다수의 게이트 구동부(30)는 각각의 출력이 인가되는 다수의 데이터 배선(DL1 내지 DLm)과 다수의 게이트 배선(GL1 내지 GLn)에 연결된다.
- [0018] 이때 다수의 데이터 배선(DL1 내지 DLm)과 다수의 게이트 배선(GL1 내지 GLn)은 서로 교차하여 다수의 화소(40)를 정의한다.
- [0019] 이하 도2를 참조하여 종래의 화소를 자세히 설명한다.
- [0020] 도 2은 종래의 화소를 개략적으로 도시한 회로도이다.
- [0021] 도 2을 참조하면, 패널(도 1의 10) 상부에는 제1 게이트 구동부(GIP1) 및 제2 게이트 구동부(GIP2)와, 상기 제1 게이트 구동부(GIP1) 및 상기 제2 게이트 구동부(GIP2)에 각각 연결되는 제1 게이트 배선(GL1) 및 제2 게이트 배선(GL2)과, 상기 제1 게이트 배선(GL1) 및 상기 제2 게이트 배선(GL2)과 교차하여 화소(40)를 정의하는 데이터 배선(DL)이 형성된다.
- [0022] 이때, 화소(40)는 제1 박막트랜지스터(Tsw1)와 제2 박막트랜지스터(Tsw2) 및 제3 박막트랜지스터(T_{CNT})와, 각각의 박막트랜지스터에 연결되는 스토리지캐패시터(Cst)와 액정커패시터(C_{LC})를 포함하고, 각각의 액정커패시터

(C_{LC})는 화소 전극(미도시)과 공통전극(V_{com})을 포함한다.

- [0023] 그리고, 제1 박막트랜지스터(T_{sw1}) 및 제2 박막트랜지스터(T_{sw2})의 게이트 전극은 제1 게이트 배선(GL1)에 연결되고, 제3 박막트랜지스터(T_{CNT})의 게이트 전극은 제2 게이트 배선(GL2)에 연결된다.
- [0024] 이때, 제1 박막트랜지스터(T_{sw1}) 및 제2 박막트랜지스터(T_{sw2})의 소스 전극은 데이터 배선(DL)에 연결되고, 제3 박막트랜지스터(T_{CNT})의 소스전극은 제2 박막트랜지스터(T_{sw2})의 드레인 전극과 연결된다.
- [0025] 또한, 제1 박막트랜지스터(T_{sw1})의 드레인 전극은 화소전극에 연결되고, 제2 박막트랜지스터(T_{sw2})의 드레인 전극은 화소전극과 화소의 온/오프를 제어하기 위한 제3 박막트랜지스터(T_{CNT})의 소스전극에 연결된다.
- [0026] 이때, 제1 게이트 배선(GL1)과 제2 게이트 배선(GL2)으로 화소(40)가 제1 게이트 배선(GL1)과 연결되는 제1 영역과, 제1 게이트 배선(GL1) 및 제2 게이트 배선과 연결되는 제2 영역으로 나뉜다.
- [0027] 그리고, 도시하지 않았지만 제1 게이트 구동부(GIP1) 및 제2 게이트 구동부(GIP2)에는 2D 및 3D 모드 제어를 위한 전압과 타이밍 신호가 입력된다.
- [0028] 예를들어 2D 모드일 때는, 제1 게이트 구동부(GIP1)에서 게이트 신호가 출력되어 화소(40)의 제1 영역 및 제2 영역의 계조가 표시된다.
- [0029] 그리고, 3D 모드일 때는 제1 게이트 구동부(GIP1) 및 제2 게이트 구동부(GIP2)에서 각각 게이트 신호 및 타이밍 신호가 출력되어 화소(40)의 제1 영역은 계조를 표시하고, 제2 영역은 블랙을 표시한다.
- [0030] 이와 같이 인-셀 블랙 스트라이프 패턴드 리타더 구조에서는, 하나의 화소가 다수의 게이트 배선(GL1 내지 GL_n) 중 두 개에 대응되고, 두 개의 게이트 배선의 게이트 신호에 의하여 제어된다.
- [0031] 따라서, 하나의 화소가 두 개의 영역으로 구분되고, 두 개의 게이트 배선에 의하여 두 개의 영역의 온/오프가 제어되므로 2D와 3D를 병용하는 액정표시장치에 있어서, 3D 모드에서 패턴드 리타더 필름에 블랙 스트라이프를 형성한 것과 동일한 시야각을 얻고, 2D 모드에서는 2D 액정표시장치와 동일한 휘도를 얻는다.
- [0032] 하지만 한 화소당 2개의 게이트 구동부를 패널(10)에 구성하여 각각 타이밍을 제어하여 구동하기 때문에 게이트 구동부의 신뢰성이 떨어지고, 게이트 구동부에 부하가 크게 걸리는 문제가 발생한다.

발명의 내용

해결하려는 과제

- [0033] 본 발명에서는 위와 같이 액정표시장치에서 인-셀 블랙 스트라이프 패턴드 리타더 구조 적용시 게이트 구동부의 신뢰성이 떨어지고 부하가 크게 걸리는 문제를 해결하고자 한다.

과제의 해결 수단

- [0034] 위와 같은 과제의 해결을 위해, 본 발명은, 기판과; 상기 기판 상부에 형성되는 인쇄 회로 기판과; 상기 기판 및 상기 인쇄 회로 기판 사이에 연결되는 다수의 집적 회로부와; 상기 다수의 집적 회로부와 연결되는 다수의 데이터 배선과; 상기 다수의 집적 회로부와 연결되고, 상기 다수의 데이터 배선과 교차하여 다수의 화소를 정의하는 다수의 게이트 배선을 포함하고, 상기 다수의 화소 각각은, 상기 다수의 게이트 배선 중 홀수 번째 게이트 배선과 상기 다수의 데이터 배선 중 홀수 번째 데이터 배선에 연결되는 제1 영역과; 상기 다수의 게이트 배선 중 짝수 번째 게이트 배선과 상기 다수의 데이터 배선 중 짝수 번째 데이터 배선에 연결되는 제2 영역을 포함하는 것을 특징으로 하는 액정표시장치를 제공한다.
- [0035] 이때, 상기 다수의 게이트 배선은 제1 및 제2 게이트 배선을 포함하고, 상기 다수의 데이터 배선은 제1 및 제2 데이터 배선을 포함하고, 상기 제1 게이트 배선 및 상기 제1 데이터 배선은 상기 제1 영역에 연결되고, 상기 제2 게이트 배선 및 상기 제2 데이터 배선은 상기 제2 영역에 연결되는 것을 포함한다.
- [0036] 또한 상기 제1 영역은, 상기 제1 게이트 배선과 연결되는 제1 박막트랜지스터와; 상기 제1 박막트랜지스터에 연결되는 스토리지캐패시터 및 액정캐패시터를 포함하고, 상기 제2 영역은, 상기 제2 게이트 배선과 연결되는 제2

박막트랜지스터와 스토리지캐패시터 및 액정캐패시터를 포함하는 것을 특징으로 한다.

[0037] 그리고, 상기 집적 회로부는 데이터 구동부 및 게이트 구동부를 포함한다

[0038] 또한 본 발명은, 제1 데이터 배선 내지 제 m (m 은 자연수) 데이터 배선과 제1 게이트 배선 내지 제 n (n 은 자연수) 게이트 배선이 교차하여 정의하는 다수의 화소와, 상기 다수의 화소 각각에 2개의 게이트 배선과 2개의 데이터 배선이 교차하여 정의하는 제1 영역 및 제2 영역을 형성하고, 2D 모드와 3D 모드를 병용하는 액정표시장치의 구동방법에서, 상기 제1 게이트 배선 내지 제 n 게이트 배선 중 홀수 번째 게이트 배선에 턴 온 펄스를 갖는 게이트 신호를 인가하는 단계와; 상기 제1 데이터 배선 내지 제 m 데이터 배선 중 홀수 번째 데이터 배선에 게조 데이터 신호를 인가하는 단계와; 상기 제1 게이트 배선 내지 제 n 게이트 배선 중 짝수 번째 게이트 배선에 상기 턴 온 펄스를 갖는 게이트 신호 또는 상기 턴 온 펄스를 갖지 않는 게이트 신호를 인가하는 단계와; 상기 제1 데이터 배선 내지 제 m 데이터 배선 중 짝수 번째 데이터 배선에서 게조 데이터 신호 또는 블랙 게조 신호를 인가하는 단계를 포함하는 액정표시장치의 구동방법을 제공한다.

[0039] 이때, 상기 제1 게이트 배선 내지 제 n 게이트 배선 중 짝수 번째 게이트 배선에 상기 턴 온 펄스를 갖는 게이트 신호 또는 상기 턴 온 펄스를 갖지 않는 게이트 신호를 인가하는 단계는, 3D모드일 때, 상기 제1 게이트 배선 내지 제 n 게이트 배선 중 짝수 번째 게이트 배선에 상기 턴 온 펄스를 갖는 게이트 신호를 인가하는 단계와; 상기 제1 데이터 배선 내지 제 m 데이터 배선 중 짝수 번째 데이터 배선에 블랙 게조 신호를 인가하는 단계를 포함한다.

[0040] 그리고 상기 제1 게이트 배선 내지 제 n 게이트 배선 중 짝수 번째 게이트 배선에 상기 턴 온 펄스를 갖는 게이트 신호 또는 상기 턴 온 펄스를 갖지 않는 게이트 신호를 인가하는 단계는, 2D모드일 때, 상기 제1 게이트 배선 내지 제 n 게이트 배선 중 짝수 번째 게이트 배선에 상기 턴 온 펄스를 갖지 않는 게이트 신호를 인가하는 단계와; 상기 제1 데이터 배선 내지 제 m 데이터 배선 중 짝수 번째 데이터 배선에 게조 신호를 인가하는 단계를 포함한다.

발명의 효과

[0041] 본 발명은 액정표시장치에 인-셀 블랙 스트라이프 패턴드 리타더 구조를 사용하여, 2D 와 3D 모드를 병용하는 경우 3D 모드에서는 충분한 시야각을 얻을 수 있고, 2D 모드에서는 2D 액정표시장치와 동일한 휘도를 구현하는 효과와, 게이트 링크 어레이 구동을 통해 인-셀 블랙 스트라이프 패턴드 리타더 구조를 안정적으로 구현할 수 있는 효과가 있다.

도면의 간단한 설명

[0042] 도 1은 종래의 패널을 개략적으로 도시한 도면이다.

도 2는 종래의 화소의 등가회로를 개략적으로 도시한 도면이다.

도 3은 본 발명의 게이트 링크 어레이 구조를 적용한 패널을 개략적으로 도시한 도면이다.

도 4는 본 발명의 게이트 링크 어레이 구조를 적용한 화소를 개략적으로 도시한 도면이다.

도 5는 게이트 링크 어레이 구조를 적용한 화소의 구동 타이밍을 개략적으로 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0043] 이하 도면을 참조하여 본 발명의 게이트 링크 어레이(Gate link array) 구조를 설명한다.

[0044] 도 3은 본 발명의 게이트 링크 어레이 구조를 적용한 패널을 개략적으로 도시한 도면이다.

[0045] 도 3을 참조하면, 패널(100) 상부의 제1 측면에는 인쇄 회로 기판(200)이 위치하고, 인쇄회로 기판(200)에는 데이터 및 게이트 구동부의 역할을 하는 집적 회로부(300)가 위치한다. 이때 집적 회로부(300)은 각각의 출력이 인가되는 다수의 데이터 배선(DL1 내지 DL m)과 다수의 게이트 배선(GL1 내지 GL n)이 연결된다.

[0046] 이때, 각각의 데이터 배선(DL1 내지 DL m)과 게이트 배선(GL1 내지 GL n)은 서로 교차하여 화소(400)를 정의한다.

- [0047] 이때, 데이터 배선(DL1 내지 DLm)은 화소(400)와 연결되어 데이터 신호를 인가한다
- [0048] 그리고, 하나의 화소에 두 개의 게이트 배선(GL1 내지 GLn)이 연결되어 한 화소를 두 개의 영역으로 나눈다. 두 개의 영역은 두 개의 게이트 배선(GL1 내지 GLn) 중 하나와 연결되는 제1 영역과 제1 영역과 마주보며 나머지 게이트 배선(GL1 내지 GLn)과 연결되는 제2 영역으로 구분된다.
- [0049] 예를들어 제1 영역에 연결되는 다수의 게이트 배선(GL1 내지 GLn)은 홀수 열일 수 있고, 제2 영역에 연결되는 다수의 게이트 배선(GL1 내지 GLn)은 짝수 열일 수 있다.
- [0050] 이때, 제1 영역과 제2 영역은 서로 다른 데이터배선에 연결된다.
- [0051] 이와 같이 구성하면, 한 화소(400)를 두 영역으로 나누어 3D 모드를 사용할 때 제1 영역과 제2 영역에 각각 다른 게이트 신호와 다른 계조의 데이터 신호를 인가하여 두 개의 영역 중 하나를 오픈할 수 있다. 이에 따라 가로 방향의 화소(400)의 한 영역을 오픈할 수 있다.
- [0052] 또한 2D 모드를 사용할 때는, 제1 영역과 제2 영역에 동일한 게이트 신호와 동일한 계조의 데이터 신호를 인가하여 두 개의 영역의 계조를 모두 표시할 수 있다.
- [0053] 이와 같이 동작하면, 2D와 3D를 병용하는 액정표시장치에 있어서, 3D 모드에서 패턴드 리타더 필름에 블랙 스트라이프를 형성한 것과 동일한 시야각을 얻고, 2D 모드에서는 2D 액정표시장치와 동일한 휘도를 얻을 수 있다.
- [0054] 이하 도 4 및 5를 참조하여 본 발명의 화소를 자세히 설명한다.
- [0055] 도 4는 본 발명의 게이트 링크 어레이 구조를 적용한 화소를 개략적으로 도시한 도면이고 도 5는 게이트 링크 어레이 구조를 적용한 화소의 구동 타이밍을 개략적으로 도시한 도면이다.
- [0056] 도 4 및 도 5를 참조하면, 본 발명의 게이트 링크 어레이 구조를 적용한 표시장치에서는, 기관(미도시) 상부에 다수의 데이터 배선(DL1, DL2) 및 다수의 게이트 배선(GL1, GL2)이 형성되고, 다수의 데이터 배선(DL1, DL2)과 다수의 게이트 배선(GL1, GL2)은 서로 교차하여 화소(400)를 정의한다.
- [0057] 이때 화소(400)는 제1 박막트랜지스터(Tsw1)와 스토리지캐패시터(C_{ST}) 및 액정캐패시터(C_{LC})를 포함하는 제1 영역(400a)과, 제2 박막트랜지스터(Tsw2)와 스토리지캐패시터(C_{ST}) 및 액정캐패시터(C_{LC})를 포함하는 제2 영역(400b)을 포함한다.
- [0058] 이때, 각각의 액정캐패시터(C_{LC})는 화소 전극(미도시)과 공통전극(Vcom)을 포함한다.
- [0059] 그리고, 제1 박막트랜지스터(Tsw1)의 게이트 전극은 제1 게이트 배선(GL1)에 연결되고, 제2 박막트랜지스터(Tsw2)의 게이트 전극은 제2 게이트 배선(GL2)에 연결된다.
- [0060] 또한, 제1 박막트랜지스터(Tsw1)의 드레인 전극 및 제2 박막트랜지스터(Tsw2)의 드레인 전극은 화소전극에 연결된다.
- [0061] 이때, 제1 박막트랜지스터(Tsw1)의 소스전극은 제1 데이터 라인(DL1)과 연결되고, 제2 박막트랜지스터(Tsw2)의 소스 전극은 제2 데이터 라인(DL2)과 연결된다.
- [0062] 그리고, 화소(400)는 제1게이트 배선(GL1) 및 제2 게이트 배선(GL2)과 연결되어 게이트 신호를 인가받는다.
- [0063] 예를들어, 3D 모드 사용시 제1 게이트 배선(GL1)에서는 턴 온 펄스를인가하고, 제2 게이트 배선(GL2)에는 턴 온 펄스를 인가하지 않으면, 제1 영역(400a)는 계조가 표시되고, 제2 영역(400b)은 블랙이 표시된다. 따라서 한 화소(400)에서 블랙 스트라이프를 형성한 것과 같은 효과를 얻을 수 있다.
- [0064] 또한, 제1 게이트 신호(GL1) 및 제2 게이트 신호(GL2)를 모두 턴 온신호를 인가하고, 제1 데이터 배선(DL1)에서 계조 데이터 신호를 인가하고 제2 데이터 배선(DL2)에서는 블랙 데이터 신호를 인가해도 위와 같은 효과를 얻을 수 있다.
- [0065] 위와 같이 게이트 링크 어레이 구조는 인-셀 스프라이트 패턴드 리타더 구조와 같이 하나의 화소(400)에 두 개의 게이트 배선(GL1 및 GL2)과 두 개의 데이터 배선(DL1 및 DL2)을 대응시키고, 제2 영역(400b)에 연결된 제2 게이트 배선(GL2) 및 제2 데이터 배선으로 게이트 신호와 데이터 신호를 인가하여 제2 영역의 온/오프를 제어한다.
- [0066] 좀 더 상세히 설명하면, 2D모드에서는 화소(400)의 제1 게이트 배선(GL1)에서 턴 온 펄스를 인가하고, 제1 데이

터 배선(DL1)에서 계조 데이터 신호를 인가하면 제1 영역의 화소가 계조표시되고, 제2 게이트 배선(GL2)에서 턴 온 펄스를 인가하고, 제2 데이터 배선(DL2)에서 계조 데이터 신호를 인가하면 제2 영역(400b)의 화소가 계조표시된다.

[0067] 따라서, 화소(400)의 제1 및 제2 영역(400a, 400b)이 모두 구동되어 2D 액정표시장치와 동일한 휘도를 얻을 수 있다.

[0068] 그리고 3D모드의 구현시에는, 화소(400)의 제1 게이트 배선(GL1)에서 턴 온 펄스를 인가하고, 제1 데이터 배선(DL1)에서 계조 데이터 신호를 인가하면 제1 영역(400a)의 화소가 계조표시되고, 제2 게이트 배선(GL2)에서 턴 온 펄스를 인가하지 않으면, 제2 영역(400b)의 화소가 블랙표시된다.

[0069] 따라서, 한 개의 화소(400)에서 두 영역의 온/오프를 제어하므로 2D와 3D를 병용하는 액정표시장치에 있어서, 3D 모드에서 패턴드 리타더 필름에 블랙 스트라이프를 형성한 것과 동일한 시야각을 얻고, 2D 모드에서는 2D 액정표시장치와 동일한 휘도를 얻는다.

[0070] 그리고, 인-셀 블랙 패턴드 리타더 구조처럼 다수의 게이트 구동부의 타이밍을 각각 제어하여 구동하지 않기 때문에 게이트 구동부의 신뢰성이 떨어지는 문제와, 게이트 구동부에서 부하가 크게 걸리는 문제를 해결할 수 있다.

[0071] 또한, 게이트 구동부를 데이터 구동부의 배면에 형성하여 네로우 베젤(Narrow bezel)를 구현하기 편하다.

[0072] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 기술자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0073] 100 : 패널 200 : 인쇄 회로 기판

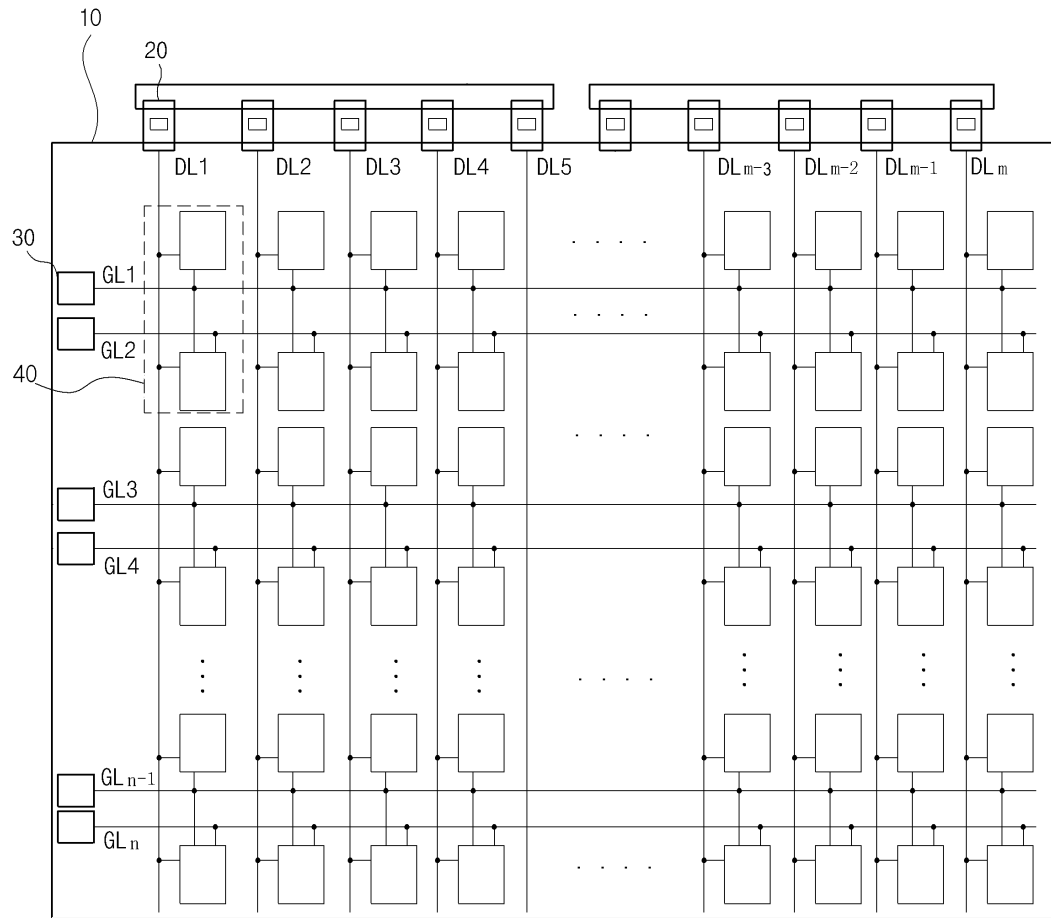
300 : 집적 회로부 400 : 화소

DL1 내지 DLm : 데이터 배선

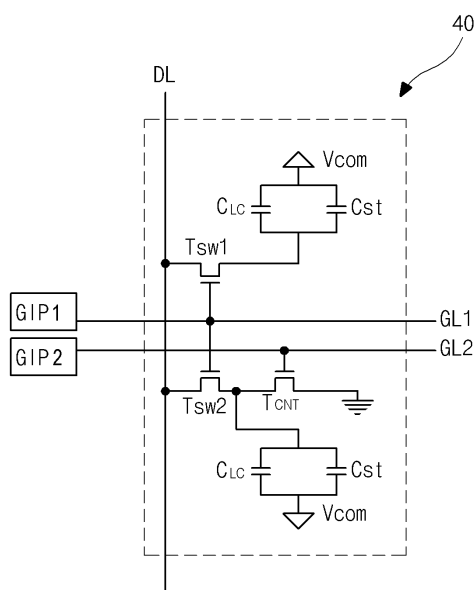
GL1 내지 GLn : 게이트 배선

도면

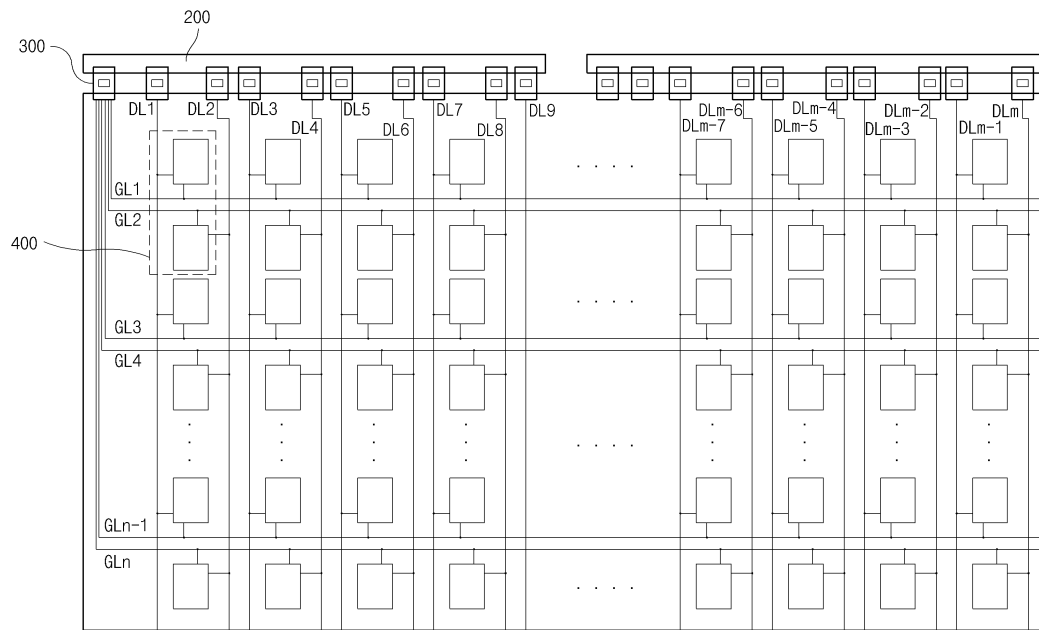
도면1



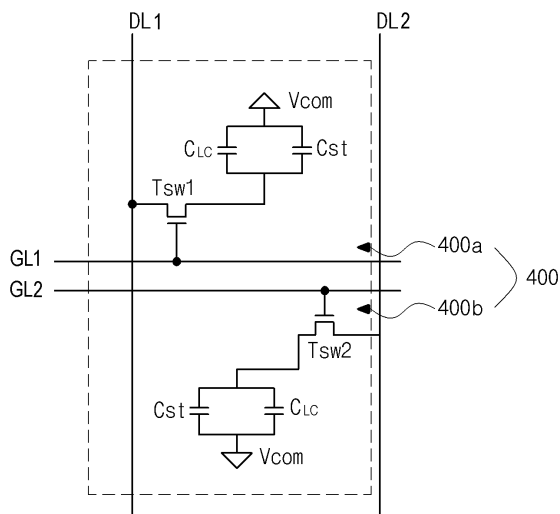
도면2



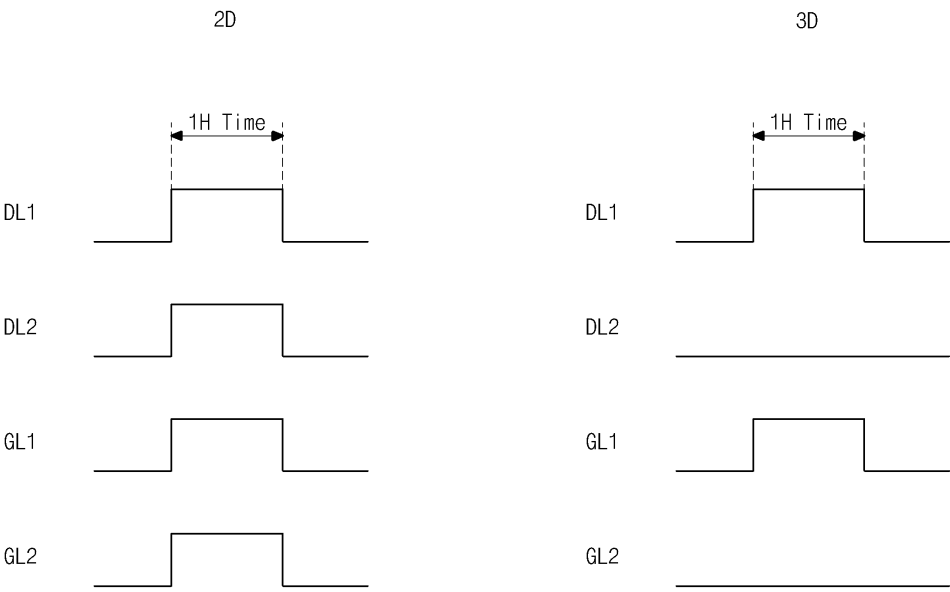
도면3



도면4



도면5



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR101985682B1	公开(公告)日	2019-06-04
申请号	KR1020130011182	申请日	2013-01-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	한예슬 이병현		
发明人	한예슬 이병현		
IPC分类号	G02F1/133 G09G3/36		
审查员(译)	金		
其他公开文献	KR1020140098481A		
外部链接	Espacenet		

摘要(译)

本发明的基材；在基板上形成的印刷电路板；多个集成电路单元连接在基板和印刷电路板之间；多个数据线连接到多个集成电路单元；多个栅极线连接到多个集成电路单元并限定与多个数据线交叉的多个像素，其中，多个像素中的每个包括奇数编号的栅极线和多个栅极线；第一区域连接到多条数据线中的奇数条数据线；第二区域连接到多条栅极线中的偶数栅极线和多条数据线中的偶数数据线。

