



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월27일
(11) 등록번호 10-1982167
(24) 등록일자 2019년05월20일

(51) 국제특허분류(Int. Cl.)
G02F 1/1339 (2019.01) G02F 1/133 (2006.01)
G02F 1/1368 (2006.01)
(21) 출원번호 10-2012-0066628
(22) 출원일자 2012년06월21일
심사청구일자 2017년06월21일
(65) 공개번호 10-2013-0143250
(43) 공개일자 2013년12월31일
(56) 선행기술조사문헌
US20020093617 A1*
KR1020070082644 A*
US07468776 B2*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김성만
서울특별시 송파구 신천동
김성훈
서울 관악구 성현로 80, 102동 1103호 (봉천동,
관악드림타운)
(74) 대리인
(뒷면에 계속)
팬코리아특허법인

전체 청구항 수 : 총 32 항

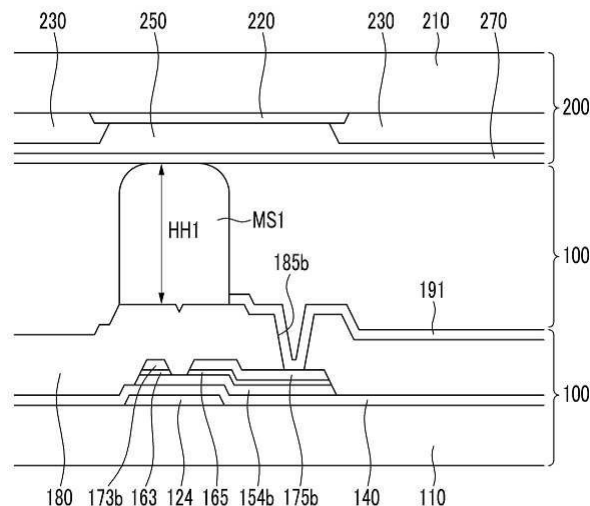
심사관 : 박정근

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 실시예에 따른 액정 표시 장치는 제1 절연 기판, 상기 제1 절연 기판 위에 배치되어 있으며, 게이트선과 동일한 층으로 이루어지는 제1 게이트 도전체 및 제2 게이트 도전체, 상기 제1 게이트 도전체 및 제2 게이트 도전체 위에 배치되어 있는 게이트 절연막, 상기 게이트 절연막 위에 배치되어 있으며 데이터선과 동일한 층으로 이루어지는 데이터 도전체, 상기 제1 절연 기판 위에 배치되어 있는 박막 트랜지스터, 그리고 상기 제1 절연 기판 위에 배치되어 있으며, 서로 높이 또는 폭이 다른 제1 스페이서 및 제2 스페이서를 포함하고, 상기 제2 스페이서는 상기 제1 게이트 도전체 및 상기 제2 게이트 도전체와 중첩한다.

대표도 - 도4



(72) 발명자

나만홍

서울 동대문구 사가정로 148, 111동 407호 (전농동, SK아파트)

송민철

서울 중구 중림로 10, 108동 1503호 (중림동, 삼성사이버아파트)

송준호

경기 성남시 분당구 정자일로 210, 101동 601호 (정자동, 동양정자파라곤)

이유진

부산 부산진구 황령대로64번길 22, 102호 (전포동)

임성훈

전북 군산시 서흥안길 137-3, (서흥남동)

조영제

충남 아산시 탕정면 탕정면로 37, 103동 2304호 (탕정삼성트라펠리스아파트)

주선규

경기 수원시 영통구 매영로310번길 12, 신안아파트 534동 903호 (영통동, 신나무실5단지아파트)

채수정

서울 동대문구 전농로38가길 25, 205호 (전농동, 빌딩)

명세서

청구범위

청구항 1

제1 절연 기관,

상기 제1 절연 기관 위에 배치되어 있으며, 게이트선과 동일한 층으로 이루어지는 제1 게이트 도전체 및 제2 게이트 도전체,

상기 제1 절연 기관 위에 배치되어 있으며, 상기 게이트선과 동일한 층으로 이루어지고, 상기 게이트선과 연결되지 않은 제3 게이트 도전체,

상기 제1 게이트 도전체 및 제2 게이트 도전체, 그리고 상기 제3 게이트 도전체 위에 배치되어 있는 게이트 절연막,

상기 게이트 절연막 위에 배치되어 있으며 데이터선과 동일한 층으로 이루어지는 데이터 도전체,

상기 제1 절연 기관 위에 배치되어 있는 박막 트랜지스터, 그리고

상기 제1 절연 기관 위에 배치되어 있으며, 서로 높이 또는 폭이 다른 제1 스페이서 및 제2 스페이서를 포함하고,

상기 제1 스페이서는 상기 박막 트랜지스터와 중첩하고,

상기 제2 스페이서는 상기 제1 게이트 도전체 및 상기 제2 게이트 도전체, 그리고 상기 제3 게이트 도전체와 중첩하는 액정 표시 장치.

청구항 2

삭제

청구항 3

제1항에서,

상기 제1 절연 기관과 마주하는 제2 기관을 더 포함하고,

상기 제1 스페이서는 상기 제2 기관 위에 배치되어 있는 복수의 박막의 표면과 접촉하는 액정 표시 장치.

청구항 4

제1항에서,

상기 제2 스페이서는 상기 데이터 도전체와 중첩하는 액정 표시 장치.

청구항 5

제4항에서,

상기 제1 절연 기관 위에 배치되어 있는 제3 스페이서를 더 포함하고,

상기 제3 스페이서는 상기 제1 게이트 도전체 및 상기 제2 게이트 도전체와 중첩하는 액정 표시 장치.

청구항 6

제5항에서,
상기 제1 스페이서의 높이는 상기 제2 스페이서의 높이보다 높은 액정 표시 장치.

청구항 7

제6항에서,
상기 제1 스페이서의 폭은 상기 제2 스페이서의 폭과 거의 같은 액정 표시 장치.

청구항 8

제6항에서,
상기 제2 스페이서의 높이는 상기 제3 스페이서의 높이보다 높은 액정 표시 장치.

청구항 9

제8항에서,
상기 제2 스페이서의 폭은 상기 제3 스페이서의 폭과 거의 같은 액정 표시 장치.

청구항 10

제5항에서,
상기 제1 스페이서의 높이는 상기 제2 스페이서의 높이와 거의 같은 액정 표시 장치.

청구항 11

제10항에서,
상기 제1 스페이서의 폭은 상기 제2 스페이서의 폭과 다른 액정 표시 장치.

청구항 12

제10항에서,
상기 제2 스페이서의 높이는 상기 제3 스페이서의 높이와 거의 같은 액정 표시 장치.

청구항 13

제12항에서,
상기 제2 스페이서의 폭은 상기 제3 스페이서의 폭과 다른 액정 표시 장치.

청구항 14

제5항에서,

상기 제1 게이트 도전체 및 상기 제2 게이트 도전체는 인접한 두 개의 화소 행 사이에 배치되어 있는 제1 게이트선 및 제2 게이트선인 액정 표시 장치.

청구항 15

제14항에서,

상기 데이터 도전체는 상기 데이터선과 연결되어 있는 소스 전극의 일부인 액정 표시 장치.

청구항 16

삭제

청구항 17

제1항에서,

상기 제2 스페이서는 상기 데이터 도전체와 중첩하는 액정 표시 장치.

청구항 18

제17항에서,

상기 제1 절연 기판 위에 배치되어 있는 제3 스페이서를 더 포함하고,

상기 제3 스페이서는 상기 제1 게이트 도전체 및 상기 제2 게이트 도전체와 중첩하는 액정 표시 장치.

청구항 19

제18항에서,

상기 제1 스페이서의 높이는 상기 제2 스페이서의 높이보다 높은 액정 표시 장치.

청구항 20

제19항에서,

상기 제1 스페이서의 폭은 상기 제2 스페이서의 폭과 거의 같은 액정 표시 장치.

청구항 21

제19항에서,

상기 제2 스페이서의 높이는 상기 제3 스페이서의 높이보다 높은 액정 표시 장치.

청구항 22

제21항에서,

상기 제2 스페이서의 폭은 상기 제3 스페이서의 폭과 거의 같은 액정 표시 장치.

청구항 23

제18항에서,

상기 제1 스페이서의 높이는 상기 제2 스페이서의 높이와 거의 같은 액정 표시 장치.

청구항 24

제23항에서,

상기 제1 스페이서의 폭은 상기 제2 스페이서의 폭과 다른 액정 표시 장치.

청구항 25

제23항에서,

상기 제2 스페이서의 높이는 상기 제3 스페이서의 높이와 거의 같은 액정 표시 장치.

청구항 26

제25항에서,

상기 제2 스페이서의 폭은 상기 제3 스페이서의 폭과 다른 액정 표시 장치.

청구항 27

제18항에서,

상기 제1 게이트 도전체 및 상기 제2 게이트 도전체는 인접한 두 개의 화소 행 사이에 배치되어 있는 제1 게이트선 및 제2 게이트선인 액정 표시 장치.

청구항 28

제27항에서,

상기 데이터 도전체는 상기 데이터선과 연결되어 있는 소스 전극의 일부인 액정 표시 장치.

청구항 29

삭제

청구항 30

제1항에서,

상기 제1 스페이서의 높이는 상기 제2 스페이서의 높이보다 높은 액정 표시 장치.

청구항 31

제30항에서,

상기 제1 스페이서의 폭은 상기 제2 스페이서의 폭과 거의 같은 액정 표시 장치.

청구항 32

제1항에서,

상기 제1 스페이서의 높이는 상기 제2 스페이서의 높이와 거의 같은 액정 표시 장치.

청구항 33

제32항에서,

상기 제1 스페이서의 폭은 상기 제2 스페이서의 폭과 다른 액정 표시 장치.

청구항 34

제1항에서,

상기 제1 게이트 도전체 및 상기 제2 게이트 도전체는 인접한 두 개의 화소 행 사이에 배치되어 있는 제1 게이트선 및 제2 게이트선인 액정 표시 장치.

청구항 35

제34항에서,

상기 데이터 도전체는 상기 데이터선과 연결되어 있는 소스 전극의 일부인 액정 표시 장치.

청구항 36

삭제

청구항 37

삭제

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 방향을 변화시킴으로써 액정층을 통과하는 빛의 투과율을 조절하는 표시 장치이다.

[0003] 이러한 액정 표시 장치의 상부 기판과 하부 기판은 두 기판 사이에 배치되어 있는 스페이서에 의해 지지되어 셀 갭을 유지한다.

[0004] 일반적으로, 액정 적하 방식으로 형성되는 액정 표시 장치의 경우, 두 기판 중 어느 한 기판에 액정을 적하 방식으로 형성하고, 컬럼 스페이서가 형성된 다른 기판에 표시 영역의 주변부를 둘러싸는 실 라인을 형성한 다음, 상부 기판과 하부 기판을 합착함으로써 제조된다.

[0005] 이러한 컬럼 스페이서가 빛을 투과하는 영역과 중첩하게 되면, 액정 표시 장치의 개구율이 감소한다. 또한, 화

소 영역에 따라 컬럼 스페이스의 배치 여부에 의하여 개구율이 차이 나게 되고, 이러한 개구율 차이로 인해, 얼룩 등의 발생하여 표시 장치의 표시 품질이 저하될 수 있다.

- [0006] 또한, 컬럼 스페이스와 대향 기관과의 접촉 면적이 좁아지면, 컬럼 스페이스가 상부 기관과 하부 기관을 지지하는 힘이 약해져서, 일정한 셀 갭을 유지하지 못해 발생하는 스미어(Smear) 불량이 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명이 해결하고자 하는 기술적 과제는 액정 표시 장치의 개구율 저하 및 표시 품질 저하를 방지하고, 일정한 셀 갭을 유지할 수 있는 컬럼 스페이스를 가지는 액정 표시 장치를 제공하는 것이다.

과제의 해결 수단

- [0008] 본 발명의 실시예에 따른 액정 표시 장치는 제1 절연 기관, 상기 제1 절연 기관 위에 배치되어 있으며, 게이트 선과 동일한 층으로 이루어지는 제1 게이트 도전체 및 제2 게이트 도전체, 상기 제1 게이트 도전체 및 제2 게이트 도전체 위에 배치되어 있는 게이트 절연막, 상기 게이트 절연막 위에 배치되어 있으며 데이터선과 동일한 층으로 이루어지는 데이터 도전체, 상기 제1 절연 기관 위에 배치되어 있는 박막 트랜지스터, 그리고 상기 제1 절연 기관 위에 배치되어 있으며, 서로 높이 또는 폭이 다른 제1 스페이스 및 제2 스페이스를 포함하고, 상기 제2 스페이스는 상기 제1 게이트 도전체 및 상기 제2 게이트 도전체와 중첩한다.

- [0009] 상기 제1 스페이스는 상기 박막 트랜지스터와 중첩할 수 있다.

- [0010] 상기 액정 표시 장치는 상기 제1 기관과 마주하는 제2 기관을 더 포함하고, 상기 제1 스페이스는 상기 제2 기관 위에 배치되어 있는 복수의 박막의 표면과 접촉할 수 있다.

- [0011] 상기 제2 스페이스는 상기 데이터 도전체와 중첩할 수 있다.

- [0012] 상기 액정 표시 장치는 상기 제1 기관 위에 배치되어 있는 제3 스페이스를 더 포함하고, 상기 제3 스페이스는 상기 제1 게이트 도전체 및 상기 제2 게이트 도전체와 중첩할 수 있다.

- [0013] 상기 제1 스페이스의 높이는 상기 제2 스페이스의 높이보다 높을 수 있다.

- [0014] 상기 제1 스페이스의 폭은 상기 제2 스페이스의 폭과 거의 같을 수 있다.

- [0015] 상기 제2 스페이스의 높이는 상기 제3 스페이스의 높이보다 높을 수 있다.

- [0016] 상기 제2 스페이스의 폭은 상기 제3 스페이스의 폭과 거의 같을 수 있다.

- [0017] 상기 제1 스페이스의 높이는 상기 제2 스페이스의 높이와 거의 같을 수 있다.

- [0018] 상기 제1 스페이스의 폭은 상기 제2 스페이스의 폭과 다를 수 있다.

- [0019] 상기 제2 스페이스의 높이는 상기 제3 스페이스의 높이와 거의 같을 수 있다.

- [0020] 상기 제2 스페이스의 폭은 상기 제3 스페이스의 폭과 다를 수 있다.

- [0021] 상기 제1 도전체 및 상기 제2 도전체는 인접한 두 개의 화소 행 사이에 배치되어 있는 제1 게이트선 및 제2 게이트선일 수 있다.

- [0022] 상기 데이터 도전체는 상기 데이터선과 연결되어 있는 소스 전극의 일부일 수 있다.

- [0023] 상기 액정 표시 장치는 상기 제1 절연 기관 위에 배치되어 있으며 상기 게이트선과 동일한 층으로 이루어진 제3 게이트 도전체를 더 포함하고, 상기 제2 스페이스는 상기 제3 게이트 도전체와 중첩할 수 있다.

발명의 효과

- [0024] 본 발명의 실시예에 따른 액정 표시 장치는 게이트 선과 동일한 층으로 이루어지는 적어도 하나의 게이트 도전체 또는 데이터선과 동일한 층으로 이루어지는 데이터 도전체와 중첩하는 컬럼 스페이스를 박막 트랜지스터 표시판 위에 형성함으로써, 액정 표시 장치의 개구율 저하를 방지하고, 표시 품질 저하를 방지하면서도, 일정한 셀 갭을 유지할 수 있는 컬럼 스페이스를 가지는 액정 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.
 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이다.
 도 3은 도 2에 도시한 액정 표시 장치를 III-III 선을 따라 잘라 도시한 단면도이다.
 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.
 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.
 도 6은 본 발명의 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.
 도 7은 본 발명의 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.
 도 8 내지 도 11은 본 발명의 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.
 도 12는 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.
 도 13은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.
 도 14는 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 회로도이다.
 도 15는 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 배치도이다.
 도 16은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.
 도 17은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0027] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0028] 이제 본 발명의 실시예에 따른 액정 표시 장치에 대하여 도면을 참조하여 상세하게 설명한다.
- [0029] 먼저 도 1을 참고하여, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시 장치에 대하여 설명한다. 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.
- [0030] 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 복수의 표시 신호선(G_1-G_{2n} , D_1-D_m , L1, L2)(여기서, $n=1, 2, 3, \dots$, $m=1, 2, 3, \dots$)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(PX)를 포함한다.
- [0031] 표시 신호선(G_1-G_{2n} , D_1-D_m , L1, L2)은 게이트 신호(주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_{2n})과 데이터 신호를 전달하는 데이터선(D_1-D_m) 및 더미선(L1, L2)을 포함한다. 게이트선(G_1-G_{2n})은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_m)과 더미선(L1, L2)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다. 더미선(L1)은 액정 표시판 조립체(300)의 최좌측 가장자리 부근에, 또한 더미선(L2)은 액정 표시판 조립체(300)의 최우측 가장자리 부근에 대략 행 방향으로 뻗어 있으며 데이터선(D_1-D_m)과 거의 평행하다.
- [0032] 각 화소는 표시 신호선(G_1-G_{2n} , D_1-D_m) 및 더미선(L1, L2)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(도시하지 않음) 및 유지 축전기(storage capacitor)(도시하지 않음)를 포함한다. 유지 축전기는 필요에 따라 생략할 수 있다.
- [0033] 박막 트랜지스터 등 스위칭 소자(Q)는 박막 트랜지스터 표시판인 하부 표시판(100)에 구비되어 있으며, 삼단자

소자로서 그 제어 단자 및 입력 단자는 각각 게이트선(G_1 - G_{2n}), 데이터선(D_1 - D_m) 및 더미선($L1$, $L2$)에 연결되어 있으며, 출력 단자는 액정 축전기(C_{LC}) 및 유지 축전기(C_{ST})에 연결되어 있다.

[0034] 도 1에 도시한 바와 같이, 한 쌍의 게이트선(G_1 및 G_2 , G_3 및 G_4 ,...)은 한 행의 화소(PX) 위아래에 배치되어 있다. 또한 데이터선(D_1 - D_m)은 두 열의 화소(PX) 사이에 하나씩 배치되어 있다. 즉, 한 쌍의 화소열 사이에 하나의 데이터선이 배치되어 있다. 이들 게이트선(G_1 - G_{2n}) 및 데이터선(D_1 - D_m)과 화소(PX) 간의 연결을 좀더 자세히 설명한다.

[0035] 화소(PX)의 위쪽과 아래쪽에 연결된 복수 쌍의 게이트선(G_1 - G_{2n})은 각 화소(PX)의 위쪽 또는 아래쪽에 배치된 스위칭 소자(Q)를 통해 해당 화소(PX)의 화소 전극(도시하지 않음)에 연결된다.

[0036] 즉, 홀수 번째 화소행에서, 데이터선(D_1 - D_m)을 중심으로 좌측에 위치한 스위칭 소자(Q)는 위쪽에 위치한 게이트선(G_1 , G_5 , G_9 ,...)에 연결되어 있고, 데이터선(D_1 - D_m)을 중심으로 우측에 위치한 스위칭 소자(Q)는 아래쪽에 위치한 게이트선(G_2 , G_6 , G_{10} ,...)에 연결되어 있다. 반면에 짝수 번째 화소행에서 위치한 위쪽 게이트선(G_3 , G_7 , G_{11} ,...) 및 아래쪽 게이트선(G_4 , G_8 , G_{12} ,...)과 스위칭 소자(Q)와의 연결은 홀수 번째 화소행과 반대이다. 즉, 데이터선(D_1 - D_m)을 중심으로 우측에 위치한 스위칭 소자(Q)는 위쪽에 위치한 게이트선(G_3 , G_7 , G_{11} ,...)에 연결되어 있고, 데이터선(D_1 - D_m)을 중심으로 좌측에 위치한 스위칭 소자(Q)는 아래쪽에 위치한 게이트선(G_4 , G_8 , G_{12} ,...)에 연결되어 있다.

[0037] 홀수 번째 행의 화소(PX) 중 데이터선(D_1 - D_m)을 중심으로 좌측에 위치한 화소(PX)는 스위칭 소자(Q)를 통해 바로 인접한 데이터선(D_1 - D_m)에 연결되어 있고, 데이터선(D_1 - D_m)을 중심으로 우측에 위치한 화소(PX)는 스위칭 소자(Q)를 통해 차인접한 데이터선에 연결되어 있다. 짝수 번째 행의 화소(PX) 중 데이터선(D_1 - D_m)을 중심으로 좌측에 위치한 화소(PX)는 스위칭 소자(Q)를 통해 바로 이전의 데이터선에 연결되어 있고, 데이터선(D_1 - D_m)을 중심으로 우측에 위치한 화소(PX)는 스위칭 소자(Q)를 통해 바로 인접한 데이터선에 연결되어 있다. 또한 첫 번째 열 짝수 번째 행의 화소(PX)는 마지막 데이터선(D_m)에 연결된 더미선($L1$)에 연결되어 있고, 마지막 열 홀수 번째 행의 화소(PX)는 첫 번째 데이터선(D_1)에 연결된 연결선($L2$)에 연결되어 있다.

[0038] 이미 설명한 것처럼, 각 화소에 형성된 스위칭 소자(Q)는 연결된 데이터선(D_1 - D_m)이나 더미선($L1$, $L2$)에 좀더 쉽게 연결될 수 있게, 즉, 연결 길이를 가능한 한 짧게 할 수 있는 위치에 형성된다. 따라서 도 1에 도시한 배치에서 스위칭 소자(Q)의 위치는 매 화소행마다 바뀐다. 즉, 홀수 번째 행에 위치한 화소쌍 중 데이터선(D_1 - D_m)의 왼쪽에 위치한 화소에는 우측 상단부에 스위칭 소자(Q)가 형성되어 있고, 데이터선(D_1 - D_m)의 오른쪽에 위치한 화소에는 우측 하단부에 스위칭 소자(Q)가 형성되어 있다.

[0039] 반면에 짝수 번째 행에 위치한 화소의 스위칭 소자(Q)의 형성 위치는 인접한 화소행의 형성 위치와 정반대이다. 즉, 짝수 번째 행에 위치한 화소쌍 중 데이터선(D_1 - D_m)의 왼쪽에 위치한 화소에는 좌측 하단부에 스위칭 소자(Q)가 형성되어 있고, 데이터선(D_1 - D_m)의 오른쪽에 위치한 화소에는 좌측 상단부에 스위칭 소자(Q)가 형성되어 있다.

[0040] 도 1에 도시한 화소(PX)와 데이터선(D_1 - D_m)의 연결을 정리하면, 각 화소행에서, 인접한 두 데이터선 사이에 위치한 두 화소의 스위칭 소자(Q)는 동일한 데이터선에 연결되어 있다. 즉, 홀수 번째 화소행에서 두 데이터선 사이에 형성된 두 화소의 스위칭 소자(Q)는 오른쪽에 위치한 데이터선에 연결되어 있고, 짝수 번째 화소행에서 두 데이터선 사이에 형성된 두 화소의 스위칭 소자(Q)는 왼쪽에 위치한 데이터선에 연결되어 있다.

[0041] 이러한 배치에 의하면, 데이터 구동부 반전은 열 반전으로서 하나의 데이터선에 흐르는 데이터 전압은 항상 동일 극성이고 이웃한 두 데이터선에 흐르는 데이터 전압은 반대 극성이며, 걸보기 반전은 1×2 도트 반전이다.

[0042] 이처럼, 걸보기 반전이 도트 반전이 되면 화소 전압이 정극성일 때와 부극성일 때에 킥백 전압으로 인해서 나타나는 휘도의 차가 분산되어 나타나므로 세로줄 불량이 줄어든다.

[0043] 또한, 데이터선의 수효가 반으로 줄어, 데이터 구동부의 비용이 줄어들게 된다.

- [0044] 도 1에 도시한 배치는 단지 하나의 예이고, 홀수 번째 행과 짝수 번째 행의 화소 전극(191)과 데이터선(D₁-D_m) 및 게이트선(G₁-G_m)의 연결은 서로 바뀔 수 있으며, 또한 다른 연결 관계를 가질 수 있다.
- [0045] 그러면, 도 2 내지 도 6을 참고하여, 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이다. 도 3은 도 2에 도시한 액정 표시 장치를 III-III 선을 따라 잘라 도시한 단면도이다. 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다. 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다. 도 6은 본 발명의 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다. 도 7은 본 발명의 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.
- [0046] 먼저, 도 2 및 도 3을 참고하여, 본 발명의 한 실시예에 따른 액정 표시 장치의 구조에 대하여 설명한다.
- [0047] 도 2 및 도 3을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 하부 표시판(100)과 이와 마주보는 상부 표시판(200), 그리고 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)을 포함한다.
- [0048] 먼저, 하부 표시판(100)에 대하여 상세하게 설명한다.
- [0049] 투명한 유리 등의 제1 절연 기판(110) 위에 복수의 게이트선(gate line)(121a, 121b)과 복수의 유지 전극선(storage electrode)(131)을 포함하는 게이트 도전체(gate conductor)가 형성되어 있다.
- [0050] 게이트선(121a, 121b)은 주로 가로 방향으로 뻗어 있으며, 게이트선(121a)의 일부는 아래 또는 위로 돌출하여 게이트 전극(124a, 124b)을 이룬다. 또한 게이트선(121a, 121b)은 다른 층 또는 외부 장치와의 접속을 위한 확장부를 포함한다. 두 개의 게이트선(121a, 121b)은 서로 인접하여 쌍을 이룬다. 맨 위의 게이트선(121b)과 맨 아래의 게이트선(121a)은 쌍을 이루지 않을 수 있다.
- [0051] 각 유지 전극선(131)은 게이트선(121a, 121b)과 분리되어 있고, 서로 연결되어 한 쌍의 직사각형을 이루는 유지 전극(133)과 유지 전극 연결부(135)를 포함한다.
- [0052] 유지 전극 연결부(135)는 인접한 두 유지 전극(133)을 서로 연결하며, 유지 전극(133)은 게이트 전극(124a, 124b) 부근에서 굽어있다.
- [0053] 유지 전극선(131)에는 액정 표시 장치의 상부 표시판(200)의 공통 전극(270)에 인가되는 공통 전압 등 소정의 전압이 인가된다.
- [0054] 게이트선(121a, 121b)과 유지 전극선(131)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 이루어진다. 그러나 게이트선(121a, 121b)과 유지 전극선(131)은 물리적 성질이 다른 두 개의 막, 즉 하부막(도시하지 않음)과 그 위의 상부막(도시하지 않음)을 포함할 수도 있다. 상부막은 게이트선(121a, 121b)과 유지 전극선(131)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속으로 이루어질 수 있다. 이와는 달리, 하부막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 크롬, 몰리브덴(Mo), 몰리브덴 합금, 탄탈륨(Ta), 또는 티타늄(Ti) 등으로 이루어질 수 있다. 하부막과 상부막의 조합의 좋은 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.
- [0055] 게이트선(121a, 121b) 및 유지 전극선(131)을 포함하는 게이트 도전체(121a, 121b, 131) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0056] 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소 등으로 이루어진 복수의 반도체(154a, 154b)가 형성되어 있다. 반도체(154a, 154b)는 각각 게이트 전극(124a, 124b) 위에 위치한다.
- [0057] 반도체(154a, 154b)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n⁺ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선행 저항성 접촉 부재(ohmic contact)(163, 165)가 형성되어 있다. 접촉 부재(163, 165)는 쌍을 이루어 반도체(154a, 154b) 위에 위치한다. 반도체(154a, 154b)는 산화물 반도체일 수 있고, 이 경우, 접촉 부재(163, 165)는 생략 가능하다.
- [0058] 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 드

레인 전극(drain electrode)(175a, 175b)을 포함하는 데이터 도전체(data conductor)가 형성되어 있다.

- [0059] 데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121a, 121b) 및 유지 전극 연결부(135)와 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)은 다른 층 또는 외부 장치와의 접속을 위하여 폭이 확장된 끝 부분을 포함한다. 각 데이터선(171)은 드레인 전극(175a, 175b)을 향하여 오른쪽 방향 또는 왼쪽 방향으로 각각 뻗은 복수의 가지부 형태의 소스 전극(source electrode)(173a, 173b)을 포함한다. 소스 전극(173a, 173b)은 드레인 전극(175a, 175b)과 마주한다.
- [0060] 게이트 전극(124a/124b), 소스 전극(173a/173b) 및 드레인 전극(175a/175b)은 반도체(154a/154b)와 함께 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173a/173b)과 드레인 전극(175a/175b) 사이의 반도체(154a/154b)에 형성된다.
- [0061] 데이터선(171)과 드레인 전극(175a, 175b)은 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 따위의 내화성 금속(refractory metal)으로 이루어지는 것이 바람직하며, 저항이 낮은 상부막과 접촉 특성이 좋은 하부막을 포함하는 다층막 구조를 가질 수 있다.
- [0062] 저항성 접촉 부재(163, 165)는 그 하부의 반도체(154a, 154b)와 그 상부의 데이터선(171) 및 드레인 전극(175a, 175b) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다.
- [0063] 데이터선(171) 및 드레인 전극(175a, 175b)과 노출된 반도체(154a, 154b) 부분의 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등 유전율 4.0 이하의 저유전율 절연 물질, 또는 무기 물질인 질화규소 따위로 이루어진다. 이와는 달리 보호막(180)은 유기물과 질화규소의 이중층으로 이루어질 수 있다.
- [0064] 보호막(180)에는 드레인 전극(175a, 175b)을 각각 드러내는 복수의 접촉 구멍(contact hole)(185a, 185b)이 형성되어 있다.
- [0065] 보호막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(pixel electrode)(191)이 형성되어 있다.
- [0066] 화소 전극(191)은 접촉 구멍(185a, 185b)을 통하여 드레인 전극(175a, 175b)과 물리적·전기적으로 연결되어 드레인 전극(175a, 175b)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(191)은 공통 전압을 인가 받는 다른 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자들을 재배열시킨다.
- [0067] 또한 화소 전극(191)과 공통 전극(270)은 액정 축전기를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다. 유지 축전기는 액정 축전기의 전압 유지 능력을 강화하고, 화소 전극(191) 및 이와 이웃하는 유지 전극선(131)의 중첩 등으로 만들어진다.
- [0068] 본 발명의 다른 실시예에 따르면 화소 전극(191)의 재료로 투명한 도전성 폴리머(polymer) 등을 사용하며, 반사형(reflective) 액정 표시 장치의 경우 불투명한 반사성 금속을 사용하여도 무방하다.
- [0069] 화소 전극(191) 위에는 액정층(3)을 배향할 수 있는 배향막(도시하지 않음)이 도포되어 있다.
- [0070] 이제, 상부 표시판(200)에 대하여 상세하게 설명한다.
- [0071] 투명한 유리 등의 제2 절연 기판(210) 위에 블랙 매트릭스(black matrix)라고 하는 차광 부재(220)가 형성되어 있다. 차광 부재(220)는 화소 전극(191) 사이의 빛샘을 방지하는 역할을 하는 것으로서 화소 전극(191)과 마주 보는 개구 영역을 정의한다.
- [0072] 기판(210)과 차광 부재(220) 위에는 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)가 정의하는 개구 영역 내에 거의 들어가도록 배치되어 있다.
- [0073] 색필터(230) 및 차광 부재(220) 위에는 유기 물질 따위로 이루어진 덮개막(overcoat)(250)이 형성되어 색필터(230)를 보호하고 표면을 평탄하게 한다.
- [0074] 덮개막(250)의 위에는 ITO 또는 IZO 등의 투명한 도전 물질 따위로 이루어진 공통 전극(270)이 형성되어 있다.
- [0075] 도 2를 참고하면, 본 발명의 실시예에 따른 액정 표시 장치는 제1 스페이서(MS1), 제2 스페이서(SS1), 제3 스페이서(SS2), 그리고 제4 스페이서(SS3)를 포함한다.

- [0076] 제1 스페이서(MS1), 제2 스페이서(SS1), 제3 스페이서(SS2), 그리고 제4 스페이서(SS3)는 하부 표시판(100) 위에 형성된다.
- [0077] 제1 스페이서(MS1)와 대향하는 상부 표시판(200) 사이의 간격은 제2 스페이서(SS1), 제3 스페이서(SS2), 또는 제4 스페이서(SS3)와 대향하는 상부 표시판(200) 사이의 간격과 다를 수 있다.
- [0078] 제1 스페이서(MS1)는 제2 스페이서(SS1), 제3 스페이서(SS2), 그리고 제4 스페이서(SS3)와 폭 또는 높이가 다를 수 있다. 그러나, 제1 스페이서(MS1)의 높이와 폭은 제2 스페이서(SS1), 제3 스페이서(SS2), 그리고 제4 스페이서(SS3)의 높이와 폭과 같을 수도 있다.
- [0079] 도 2 및 도 4를 참고하면, 제1 스페이서(MS1)는 박막 트랜지스터와 중첩한다. 박막 트랜지스터는 게이트 전극(124b), 게이트 절연막(140), 반도체(154b), 소스 전극(173b) 및 드레인 전극(175b)을 포함한다. 제1 스페이서(MS1)는 대향하는 상부 표시판(200)과 접촉할 수 있다.
- [0080] 도 2 및 도 5를 참고하면, 제2 스페이서(SS1)는 두 개의 게이트선(121a, 121b)과 같은 두 개의 게이트 도전체(121a, 121b), 그리고 소스 전극(173a)의 일부와 같은 하나의 데이터 도전체(173a)와 중첩한다. 도시하지는 않았지만, 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 경우, 제2 스페이서(SS1)는 두 개의 게이트 도전체(121a, 121b)와 함께 추가적인 게이트 도전체와 중첩할 수 있다. 즉, 제2 스페이서(SS1)는 두 개 이상의 게이트 도전체와 중첩한다.
- [0081] 도 2 및 도 6을 참고하면, 제3 스페이서(SS2)는 두 개의 게이트 도전체(121a, 121b)와 중첩한다. 도시하지는 않았지만, 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 경우, 제3 스페이서(SS2)는 두 개의 게이트 도전체(121a, 121b)와 함께 추가적인 게이트 도전체와 중첩할 수 있다. 즉, 제3 스페이서(SS2)는 두 개 이상의 게이트 도전체와 중첩한다.
- [0082] 제2 스페이서(SS1)와 제3 스페이서(SS2)는 대향하는 상부 표시판(200)과 각기 제1 간격(D1)과 제2 간격(D2)을 이루도록 배치된다. 제1 간격(D1)과 제2 간격(D2)은 서로 같을 수 있다. 반면에, 제1 간격(D1)과 제2 간격(D2)은 서로 다를 수 있다.
- [0083] 도 2 및 도 7을 참고하면, 제4 스페이서(SS3)는 두 개의 게이트 도전체(121a, 121b), 그리고 데이터선(171)과 중첩하고, 제4 스페이서(SS3)는 두 개의 게이트선(121a, 121b)과 데이터선(171)이 서로 절연되어 교차하는 위치에 배치되어 있다. 도시하지는 않았지만, 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 경우, 제4 스페이서(SS3)는 두 개의 게이트 도전체(121a, 121b)와 함께 추가적인 게이트 도전체와 중첩할 수 있다. 즉, 제4 스페이서(SS3)는 두 개 이상의 게이트 도전체와 중첩한다.
- [0084] 제2 스페이서(SS1)와 제3 스페이서(SS2)는 대향하는 상부 표시판(200)과 각기 제1 간격(D1)과 제2 간격(D2)을 이루도록 배치되고, 제4 스페이서(SS3)는 상부 표시판(200)과 제3 간격(D3)을 이루도록 배치된다. 제1 간격(D1), 제2 간격(D2), 그리고 제3 간격(D3)은 서로 같을 수 있다. 반면에, 제1 간격(D1), 제2 간격(D2), 그리고 제3 간격(D3)은 서로 다를 수 있다.
- [0085] 도 4 내지 도 7을 참고하면, 제1 스페이서(MS1)의 제1 높이(HH1)는 제2 스페이서(SS1)의 제2 높이(H1), 제3 스페이서(SS2)의 제3 높이(H2), 그리고 제4 스페이서(SS3)의 제4 높이(H3)와 다를 수 있다.
- [0086] 제1 스페이서(MS1)의 제1 높이(HH1)가 제2 스페이서(SS1)의 제2 높이(H1), 제3 스페이서(SS2)의 제3 높이(H2), 그리고 제4 스페이서(SS3)의 제4 높이(H3) 보다 높은 경우, 제1 스페이서(MS1)는 상부 표시판(200)과 접촉하지만, 제2 스페이서(SS1), 제3 스페이서(SS2), 그리고 제4 스페이서(SS3)는 상부 표시판(200)과 각기 제1 간격(D1), 제2 간격(D2), 그리고 제3 간격(D3)을 이룰 수 있다.
- [0087] 그러나, 제1 스페이서(MS1)의 제1 높이(HH1)는 제2 스페이서(SS1)의 제2 높이(H1), 제3 스페이서(SS2)의 제3 높이(H2), 그리고 제4 스페이서(SS3)의 제4 높이(H3)와 거의 같거나 낮을 수 있다. 이 때, 제1 스페이서(MS1)는 상대적으로 높이가 높은 박막 트랜지스터와 중첩하도록 형성되고, 제2 스페이서(SS1), 제3 스페이서(SS2), 그리고 제4 스페이서(SS3)는 상대적으로 높이가 낮은 게이트 도전체(121a, 121b)와 데이터 도전체(171, 173a)와 중첩한다. 따라서, 제1 스페이서(MS1)의 제1 높이(HH1)는 제2 스페이서(SS1)의 제2 높이(H1), 제3 스페이서(SS2)의 제3 높이(H2), 그리고 제4 스페이서(SS3)의 제4 높이(H3)와 거의 같거나 낮더라도, 제1 스페이서(MS1)는 상부 표시판(200)과 접촉하지만, 제2 스페이서(SS1), 제3 스페이서(SS2), 그리고 제4 스페이서(SS3)는 상부 표시판(200)과 각기 제1 간격(D1), 제2 간격(D2), 그리고 제3 간격(D3)을 이룰 수 있다.
- [0088] 또한, 제1 스페이서(MS1)의 폭은 제2 스페이서(SS1)의 폭, 제3 스페이서(SS2)의 폭, 또는 제4 스페이서(SS3)의

폭보다 넓거나 좁을 수 있다. 반면에, 제1 스페이서(MS1)의 폭은 제2 스페이서(SS1)의 폭, 제3 스페이서(SS2)의 폭, 또는 제4 스페이서(SS3)의 폭과 거의 같을 수도 있다.

[0089] 제2 스페이서(SS1)의 제2 높이(H1), 제3 스페이서(SS2)의 제3 높이(H2), 그리고 제4 스페이서(SS3)의 높이는 서로 거의 같을 수 있다. 또한, 제2 스페이서(SS1)의 폭, 제3 스페이서(SS2)의 폭, 그리고 제4 스페이서(SS3)의 폭은 서로 거의 같을 수 있다. 이 경우, 제2 스페이서(SS1)와 제4 스페이서(SS3)는 게이트 도전체(121a, 121b)와 중첩할 뿐만 아니라, 데이터 도전체(173a, 171)와도 중첩하기 때문에 제2 스페이서(SS1) 및 제4 스페이서(SS3)가 배치되는 곳의 하부 표면의 높이가 제3 스페이서(SS2)가 배치되는 곳의 하부 표면보다 높을 수 있다. 따라서, 제2 스페이서(SS1)의 제2 높이(H1) 및 제4 스페이서(SS3)의 제4 높이(H3)는 제3 스페이서(SS2)의 제3 높이(H2)와 거의 같더라도, 제2 스페이서(SS1)가 상부 표시판(200)과 이루는 제1 간격(D1), 그리고 제4 스페이서(SS3)가 상부 표시판(200)과 이루는 제3 간격(D3)은 제3 스페이서(SS2)가 상부 표시판(200)과 이루는 제2 간격(D2)보다 좁을 수 있다.

[0090] 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 따르면, 제2 스페이서(SS1)의 제2 높이(H1) 및 제4 스페이서(SS3)의 제4 높이(H3)는 제3 스페이서(SS2)의 제3 높이(H2)보다 낮을 수 있다. 또한, 제2 스페이서(SS1) 및 제4 스페이서(SS3)는 게이트 도전체(121a, 121b)와 중첩할 뿐만 아니라, 데이터 도전체(173a, 171)와도 중첩하기 때문에 제2 스페이서(SS1) 및 제4 스페이서(SS3)가 배치되는 곳의 하부 표면의 높이가 제3 스페이서(SS2)가 배치되는 곳의 하부 표면보다 높을 수 있다. 따라서, 제2 스페이서(SS1)의 제2 높이(H1) 및 제4 스페이서(SS3)의 제4 높이(H3)는 제3 스페이서(SS2)의 제3 높이(H2)보다 낮더라도, 제2 스페이서(SS1)가 상부 표시판(200)과 이루는 제1 간격(D1) 및 제4 스페이서(SS3)가 상부 표시판(200)과 이루는 제4 간격(D3)은 제3 스페이서(SS2)가 상부 표시판(200)과 이루는 제2 간격(D2)과 거의 같을 수 있다.

[0091] 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 따르면, 제2 스페이서(SS1)의 제2 높이(H1)는 제3 스페이서(SS2)의 제3 높이(H2)보다 높을 수 있다.

[0092] 따라서, 제2 스페이서(SS1)가 상부 표시판(200)과 이루는 제1 간격(D1)은 제3 스페이서(SS2)가 상부 표시판(200)과 이루는 제2 간격(D2)보다 좁을 수 있다.

[0093] 앞서 설명하였듯이, 본 발명의 실시예에 따른 액정 표시 장치의 제1 스페이서(MS1), 제2 스페이서(SS1), 그리고 제3 스페이서(SS2)는 하부 표시판(100) 위에 배치된다. 이처럼, 스페이서를 하부 표시판(100) 위에 형성하면, 스페이서가 대향하는 표시판과 접촉하는 면적이 넓어지기 때문에, 스페이서의 셀 간격을 지지하는 힘이 커지고, 이에 따라 셀 간격을 일정하게 유지할 수 있다.

[0094] 이에 대하여, 도 8 내지 도 11을 참고하여 설명한다. 도 8 내지 도 11은 본 발명의 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다. 도 8 및 도 9는 스페이서를 상부 표시판(200) 위에 형성한 경우를 도시하고, 도 10 및 도 11은 본 발명의 실시예에 따른 액정 표시 장치와 같이, 스페이서를 하부 표시판(100) 위에 형성한 경우를 도시한다. 도 8 및 도 10은 액정 표시 장치에 외부 압력이 가해지지 않은 경우를 도시하고 도 9 및 도 11은 액정 표시 장치에 외부 압력이 가해진 경우를 도시한다.

[0095] 도 8 및 도 9를 참고하면, 스페이서를 상부 표시판(200) 위에 형성한 경우 액정 표시 장치의 외부로부터 압력이 가해지지만, 스페이서(S1)가 대향하는 하부 기관(110) 위에 배치되어 있는 박막 층과 접촉하여, 셀 간격을 유지하게 된다. 하부 기관(110) 위에는 게이트선, 데이터선, 유지 전극선 등의 신호선과 박막 트랜지스터, 화소 전극 등의 복수의 박막이 형성되기 때문에, 스페이서(S1)가 접촉하는 하부 기관(110) 위에 형성되어 있는 박막 층은 큰 단차를 이루게 된다. 따라서, 스페이서(S1)가 접촉하는 단면적은 가장 높이가 높은 층의 단면적이 되고, 스페이서(S1)의 상부 표면의 단면적보다 좁아지게 된다.

[0096] 도 10 및 도 11을 참고하면, 스페이서를 상부 표시판(200) 위에 형성한 경우 액정 표시 장치의 외부로부터 압력이 가해지지만, 스페이서(S2)가 대향하는 상부 기관(210) 위에 배치되어 있는 박막 층과 접촉하여, 셀 간격을 유지하게 된다. 상부(210) 위에는 하부 기관(110)에 비하여, 적은 수의 박막 층이 형성되게 된다. 따라서, 하부 기관(110)에 비하여, 박막 층의 단차가 적다. 따라서, 외부 압력에 의해 스페이서(S2)가 대향하는 상부 기관(210)위에 배치되어 있는 박막 층과 접촉하는 영역의 단면적은 스페이서(S2)의 단면적과 거의 같게 된다.

[0097] 이처럼, 스페이서를 하부 표시판(100) 위에 형성하는 경우, 스페이서를 상부 표시판(200) 위에 형성하는 경우에 비하여, 스페이서가 대향하는 표시판과 접촉하는 면적이 넓어지기 때문에, 스페이서의 셀 간격을 지지하는 힘이 커지고, 이에 따라 셀 간격을 일정하게 유지할 수 있다. 따라서, 스미어 불량을 줄일 수 있다.

[0098] 본 발명의 실시예에 따른 액정 표시 장치의 경우, 스페이서(S1, S2)가 게이트선(121a, 121b) 및 데이터선(171)

의 일부를 이루는 게이트 도전체 및 데이터 도전체 등과 중첩하게 된다.

- [0099] 일반적으로, 스페이서(S1, S2)를 이루는 유기 절연막의 유전율(permittivity)은 액정층(3)의 유전율보다 낮다. 따라서, 하부 표시판(100)에 배치되어 있는 게이트선(121a, 121b) 및 데이터선(171)의 일부가 유전율이 낮은 스페이서(S1, S2)와 중첩함으로써, 하부 표시판(100)에 배치되어 있는 신호선과 상부 표시판(200)에 배치되어 있는 공통 전극(270)과의 사이에 형성될 수 있는 기생 용량의 크기를 줄일 수 있다.
- [0100] 또한, 스페이서(S1, S2)가 하부 표시판(100)에 배치되어 있는 게이트선(121a, 121b) 및 데이터선(171)의 일부인 게이트 도전체 및 데이터 도전체와 중첩함으로써, 화소 전극(191)이 배치되는 표시 영역에 스페이서(S1, S2)를 배치하지 않으면서도, 액정 표시 장치의 셀 간격을 균일하게 유지할 수 있다. 따라서, 액정 표시 장치의 개구율을 감소하지 않으면서도 셀 간격을 균일하게 유지할 수 있다. 또한, 일부 표시 영역에는 스페이서가 배치되고, 다른 영역에는 스페이서가 배치되지 않는 등, 표시 영역의 면적의 불균일에 따른 표시 품질 저하를 방지할 수 있다.
- [0101] 그러면, 도 12 및 도 13을 참고하여, 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 11은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이고, 도 12는 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.
- [0102] 본 실시예에 따른 액정 표시 장치는 제5 스페이서(MS3) 및 제6 스페이서(MS4)를 더 포함할 수 있다.
- [0103] 도 12를 참고하면, 제5 스페이서(MS3)는 두 개의 게이트선(121a, 121b)과 같은 두 개의 게이트 도전체(121a, 121b), 그리고 소스 전극(173a)의 일부와 같은 하나의 데이터 도전체(173a)와 중첩한다. 도시하지는 않았지만, 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 경우, 제5 스페이서(MS3)는 두 개의 게이트 도전체(121a, 121b)와 함께 추가적인 게이트 도전체와 중첩할 수 있다. 즉, 제5 스페이서(MS3)는 두 개 이상의 게이트 도전체와 중첩한다. 제5 스페이서(MS3)는 상부 표시판(200)에 접촉하도록 형성된다.
- [0104] 도 13을 참고하면, 제6 스페이서(MS4)는 두 개의 게이트 도전체(121a, 121b)와 중첩한다. 도시하지는 않았지만, 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 경우, 제6 스페이서(MS4)는 두 개의 게이트 도전체(121a, 121b)와 함께 추가적인 게이트 도전체와 중첩할 수 있다. 즉, 제6 스페이서(MS4)는 두 개 이상의 게이트 도전체와 중첩한다. 제6 스페이서(MS4)는 상부 표시판(200)에 접촉하도록 형성된다.
- [0105] 제5 스페이서(MS3) 및 제6 스페이서(MS4)는 서로 폭 또는 높이가 서로 다를 수 있고, 같을 수도 있다.
- [0106] 앞서 도 1 내지 도 11을 참고로 설명한 실시예에 따른 액정 표시 장치의 많은 특징들은 본 실시예에 따른 액정 표시 장치에 모두 적용 가능하다.
- [0107] 그러면, 도 14 내지 도 17을 참고하여, 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 14는 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 회로도이고, 도 15는 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 배치도이고, 도 16은 도 15의 액정 표시 장치를 XVI-XVI 선을 따라 잘라 도시한 단면도이다. 도 17은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다. 도 18은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 일부를 도시한 단면도이다.
- [0108] 먼저, 도 14를 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 게이트선(121), 용량 전극선(125), 감압(step-down) 게이트선(123), 그리고 데이터선(171)을 포함하는 신호선과 이에 연결된 화소(PX)를 포함한다.
- [0109] 화소(PX)는 제1, 제2 및 제3 스위칭 소자(Qh, Ql, Qc), 제1 및 제2 액정 축전기(Clch, Clcl), 제1 및 제2 유지 축전기(Csth, Cstl), 그리고 감압 축전기(Cstd)를 포함한다. 여기서 제1 스위칭 소자(Qh)와 제1 박막 트랜지스터(Qh), 제2 스위칭 소자(Ql)와 제2 박막 트랜지스터(Ql), 그리고 제3 스위칭 소자(Qc)와 제3 박막 트랜지스터(Qc)는 각각 동일한 부호로 표시한다.
- [0110] 제1 및 제2 스위칭 소자(Qh, Ql)는 각각 게이트선(121) 및 데이터선(171)에 연결되어 있으며, 제3 스위칭 소자(Qc)는 감압 게이트선(123)에 연결되어 있다.
- [0111] 제1 및 제2 스위칭 소자(Qh, Ql)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(121)과 연결되어 있고, 입력 단자는 데이터선(171)과 연결되어 있으며, 출력 단자는 제1 및 제2 액정 축전기(Clch, Clcl)와 제1 및 제2 유지 축전기(Csth, Cstl)와 각각 연결되어 있다.
- [0112] 제3 스위칭 소자(Qc) 역시 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 감압 게이트선(123)과 연결되어 있고, 입력 단자는 제2 액정 축전기(Clcl)와 연결되어 있으며, 출력 단자

는 감압 축전기(Cstd)와 연결되어 있다.

- [0113] 그러면, 도 15 및 도 16을 참고하여, 도 14에 도시한 액정 표시 장치에 대하여 설명한다.
- [0114] 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3) 및 표시판(100, 200) 바깥 면에 부착되어 있는 한 쌍의 편광자(도시하지 않음)를 포함한다.
- [0115] 먼저 하부 표시판(100)에 대하여 설명한다.
- [0116] 절연 기판(110) 위에 복수의 게이트선(gate line)(121), 복수의 감압 게이트선(123) 및 복수의 용량 전극선(125)을 포함하는 복수의 게이트 도전체가 형성되어 있다.
- [0117] 게이트선(121) 및 감압 게이트선(123)은 주로 가로 방향으로 뻗어 있으며 게이트 신호를 전달한다. 게이트선(121)은 위아래로 돌출한 제1 게이트 전극(124h) 및 제2 게이트 전극(124l)을 포함하고, 감압 게이트선(123)은 위로 돌출한 제3 게이트 전극(124c)을 포함한다. 제1 게이트 전극(124h) 및 제2 게이트 전극(124l)은 서로 연결되어 하나의 돌출부를 이룬다.
- [0118] 용량 전극선(125)도 주로 가로 방향으로 뻗어 있으며 공통 전압 등의 정해진 전압을 전달한다. 용량 전극선(125)은 위 아래로 돌출한 유지 전극(129), 게이트선(121)과 대략 수직하게 아래로 뻗은 한 쌍의 세로부(128) 및 한 쌍의 세로부(128)의 끝을 서로 연결하는 가로부(127)를 포함한다. 가로부(127)는 아래로 확장된 용량 전극(126)을 포함한다.
- [0119] 게이트 도전체(121, 123, 125) 위에는 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0120] 게이트 절연막(140) 위에는 비정질 또는 결정질 규소 등으로 만들어질 수 있는 복수의 반도체(154h, 154l, 154c)가 형성되어 있다. 복수의 반도체(154h, 154l, 154c)는 제1 및 제2 게이트 전극(124h, 124l)을 향하여 뻗어 나와 있으며 서로 연결되어 있는 제1 및 제2 반도체(154h, 154l), 그리고 제2 반도체(154l)와 연결된 제3 반도체(154c)를 포함한다. 제3 반도체(154c)는 연장되어 제4 반도체(157)를 이룬다.
- [0121] 복수의 반도체(154h, 154l, 154c) 위에는 복수의 저항성 접촉 부재(ohmic contact)(167)가 형성되어 있다. 제1 반도체(154h) 위에는 제1 저항성 접촉 부재(도시하지 않음)가 형성되어 있고, 제2 반도체(154l) 및 제3 반도체(154c)위에도 각각 제2 저항성 접촉 부재(도시하지 않음) 및 제3 저항성 접촉 부재(도시하지 않음)가 형성되어 있다. 제3 저항성 접촉 부재는 연장되어 제4 저항성 접촉 부재(167)를 이룬다. 그러나, 저항성 접촉 부재는 생략 가능하다. 특히, 반도체(154h, 154l, 154c)가 산화물 반도체인 경우, 저항성 접촉 부재는 생략 가능하다.
- [0122] 저항성 접촉 부재(167) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171), 복수의 제1 드레인 전극(175h), 복수의 제2 드레인 전극(175l), 그리고 복수의 제3 드레인 전극(175c)을 포함하는 데이터 도전체가 형성되어 있다.
- [0123] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121) 및 감압 게이트선(123)과 교차한다. 각 데이터선(171)은 제1 게이트 전극(124h) 및 제2 게이트 전극(124l)을 향하여 뻗어 있는 제1 소스 전극(173h) 및 제2 소스 전극(173l)을 포함한다.
- [0124] 제1 드레인 전극(175h), 제2 드레인 전극(175l) 및 제3 드레인 전극(175c)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 제1 드레인 전극(175h) 및 제2 드레인 전극(175l)의 막대형 끝 부분은 제1 소스 전극(173h) 및 제2 소스 전극(173l)으로 일부 둘러싸여 있다. 제2 드레인 전극(175l)의 넓은 한 쪽 끝 부분은 다시 연장되어 '제3 소스 전극(173c)'을 이룬다. 제3 드레인 전극(175c)의 넓은 끝 부분(177c)은 용량 전극(126)과 중첩하여 감압 축전기(Cstd)를 이루며, 막대형 끝 부분은 제3 소스 전극(173c)으로 일부 둘러싸여 있다.
- [0125] 제1/제2/제3 게이트 전극(124h/124l/124c), 제1/제2/제3 소스 전극(173h/173l/173c) 및 제1/제2/제3 드레인 전극(175h/175l/175c)은 제1/제2/제3 섬형 반도체(154h/154l/154c)와 함께 하나의 제1/제2/제3 박막 트랜지스터(thin film transistor, TFT)(Qh/Ql/Qc)를 이루며, 박막 트랜지스터의 채널(channel)은 각 소스 전극(173h/173l/173c)과 각 드레인 전극(175h/175l/175c) 사이의 각 반도체(154h/154l/154c)에 형성된다.
- [0126] 반도체(154h, 154l, 154c)는 소스 전극(173h, 173l, 173c)과 드레인 전극(175h, 175l, 175c) 사이의 채널 영역을 제외하고는 데이터 도전체(171, 175h, 175l, 175c) 및 그 하부의 저항성 접촉 부재(167)와 실질적으로 동일한 평면 모양을 가진다. 즉, 반도체(154h, 154l, 154c)에는 소스 전극(173h, 173l, 173c)과 드레인 전극

(175h, 175l, 175c) 사이를 비롯하여 데이터 도전체(171, 175h, 175l, 175c)에 의해 가리지 않고 노출된 부분이 있다.

- [0127] 데이터 도전체(171, 175h, 175l, 175c) 및 노출된 반도체(154h, 154l, 154c) 부분 위에는 절화구조 또는 산화구조 따위의 무기 절연물로 만들어질 수 있는 하부 보호막(180p)이 형성되어 있다.
- [0128] 하부 보호막(180p) 위에는 색필터(230)가 위치한다. 색필터(230)는 제1 박막 트랜지스터(Qh), 제2 박막 트랜지스터(Ql) 및 제3 박막 트랜지스터(Qc) 등이 위치하는 곳을 제외한 대부분의 영역에 위치한다. 그러나, 이웃하는 데이터선(171) 사이를 따라서 세로 방향으로 길게 뻗을 수도 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.
- [0129] 색필터(230)가 위치하지 않는 영역 및 색필터(230)의 일부 위에는 차광 부재(light blocking member)(220)가 위치한다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다.
- [0130] 색필터(230) 및 차광 부재(220) 위에는 상부 보호막(180q)이 형성되어 있다. 상부 보호막(180q)은 색필터(230) 및 차광 부재(220)가 들뜨는 것을 방지하고 색필터(230)로부터 유입되는 용제(solvent)와 같은 유기물에 의한 액정층(3)의 오염을 억제하여 화면 구동 시 초래할 수 있는 잔상과 같은 불량을 방지한다.
- [0131] 하부 보호막(180p), 차광 부재(220) 및 상부 보호막(180q)에는 제1 드레인 전극(175h)의 넓은 끝 부분과 제2 드레인 전극(175l)의 넓은 끝 부분을 각각 드러내는 복수의 제1 접촉 구멍(185h) 및 복수의 제2 접촉 구멍(185l)이 형성되어 있다.
- [0132] 상부 보호막(180q) 위에는 복수의 화소 전극(191)이 형성되어 있다.
- [0133] 도 6을 참고하면, 각 화소 전극(191)은 두 게이트선(121, 123)을 사이에 두고 서로 분리되어, 게이트선(121, 123)을 중심으로 화소 영역의 위와 아래에 배치되어 열 방향으로 이웃하는 제1 부화소 전극(191h)과 제2 부화소 전극(191l, 191r)을 포함한다.
- [0134] 용량 전극(126)과 제3 드레인 전극(175c)의 확장부(177c)는 게이트 절연막(140)과 반도체층(157, 167)을 사이에 두고 서로 중첩하여 감압 축전기(Cstd)를 이룬다. 본 발명의 다른 실시예에서, 감압 축전기(Cstd)를 이루는 제 용량 전극(126)과 제3 드레인 전극(175c)의 확장부(177c)는 사이에 배치되어 있는 반도체층(157, 167)은 제거될 수 있다.
- [0135] 화소 전극(191), 노출된 상부 보호막(180q) 위에는 하부 배향막(도시하지 않음)이 형성되어 있다. 하부 배향막은 수직 배향막일 수 있다.
- [0136] 이제 상부 표시판(200)에 대하여 설명한다.
- [0137] 절연 기판(210) 위에 공통 전극(270)이 형성되어 있다. 공통 전극(270) 위에는 상부 배향막(도시하지 않음)이 형성되어 있다. 상부 배향막은 수직 배향막일 수 있다.
- [0138] 두 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 투과축은 직교하며 이중 한 투과축은 게이트선(121)에 대하여 나란한 것이 바람직하다.
- [0139] 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있다. 따라서 전기장이 없는 상태에서 입사광은 직교 편광자를 통과하지 못하고 차단된다.
- [0140] 앞서 설명하였듯이, 데이터 전압이 인가된 제1 부화소 전극(191h) 및 제2 부화소 전극(191l)은 공통 전극 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써, 전기장이 없는 상태에서 두 전극(191, 270)의 표면에 대하여 수직을 이루도록 배향되어 있던 액정층(3)의 액정 분자가 두 전극(191, 270)의 표면에 대하여 수평한 방향을 향해 눕게 되고, 액정 분자의 눕는 정도에 따라 액정층(3)을 통과하는 빛의 휘도가 달라진다.
- [0141] 도 15를 참고하면, 본 실시예에 따른 액정 표시 장치는 제7 스페이서(SS4) 및 제8 스페이서(SS5)를 포함한다. 도시하지는 않았지만, 본 실시예에 따른 액정 표시 장치는 도 2 및 도 4를 참고로 설명한 실시예와 같이, 제1 스페이서(MS1)을 포함할 수도 있다.
- [0142] 도 15와 함께 도 17을 참고하면, 제7 스페이서(SS4)는 게이트선(121)과 용량 전극(126)과 중첩하는 위치에 배치된다. 도시하지는 않았지만, 제7 스페이서(SS4)는 감압 게이트선(123)의 적어도 일부분과 중첩할 수도 있다. 즉, 제7 스페이서(SS4)는 적어도 두 개의 게이트 도전체와 중첩한다.

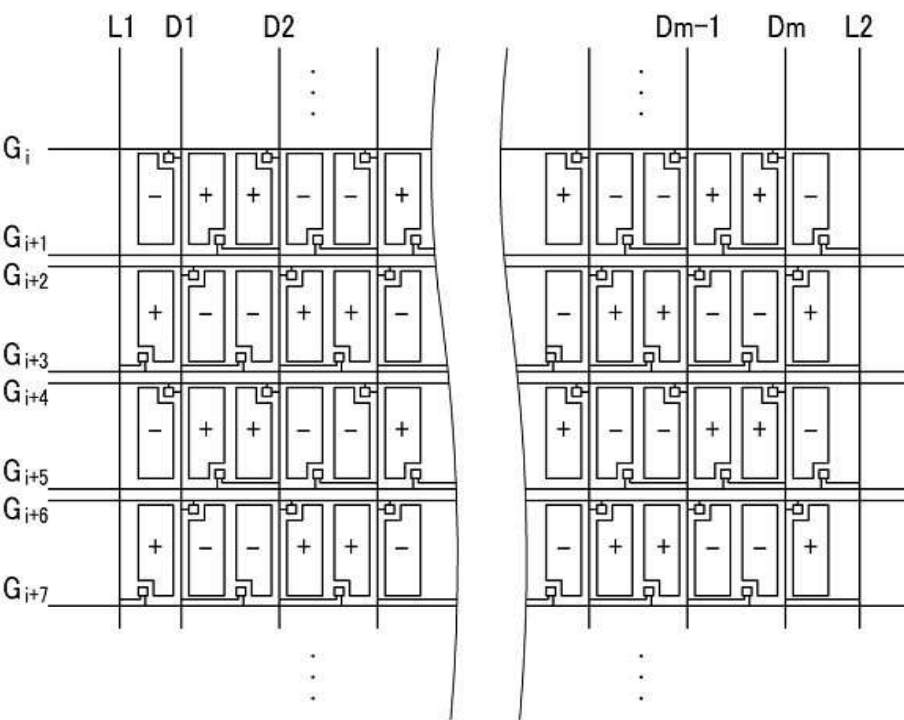
- [0143] 제7 스페이서(SS4)는 상부 표시판(200)과 제4 간격(D4)을 이루도록 배치된다.
- [0144] 도 15와 함께 도 18을 참고하면, 제8 스페이서(SS5)는 게이트선(121)과 감압 게이트선(123) 그리고 제2 드레인 전극(1751)과 중첩한다. 도시하지는 않았지만, 제8 스페이서(SS5)는 용량 전극선(125)의 적어도 일부분과 중첩할 수도 있다. 즉, 제8 스페이서(SS5)는 적어도 두 개의 게이트 도전체, 그리고 데이터 도전체와 중첩한다.
- [0145] 제8 스페이서(SS5)는 상부 표시판(200)과 제5 간격(D5)을 이루도록 배치된다.
- [0146] 제4 간격(D4)과 제5 간격(D5)는 서로 다르거나 같을 수 있다. 또한, 제7 스페이서(SS4)와 제8 스페이서(SS5)의 높이는 서로 같거나 다를 수 있으며, 폭 역시 같거나 다를 수 있다.
- [0147] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

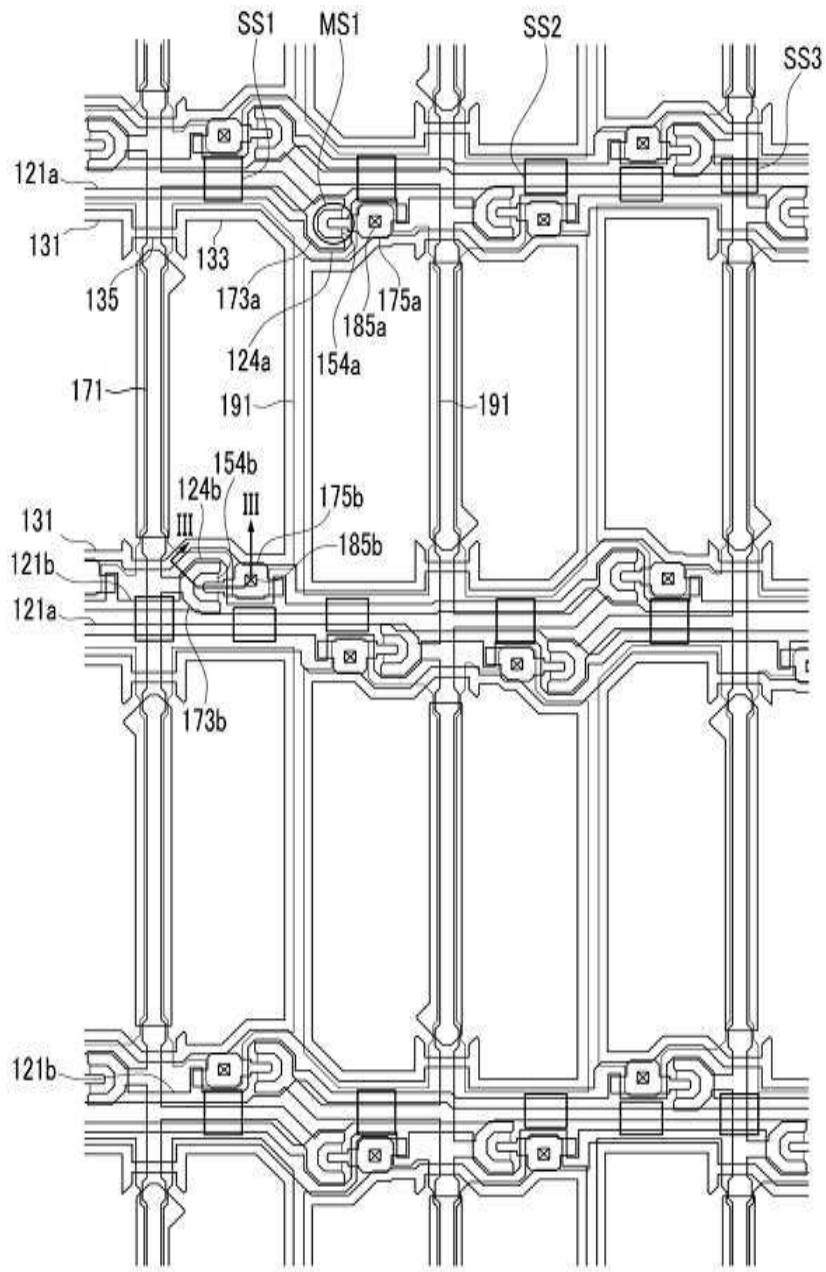
- [0148]
- | | |
|--|------------------------|
| 100: 하부 표시판 | 200: 상부 표시판 |
| 110, 210: 기판 | 3: 액정층 |
| 121, 121a, 121b: 게이트선 | 125: 용량 전극선 |
| 131: 유지 전극선 | 140: 게이트 절연막 |
| 154a, 154b, 154h, 154l, 154c: 반도체 | |
| 163, 165, 167: 저항성 접촉 부재 | 171: 데이터선 |
| 173a, 173b, 173h, 173l, 173c: 소스 전극 | |
| 175a, 175b, 175h, 175l, 175c: 드레인 전극 | |
| 180, 180p, 180q: 보호막 | 191, 191h, 191l: 화소 전극 |
| 220: 차광 부재 | 230: 색필터 |
| 270: 공통 전극 | |
| MS1, MS3, MS4, S1, S2, SS1, SS2, SS3, SS4, SS5: 스페이서 | |

도면

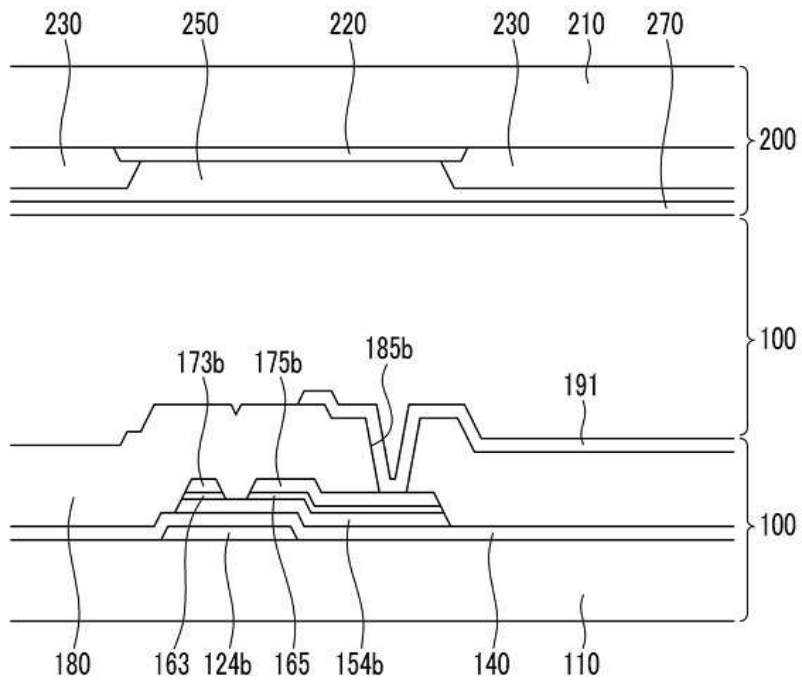
도면1



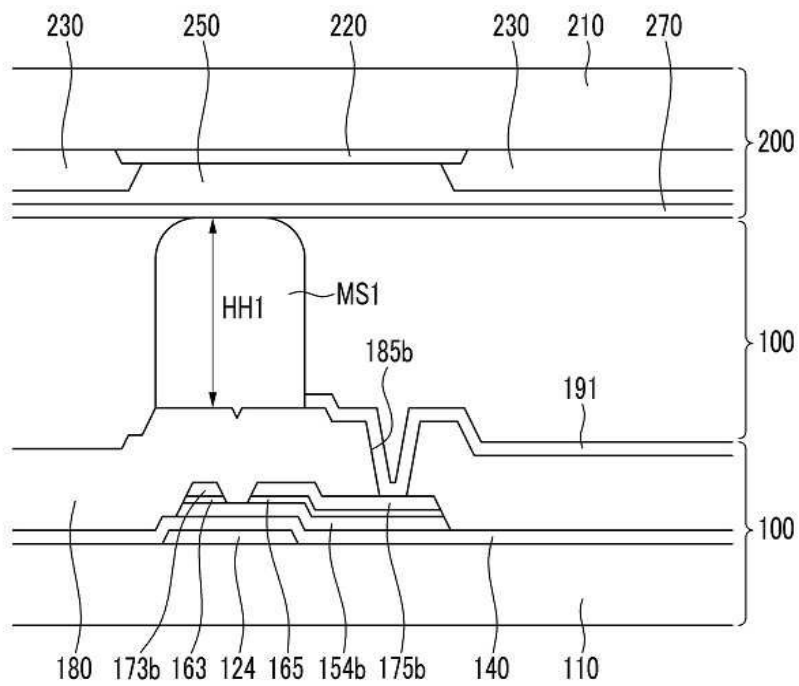
도면2



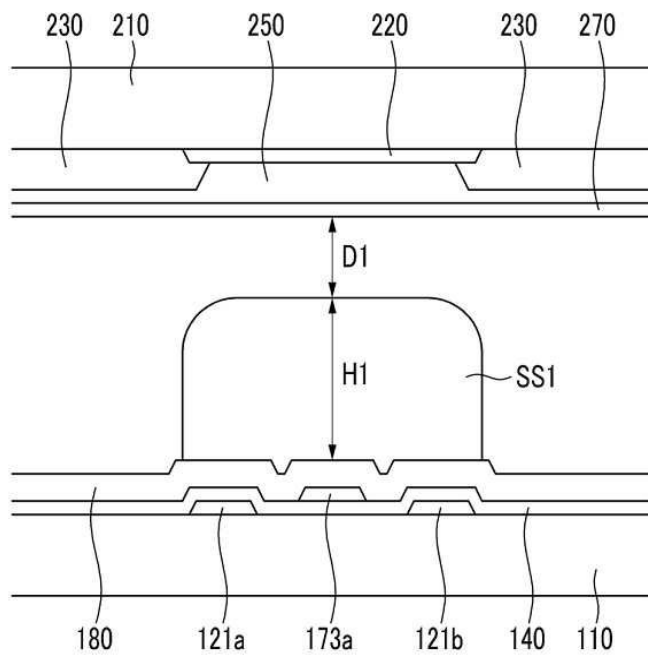
도면3



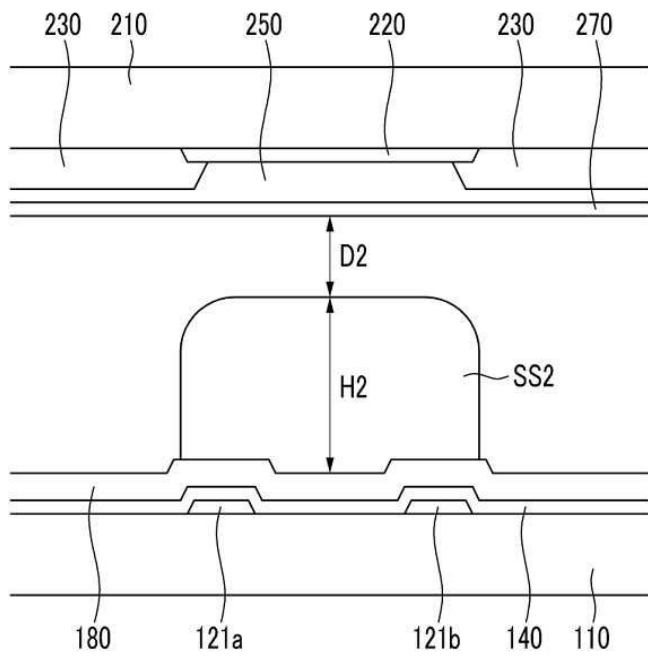
도면4



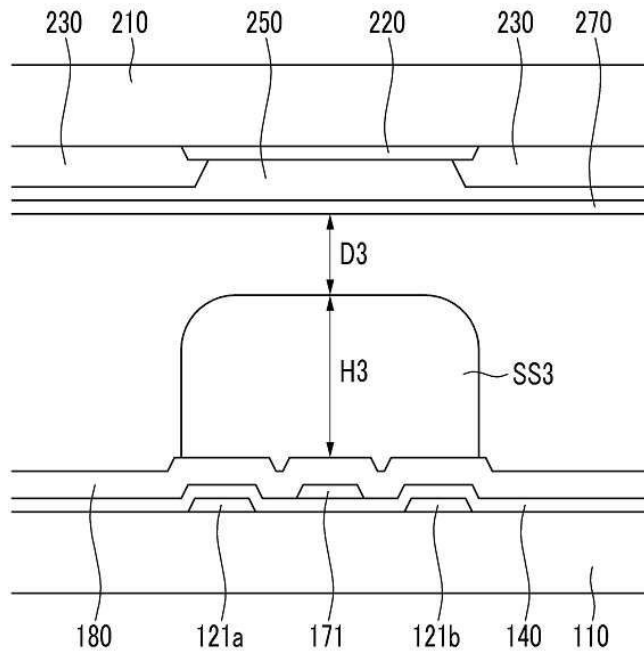
도면5



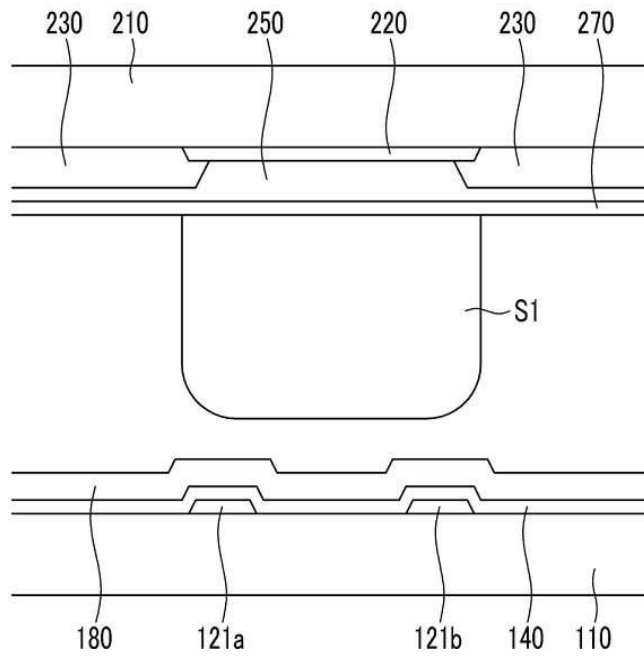
도면6



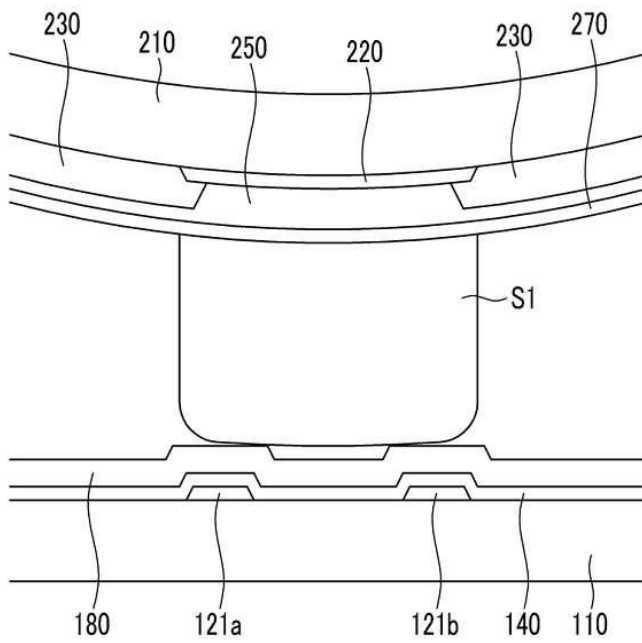
도면7



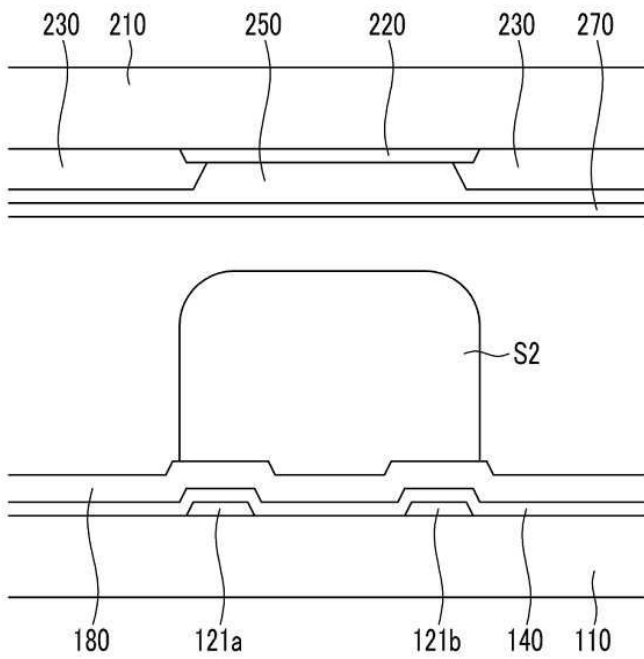
도면8



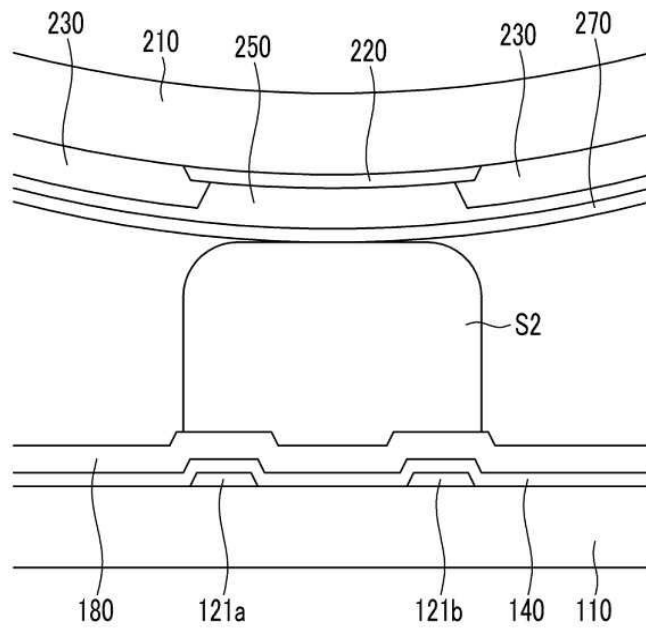
도면9



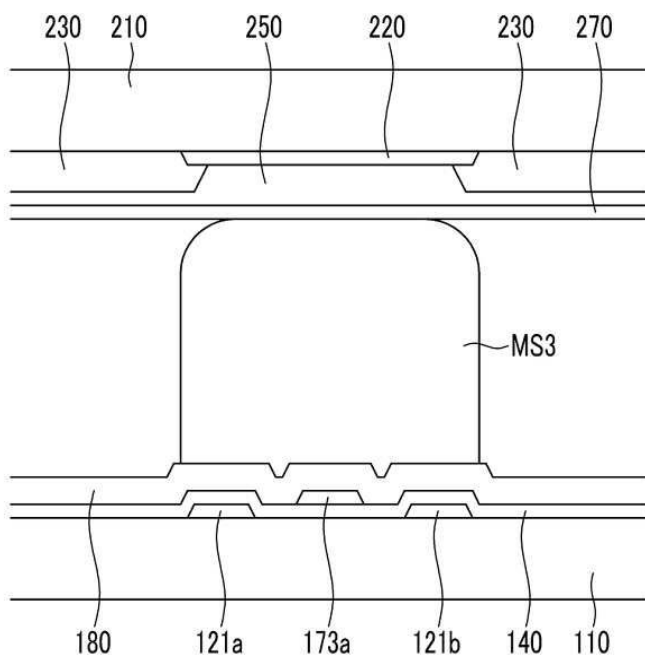
도면10



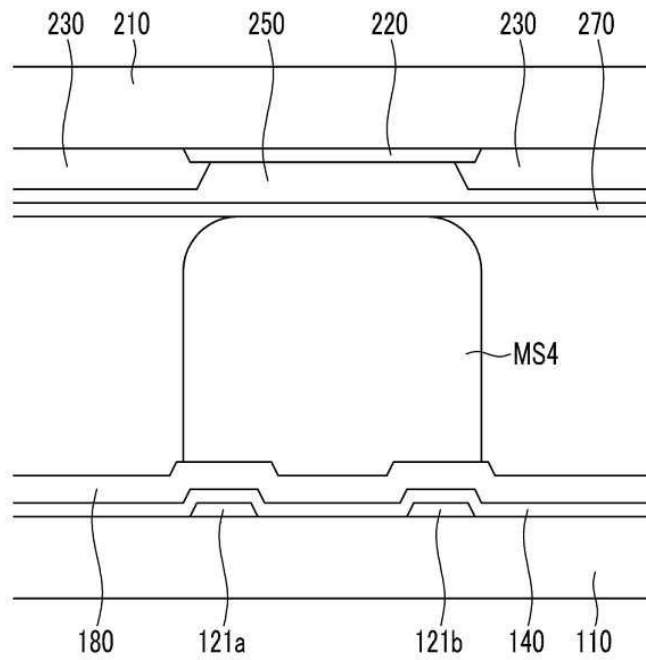
도면11



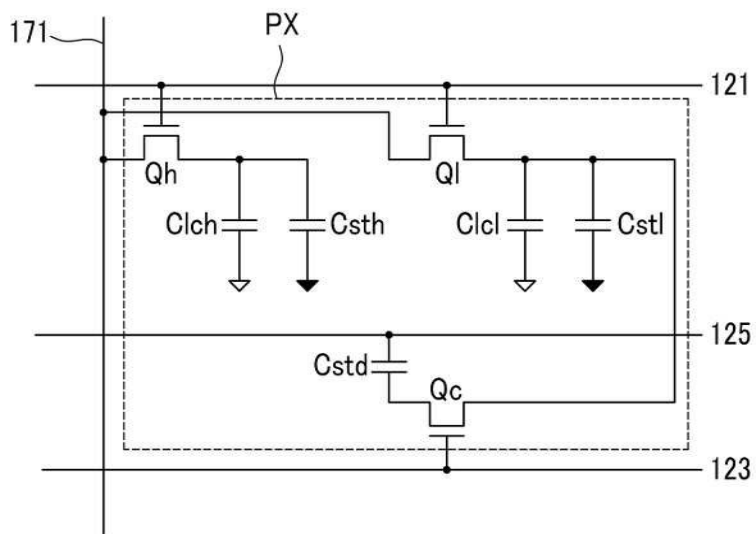
도면12



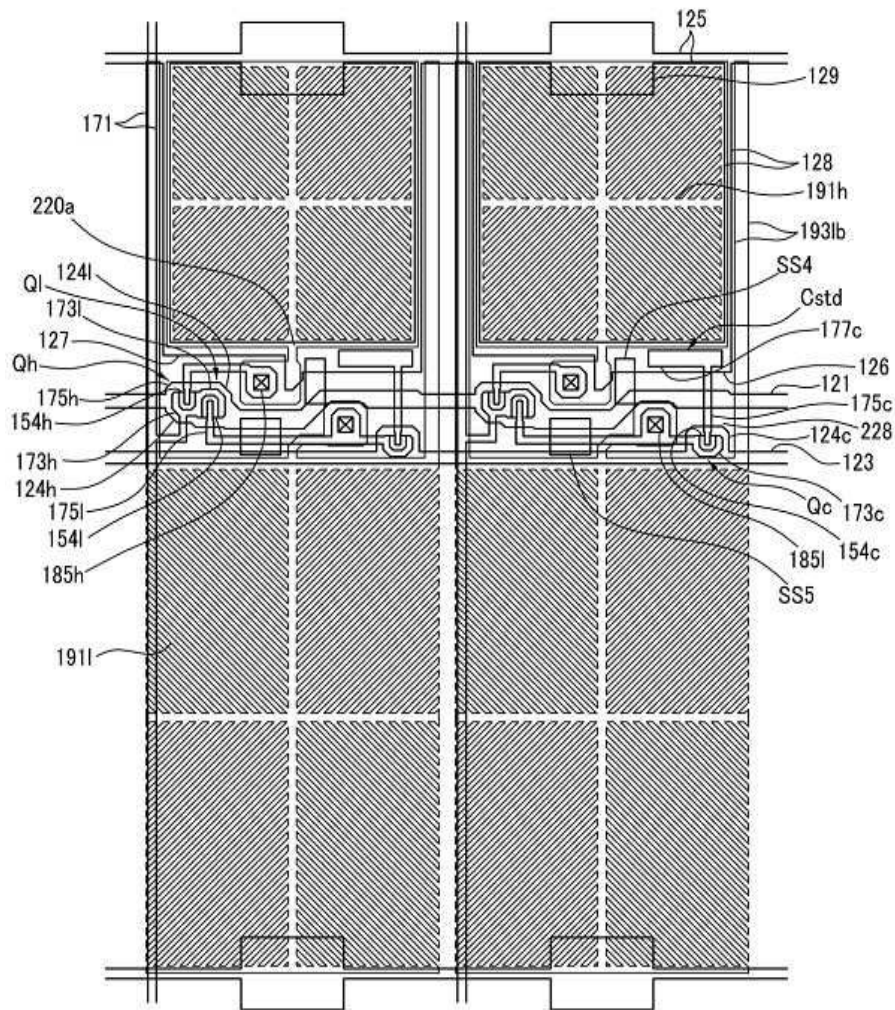
도면13



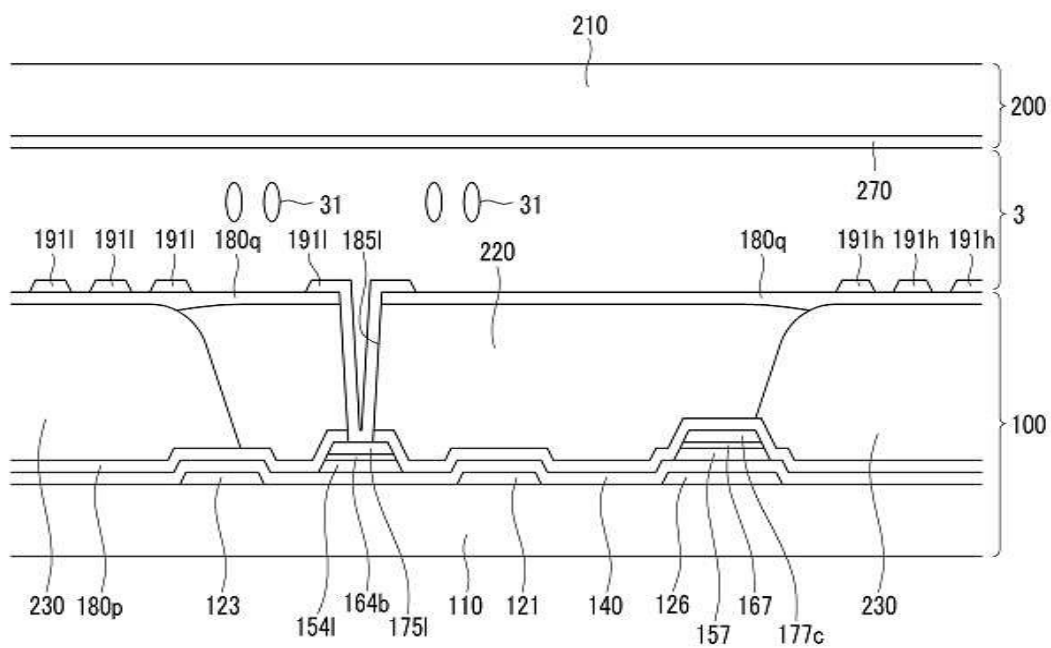
도면14



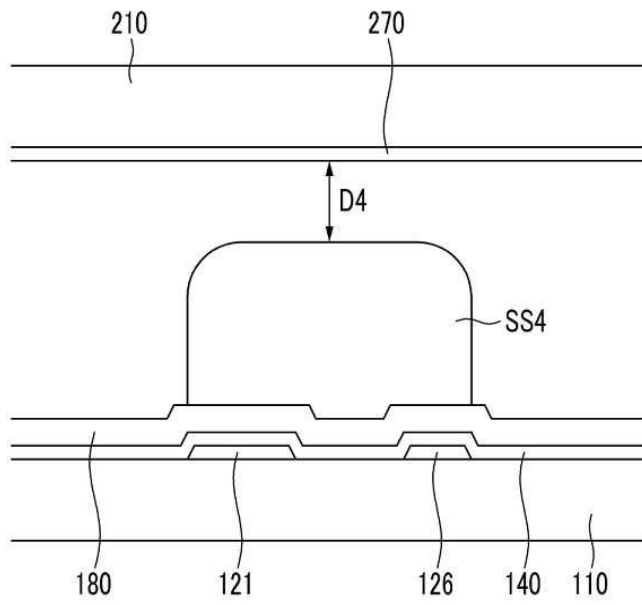
도면15



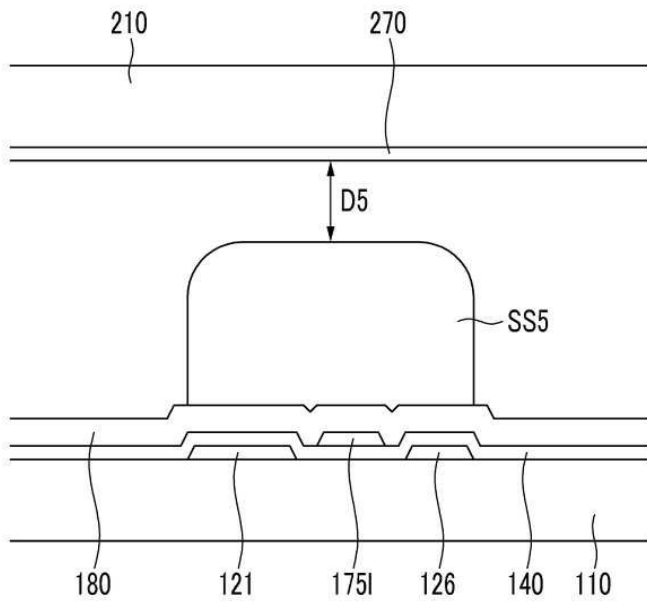
도면16



도면17



도면18



专利名称(译)	液晶显示器		
公开(公告)号	KR101982167B1	公开(公告)日	2019-05-27
申请号	KR1020120066628	申请日	2012-06-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김성만 김성훈 나만홍 송민철 송준호 이유진 임성훈 조영제 주선규 채수정		
发明人	김성만 김성훈 나만홍 송민철 송준호 이유진 임성훈 조영제 주선규 채수정		
IPC分类号	G02F1/1339 G02F1/133 G02F1/1368		
CPC分类号	G02F1/13394 G02F1/13624 G02F1/136286 G02F2001/13396 G02F2001/134345		
审查员(译)	朴贞根		
其他公开文献	KR1020130143250A		
外部链接	Espacenet		

摘要(译)

液晶显示器包括：第一绝缘基板；以及第二绝缘基板。第一栅极导体设置在第一绝缘基板上并且与栅极线在同一层中；第二栅极导体设置在第一绝缘基板上并且与栅极线在同一层中；栅极绝缘层，设置在第一栅极导体和第二栅极导体上。数据导体设置在栅极绝缘层上并且与数据线位于同一层中；薄膜晶体管设置在第一绝缘基板上；第一间隔物，设置在第一绝缘基板上；第二隔离物，设置在第一绝缘基板上，其中第一隔离物和第二隔离物的高度或宽度彼此不同并且具有不同的高度或宽度，并且第二隔离物与第一栅极导体和第二栅极导体重叠。

