



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년04월12일  
 (11) 등록번호 10-1941984  
 (24) 등록일자 2019년01월18일

(51) 국제특허분류(Int. Cl.)  
 G02F 1/1343 (2006.01) G02F 1/133 (2006.01)  
 (21) 출원번호 10-2011-0097719  
 (22) 출원일자 2011년09월27일  
 심사청구일자 2016년09월07일  
 (65) 공개번호 10-2013-0033802  
 (43) 공개일자 2013년04월04일  
 (56) 선행기술조사문헌  
 JP2010020302 A\*  
 JP2011019102 A\*  
 KR1020050109698 A\*  
 US20030102498 A1\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성디스플레이 주식회사  
 경기도 용인시 기흥구 삼성로 1 (농서동)  
 (72) 발명자  
 윤영수  
 경기도 안양시 동안구 관평로319번길 38, 삼성인  
 덕원 아파트 112동 1602호 (관양동, 덕원아파트)  
 고준철  
 경기도 화성시 동탄반석로 42 603동 1804호 (반  
 송동, 나루마을한화우림아파트)  
 (뒷면에 계속)  
 (74) 대리인  
 특허법인 고려

전체 청구항 수 : 총 40 항

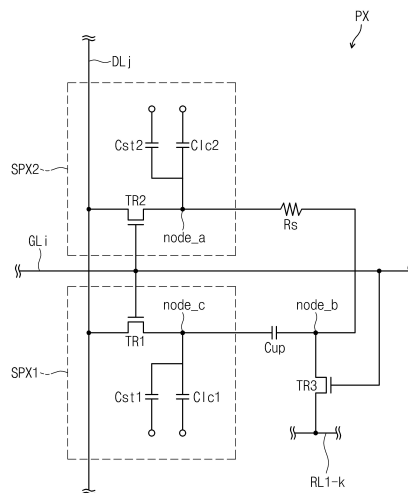
심사관 : 한상일

(54) 발명의 명칭 액정표시장치

(57) 요약

액정표시장치는 제1 구간 동안 동일한 전압을 충전하는 제1 및 제2 서브화소를 구비한다. 상기 제2 서브화소는 제1 구간 이후에 충전된 전압값이 낮아진다. 제1 구간 이후에 상기 제1 및 제2 서브화소에 충전된 전압은 서로 상이하므로, 상기 제1 및 제2 서브화소에 구비된 액정의 배열은 상이해진다. 따라서, 상기 액정표시장치의 측면 시야각이 향상된다.

대표도 - 도1



(72) 발명자

**채종철**

서울특별시 서초구 반포대로 275, 삼성 116-2701  
(반포동, 래미안 퍼스티지)

**임상욱**

충청남도 천안시 서북구 두정로 236, 516호 (두정  
동, 스타펠리스)

---

## 명세서

### 청구범위

#### 청구항 1

프레임 구간 중 제1 구간 동안에 게이트-온 신호를 수신하는 복수 개의 게이트 라인들;

상기 게이트 라인들과 교차하고, 데이터 전압을 수신하는 데이터 라인;

상기 게이트 라인들 중 제1 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 수신하는 제1 서브화소;

상기 제1 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 수신하는 제2 서브화소;

제1 전극 및 상기 제1 서브화소에 전기적으로 연결된 제2 전극을 포함하는 제1 분배 커패시터; 및

상기 제1 구간 이후에 상기 제1 분배 커패시터의 상기 제1 전극과 상기 제2 서브화소를 전기적으로 연결하고, 상기 제1 분배 커패시터의 상기 제1 전극 및 상기 제2 서브화소에 직접적으로 연결된 연결부를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 2

제1 항에 있어서,

상기 연결부는 광에 노출됨에 따라 저항값이 낮아지는 제1 물질을 포함하는 연결저항인 것을 특징으로 하는 액정표시장치.

#### 청구항 3

제2 항에 있어서,

상기 연결부는 상기 데이터 라인과 동일한 재료로 구성된 제2 물질을 더 포함하며, 상기 제2 물질은 상기 제1 물질 상에 섬형으로 구비된 것을 특징으로 하는 액정표시장치.

#### 청구항 4

제1 항에 있어서,

제1 리셋 신호를 수신하는 제1 리셋 라인; 및

상기 게이트 라인과 상기 제1 리셋 라인에 연결되고, 상기 게이트-온 신호에 응답하여 상기 제1 리셋 신호를 출력하는 제1 트랜지스터를 더 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 5

제4 항에 있어서,

상기 제1 리셋 신호는 상기 데이터 전압과 다른 레벨인 것을 특징으로 하는 액정표시장치.

#### 청구항 6

제4 항에 있어서,

상기 제1 분배 커패시터의 상기 제2 전극은 상기 제1 서브화소에 연결된 것을 특징으로 하는 액정표시장치.

#### 청구항 7

제6 항에 있어서,

상기 제1 구간 동안에 상기 제1 트랜지스터는 상기 제1 리셋 라인과 상기 제1 분배 커패시터의 상기 제1 전극

을 전기적으로 연결하는 것을 특징으로 하는 액정표시장치.

**청구항 8**

제7 항에 있어서,

상기 제1 서브화소는 상기 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 출력하는 제2 트랜지스터 및 상기 제2 트랜지스터로부터 상기 데이터 전압을 수신하는 제1 액정 커패시터를 포함하며,

상기 제2 서브화소는 상기 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 출력하는 제3 트랜지스터 및 상기 제3 트랜지스터로부터 상기 데이터 전압을 수신하는 제2 액정 커패시터를 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 9**

제8 항에 있어서,

상기 연결부는 광에 노출됨에 따라 저항값이 낮아지는 물질로 구성된 연결저항인 것을 특징으로 하는 액정표시장치.

**청구항 10**

제9 항에 있어서,

상기 제2 트랜지스터 및 상기 제3 트랜지스터 각각은 상기 게이트 라인에 연결된 게이트 전극, 상기 게이트 전극 상에 구비된 액티브 층, 상기 액티브 층 상에 구비되며 상기 데이터 라인에 연결된 드레인 전극 및 상기 액티브 층 상에 구비되고 상기 드레인 전극과 이격되어 배치된 소스 전극을 포함하고,

상기 제1 트랜지스터는 상기 게이트 라인에 연결된 게이트 전극, 상기 게이트 전극 상에 구비된 액티브 층, 상기 액티브 층 상에 구비되며 상기 제1 리셋 라인에 연결된 드레인 전극 및 상기 액티브 층 상에 구비되고 상기 드레인 전극과 이격되어 배치되어, 상기 제1 분배커패시터의 상기 제1 전극과 연결된 소스 전극을 포함하고,

상기 연결저항은 상기 액티브 층들과 동일한 물질로 구성된 것을 특징으로 하는 액정표시장치.

**청구항 11**

제9 항에 있어서,

상기 연결저항의 저항값은 하기 식 1의 범위를 만족하는 것을 특징으로 하는 액정표시장치.

[식 1]

$$100 \times Ron < Rrs < \frac{Ft}{3 \times (C2 + Cp // C1)}$$

(이때, Ft는 상기 프레임 구간에 해당하는 시간, Ron은 상기 제2 트랜지스터 및 상기 제3 트랜지스터의 턴-온 저항값, C1은 상기 제1 액정커패시터의 충전용량, C2는 상기 제2 액정 커패시터의 충전용량, Cp는 상기 제1 분배 커패시터의 충전용량, Rrs은 상기 연결저항의 저항값이다.)

**청구항 12**

제8 항에 있어서,

상기 제1 분배 커패시터의 상기 제1 전극은 상기 제1 트랜지스터에 연결되고, 상기 제1 분배 커패시터의 상기 제2 전극은 상기 제1 액정 커패시터에 연결된 것을 특징으로 하는 액정표시장치.

**청구항 13**

제9 항에 있어서,

상기 제1 구간 이후에,

상기 연결저항은 제1 노드에서 상기 제2 액정 커패시터와 전기적으로 연결되고, 제2 노드에서 상기 제1 분배 커패시터의 상기 제1 전극과 전기적으로 연결되는 것을 특징으로 하는 액정표시장치.

**청구항 14**

제13 항에 있어서,

상기 제1 구간 이후에 전하공유 구간 동안 상기 제2 액정 커패시터의 충전된 전하량이 점차적으로 낮아지는 것을 특징으로 하는 액정표시장치.

**청구항 15**

제14 항에 있어서,

상기 제2 액정 커패시터의 상기 충전된 전하량은 상기 제1 구간 직후에 소정의 레벨로 낮아진 후, 상기 전하공유 구간 동안 상기 소정의 레벨로부터 점차적으로 낮아지는 것을 특징으로 하는 액정표시장치.

**청구항 16**

제13 항에 있어서,

상기 제1 구간 이후에 전하공유 구간 동안 상기 제1 액정 커패시터의 충전된 전하량이 점차적으로 높아지는 것을 특징으로 하는 액정표시장치.

**청구항 17**

제4 항에 있어서,

제2 리셋 신호를 수신하는 제2 리셋 라인을 더 포함하고,

상기 제1 분배 커패시터의 상기 제1 전극은 상기 제1 트랜지스터에 연결되고, 상기 제1 분배 커패시터의 상기 제2 전극은 상기 제2 리셋 라인에 연결된 것을 특징으로 하는 액정표시장치.

**청구항 18**

제17 항에 있어서,

상기 제2 리셋 신호는 상기 제1 리셋 신호와 다른 레벨인 것을 특징으로 하는 액정표시장치.

**청구항 19**

제17 항에 있어서,

상기 제1 서브화소는 상기 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 출력하는 제2 트랜지스터 및 상기 제2 트랜지스터로부터 상기 데이터 전압을 수신하는 제1 액정 커패시터를 포함하며,

상기 제2 서브화소는 상기 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 출력하는 제3 트랜지스터 및 상기 제3 트랜지스터로부터 상기 데이터 전압을 수신하는 제2 액정 커패시터를 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 20**

제19 항에 있어서,

상기 제1 구간 이후에,

상기 연결부는 제1 노드에서 상기 제2 액정 커패시터와 전기적으로 연결되고, 제2 노드에서 상기 제1 분배 커패시터의 상기 제1 전극과 전기적으로 연결되는 것을 특징으로 하는 액정표시장치.

**청구항 21**

제20 항에 있어서,

상기 제1 구간 이후에 전하공유 구간 동안 상기 제2 액정 커패시터의 충전된 전하량이 점차적으로 낮아지는 것을 특징으로 하는 액정표시장치.

**청구항 22**

제4 항에 있어서,

제2 리셋 신호를 수신하는 제2 리셋 라인; 및

상기 제2 리셋 라인에 연결된 제1 전극 및 상기 제1 트랜지스터에 연결된 제2 전극을 포함하는 제2 분배 커패시터를 더 포함하고,

상기 제1 서브화소는 상기 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 출력하는 제2 트랜지스터 및 상기 제2 트랜지스터로부터 상기 데이터 전압을 수신하는 제1 액정 커패시터를 포함하며,

상기 제2 서브화소는 상기 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 출력하는 제3 트랜지스터 및 상기 제3 트랜지스터로부터 상기 데이터 전압을 수신하는 제2 액정 커패시터를 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 23**

제22 항에 있어서,

상기 제2 리셋 신호는 상기 제1 리셋 신호와 다른 레벨인 것을 특징으로 하는 액정표시장치.

**청구항 24**

제22 항에 있어서,

상기 제1 구간 이후에,

상기 연결부는 제1 노드에서 상기 제2 액정 커패시터와 전기적으로 연결되고, 제2 노드에서 상기 제1 분배 커패시터의 상기 제1 전극 및 상기 제2 분배 커패시터의 상기 제2 전극에 전기적으로 연결되며,

상기 제1 분배 커패시터의 상기 제2 전극은 제3 노드에서 상기 제1 액정 커패시터와 전기적으로 연결되는 것을 특징으로 하는 액정표시장치.

**청구항 25**

제24 항에 있어서,

상기 제1 구간 이후에 전하공유 구간 동안 상기 제2 액정 커패시터의 충전된 전하량이 점차적으로 낮아지는 것을 특징으로 하는 액정표시장치.

**청구항 26**

제24 항에 있어서,

상기 제1 구간 이후에 전하공유 구간 동안 상기 제1 액정 커패시터의 충전된 전하량이 점차적으로 높아지는 것을 특징으로 하는 액정표시장치.

**청구항 27**

제8 항에 있어서,

상기 연결부는 상기 제2 액정 커패시터에 연결된 소스전극, 상기 제1 분배 커패시터에 연결된 드레인 전극 및 플로팅된 게이트 전극을 포함하는 제4 트랜지스터인 것을 특징으로 하는 액정표시장치.

**청구항 28**

제27 항에 있어서,

상기 제1 분배 커패시터의 제1 전극은 상기 제4 트랜지스터의 상기 드레인 전극에 연결되고, 상기 제1 분배 커패시터의 제2 전극은 상기 제1 액정 커패시터에 연결된 것을 특징으로 하는 액정표시장치.

**청구항 29**

제27 항에 있어서,

제2 리셋 신호를 수신하는 제2 리셋 라인을 더 포함하고,

상기 제1 분배 커패시터의 제1 전극은 상기 제2 리셋 라인에 연결되고, 상기 제1 분배 커패시터의 제2 전극은 상기 제1 트랜지스터에 연결된 것을 특징으로 하는 액정표시장치.

**청구항 30**

제29 항에 있어서,

상기 제2 리셋 신호는 상기 제1 리셋 신호와 다른 레벨인 것을 특징으로 하는 액정표시장치.

**청구항 31**

제27 항에 있어서,

제2 리셋 신호를 수신하는 제2 리셋 라인;

상기 제1 트랜지스터에 연결된 제1 전극 및 제2 리셋 라인에 연결된 제2 전극을 포함하는 제2 분배 커패시터를 더 포함하고,

상기 제1 분배 커패시터의 상기 제1 전극 및 상기 제2 전극은 상기 제3 트랜지스터 및 상기 제1 액정 커패시터에 각각 연결되는 것을 특징으로 하는 액정표시장치.

**청구항 32**

제31 항에 있어서,

상기 제2 리셋 신호는 상기 제1 리셋 신호와 다른 레벨인 것을 특징으로 하는 액정표시장치.

**청구항 33**

제1 기관;

상기 제1 기관과 대향하고, 공통전극을 포함하는 제2 기관; 및

상기 제1 기관과 상기 제2 기관과의 사이에 개재된 액정층을 포함하고,

상기 제1 기관은,

프레임 구간 중 제1 구간 동안에 게이트-온 신호를 수신하는 복수 개의 게이트 라인들;

상기 게이트 라인과 교차하고, 데이터 전압을 수신하는 데이터 라인;

리셋 신호를 수신하는 리셋 라인;

상기 게이트 라인들 중 제1 게이트 라인 및 상기 데이터 라인에 연결되고, 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 출력하는 제1 트랜지스터;

상기 제1 트랜지스터에 연결되어 상기 제1 트랜지스터로부터 출력된 상기 데이터 전압을 수신하는 제1 화소전극;

상기 제1 게이트 라인 및 상기 리셋 라인에 연결되고, 상기 게이트-온 신호에 응답하여 상기 리셋 신호를 출력하는 제2 트랜지스터; 및

상기 제1 화소전극에 연결되고, 상기 제1 구간 이후에 상기 제1 화소전극과 상기 제2 트랜지스터를 전기적으로 연결하는 연결저항을 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 34**

제33 항에 있어서,

상기 제1 게이트 라인 및 상기 데이터 라인에 연결되고, 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 출력하는 제3 트랜지스터;

상기 제3 트랜지스터에 연결되어 상기 제3 트랜지스터로부터 출력된 상기 데이터 전압을 수신하는 제2 화소전극; 및

상기 제2 트랜지스터에 연결되어 상기 리셋 신호를 수신하는 제1 전극 및 상기 제1 전극에 대향하고 상기 제2 화소전극에 연결되는 제2 전극을 포함하는 분배 커패시터를 더 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 35**

제34 항에 있어서,

상기 연결저항은 광에 노출됨에 따라 저항값이 낮아지는 비정질 실리콘을 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 36**

제35 항에 있어서,

상기 연결저항 상에 구비되며, 상기 분배 커패시터의 제1 전극과 상기 제2 화소전극 사이의 저항값을 감소시키는 브릿지 전극을 더 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 37**

제34 항에 있어서,

상기 분배 커패시터의 제2 전극은 상기 제1 화소전극과 일체형인 것을 특징으로 하는 액정표시장치.

**청구항 38**

제34 항에 있어서,

상기 제2 트랜지스터는,

상기 제1 게이트 라인으로부터 분기된 게이트 전극;

상기 게이트 전극 상에 구비된 액티브 층;

상기 액티브 층 상에 구비되고, 상기 리셋 라인에 연결된 소스 전극; 및

상기 액티브 층 상에 구비되고, 상기 소스 전극과 이격되어 구비된 드레인 전극을 포함하고,

상기 제2 트랜지스터의 드레인 전극은 상기 분배 커패시터의 제1 전극과 일체형인 것을 특징으로 하는 액정표시장치.

**청구항 39**

제34 항에 있어서,

상기 제1 화소전극과 상기 제2 화소전극은 평면상에서 상기 제1 게이트 라인을 사이에 두고 배치된 것을 특징으로 하는 액정표시장치.

**청구항 40**

제39 항에 있어서,

상기 제1 화소전극은 상기 제2 화소전극보다 작은 면적을 갖는 것을 특징으로 하는 액정표시장치.

**발명의 설명**

## 기술 분야

본 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는 표시품질이 향상된 액정표시장치에 관한 것이다.

## 배경 기술

액정표시장치의 시야각 특성을 개선하기 위하여, 액정의 배향 방향이 기판에 대해 수직인 피브리에이(Patterned Vertical Alignment: PVA) 모드, 하나의 화소 내에 다양한 배향 방향을 갖는 액정들을 구비한 엠브리에이(Multi-domain Vertical Alignment: MVA) 모드 및 슈퍼 피브리에이(Super-Patterned Vertical Alignment: S-PVA) 모드, 에스브리에이(Super Vertical Alignment: SVA) 모드 등이 개발되고 있다.

이 중 슈퍼 피브리에이 모드(S-PVA mode)의 액정표시장치 및 에스브리에이 모드(SVA mode)의 액정표시장치와 같이 하나의 화소가 2개의 서브화소를 구비한 액정표시장치는 2개의 서브화소에는 각각 서로 다른 서브전압이 인가된다.

슈퍼 피브리에이 모드(S-PVA mode)의 액정표시장치 및 에스브리에이 모드(SVA mode)의 액정표시장치는 상기 화소에 전계가 형성됨에 따라 2개의 서브화소에 각각 구비된 액정 분자들이 서로 다른 경사각을 갖는다. 그에 따라 상기 액정표시장치들은 측면 시야각이 확장된다.

## 발명의 내용

### 해결하려는 과제

본 발명의 목적은 화소의 개구율 및 측면 시인성이 향상된 액정표시장치를 제공하는 데 있다.

### 과제의 해결 수단

본 발명의 일 실시예에 따른 액정표시장치는 프레임 구간 중 제1 구간 동안에 게이트-온 신호를 수신하는 게이트 라인, 상기 게이트 라인과 교차하고, 데이터 전압을 수신하는 데이터 라인을 포함한다. 또한, 상기 액정표시장치는 상기 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 수신하는 제1 서브화소, 상기 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 수신하는 제2 서브화소, 제1 전극 및 제2 전극을 포함하는 제1 분배 커패시터를 포함한다. 또한, 상기 제1 구간 이후에 상기 제1 분배 커패시터의 상기 제1 전극과 상기 제2 서브화소를 전기적으로 연결하는 연결부를 포함한다.

상기 연결부는 광에 노출됨에 따라 저항값이 낮아지는 제1 물질을 포함할 수 있다.

상기 액정표시장치는 제1 리셋 신호를 수신하는 제1 리셋 라인 및 상기 게이트 라인과 상기 제1 리셋 라인에 연결되고, 상기 게이트-온 신호에 응답하여 상기 제1 리셋 신호를 출력하는 제1 트랜지스터를 더 포함할 수 있다.

상기 제1 서브화소는 상기 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 출력하는 제2 트랜지스터 및 상기 제2 트랜지스터로부터 상기 데이터 전압을 수신하는 제1 액정 커패시터를 포함할 수 있다.

상기 제2 서브화소는 상기 게이트 라인과 상기 데이터 라인에 연결되며 상기 게이트-온 신호에 응답하여 상기 데이터 전압을 출력하는 제3 트랜지스터 및 상기 제3 트랜지스터로부터 상기 데이터 전압을 수신하는 제2 액정 커패시터를 포함할 수 있다.

다른 실시예에 따른 액정표시장치는 제2 리셋 신호를 수신하는 제2 리셋 라인을 더 포함할 수 있다. 이때, 상기 제1 분배 커패시터의 상기 제1 전극은 상기 제1 트랜지스터에 연결되고, 상기 제1 분배 커패시터의 상기 제2 전극은 상기 제2 리셋 라인에 연결될 수 있다.

다른 실시예에 따른 액정표시장치는 제2 리셋 신호를 수신하는 제2 리셋 라인 및 상기 제2 리셋 라인에 연결된 제1 전극 및 상기 제1 트랜지스터에 연결된 제2 전극을 포함하는 제2 분배 커패시터를 더 포함할 수 있다.

다른 실시예에 따른 액정표시장치에서 상기 연결부는 상기 제2 액정 커패시터에 연결된 소스전극, 상기 제1 분배 커패시터에 연결된 드레인 전극 및 플로팅된 게이트 전극을 포함하는 트랜지스터일 수 있다.

### 발명의 효과

상술한 바에 따르면, 상기 액정표시장치는 2개의 서브화소에 레벨이 다른 전압이 충전되어 측면 시야각이 넓어진다. 따라서, 액정표시장치의 표시품질을 향상시킬 수 있다.

또한, 상기 액정표시장치는 상기 화소에 신호를 제공하는 상기 게이트 라인 및 상기 데이터 라인의 구조가 단순하여 상기 화소의 개구율이 향상된다.

상기 게이트-온 구간 동안 상기 분배 커패시터에 리셋 전압을 공급하여 상기 분배 커패시터를 초기화하므로, 상기 분배 커패시터의 동작에 신뢰성을 확보할 수 있다.

### 도면의 간단한 설명

- 도 1은 본 발명의 일 실시예에 따른 액정표시장치에 구비된 화소의 등가 회로도이다.
- 도 2 및 도 3은 게이트 신호가 인가됨에 따라 변화되는 도 1 도시된 화소의 등가 회로도이다.
- 도 4는 도 1에 도시된 화소의 일 실시예에 따른 평면도이다.
- 도 5는 도 4에 도시된 절단선 I-I'에 따라 절단한 단면도이다.
- 도 6은 도 4에 도시된 절단선 II-II'에 따라 절단한 단면도이다.
- 도 7은 도 4에 도시된 절단선 III-III'에 따라 절단한 단면도이다.
- 도 8은 도 1에 도시된 화소의 동작을 나타내는 타이밍도이다.
- 도 9는 도 8의 AA에 대응하는 시뮬레이션 그래프이다.
- 도 10은 도 1에 도시된 화소의 다른 실시예에 따른 평면도이다. 도 11은 도 10에 도시된 절단선 IV-IV'에 따라 절단한 단면도이다.
- 도 12는 본 발명의 다른 실시예에 따른 화소의 등가 회로도이다.
- 도 13은 본 발명의 또 다른 실시예에 따른 화소의 등가 회로도이다.
- 도 14는 본 발명의 또 다른 실시예에 따른 화소의 등가 회로도이다.
- 도 15는 본 발명의 또 다른 실시예에 따른 화소의 등가 회로도이다.
- 도 16은 본 발명의 또 다른 실시예에 따른 화소의 등가 회로도이다.

### 발명을 실시하기 위한 구체적인 내용

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

도 1은 본 발명의 일 실시예에 따른 액정표시장치에 구비된 화소의 등가 회로도이고, 도 2 및 도 3은 게이트 신호가 인가됨에 따라 변화되는 도 1 도시된 화소의 등가 회로도이다. 도 4는 도 1에 도시된 화소의 일 실시예에 따른 평면도이고, 도 5 내지 도 7 각각은 도 4에 도시된 절단선 I-I', II-II', 및 III-III'에 따라 절단한 단면도이다. 또한, 도 8은 도 1에 도시된 화소의 동작을 나타내는 타이밍도이고, 도 9는 도 8의 AA에 대응하는 시뮬레이션 그래프이다.

도 1 내지 도 3은 본 실시예에 따른 액정표시장치에 포함된 다수의 화소 중 하나의 화소(PX)에 대한 등가 회로를 도시하였다. 나머지 화소들도 상기 화소(PX)와 동일한 등가 회로를 가지므로, 상기 나머지 화소들의 구조에 대한 도시 및 구체적인 설명은 생략하기로 한다.

또한, 도 4는 도 1 내지 도 3의 등가 회로도를 갖는 화소를 예시적으로 도시하고 있다. 여기서, 도 4에 도시된 게이트 라인(GLi), 데이터 라인(DLj), 및 제1 리셋 라인(RL1-k)은 상기 액정표시장치에 구비된 다수의 게이트 라인, 다수의 데이터 라인, 및 다수의 리셋 라인 중 각각 하나를 나타낸다.

도 1을 참조하면, 상기 화소(PX)는 제1 트랜지스터(TR1)와 제1 액정 커패시터(C1c1)를 포함하는 제1 서브화소(SPX1), 제2 트랜지스터(TR2)와 제2 액정 커패시터(C1c2)를 포함하는 제2 서브화소(SPX2), 제3 트랜지스터(TR3), 연결저항(Rs), 및 분배 커패시터(Cup)를 포함한다.

상기 제1 트랜지스터(TR1)는 상기 게이트 라인(GLi) 및 상기 데이터 라인(DLj)에 연결되고, 게이트-온 신호에 응답하여 데이터 전압을 출력한다. 또한, 상기 제2 트랜지스터(TR2)는 상기 게이트 라인(GLi) 및 상기 데이터

라인(DLj)에 연결되고, 게이트-온 신호에 응답하여 데이터 전압을 출력한다.

상기 제1 트랜지스터(TR1)는 c 노드(node\_c)에서 상기 제1 액정 커패시터(C1c1)에 연결된다. 상기 제1 액정 커패시터(C1c1)는 상기 제1 트랜지스터(TR1)로부터 출력된 데이터 전압을 수신하는 제1 화소전극(PE1: 도 4 내지 도 7 참조) 및 상기 제1 화소전극(PE1)에 대항하는 공통전극(122: 도 4 내지 도 7 참조)을 포함한다.

상기 제2 트랜지스터(TR2)는 a 노드(node\_a)에서 상기 제2 액정 커패시터(C1c2)에 연결된다. 상기 제2 액정 커패시터(C1c2)는 상기 제2 트랜지스터(TR2)로부터 출력된 상기 데이터 전압을 수신하는 제2 화소전극(PE2: 도 4 내지 도 7 참조) 및 상기 제2 화소전극(PE2)에 대항하는 공통전극(122)을 포함한다.

상기 제3 트랜지스터(TR3)는 상기 게이트 라인(GLi) 및 상기 제1 리셋 라인(RL1-k)에 연결되고, 상기 게이트-온 신호에 응답하여 상기 제1 리셋 전압을 출력한다. 일 예로, 상기 리셋 라인(RL1-k)은 스토리지 라인일 수 있고, 상기 제1 리셋 전압은 스토리지 전압일 수 있다.

상기 제1 리셋 전압은 상기 데이터 전압과 다른 크기의 전압이다. 예컨대, 상기 데이터 전압은 상기 제1 리셋 전압보다 크다.

상기 연결저항(Rs)은 상기 a 노드(node\_a)에서 상기 제2 트랜지스터(TR2) 및 상기 제2 액정 커패시터(C1c2)에 연결되고, 상기 b 노드(node\_b)에서 상기 제3 트랜지스터(TR3) 및 상기 분배 커패시터(Cup)에 연결된다.

실질적으로, 상기 연결저항(Rs)은 하나의 프레임 구간(Ft: 도 8 참조) 중 게이트-온 구간(Ft1: 도 8 참조, 이하 제1 구간) 동안에 상기 a 노드(node\_a)와 상기 b 노드(node\_b)를 전기적으로 분리한다. 또한, 상기 연결저항(Rs)은 상기 하나의 프레임 구간(Ft) 중 게이트-오프 구간(Ft2: 도 8 참조, 이하 제2 구간) 동안에 상기 a 노드(node\_a)와 상기 b 노드(node\_b)를 전기적으로 연결한다. 이에 대한 상세한 내용은 후술한다.

한편, 상기 액정표시장치가 60Hz로 구동될 때, 상기 하나의 프레임 구간에 대응하는 시간은 1/60초일 수 있다. 또한, 상기 제1 구간(Ft1)은 상기 게이트 라인(GLi)에 펄스신호 형태의 게이트-온 신호(하이 레벨의 게이트 전압)가 실질적으로 인가되는 구간으로 상기 게이트 라인(GLi)에 게이트-오프 신호(로우 레벨의 게이트 전압)가 인가되는 상기 제2 구간(Ft2)에 비해 매우 짧은 시간이다.

상기 분배 커패시터(Cup)는 제1 전극 및 제2 전극을 포함한다. 상기 분배 커패시터(Cup)의 제1 전극은 상기 b 노드(node\_b)에서 상기 연결저항(Rs) 및 상기 제3 트랜지스터(TR3)에 연결되고, 상기 분배 커패시터(Cup)의 제2 전극은 상기 c 노드(node\_c)에서 상기 제1 트랜지스터(TR1) 및 상기 제1 액정 커패시터(C1c2)에 연결된다.

상기 분배 커패시터(Cup)는 상기 제1 트랜지스터(TR1)로부터 상기 데이터 전압을 수신하고, 상기 제3 트랜지스터(TR3)로부터 상기 제1 리셋 전압을 수신하여 상기 데이터 전압과 상기 제1 리셋 전압의 차전압을 충전한다. 상기 분배 커패시터(Cup)가 동작함에 따라, 상기 제1 구간(Ft1) 이후에, 상기 c 노드(node\_c)의 전압은 커지고, 상기 a 노드(node\_a)의 전압은 작아진다.

한편, 상기 제1 서브화소(SPX1) 및 상기 제2 서브화소(SPX2)는 도 1 내지 도 3에 도시된 것과 같이 제1 스토리지 커패시터(Cst1)와 제2 스토리지 커패시터(Cst2)를 각각 더 포함할 수 있다. 상기 제1 스토리지 커패시터(Cst1)는 상기 제1 화소전극(PE1)과 상기 제1 리셋 라인(RL1-k)으로 구성되며, 상기 제2 스토리지 커패시터(Cst2)는 상기 제2 화소전극(PE2)과 상기 제1 리셋 라인(RL1-k)으로 구성된다.

도 4 내지 도 7을 참조하여, 상기 화소(PX)의 구성에 대해 좀 더 상세히 검토한다.

상기 액정표시장치는 상기 제1, 제2, 및 제3 트랜지스터들(TR1, TR2, TR3)이 구비된 제1 기관(110), 상기 제1 기관(110)과 마주하며 상기 공통전극(122)이 구비된 제2 기관(120), 및 상기 제1 기관(110)과 상기 제2 기관(120)과의 사이에 개재된 액정층(130)을 포함한다.

상기 제1 기관(110)은 상기 게이트 라인(GLi) 및 상기 데이터 라인(DLj)이 형성된 제1 베이스 기관(111)을 포함한다. 상기 게이트 라인(GLi)은 제1 방향(D1)으로 연장되고, 상기 데이터 라인(DLj)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장된다. 상기 데이터 라인(DLj)은 상기 게이트 라인(GLi)과 절연되게 교차한다.

또한, 상기 제1 베이스 기관(111) 상에는 상기 제1 방향(D1)으로 연장되고, 상기 리셋 전압이 인가되는 제1 리셋 라인(RL1-k)이 구비된다. 상기 제1 리셋 라인(RL1-k)은 평면상에서 제2 방향(D2)으로 돌출된 가지부(RL1-P)를 더 포함한다. 상기 가지부(RL1-P)는 제1 화소전극(PE1)과 일부가 오버랩된다. 한편, 상기 제1 리셋 라인(RL1-k)은 상기 게이트 라인(GLi)과 동일층에 형성될 수 있다.

도 4 및 도 5에 도시된 것과 같이, 상기 제1 트랜지스터(TR1)는 제1 게이트 전극(GE1), 제1 소스 전극(SE1), 제1 드레인 전극(DE1)을 포함한다. 상기 제1 게이트 전극(GE1)은 상기 게이트 라인(GLi)으로부터 분기된다. 상기 제1 게이트 전극(GE1) 상에는 제1 절연막(115)이 형성되고, 상기 제1 절연막(115) 상에 상기 데이터 라인(DLj)으로부터 분기된 상기 제1 소스 전극(SE1) 및 상기 제1 소스 전극(SE1)으로부터 소정 간격 이격된 상기 제1 드레인 전극(DE1)이 형성된다.

상기 제1 트랜지스터(TR1)의 동작을 위해 상기 제1 소스 전극(SE1)과 상기 제1 드레인 전극(DE1)이 이격된 영역에는 상기 액티브 층(116)이 구비된다. 상기 액티브 층(116)은 아몰포스 실리콘(a-si: amorphous silicon)으로 구성될 수 있다. 상기 액티브 층(116)과 상기 제1 소스 전극(SE1) 사이, 및 상기 액티브 층(116)과 상기 제1 드레인 전극(DE1) 사이에는 오믹 접촉층(미도시)이 더 구비될 수 있다. 상기 오믹 접촉층은 n형 아몰포스 실리콘(n+ a-Si:h)으로 구성될 수 있다.

도 4 및 도 6에 도시된 것과 같이, 상기 제3 트랜지스터(TR3)는 제3 게이트 전극(GE3), 제3 소스 전극(SE3) 및 상기 제3 소스 전극(SE3)과 소정의 간격으로 이격된 제3 드레인 전극(DE3)으로 이루어진다. 상기 제3 게이트 전극(GE3)은 상기 게이트 라인(GLi)으로부터 분기된다. 상기 제3 게이트 전극(GE3) 상에는 제1 절연막(115)이 형성된다. 상기 제1 절연막(115) 상에 액티브 층(116)이 구비되고, 상기 액티브 층(116) 상에 상기 제3 소스 전극(SE3) 및 상기 제3 드레인 전극(DE3)이 서로 이격되어 구비된다. 상기 액티브 층(116)과 상기 제3 소스 전극(SE3) 사이, 및 상기 액티브 층(116)과 상기 제3 드레인 전극(DE3) 사이에는 상기 오믹 접촉층(미도시)이 더 구비될 수 있다.

상기 제3 소스 전극(SE3)은 연장되어 상기 제1 리셋 라인(RL1-k)을 부분적으로 커버한다. 상기 제1 리셋 라인(RL1-k)과 상기 제3 소스 전극(SE3) 사이에는 상기 제1 절연막(115)이 구비된다. 상기 제3 소스 전극(SE3)과 상기 제1 리셋 라인(RL1-k)은 후술하는 연결전극(CNE)을 통해 전기적으로 연결된다.

상기 제1 베이스 기판(111) 상에는 상기 제1 및 제3 소스 전극(SE1, SE3), 상기 제1 및 제3 드레인 전극(DE1, DE3)을 커버하는 제2 절연막(118)이 구비된다. 또한, 상기 제2 절연막(118)은 후술하는 제2 트랜지스터의 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 커버한다. 상기 제2 절연막(118)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiO2)을 포함하여 구성될 수 있다.

도 4 및 도 6에 도시된 것과 같이, 상기 제2 절연막(118) 상에는 제1 화소전극(PE1)이 구비된다. 상기 제1 화소전극(PE1)은 가로 줄기부(PE1-W) 및 세로 줄기부(PE1-L)를 포함하는 십(十)자 형상의 줄기부, 줄기부와 연결된 외곽부(PE1-O), 그리고 외곽부로부터 돌출되어 상기 제1 드레인 전극(DE1)과 오버랩되는 제1 접속부(CNP1)를 포함할 수 있다.

상기 제1 화소전극(PE1)은 십자 줄기부에 의해 4 개의 서브영역으로 나뉘어진다. 각 서브영역에는 십자 줄기부로부터 바깥쪽으로 비스듬하게 뻗는 다수의 미세 가지부가 구비된다. 인접한 2개의 미세 가지부 사이에는 슬릿(PE1-S)이 배치된다. 상기 4개의 서브영역들에 구비된 상기 미세 가지부(PE1-P)는 평면상에서 상기 가로 줄기부와 약 45도, 135도, 225도, 315도를 각각 이룰 수 있다.

상술한 바와 같이, 제1 화소전극(PE1)은 상기 가로 줄기부(PE1-W)에 대하여 이루는 각도가 서로 다른 4 개의 서브영역을 포함하므로 상기 액정층(130)에 포함된 액정 분자들이 기울어지는 방향도 총 4 방향이 된다. 이와 같이 액정 분자들의 기울어지는 방향을 다양하게 하면 액정표시장치의 시야각이 넓어진다.

도 5에 도시된 것과 같이, 상기 제2 절연막(118)에는 상기 제1 드레인 전극(DE1)의 적어도 일부를 노출시키는 제1 콘택홀(H1)이 구비된다. 상기 제1 화소전극(PE1)은 상기 제1 콘택홀(H1)을 통해 상기 제1 드레인 전극(DE1)과 연결된다. 상기 제1 접속부(CNP1)가 상기 제1 드레인 전극(DE1)에 연결될 수 있다.

상기 제1 절연막(115) 상에는 상기 분배 커패시터(Cup)의 제1 전극(Cup-E1)이 구비되고, 상기 제2 절연막(118) 상에는 상기 분배 커패시터(Cup)의 제2 전극(Cup-E2)이 구비된다. 다시 말해, 상기 제1 전극(Cup-E1)과 상기 제2 전극(Cup-E2)은 상기 제2 절연막(118)을 사이에 두고 마주한다.

상기 제1 전극(Cup-E1)은 상기 제3 드레인 전극(DE3)과 물리적으로 연결된다. 상기 제2 전극(Cup-E2)은 상기 제1 화소전극(PE1)과 물리적으로 연결된다. 좀더 구체적으로, 상기 제2 전극(Cup-E2)은 상기 제1 화소전극(PE1)에 포함된 제1 접속부(CNP1)와 연결되어, 상기 제1 화소전극(PE1)의 일부를 구성할 수 있다.

도 6에 도시된 것과 같이, 상기 제1 및 제2 절연막(115, 118)에는 상기 제3 소스 전극(SE3)의 적어도 일부와 상기 제1 리셋 라인(RL1-k)의 적어도 일부를 동시에 노출시키는 제3 콘택홀(H3)이 구비된다. 상기 제3 소스 전극

(SE3)과 상기 제1 리셋 라인(RL1-k)은 상기 제3 콘택홀(H3)에 구비된 연결전극(CNE)을 통해 전기적으로 연결된다. 상기 연결전극(CNE)과 상기 제1 리셋 라인(RL1-k)을 좀 더 용이하게 연결하기 위해 상기 리셋 라인(RL1-k)은 평면상에서 상기 제3 소스 전극(SE3) 방향으로 돌출된 영역을 구비할 수 있다.

도 4 및 도 7에 도시된 것과 같이, 상기 제2 트랜지스터(TR2)는 상기 제1 트랜지스터(TR1)와 같이, 상기 게이트 라인(GLi)으로부터 분기된 제2 게이트 전극(GE2), 상기 데이터 라인(DLj)으로부터 분기된 제2 소스 전극(SE2) 및 상기 제2 소스 전극(SE2)과 소정의 간격으로 이격된 제2 드레인 전극(DE2)으로 이루어진다. 상기 제2 게이트 전극(GE2) 상에는 제1 절연막(115)이 형성된다. 상기 제1 절연막(115) 상에 상기 제2 소스 전극(SE2) 및 상기 제2 드레인 전극(DE2)이 형성된다. 상기 제2 소스 전극(SE2)과 상기 제2 드레인 전극(DE2)이 이격된 영역에도 상기 액티브 층(116)이 구비된다.

상기 제2 소스 전극(SE2)과 상기 제2 드레인 전극(DE2)을 커버하는 상기 제2 절연막(118) 상에는 제2 화소전극(PE2)이 구비된다. 상기 제2 화소전극(PE2)은 상기 제1 화소전극(PE1)과 같이, 가로 줄기부 및 세로 줄기부를 포함하는 십(十)자 줄기부, 상기 줄기부와 연결된 외곽부, 그리고 외곽부로부터 돌출되어 상기 제2 드레인 전극(DE2)과 오버랩되는 제2 접속부(CNP2)를 포함할 수 있다. 상기 제2 화소전극(PE2)은 상기 제1 화소전극(PE1)처럼 십자 줄기부에 의해 4 개의 서브영역으로 나뉘어진다. 각 서브영역에는 십자 줄기부로부터 바깥쪽으로 비스듬하게 뻗는 복수의 미세 가지부가 구비된다.

이때, 상기 제2 화소전극(PE2)은 상기 제2 절연막(118)에 형성된 제2 콘택홀(H2)을 통해 상기 제2 드레인 전극(DE2)과 연결된다. 상기 제2 접속부(CNP2)가 상기 제2 드레인 전극(DE2)에 연결될 수 있다.

도 4 내지 도 7에 도시된 것과 같이, 상기 분배커패시터(Cup)의 제1 전극(Cup-E1)과 상기 제2 화소전극(PE2)은 물리적으로 분리된다.

이때, 상기 연결저항(Rs)이 분리된 상기 분배커패시터(Cup)의 제1 전극(Cup-E1)과 상기 제2 화소전극(PE2)을 물리적으로 연결한다. 도 7에 도시된 것과 같이, 상기 제2 접속부(CNP2)가 상기 제2 드레인 전극(DE2)의 일부에 연결되고, 상기 제2 드레인 전극(DE2)의 일부가 상기 연결저항(Rs)을 통해 상기 분배커패시터(Cup)의 제1 전극(Cup-E1)에 연결된다.

상기 연결저항(Rs)은 상기 제2 드레인 전극(DE2) 및 상기 제3 드레인 전극(DE3)과 동일한 층에 구비될 수 있고, 광에 노출될 때 광전도도가 증가하여 저항이 낮아지고 전하를 통과시키는 물질이 채용될 수 있다. 일 예로, 상기 비정질 실리콘인 아몰포스 실리콘이 채용될 수 있다. 상기 광은 액정표시장치에 구비된 백라이트 유닛(미도시)으로부터 공급될 수 있다.

상기 제2 기관(120)은 상기 제1 베이스 기관(111)과 마주하는 제2 베이스 기관(121) 및 상기 제2 베이스 기관(121) 상에 구비되는 공통전극(122)을 포함한다.

상기 공통전극(122)은 상기 제2 베이스 기관(121) 상에 전면적으로 형성된다. 상기 공통전극(122)은 액정층(130)을 사이에 두고 상기 제1 화소전극(PE1) 및 상기 제2 화소전극(PE2)과 마주한다.

상기 액정층(130)에 포함된 상기 액정 분자들은 음의 유전율 이방성을 가질 수 있다. 또한, 상기 액정 분자들은 전기장이 형성되지 않은 상태에서 그 장축이 상기 제1 및 제2 기관(110, 120)의 표면에 대하여 수직을 이루도록 배향될 수 있다.

도 2, 도 3, 도 8 및 도 9를 참조하여, 도 1에 도시된 등가 회로를 갖는 화소의 동작에 대해 상세히 설명한다. 다만, 상기 제1 스토리지 커패시터(Cst1)와 상기 제2 스토리지 커패시터(Cst2)가 상기 화소(PX)의 동작에 미치는 영향은 생략하기로 한다.

프레임 구간(Ft) 동안, 상기 액정표시장치에 구비된 게이트 라인들은 게이트-온 신호를 순차적으로 수신한다. 다시 말해, 각 게이트 라인들은 상기 프레임 구간 중 소정의 구간(제1 구간(Ft1))에만 게이트-온 신호를 수신한다.

도 2 및 도 8을 참조하면, 상기 제1 구간(Ft1) 동안 상기 제1 트랜지스터(TR1)와 상기 제2 트랜지스터(TR2)는 턴-온 된다. 또한, 상기 제1 구간(Ft1) 동안 상기 공통전극(122)에는 공통전압이 인가되고, 상기 제1 리셋 라인(RL1-k)에는 제1 리셋 전압이 인가된다. 상기 제1 구간(Ft1) 동안 상기 a 노드(node\_a)와 상기 b 노드(node\_b)는 단선된다.

상기 제1 액정 커패시터(Clc1)는 상기 제1 트랜지스터(TR1)를 통해 상기 데이터 전압을 수신하고, 상기 제2 액

정 커패시터(C1c2)는 상기 제2 트랜지스터(TR2)를 통해 상기 데이터 전압을 수신한다.

상기 제1 구간(Ft1) 동안, 상기 제1 화소전극(PE1) 및 상기 제2 화소전극(PE2)에 인가되는 상기 제1 화소전압 및 제2 화소전압의 크기는 상기 데이터 전압의 크기와 동일하다. 여기서, 상기 제2 화소전압과 동일한 전압을 갖는 a 노드(node\_a)의 전압의 크기는 상기 데이터 전압의 크기와 동일하다. 따라서, a 노드(node\_a)의 전하량은 아래와 같다.

**수학식 1**

$$Qa = (Vd - Vcom) \times C2$$

상기 수학식 1에서, Qa는 Vd는 a 노드(node\_a)의 전하량이며, 상기 데이터 전압값이고, 상기 Vcom은 상기 공통 전압값이며, C2는 제2 액정 커패시터(C1c2)의 충전용량이다.

한편, 상기 제1 구간(Ft1) 동안 상기 b 노드(node\_b)의 전압의 크기는 상기 제1 리셋 전압의 크기와 동일하고, 상기 c 노드(node\_c)의 전압의 크기는 상기 데이터 전압의 크기와 동일하다.

따라서, 상기 분배 커패시터(Cup)는 상기 제1 리셋 전압과 상기 데이터 전압의 차전압을 충전한다. 상기 b 노드(node\_b)에서의 전하량은 분배 커패시터(Cup)에 충전되는 전하량과 동일하므로, 그 값은 아래의 수학식 2와 같다.

**수학식 2**

$$Qb = (Vr1 - Vd) \times Cp$$

상기 수학식 2에서, Qb는 b 노드(node\_b)의 전하량이며, Vr1은 상기 제1 리셋 전압값이며, Cp는 상기 분배 커패시터(Cup)의 충전용량이다.

도 3 및 도 8을 참조하면, 상기 제1 구간(Ft1) 이후, 제2 구간(Ft2) 동안 상기 제1 트랜지스터(TR1), 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)가 턴-오프 된다.

이때, 상기 제2 구간(Ft2) 동안 상기 a 노드(node\_a)와 상기 b 노드(node\_b)는 단락된다. 상기 a 노드(node\_a)와 상기 b 노드(node\_b)는 상기 연결저항(Rs)을 통해 전하를 공유하는데, 상기 제1 구간(Ft1)은 상기 제2 구간(Ft2)에 비해 매우 짧은 시간이므로 상기 제1 구간(Ft1) 동안에 상기 화소의 등가회로는 상기 a 노드(node\_a)와 상기 b 노드(node\_b)가 단선된 것과 같다. 반면에 상기 제2 구간(Ft2)은 상기 제1 구간(Ft1)에 비해 매우 긴 시간이므로, 상기 화소의 등가회로는 상기 제2 구간(Ft2) 동안에 상기 a 노드(node\_a)와 상기 b 노드(node\_b)가 단락된 것과 같다.

상기 제1 구간(Ft1) 동안 상기 a 노드(node\_a)와 상기 b 노드(node\_b)를 전기적으로 분리하기 위해, 상기 연결 저항의 저항값(Rrs)은 상기 제2 트랜지스터(TR2) 및 상기 제3 트랜지스터(TR3)이 턴-온 되었을 때의 저항(이하, 트랜지스터의 턴-온 저항)보다 큰 저항값을 갖는다. 상기 연결저항(Rs)은 트랜지스터의 턴-온 저항보다 100배 이상 큰 저항값을 갖는 것이 바람직하다. 일 예로, 상기 제2 트랜지스터(TR2) 및 상기 제3 트랜지스터(TR3)의 턴-온 저항이 10<sup>6</sup> 옴(ohm)의 저항값을 갖는다면, 상기 연결저항(Rs)은 10<sup>8</sup> 옴(ohm) 이상의 저항값을 가질 수 있다.

상기 제2 구간(Ft2) 동안 상기 a 노드(node\_a)와 상기 b 노드(node\_b)를 전기적으로 연결하기 위해 상기 연결 저항(Rs)은 임계저항값보다 작은 것이 바람직하다. 상기 임계저항값은 상기 시정수(Pτ)의 3배가 되었을 때 연결저항(Rs)의 저항값(Rrs)이다. 상기 시정수(Pτ)란 외부입력에 대한 회로의 응답이 63%까지 도달했을 때의 시간을 의미한다. 또한, 상기 시정수(Pτ)는 아래의 수학식 3에 따른다.

수학식 3

$$P\tau = Rrs \times (C2 + Cp // C1)$$

수학식 3에서, C2는 상기 제2 액정 커패시터(C1c2)의 충전용량이고, C1은 상기 제1 액정 커패시터(C1c1)의 충전용량이며, Cp는 상기 분배 커패시터(Cup)의 충전용량이고, Rrs는 상기 연결저항(Rs)의 저항값이다.

상기 시정수(Pτ)의 3배 시간 이후에는 회로의 응답이 95% 까지 도달한다. 상기 시정수(Pτ)의 3배에 해당하는 시간이 상기 제2 구간(Ft2)에 해당하는 시간보다 크면, 상기 a 노드(node\_a)와 상기 b 노드(node\_b)가 전기적으로 연결되기 전에 상기 제1 내지 제3 트랜지스터(TR1, TR2, TR3)가 턴-온 된다. 따라서, 상기 시정수(Pτ)의 3배에 해당하는 시간은 하나의 프레임 구간에 해당하는 시간보다 작아야한다.

상술한 조건들을 만족하는 상기 연결저항(Rs)의 저항값(Rrs)은 아래의 수학식 4에 의해 결정된다.

수학식 4

$$100 \times Ron < Rrs < \frac{Ft}{3 \times (C2 + Cp // C1)}$$

수학식 7에서 Ft는 상기 프레임 구간에 해당하는 시간이고, Ron은 상기 제2 트랜지스터(TR2) 및 상기 제3 트랜지스터(TR3)의 턴-온 저항의 저항값이다.

한편, 상기 제2 구간(Ft2) 동안 상기 연결저항(Rs)을 통해 상기 a 노드(node\_a)와 상기 b 노드(node\_b)가 전기적으로 연결되면, 상기 a 노드(node\_a)와 상기 b 노드(node\_b) 사이에 전하가 공유되므로, 상기 a 노드(node\_a)의 전압과 상기 b 노드(node\_b)의 전압은 같아진다.

전하량 보존의 법칙에 의해, 상기 제2 구간(Ft2)에서 상기 a 노드(node\_a)의 전하량과 상기 b 노드(node\_b)의 전하량의 합은 상기 제1 구간(Ft1)에서 상기 a 노드(node\_a)의 전하량과 상기 b 노드(node\_b)의 전하량의 합과 같다.

수학식 5

$$Qa + Qb = (Vab - Vcom) \times (C2 + C1 // Cp)$$

상기 수학식 5에서, C1은 상기 제1 액정 커패시터(C1c1)의 충전용량이다. 상기 Vab는 상기 제2 구간(Ft2)에서 상기 a 노드(node\_a)와 상기 b 노드(node\_b)의 전압값이다. 상술한 것과 같이, 상기 제1 구간(Ft1)에서 상기 a 노드(node\_a)와 상기 b 노드(node\_b)의 전압의 크기는 같다.

한편, 도 8 및 도 9에 도시된 것과 같이, 상기 제1 구간(Ft1)에서 상기 제2 구간(Ft2)으로 바뀌는 시점에서 상기 a 노드(node\_a)와 상기 b 노드(node\_b) 각각의 전압은 소정의 레벨(KB)만큼 감소한다. 이는 게이트 신호가 하이 레벨에서 로우 레벨로 하강할 때 상기 데이터 전압과 액정 커패시터에 충전된 전압의 차이에 해당하는 킥백전압이 발생하기 때문이다. 즉, 게이트 신호가 하이 레벨에서 로우 레벨로 하강하면 상기 액정 커패시터로부터 박막 트랜지스터에 발생한 기생 커패시터로 전하 분배가 발생하고, 상기 액정 커패시터에 충전된 전압은 감소한다.

상기 수학식 3 내지 수학식 5에서는 이러한 킥백전압의 영향은 생략되어 있다. 상기 킥백전압의 영향은 후술하는 수학식 6 및 8에도 생략된다. 또한, 후술하는 c 노드(node\_c)의 전압의 레벨 역시 상기 킥백전압의 영향으로 상기 제1 구간(Ft1)에서 상기 제2 구간(Ft2)으로 바뀌는 시점에서 다소 감소한다.

상기 수학식 1, 2 및 5를 이용하여, 상기 제2 구간(Ft2)에서 상기 a 노드(node\_a)와 상기 b 노드(node\_b)의 전

압의 크기를 구하면 아래와 같다.

**수학식 6**

$$V_{ab} = V_{com} + \frac{(V_d - V_{com}) \times C_2 + (V_{r1} - V_d) \times C_p}{C_2 + C_1 // C_p}$$

상기 제1 구간(Ft1)에서 제2 구간(Ft2)으로 바뀔에 따라 상기 a 노드(node\_a)와 상기 b 노드(node\_b)의 전압의 크기는 변한다.

상기 a 노드(node\_a)는 상기 게이트 신호가 하이 레벨일 때 상기 데이터 전압과 동일한 크기의 전압을 갖고, 상기 게이트 신호가 로우 레벨일 때 상기 수학식 6에 따른 전압을 갖는다.

도 9에 도시된 것과 같이, 상기 제1 구간(Ft1)에서 상기 제2 구간(Ft2)으로 바뀌는 시점(상기 제1 구간(Ft1) 직후의 시점.)에서 상기 a 노드(node\_a)의 전압은 상기 킥백전압의 영향으로 소정의 레벨(KB)만큼 낮아진다.

또한, 상기 a 노드(node\_a)의 전압은 상기 제2 구간(Ft2) 중에서 소정의 구간(이하, 전하공유 구간(CSP)) 동안 감소하고, 상기 전하공유 구간(CSP) 이후에는 다음 프레임 구간에서 상기 게이트 라인에 게이트 신호가 인가되기 전까지 실질적으로 일정하게 유지된다. 여기서, 상기 전하공유 구간(CSP)이 시작되는 시점은 상기 제2 구간(Ft2)이 시작되는 시점과 동일하다.

한편, 도 9는 상기 분배 커패시터(Cup)의 충전용량이 0.1pF이고, 상기 연결저항(Rs)의 저항값이 0.57 x 109 옴인 화소에 대한 시뮬레이션 결과를 예시적으로 도시하고 있다. 도 9에서 상기 전하공유 구간(CSP)에 대응하는 시간은 216 μs이다. 한편, 도 9에서 X축에 기재된 시간들은 상대적인 시간이다.

그에 반하여, 상기 b 노드(node\_b)는 상기 게이트 신호가 하이일 때 상기 제1 리셋 전압과 동일한 크기의 전압을 갖고, 상기 게이트 신호가 로우 레벨일 때 수학식 6에 따른 전압을 갖는다. 수학식 6에 따른 전압은 상기 제1 리셋 전압보다 크기 때문에 상기 제1 구간(Ft1)에서 제2 구간(Ft2)으로 바뀔에 따라 상기 b 노드(node\_b)의 전압은 커진다. 상기 b 노드(node\_b)의 전압은 상기 전하공유 구간(CSP) 이후에 다음 프레임 구간에서 상기 게이트 라인에 게이트-온 신호가 인가되기 전까지 실질적으로 일정하게 유지된다.

상기 제1 구간(Ft1)에서 제2 구간(Ft2)으로 바뀔에 따라 상기 c 노드(node\_c)의 전압 역시 변한다. 좀더 구체적으로, 상기 제2 구간(Ft2)에서 상기 c 노드(node\_c)의 전압은 상기 분배 커패시터(Cup)와의 커플링에 의해 커진다. 상기 c 노드(node\_c)의 전압은 상기 전하공유 구간(CSP) 동안 증가하고, 상기 전하공유 구간(CSP) 이후에 다음 프레임 구간에서 상기 게이트 라인에 게이트-온 신호가 인가되기 전까지 실질적으로 일정하게 유지된다.

상기 제2 구간(Ft2)에 상기 c 노드(node\_c)의 전압은 아래의 수학식 7에 따른 Vc와 같다.

**수학식 7**

$$V_c = V_d + \frac{C_p}{C_1 + C_p} \times (V_{ab} - V_{com})$$

상기 수학식 5 내지 7에 따르면, 결과적으로 상기 제1 구간(Ft1)에서 제2 구간(Ft2)으로 바뀔 후, 상기 제1 화소전극(PE1)의 전압은 커지고, 상기 제2 화소전극(PE2)의 전압은 작아진다.

다시 말해, 상기 제1 액정 커패시터(C1c1)에 충전된 전하량은 상기 제1 구간(Ft1) 직후에 소정의 레벨로 낮아진 후, 상기 전하공유 구간(CSP) 동안 상기 소정의 레벨로부터 점차적으로 높아진다. 반면에 상기 제2 액정 커패시터(C1c2)에 충전된 전하량은 상기 제1 구간(Ft1) 직후에 소정의 레벨로 낮아진 후, 상기 전하공유 구간(CSP) 동안 상기 소정의 레벨로부터 점차적으로 낮아진다. 따라서, 상기 전하공유 구간(CSP) 이후에 상기 제1 액정 커패시터(C1c1)에 충전된 전하량과 상기 제2 액정 커패시터(C1c2)에 충전된 전하량은 서로 상이해진다.

상기 제2 구간(Ft2)에서 상기 제1 액정 커패시터(C1c1)에 충전된 전하량과 상기 제2 액정 커패시터(C1c2)에 충

전된 전하량이 다르므로 상기 제1 서브화소(SPX1)에 배치된 액정 분자들과 상기 제2 서브화소(SPX2)에 배치된 액정 분자들의 배열은 서로 상이하다. 그에 따라, 상기 제1 서브화소(SPX1)를 통과하는 영상과 상기 제2 서브화소(SPX2)를 통과하는 영상은 사용자에게 서로 다른 각도로 제공되고, 그에 따라 상기 화소(PX)를 통해 제공되는 영상의 시야각은 넓어진다.

또한, 상기 제2 구간(Ft2) 동안 상기 분배 커패시터(Cup)에 제1 리셋 전압을 공급되기 때문에 상기 분배 커패시터(Cup)가 초기화된다. 그에 따라, 상기 분배 커패시터(Cup)의 동작에 신뢰성을 확보할 수 있다.

도 10은 도 1에 도시된 화소의 다른 실시예에 따른 평면도이고, 도 11은 도 10에 도시된 절단선 IV-IV'에 따라 절단한 단면도이다. 중복된 설명을 피하기 위해, 본 실시예에서는 도 1 내지 도 9를 참조하여 설명한 구성과 동일한 구성에 대한 상세한 설명은 생략한다.

도 10 및 도 11을 참조하면, 상기 액정표시장치는 상기 제1, 제2, 및 제3 트랜지스터들(TR1, TR2, TR3)이 구비된 제1 기관(110), 상기 제1 기관(110)과 마주하며 상기 공통전극(122)이 구비된 제2 기관(120), 및 상기 제1 기관(110)과 상기 제2 기관(120)과의 사이에 개재된 액정층(130)을 포함한다.

상기 제1 기관(110)은 상기 게이트 라인(GLi) 및 상기 데이터 라인(DLj)이 형성된 제1 베이스 기관(111)을 포함한다. 상기 게이트 라인(GLi)은 제1 방향(D1)으로 연장되고, 상기 데이터 라인(DLj)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장된다. 상기 데이터 라인(DLj)은 상기 게이트 라인(GLi)과 절연되게 교차한다.

또한, 상기 제1 베이스 기관(111) 상에는 상기 제1 및 제2 방향(D1, D2)로 연장되고, 상기 리셋 전압이 인가되는 제1 리셋 라인(RL1-k)이 구비된다. 상기 제1 리셋 라인(RL1-k)은 상기 게이트 라인(GL)과 동일층에 형성될 수 있다.

상기 제2 트랜지스터(TR2)의 동작을 위해, 액티브 층(116)이 평면상으로 상기 제2 소스 전극(SE2)에 대응하는 영역, 상기 제2 드레인 전극(DE2)에 대응하는 영역 및 상기 제2 소스 전극(SE2)과 상기 제2 드레인 전극(DE2)이 이격된 영역에 구비된다. 상기 액티브 층(116)은 단면상으로 상기 제2 소스 전극(SE2)과 상기 제1 절연막(115) 사이, 및 상기 제2 드레인 전극(DE2)과 상기 제1 절연막(115) 사이에 구비된다. 상기 액티브 층(116)과 상기 제2 소스 전극(SE2) 사이, 및 상기 액티브 층(116)과 상기 제2 드레인 전극(DE2) 사이에는 상기 오믹 접촉층(미도시)이 더 구비될 수 있다.

상기 제2 트랜지스터(TR2)의 상기 제2 드레인 전극(DE2)과 상기 제3 트랜지스터(TR3)의 상기 제3 드레인 전극(DE3)은 인접하게 배치된다. 그러나, 상기 제2 드레인 전극(DE2)과 상기 제3 드레인 전극(DE3)은 소정의 간격을 두고 이격되며, 물리적으로 분리된다.

이때, 상기 제2 드레인 전극(DE2)과 상기 제3 드레인 전극(DE3)이 이격된 영역에는 연결저항(Rs')이 구비된다. 상기 연결저항(Rs')은 상기 제1, 제2, 제3 트랜지스터(TR1, TR2, TR3)에 구비된 액티브 층(116)과 동일한 층에 구비된다. 또한, 상기 연결저항(Rs')은 상기 액티브 층(116)과 동일한 물질로 구성될 수 있고, 상기 제1, 제2, 제3 트랜지스터(TR1, TR2, TR3)에 구비된 액티브 층(116)과 일체의 형상을 가질 수도 있다.

일 예로, 상기 제2 드레인 전극(DE2)의 하측에 구비된 상기 액티브 층(116)과 상기 제3 드레인 전극(DE3) 하측에 구비된 상기 액티브 층(116)을 연결하는 액티브 층(116)이 상기 연결저항(Rs')일 수 있다.

그에 따라, 상기 제2 드레인 전극(DE2)과 상기 제3 드레인 전극(DE3)은 상기 연결저항(Rs')에 의해 물리적으로 연결된다. 또한, 상기 제2 드레인 전극(DE2)과 상기 제3 드레인 전극(DE3)은 상기 제2 구간(Ft2)에서 상기 연결저항(Rs')에 의해 전기적으로 연결될 수 있다.

이때, 상기 제2 드레인 전극(DE2)과 제3 드레인 전극(DE3) 사이의 저항값을 감소시키기 위해 상기 연결저항(Rs') 상에 구비된 브릿지 전극(BE)을 더 포함할 수 있다. 상기 브릿지 전극은 상기 연결저항(Rs') 상에 섬형상으로 구비될 수 있다.

상기 브릿지 전극(BE)은 상기 브릿지 전극(BE)은 상기 제2 드레인 전극(DE2)과 동일한 층에 구비된다. 또한, 상기 브릿지 전극(BE)은 상기 제1, 제2, 제3 트랜지스터(TR1, TR2, TR3)의 전극을 이루는 물질로 구성되어 상기 연결저항(Rs')을 구성하는 물질에 비해 낮은 저항값을 갖는다.

상기 제2 구간(Ft2)에서 상기 제2 드레인 전극(DE2)과 상기 제3 드레인 전극(DE3)이 전기적으로 연결될 때, 상기 브릿지 전극(BE)은 전하의 이동통로 역할을 한다. 상기 브릿지 전극(BE)의 개수는 변경되어 실시될 수 있고, 2개 이상의 브릿지 전극(BE)이 구비된 경우, 상기 브릿지 전극들은 서로 이격되어 배치된다.

도 12 내지 도 16은 본 발명의 또 다른 실시예에 따른 액정표시장치에 구비된 화소의 등가 회로도이다. 중복된 설명을 피하기 위해, 본 실시예에서는 도 1 내지 도 11을 참조하여 설명한 구성과 동일한 구성에 대한 상세한 설명은 생략한다.

도 12를 참조하면, 본 실시예에 따른 상기 화소(PX-1)는 상기 제1 서브화소(SPX1), 상기 제2 서브화소(SPX2), 상기 제3 트랜지스터(TR3), 상기 연결저항(Rs), 및 상기 분배 커패시터(Cup)를 포함한다.

본 실시예에서 상기 분배 커패시터(Cup)의 제1 전극은 상기 b 노드(node\_b)에 연결되어 상기 제3 박막 트랜지스터(TR3)와 전기적으로 연결되고, 상기 분배 커패시터(Cup)의 제2 전극은 리셋 라인에 연결된다. 상기 분배 커패시터(Cup)의 제2 전극이 연결되는 리셋 라인은 상기 제1 리셋 라인(RL1-k)일 수도 있으나, 본 실시예에서 상기 분배 커패시터(Cup)의 제2 전극이 연결되는 리셋 라인은 상기 제1 리셋 라인(RL1-k)과 다른 전압(이하, 제2 리셋 전압)을 제공하는 제2 리셋 라인(RL2-k)이다.

상기 화소(PX-1)는 상기 분배 커패시터(Cup)의 연결구조를 제외하고는 도 1의 화소(PX)와 동일하므로, 동일한 구성요소에 대해서는 동일한 참조부호를 부여하고, 구체적인 설명은 생략한다.

도 2 및 3에서 서술한 바와 같이, 상기 제1 구간(Ft1) 동안, 상기 a 노드(node\_a)와 상기 b 노드(node\_b)는 전기적으로 분리된다. 상기 제1 구간(Ft1) 동안, 상기 제1 액정 커패시터(C1c1)에 구비된 제1 화소전극(PE1) 및 상기 제2 액정 커패시터(C1c2)에 구비된 제2 화소전극(PE2)은 상기 데이터 전압을 수신한다.

또한, 상기 분배 커패시터(Cup)는 상기 제2 리셋 라인(RL2-k)으로부터 상기 제2 리셋 전압을 수신하고, 상기 제3 트랜지스터(TR3)로부터 상기 제1 리셋 전압을 수신하여, 상기 제1 리셋 전압과 상기 제2 리셋 전압의 차전압을 충전한다. 여기서, 상기 제1 리셋 전압 및 상기 제2 리셋 전압 각각은 상기 데이터 전압과 다른 크기를 가질 수 있다.

상기 제1 구간(Ft1) 이후에는, 상기 연결저항(Rs)에 의해 상기 a 노드(node\_a)와 상기 b 노드(node\_b)가 전기적으로 연결되고, 상기 a 노드(node\_a)와 상기 b 노드(node\_b) 사이에 전하 공유가 발생한다. 따라서, 상기 a 노드(node\_a)의 전압과 상기 b 노드(node\_b)의 전압의 크기가 같아진다. 그 결과, 상기 a 노드(node\_a)의 전압은 감소한다.

상기 a 노드(node\_a)의 전압이 감소함에 따라 상기 제2 액정 커패시터(C1c2)에 충전된 전하량이 감소하기 때문에, 상기 제1 액정 커패시터(C1c1)에 충전된 전하량과 상기 제2 액정 커패시터(C1c2)에 충전된 전하량은 달라지고, 상기 제1 서브화소(SPX1)에 배치된 액정 분자들과 상기 제2 서브화소(SPX2)에 배치된 액정 분자들의 배열은 서로 상이해진다. 따라서 상기 제1 서브화소(SPX1)를 통과하는 영상과 상기 제2 서브화소(SPX2)를 통과하는 영상은 사용자에게 서로 다른 각도로 제공되고, 그에 따라 상기 화소(PX-1)를 통해 제공되는 영상의 시야각은 넓어진다.

도 13을 참조하면, 본 실시예에 따른 상기 화소(PX-2)는 상기 제1 서브화소(SPX1), 상기 제2 서브화소(SPX2), 상기 제3 트랜지스터(TR3), 상기 연결저항(Rs), 및 제1 분배 커패시터(Cup1) 및 제2 분배 커패시터(Cup2)를 포함한다.

본 실시예에서 상기 제1 분배 커패시터(Cup1)의 제1 전극은 상기 c 노드(node\_c)에 연결되고, 상기 제1 분배 커패시터(Cup1)의 제2 전극은 상기 b 노드(node\_b)에 연결된다. 상기 제1 분배 커패시터(Cup1)는 도 1 내지 도 9를 참조하여 설명한 분배 커패시터(Cup)의 기능을 수행한다.

또한, 상기 제2 분배 커패시터(Cup2)의 제1 전극은 상기 b 노드(node\_b)에 연결되고, 상기 제2 분배 커패시터(Cup2)의 제2 전극은 리셋 라인에 연결된다. 본 실시예에서 상기 분배 커패시터(Cup)의 제2 전극이 연결되는 리셋 라인은 상기 제2 리셋 라인(RL2-k)이다. 상기 제2 분배 커패시터(Cup)는 도 10을 참조하여 설명한 분배 커패시터(Cup)의 기능을 수행한다.

상기 제1 구간(Ft1) 동안, 상기 a 노드(node\_a)와 상기 b 노드(node\_b)는 전기적으로 분리된다. 상기 제1 구간(Ft1) 동안, 상기 제1 액정 커패시터(C1c1)에 구비된 제1 화소전극(PE1) 및 상기 제2 액정 커패시터(C1c2)에 구비된 제2 화소전극(PE2)은 상기 데이터 전압을 수신한다.

상기 제2 구간(Ft2) 동안, 상기 연결저항(Rs)에 의해 상기 a 노드(node\_a)와 상기 b 노드(node\_b)가 전기적으로 연결되고, 상기 a 노드(node\_a)와 상기 b 노드(node\_b) 사이에 전하 공유가 발생한다.

상기 a 노드(node\_a)의 전압과 상기 b 노드(node\_b)의 전압의 크기가 같아짐에 따라 a 노드(node\_a)의 전압은

감소한다. 반면에 상기 c 노드(node\_c)의 전압은 상기 제1 분배 커패시터(Cup1)와의 커플링에 의해 커진다.

그에 따라, 제2 구간(Ft2)에서 상기 제1 액정 캐패시터(C1c1)에 충전된 전하량과 상기 제2 액정 캐패시터(C1c2)에 충전된 전하량은 다르고, 상기 제1 서브화소(SPX1)에 배치된 액정 분자들과 상기 제2 서브화소(SPX2)에 배치된 액정 분자들의 배열은 서로 달라진다.

도 14에 도시된 화소(PX-3)는 상기 제1 서브화소(SPX1), 상기 제2 서브화소(SPX2), 상기 제3 트랜지스터(TR3), 및 상기 분배 커패시터(Cup)를 포함한다.

도 1 내지 도 9에 도시된 화소(PX, PX-1, PX-2)가 상기 a 노드(node\_a)와 상기 b 노드(node\_b)을 연결하는 상기 연결저항(Rs)을 구비했던 것과 달리, 본 실시예에 따른 화소(PX-3)는 상기 a 노드(node\_a)와 상기 b 노드(node\_b) 사이에 구비된 제4 트랜지스터(TR4)를 포함한다.

상기 화소(PX-3)는 상기 제4 트랜지스터(TR4)를 제외하고는 도 1 내지 도 9의 화소(PX)와 동일하므로, 동일한 구성요소에 대해서는 동일한 참조부호를 부여하고, 구체적인 설명을 생략한다.

상기 제4 트랜지스터(TR4)는 상기 a 노드(node\_a)에 연결된 제4 소스 전극, 상기 b 노드(node\_b)에 연결된 제4 드레인 전극, 및 플로팅 되어 있는 제4 게이트 전극을 포함한다.

상기 제4 트랜지스터(TR4)는 a 노드(node\_a)에서 상기 제2 트랜지스터(TR2)와 연결되어 상기 제2 트랜지스터(TR2)로부터 출력된 상기 데이터 전압을 수신한다.

상기 제4 트랜지스터(TR4)는 상기 제4 소스 전극, 제4 드레인 전극, 및 제4 게이트 전극들 사이에 생기는 기생 커패시터에 의한 전압 분배에 근거하여 구동된다. 일 예로, 상기 제4 소스 전극과 상기 제4 게이트 전극의 커플링에 의해 발생된 제1 기생 커패시터(CS1)의 충전용량과 상기 제4 드레인 전극과 상기 제4 게이트 전극의 커플링에 의해 발생된 제2 기생 커패시터(CS2)의 충전용량이 동일한 경우, 상기 제4 게이트 전극의 전압은 아래의 수학적 식 8과 같다.

**수학적 식 8**

$$V_{g4} = \frac{(V_{d4} + V_{s4})}{2}, (C_{dg} = C_{sg})$$

수학적 식 8에서, Vg4은 상기 제4 게이트 전극의 전압, Vd4는 상기 제4 드레인 전극의 전압, Vs4는 상기 제4 소스 전극의 전압이다. 또한, Csg는 제1 기생 커패시터(CS1)의 충전용량이고, Cdg는 제2 기생 커패시터(CS2)의 충전용량이다. 이하, 상기 제1 기생 커패시터(CS1)와 상기 제2 기생 커패시터(CS2)의 충전용량이 동일하다고 가정하고 상기 화소(PX-3)의 동작을 설명한다.

상기 제1 구간(Ft1) 동안, 상기 제1 트랜지스터(TR1)와, 상기 제2 트랜지스터(TR2), 및 상기 제3 트랜지스터(TR3)는 턴-온 되고, 상기 제4 트랜지스터(TR4)는 아직 턴-온 되지 않았으므로, 상기 a 노드(node\_a)와 상기 b 노드(node\_b) 사이는 전기적으로 분리된다. 상기 제1 구간(Ft1) 동안, 상기 제4 소스 전극은 상기 a 노드(node\_a)와 동일한 레벨의 전위를 갖고, 상기 제4 드레인 전극은 상기 b 노드(node\_b)와 동일한 레벨의 전위를 갖는다.

상기 제1 액정 캐패시터(C1c1) 및 상기 제2 액정 캐패시터(C1c2) 각각은 상기 데이터 전압과 상기 공통전압을 수신하고, 상기 데이터 전압과 상기 공통전압의 차전압을 충전한다.

또한, 분배 커패시터(Cup)는 상기 b 노드(node\_b)에서 상기 제3 트랜지스터(TR3)로부터 상기 제 1 리셋 전압을 수신하고, 상기 c 노드(node\_c)에서 상기 데이터 전압을 수신하여, 상기 제1 리셋 전압과 상기 데이터 전압의 차전압을 충전한다.

여기서, 상기 제4 트랜지스터(TR4)의 입력전압은 상기 제4 소스 전극과 상기 제4 게이트 전극 사이의 전압차로 정의된다. 상기 수학적 식 8을 참조하면, 상기 제4 게이트 전극의 전압은 상기 제4 소스 전극의 전압과 상기 제4 드레인 전극의 전압의 크기로 결정된다. 따라서, 상기 제4 트랜지스터(TR4)의 입력전압은 상기 제4 드레인 전극의 전압과 상기 제4 소스 전극의 전압의 차이에 의해 결정된다.

상기 제1 구간(Ft1) 동안 상기 제4 소스 전극은 데이터 전압을 수신한 상기 a 노드(node\_a)와 연결되고 상기 제4 드레인 전극은 제1 리셋 전압을 수신한 b 노드(node\_b)와 연결되므로, 상기 제1 구간(Ft1) 동안 상기 제4 소스 전극의 전위가 상기 제4 드레인 전극의 전위보다 높다. 또한, 상기 제4 소스 전극의 전위가 상기 제4 게이트 전극의 전위보다 높다.

상기 제4 트랜지스터(TR4)가 상기 데이터 전압을 수신하면, 상기 제1 기생 커패시터(Cs1)에 충전되는 전압이 상승하고, 상기 제4 게이트 전극의 전압도 상승한다. 그에 따라 상기 a 노드(node\_a)로부터 상기 b 노드(node\_b)로 전류가 흘러 상기 제4 드레인 전극의 전압이 상승하기 시작한다.

상기 제2 구간(Ft2) 동안에, 상기 제1 및 제2 트랜지스터(TR1, TR2) 및 상기 제3 트랜지스터(TR3)는 턴-오프된다. 그러나, 상기 제4 트랜지스터(TR4)는 상기 제4 드레인 전극의 전압과 상기 제4 소스 전극의 전압, 그리고 제4 게이트 전극의 전압이 서로 같아질 때까지 소정 기간 더 턴-온 되어 있다. 따라서, 상기 제4 소스 전극의 전압은 낮아지고, 상기 제4 드레인 전극의 전압을 상승한다.

이때, 상기 제4 소스 전극과 상기 제2 액정 커패시터(C1c2)의 제2 화소전극(PE2)은 동일한 전압을 가지므로, 상기 제4 소스 전극의 전압이 작아짐에 따라 상기 제2 화소전극(PE2)의 전압이 작아진다.

반면에, 상기 제4 드레인 전극의 전압이 커짐에 따라, 상기 b 노드(node\_b)의 전압은 커진다. 그리고, 도 3을 참조하여 설명한 것과 같이, 상기 b 노드(node\_b)의 전압이 커짐에 따라, 상기 c 노드(node\_c)의 전압은 커지고, 상기 제1 화소전극(PE1)의 전압은 커진다.

상술한 원리에 따라, 상기 제2 구간(Ft2) 동안, 상기 제1 액정 커패시터(C1c1)에 충전된 전하량은 증가하고, 상기 제2 액정 커패시터(C1c2)에 충전된 전하량은 감소한다.

상기 제1 액정 커패시터(C1c1)에 충전된 전하량과 상기 제2 액정 커패시터(C1c2)에 충전된 전하량은 달라짐에 따라 상기 제1 서브화소(SPX1)에 배치된 액정 분자들과 상기 제2 서브화소(SPX2)에 배치된 액정 분자들의 배열은 서로 상이해진다. 결과적으로 상기 제1 서브화소(SPX1)를 통과하는 영상과 상기 제2 서브화소(SPX2)를 통과하는 영상은 사용자에게 서로 다른 각도로 제공되고, 상기 화소(PX-3)를 통해 제공되는 영상의 시야각은 넓어진다.

도 15를 참조하면, 본 실시예에 따른 화소(PX-4)는 상기 제1 서브화소(SPX1), 상기 제2 서브화소(SPX2), 상기 제3 트랜지스터(TR3), 상기 제4 트랜지스터(TR4), 및 상기 분배 커패시터(Cup)를 포함한다.

본 실시예에 따른 화소(PX-4)는 도 12에 도시된 화소(PX-2)에 포함된 연결저항(Rs)이 상기 제4 트랜지스터(TR4)로 대체된다. 좀더 구체적으로, 상기 분배 커패시터(Cup)의 제1 전극은 상기 b 노드(node\_b)에 연결되고, 상기 분배 커패시터(Cup)의 제2 전극은 리셋 라인에 연결되어 리셋 전압을 수신한다. 상기 분배 커패시터(Cup)의 제2 전극은 도 14에 도시된 것과 같이 제2 리셋 라인(RL2-k)에 연결될 수 있다. 또한, 상기 제4 트랜지스터(TR4)는 상기 a 노드(node\_a)와 상기 b 노드(node\_b) 사이에 구비된다.

상기 제1 구간(Ft1) 동안, 상기 제1 트랜지스터(TR1), 상기 제2 트랜지스터(TR2), 및 상기 제3 트랜지스터(TR3)는 턴-온 되고, 상기 제4 트랜지스터(TR4)는 아직 턴-온 되지 않는다. 그에 따라, 상기 a 노드(node\_a)와 상기 b 노드(node\_b) 사이는 전기적으로 분리된다.

상기 제1 액정 커패시터(C1c1)의 상기 제1 화소전극(PE1)은 상기 데이터 전압을 수신하고, 상기 제2 액정 커패시터(C1c2)의 상기 제2 화소전극(PE2)은 상기 데이터 전압을 수신한다.

상기 제2 구간(Ft2) 동안, 상기 제1 및 제2 트랜지스터(TR1, TR2) 및 상기 제3 트랜지스터(TR3)는 턴-오프된다. 그러나, 상기 제4 트랜지스터(TR4)는 상기 제4 드레인 전극의 전압과 상기 제4 소스 전극의 전압, 그리고 제4 게이트 전극의 전압이 서로 같아질 때까지 소정 기간 동안 더 턴-온 되어 있다.

도 14를 참조하여 설명한 것과 같이, 제2 구간(Ft2) 동안 상기 제2 화소전극(PE2)의 전압은 감소된다. 본 실시예에서 b 노드와 c 노드가 분리되어 있으므로, 상기 제1 화소전극(PE1)의 전압은 상기 제2 구간(Ft2) 동안 일정하게 유지된다.

결과적으로, 상기 제2 액정 커패시터(C1c2)에 충전된 전하량이 감소하기 때문에, 상기 제1 액정 커패시터(C1c1)에 충전된 전하량과 상기 제2 액정 커패시터(C1c2)에 충전된 전하량은 달라지고, 상기 제1 서브화소(SPX1)에 배치된 액정 분자들과 상기 제2 서브화소(SPX2)에 배치된 액정 분자들의 배열은 서로 상이해진다.

도 16을 참조하면, 본 실시예에 따른 화소(PX-5)는 상기 제1 서브화소(SPX1), 상기 제2 서브화소(SPX2), 상기

제3 트랜지스터(TR3), 상기 제4 트랜지스터(TR4)를 포함한다. 또한, 상기 화소(PX-5)는 제1 분배 커패시터(Cup1) 및 제2 분배 커패시터(Cup)를 더 포함한다.

본 실시예에 따른 화소(PX-5)는 도 13에 도시된 화소(PX-2)에 포함된 연결저항(Rs)이 상기 제4 트랜지스터(TR4)로 대체된다. 상기 제4 트랜지스터(TR4)는 상기 a 노드(node\_a)와 상기 b 노드(node\_b) 사이에 구비된다.

상기 제1 분배 커패시터(Cup1)의 제1 전극은 상기 c 노드(node\_c)에 연결되고, 상기 제1 분배 커패시터(Cup1)의 제2 전극은 상기 b 노드(node\_b)에 연결된다. 상기 제1 분배 커패시터(Cup1)는 도 1 내지 도 9를 참조하여 설명한 분배 커패시터(Cup)의 기능을 수행한다.

상기 제2 분배 커패시터(Cup2)의 제1 전극은 상기 b 노드(node\_b)에 연결되고, 상기 제2 분배 커패시터(Cup2)의 제2 전극은 리셋 라인에 연결된다. 본 실시예에서 상기 분배 커패시터(Cup)의 제2 전극이 연결되는 리셋 라인은 상기 제2 리셋 라인(RL2-k)이다. 상기 제2 분배 커패시터(Cup)는 도 12를 참조하여 설명한 분배 커패시터(Cup)의 기능을 수행한다.

상기 제1 구간(Ft1) 동안, 상기 제1 트랜지스터(TR1), 상기 제2 트랜지스터(TR2), 및 상기 제3 트랜지스터(TR3)는 턴-온 되고, 상기 제4 트랜지스터(TR4)는 아직 턴-온 되지 않는다. 그에 따라, 상기 a 노드(node\_a)와 상기 b 노드(node\_b) 사이는 전기적으로 분리된다.

상기 제1 액정 커패시터(C1c1)의 상기 제1 화소전극(PE1)은 상기 데이터 전압을 수신하고, 상기 제2 액정 커패시터(C1c2)의 상기 제2 화소전극(PE2)은 상기 데이터 전압을 수신한다.

상기 제2 구간(Ft2) 동안, 상기 제1 및 제2 트랜지스터(TR1, TR2) 및 상기 제3 트랜지스터(TR3)는 턴-오프된다. 그러나, 상기 제4 트랜지스터(TR4)는 상기 제4 드레인 전극의 전압과 상기 제4 소스 전극의 전압, 그리고 제4 게이트 전극의 전압이 서로 같아질 때까지 소정 기간 동안 더 턴-온 되어 있다.

도 14를 참조하여 설명한 것과 같이, 제2 구간(Ft2) 동안 상기 제2 화소전극(PE2)의 전압은 감소된다. 반면에 상기 c 노드(node\_c)의 전압은 상기 제1 분배 커패시터(Cup1)와의 커플링에 의해 커진다.

결과적으로, 상기 제2 액정 커패시터(C1c2)에 충전된 전하량과 상기 제1 액정 커패시터(C1c1)에 충전된 전하량은 서로 달라지고, 상기 제1 서브화소(SPX1)에 배치된 액정 분자들과 상기 제2 서브화소(SPX2)에 배치된 액정 분자들의 배열은 서로 상이해진다.

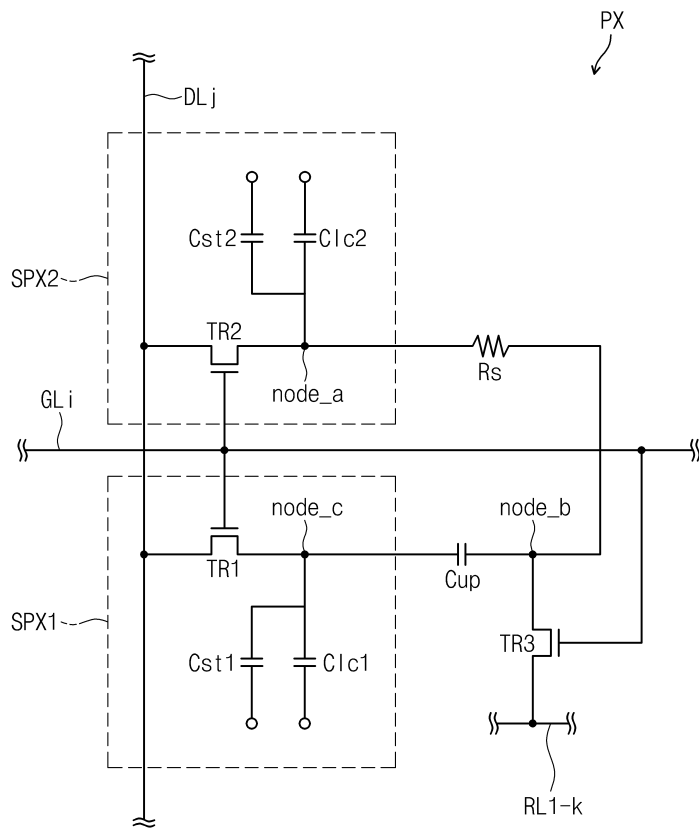
이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 부호의 설명

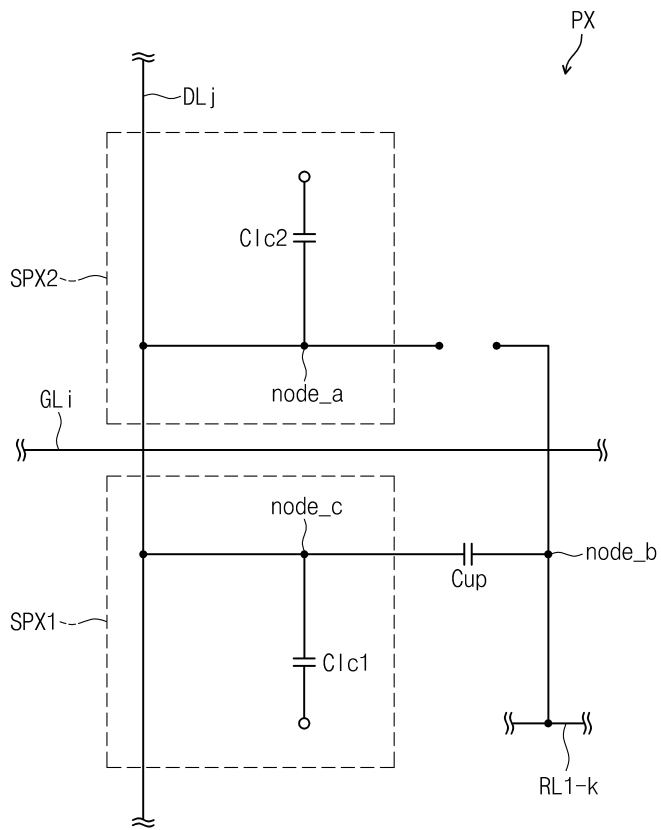
GLi: 게이트 라인	DLj: 데이터 라인
SPX1: 제1 서브화소	SPX2: 제2 서브화소
Rs: 연결저항	TR1: 제1 트랜지스터
TR2: 제2 트랜지스터	TR3: 제3 트랜지스터
TR4 : 제4 트랜지스터	C1c1: 제1 액정 커패시터
C1c2: 제2 액정 커패시터	Cup: 분배 커패시터

도면

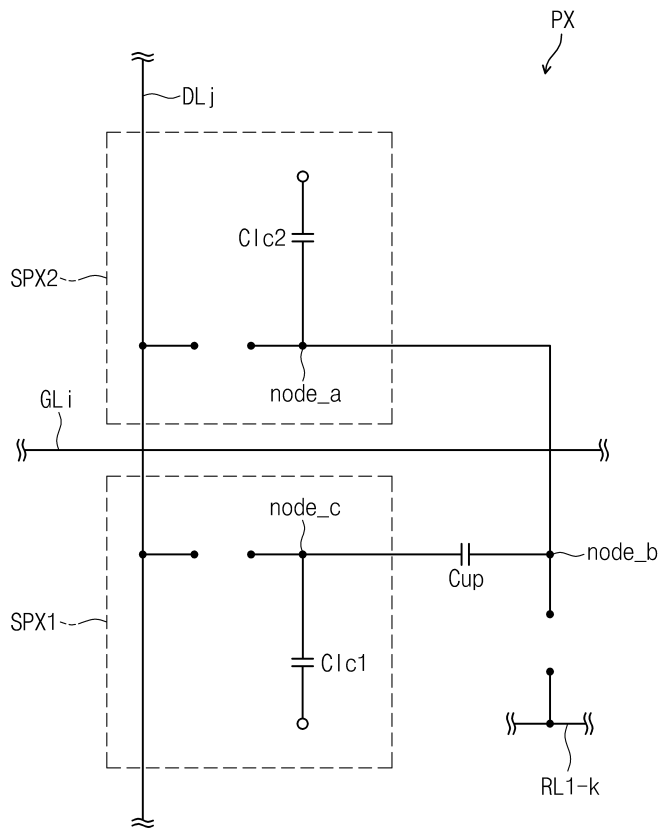
도면1



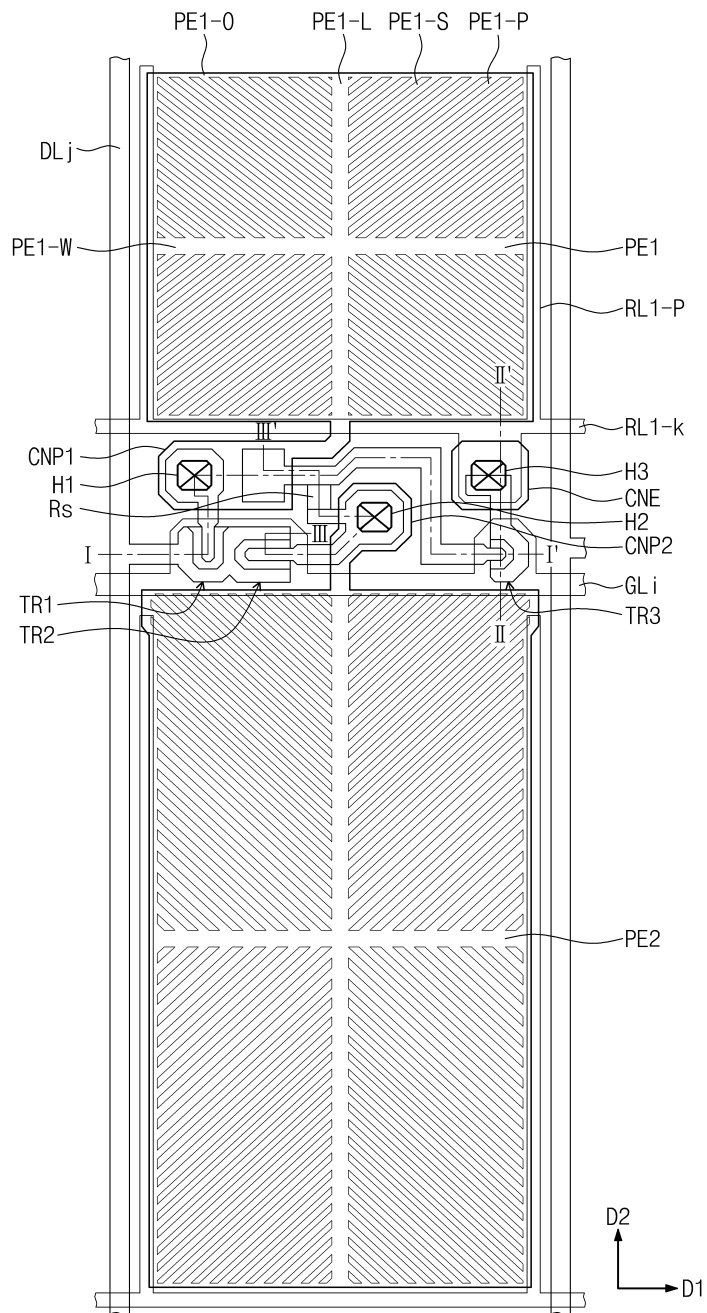
도면2



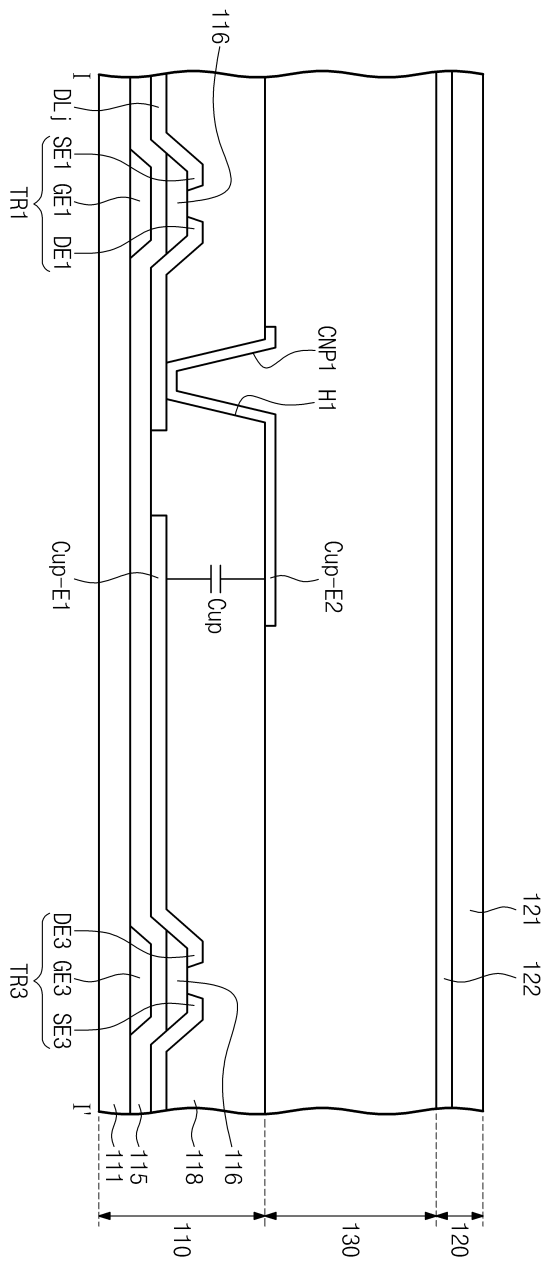
도면3



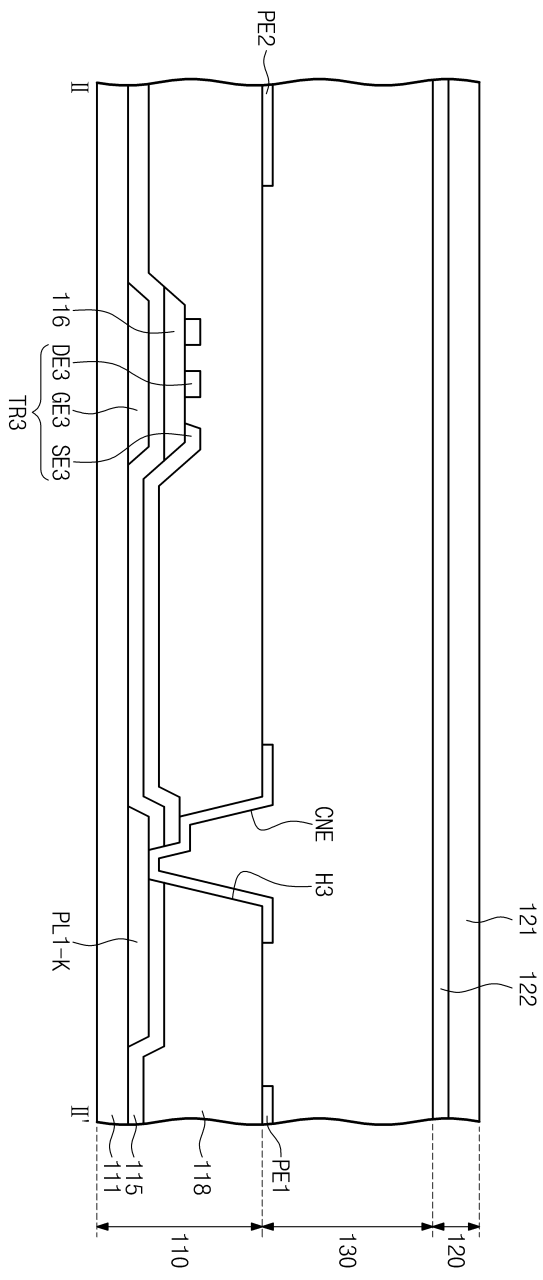
도면4



도면5

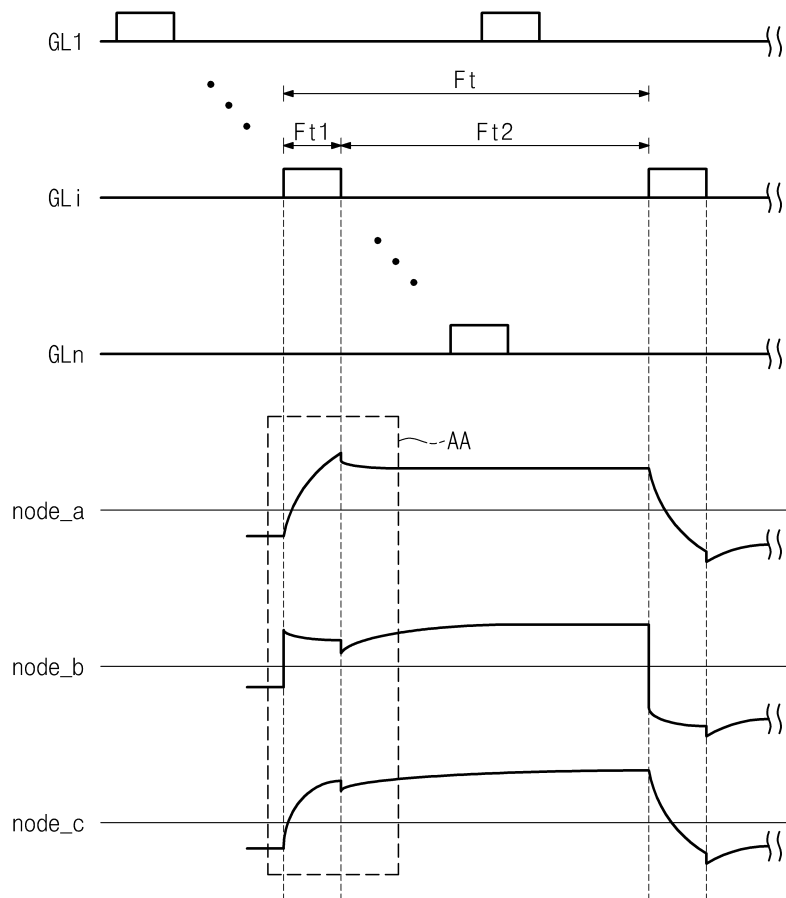


도면6

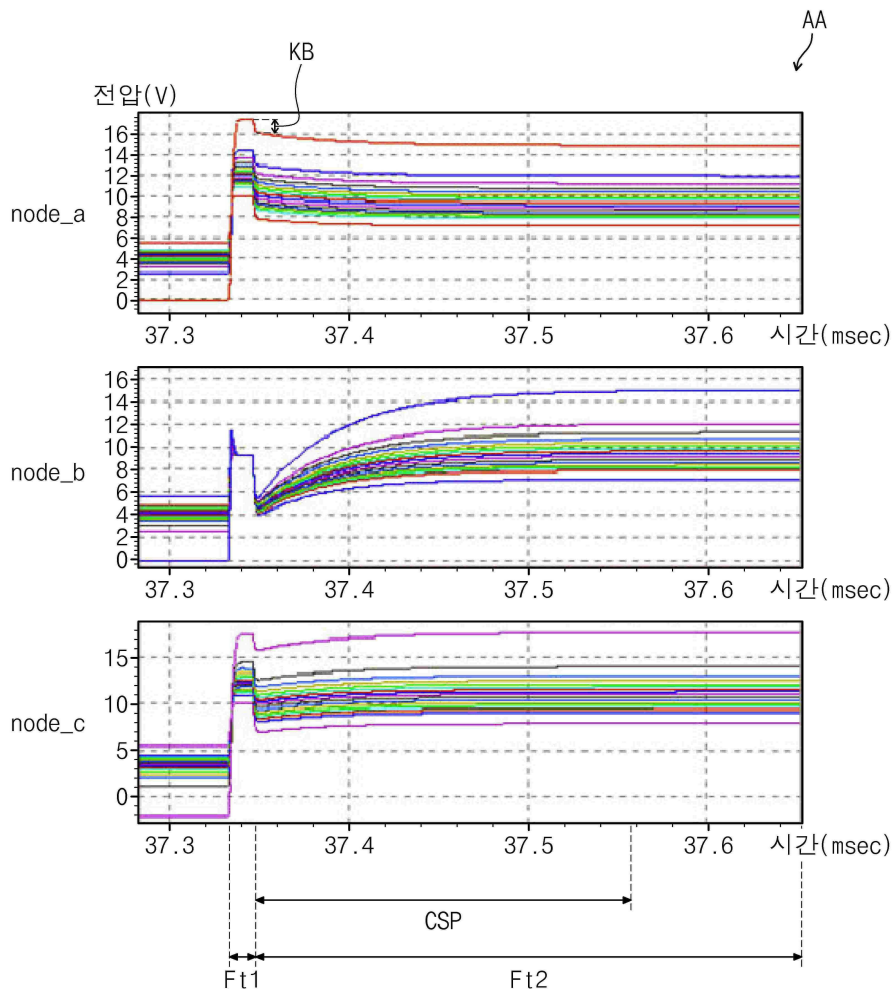




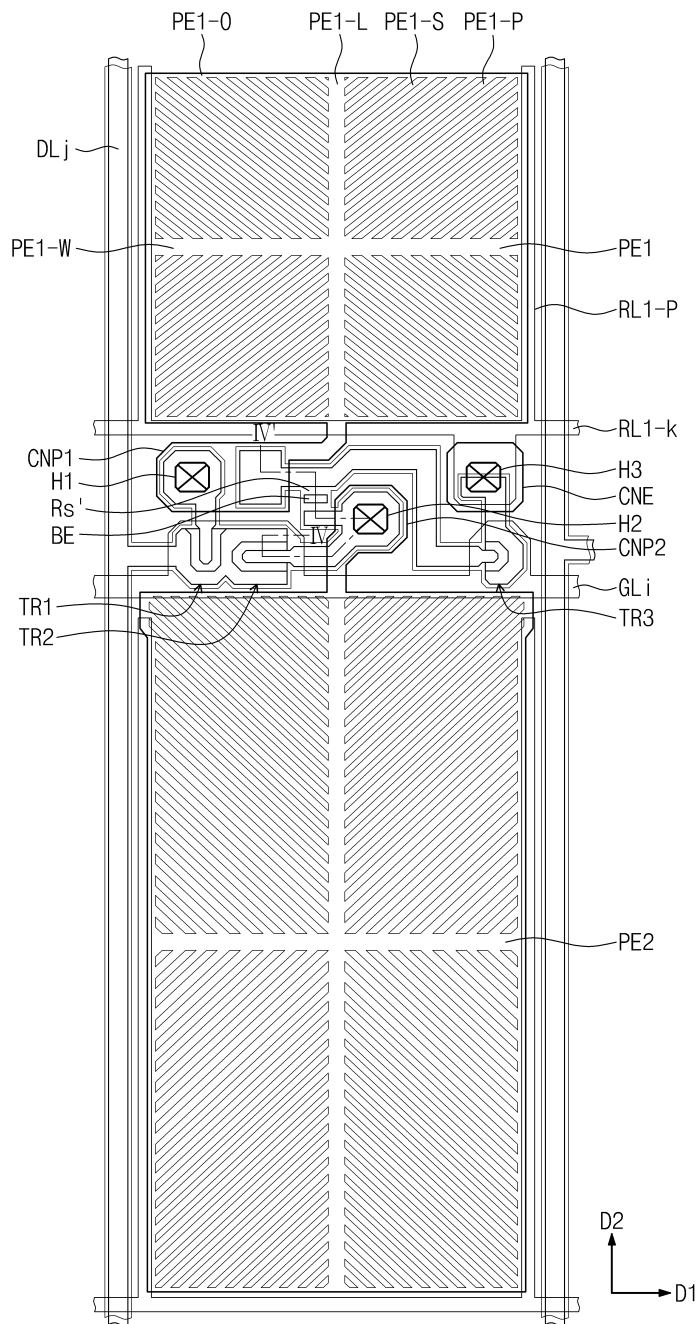
도면8



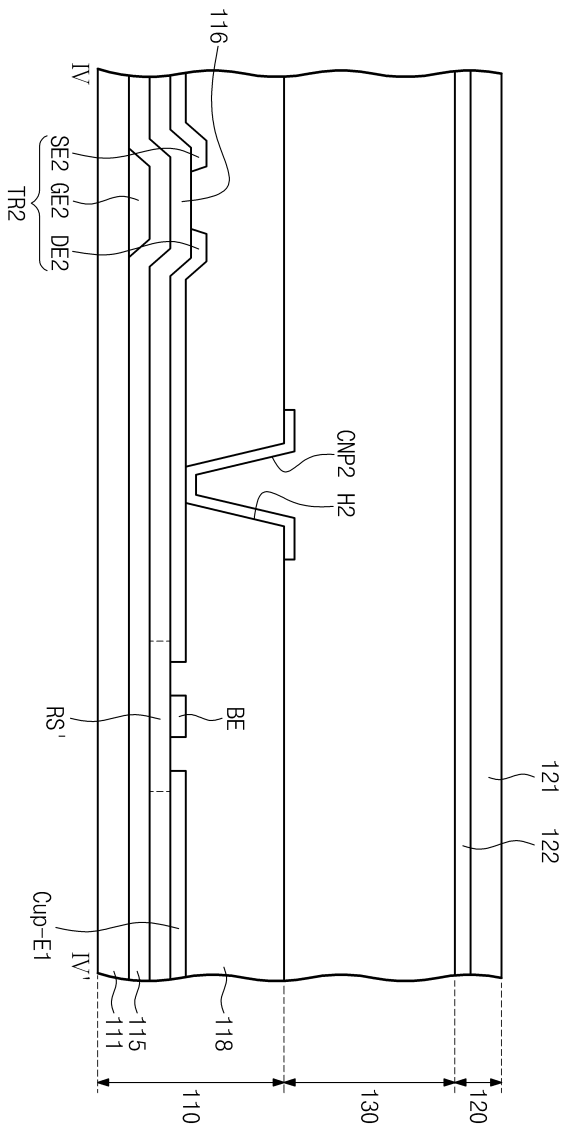
도면9



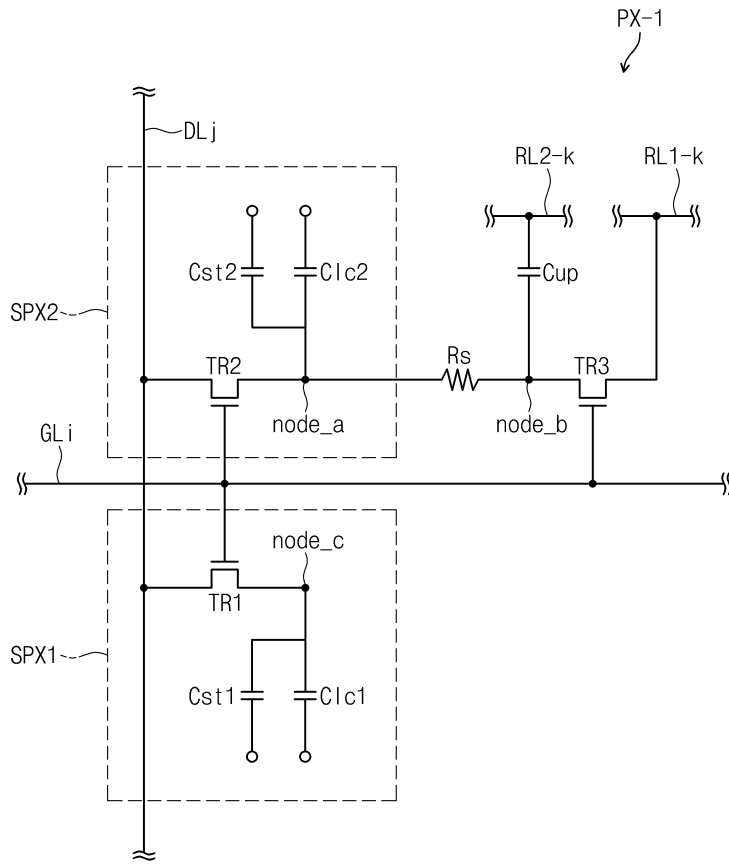
도면10



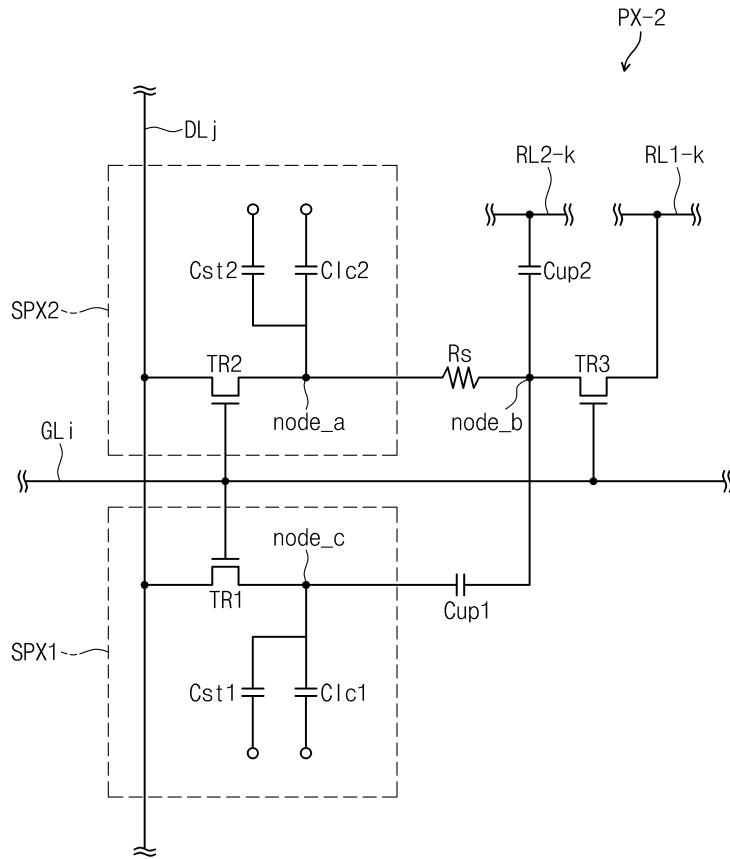
도면11



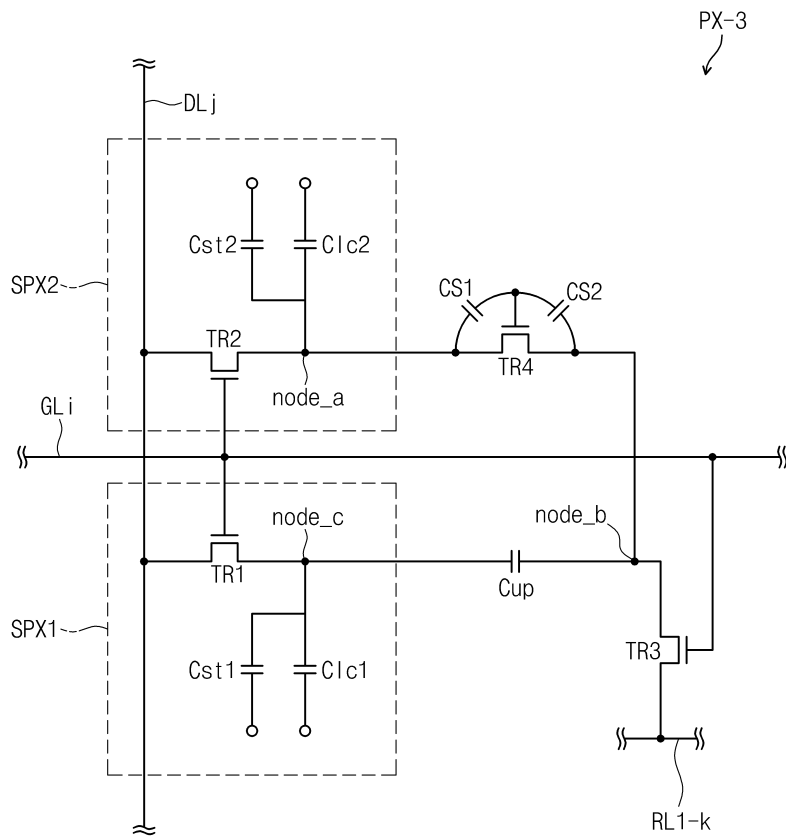
도면12



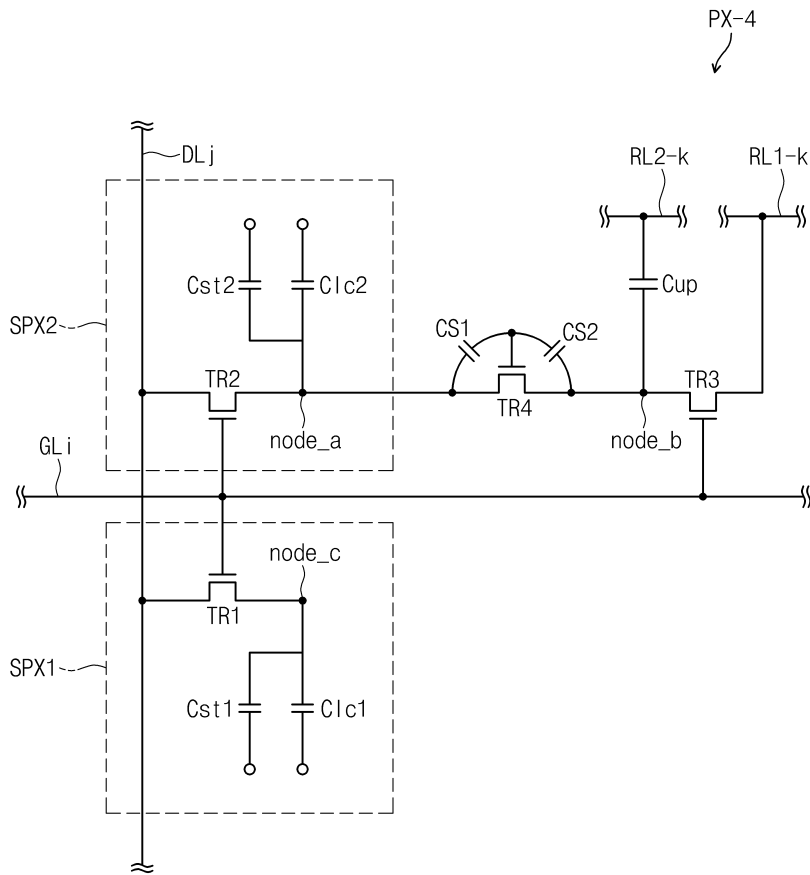
도면13



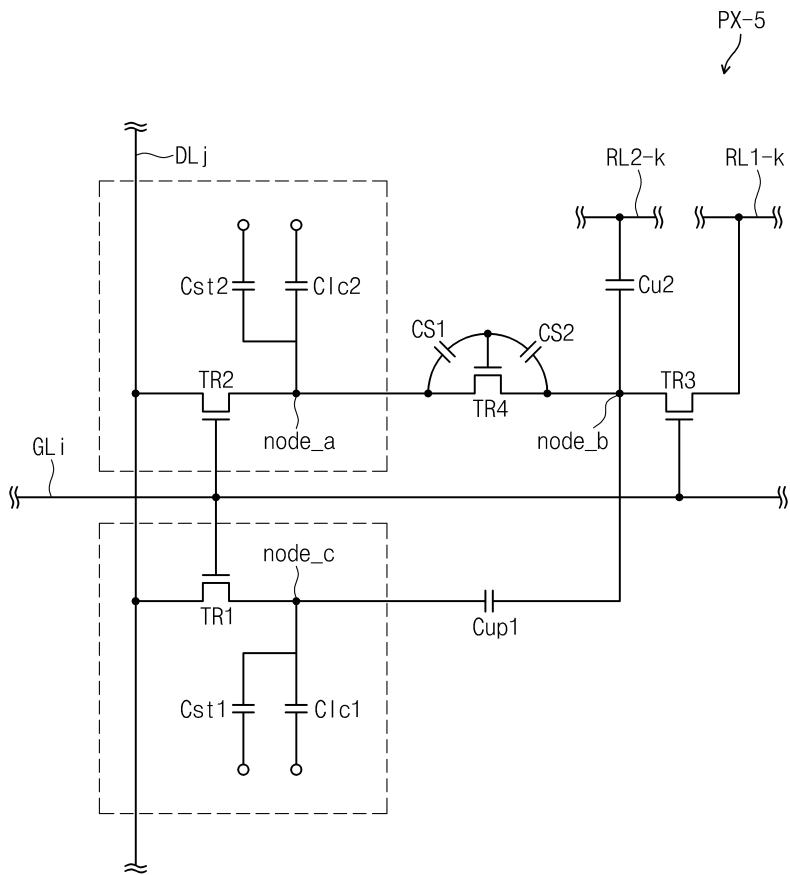
도면14



도면15



도면16



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 33, 9줄

【변경전】

제1 상기 게이트 라인

【변경후】

제1 게이트 라인

专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR101941984B1</a>	公开(公告)日	2019-04-12
申请号	KR1020110097719	申请日	2011-09-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	윤영수 고준철 채중철 임상욱		
发明人	윤영수 고준철 채중철 임상욱		
IPC分类号	G02F1/1343 G02F1/133		
CPC分类号	G02F1/13624 G02F1/134309 G02F1/136213 G02F1/136286 G02F1/1368 G02F2001/134345 G09G3/3677 G09G3/3688		
审查员(译)	Hansangil		
其他公开文献	KR1020130033802A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

液晶显示器包括在第一时段期间以相同电压充电的第一和第二子像素。在第一时段之后，第二子像素中充电的电压降低。由于在第一时段之后第一子像素的电压电平与第二子像素的电压电平不同，因此与第一子像素相对应布置的液晶分子在与液晶分子不同的方向上排列。对应于第二子像素设置。因此，改善了液晶显示器的侧面视角。

