



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년07월20일
 (11) 등록번호 10-1879570
 (24) 등록일자 2018년07월12일

- (51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01) G02F 1/1333 (2006.01)
 G06F 1/32 (2006.01) G06F 3/041 (2006.01)
 G06F 3/044 (2006.01) G06F 3/045 (2006.01)
 G09G 3/20 (2006.01)
- (52) CPC특허분류
 G09G 3/3648 (2013.01)
 G02F 1/13338 (2013.01)
- (21) 출원번호 10-2018-7004200(분할)
- (22) 출원일자(국제) 2011년03월31일
 심사청구일자 2018년02월12일
- (85) 번역문제출일자 2018년02월12일
- (65) 공개번호 10-2018-0019754
- (43) 공개일자 2018년02월26일
- (62) 원출원 특허 10-2012-7030483
 원출원일자(국제) 2011년03월31일
 심사청구일자 2016년01월15일
- (86) 국제출원번호 PCT/JP2011/058748
- (87) 국제공개번호 WO 2011/135988
 국제공개일자 2011년11월03일
- (30) 우선권주장
 JP-P-2010-102891 2010년04월28일 일본(JP)
- (56) 선행기술조사문헌
 WO2008096768 A1
 JP2002140052 A
 JP2009277701 A

- (73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 야마자키, 순페이
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 교야마, 준
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
 장훈

전체 청구항 수 : 총 5 항

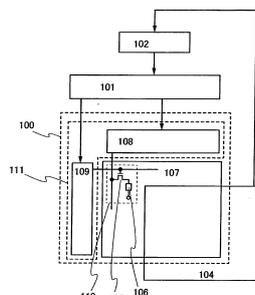
심사관 : 이승민

(54) 발명의 명칭 액정 표시 장치 및 그 제작 방법

(57) 요약

목적은 터치 패널을 갖는 반도체 표시 장치를 제공하는 것이고, 이는 전력 소비를 저감시킬 수 있는 것이다. 상기 반도체 표시 장치는 화소부가 제공된 패널과 상기 화소부로 화상 신호의 입력을 제어하는 구동 회로, 및 상기 화소부에서 상기 패널과 중첩하는 위치에 제공된 터치 패널을 포함한다. 상기 화소부는 입력될 화상 신호의 전압(뒷면에 계속)

대표도 - 도1



에 따라 표시를 수행하도록 구성된 표시 소자, 및 상기 전압의 유지를 제어하도록 구성된 트랜지스터를 포함한다. 상기 트랜지스터는 채널 형성 영역에 산화물 반도체를 포함한다. 상기 구동 회로의 구동 주파수, 즉, 일정한 기간 동안 상기 화상 신호의 기록 동작들의 수는 터치 패널로부터 동작 신호에 따라 변경된다.

(52) CPC특허분류

G06F 1/3265 (2013.01)

G06F 3/044 (2013.01)

G09G 3/3677 (2013.01)

G09G 3/3688 (2013.01)

G09G 2300/0426 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2310/08 (2013.01)

G09G 2330/021 (2013.01)

G09G 2360/14 (2013.01)

명세서

청구범위

청구항 1

화소부와, 주사선 구동 회로와, 터치 패널을 갖고,
 상기 화소부는 트랜지스터와, 액정 소자를 갖고,
 정지화를 표시하는 기간은 제 1 기간과, 상기 제 1 기간에서 설정된 표시 상태를 유지하는 제 2 기간을 갖고,
 상기 제 1 기간에서는, 상기 트랜지스터를 통해 상기 액정 소자에 화상 신호가 입력되고,
 상기 제 2 기간에서는, 상기 주사선 구동 회로로의 클록 신호의 공급이 정지되고,
 상기 터치 패널로부터의 조작 신호에 따라 상기 제 2 기간의 종료의 타이밍이 제어되고,
 상기 트랜지스터는 산화물 반도체막을 갖고,
 상기 트랜지스터는 상기 산화물 반도체막에 채널 형성 영역을 갖고,
 상기 산화물 반도체막은 In과, Ga와, Zn을 갖는 액정 표시 장치의 제작 방법으로서,
 상기 산화물 반도체막으로부터 수분 또는 수소를 탈리시키는 제 1 공정과,
 상기 제 1 공정 후에, 상기 산화물 반도체막에 산소를 공급하는 제 2 공정을 갖는 것을 특징으로 하는, 액정 표시 장치의 제작 방법.

청구항 2

화소부와, 주사선 구동 회로와, 터치 패널을 갖고,
 상기 화소부는 트랜지스터와, 액정 소자를 갖고,
 정지화를 표시하는 기간은 제 1 기간과, 상기 제 1 기간에서 설정된 표시 상태를 유지하는 제 2 기간을 갖고,
 상기 제 1 기간에서는, 상기 트랜지스터를 통해 상기 액정 소자에 화상 신호가 입력되고,
 상기 제 2 기간에서는, 상기 주사선 구동 회로로의 클록 신호의 공급이 정지되고,
 상기 터치 패널로부터의 조작 신호에 따라 상기 제 2 기간의 종료의 타이밍이 제어되고,
 상기 트랜지스터는 산화물 반도체막을 갖고,
 상기 트랜지스터는 상기 산화물 반도체막에 채널 형성 영역을 갖고,
 상기 산화물 반도체막은 In과, Ga와, Zn을 갖는 액정 표시 장치의 제작 방법으로서,
 상기 산화물 반도체막으로부터 수분 또는 수소를 탈리시키는 제 1 공정과,
 상기 제 1 공정 후에, 상기 산화물 반도체막 위쪽에 산소를 포함하는 절연막을 형성하는 제 2 공정과,
 상기 제 2 공정 후에, 가열 처리를 수행함으로써 상기 산화물 반도체막에 산소를 공급하는 제 3 공정을 갖는 것을 특징으로 하는, 액정 표시 장치의 제작 방법.

청구항 3

화소부와, 주사선 구동 회로와, 터치 패널을 갖고,
 상기 화소부는 트랜지스터와, 액정 소자를 갖고,
 정지화를 표시하는 기간은 제 1 기간과, 상기 제 1 기간에서 설정된 표시 상태를 유지하는 제 2 기간을 갖고,
 상기 제 1 기간에서는, 상기 트랜지스터를 통해 상기 액정 소자에 화상 신호가 입력되고,

상기 제 2 기간에서는, 상기 주사선 구동 회로로의 클록 신호의 공급이 정지되고,
 상기 터치 패널로부터의 조작 신호에 따라 상기 제 2 기간의 종료의 타이밍이 제어되고,
 상기 트랜지스터는 게이트 전극과, 게이트 절연막과, 산화물 반도체막과, 소스 전극과, 드레인 전극을 갖고,
 상기 트랜지스터는 상기 산화물 반도체막에 채널 형성 영역을 갖고,
 상기 산화물 반도체막은 In과, Ga와, Zn을 갖는 액정 표시 장치의 제작 방법으로서,
 상기 게이트 전극을 형성하는 제 1 공정과,
 상기 게이트 전극 위쪽에 상기 게이트 절연막을 형성하는 제 2 공정과,
 상기 게이트 절연막 위쪽에 상기 산화물 반도체막을 형성하는 제 3 공정과,
 상기 산화물 반도체막으로부터 수분 또는 수소를 탈리시키는 제 4 공정과,
 상기 제 4 공정 후에, 상기 산화물 반도체막 위쪽에 소스 전극 및 드레인 전극을 형성하는 제 5 공정과,
 상기 제 5 공정 후에, 상기 산화물 반도체막에 산소를 공급하는 제 6 공정을 갖는 것을 특징으로 하는, 액정 표시 장치의 제작 방법.

청구항 4

화소부와, 주사선 구동 회로와, 터치 패널을 갖고,
 상기 화소부는 트랜지스터와, 액정 소자를 갖고,
 정지화를 표시하는 기간은 제 1 기간과, 상기 제 1 기간에서 설정된 표시 상태를 유지하는 제 2 기간을 갖고,
 상기 제 1 기간에서는, 상기 트랜지스터를 통해 상기 액정 소자에 화상 신호가 입력되고,
 상기 제 2 기간에서는, 상기 주사선 구동 회로로의 클록 신호의 공급이 정지되고,
 상기 터치 패널로부터의 조작 신호에 따라 상기 제 2 기간의 종료의 타이밍이 제어되고,
 상기 트랜지스터는 게이트 전극과, 게이트 절연막과, 산화물 반도체막과, 소스 전극과, 드레인 전극과, 산소를 포함하는 절연막을 갖고,
 상기 트랜지스터는 상기 산화물 반도체막에 채널 형성 영역을 갖고,
 상기 산화물 반도체막은 In과, Ga와, Zn을 갖는 액정 표시 장치의 제작 방법으로서,
 상기 게이트 전극을 형성하는 제 1 공정과,
 상기 게이트 전극 위쪽에 상기 게이트 절연막을 형성하는 제 2 공정과,
 상기 게이트 절연막 위쪽에 상기 산화물 반도체막을 형성하는 제 3 공정과,
 상기 산화물 반도체막으로부터 수분 또는 수소를 탈리시키는 제 4 공정과,
 상기 제 4 공정 후에, 상기 산화물 반도체막 위쪽에 소스 전극 및 드레인 전극을 형성하는 제 5 공정과,
 상기 제 5 공정 후에, 상기 산화물 반도체막 위쪽, 상기 소스 전극 위쪽 및 상기 드레인 전극 위쪽에 상기 절연막을 형성하는 제 6 공정과,
 상기 제 6 공정 후에, 가열 처리를 수행함으로써 상기 산화물 반도체막에 산소를 공급하는 제 7 공정을 갖는 것을 특징으로 하는, 액정 표시 장치의 제작 방법.

청구항 5

화소부와, 주사선 구동 회로와, 터치 패널을 갖고,
 상기 화소부는 트랜지스터와, 액정 소자를 갖고,
 정지화를 표시하는 기간은 제 1 기간과, 상기 제 1 기간에서 설정된 표시 상태를 유지하는 제 2 기간을 갖고,

상기 제 1 기간에서는, 상기 트랜지스터를 통해 상기 액정 소자에 화상 신호가 입력되고,
 상기 제 2 기간에서는, 상기 주사선 구동 회로로의 클록 신호의 공급이 정지되고,
 상기 터치 패널로부터의 조작 신호에 따라 상기 제 2 기간의 종료의 타이밍이 제어되고,
 상기 트랜지스터는,
 게이트 전극과,
 상기 게이트 전극 위쪽의 게이트 절연막과,
 상기 게이트 절연막 위쪽의 산화물 반도체막과,
 상기 산화물 반도체막 위쪽의 소스 전극과,
 상기 산화물 반도체막 위쪽의 드레인 전극과,
 상기 산화물 반도체막 위쪽, 상기 소스 전극 위쪽 및 상기 드레인 전극 위쪽의 산화규소막과,
 상기 산화규소막 위쪽의 질화규소막을 갖고,
 상기 트랜지스터는 상기 산화물 반도체막에 채널 형성 영역을 갖고,
 상기 산화물 반도체막은 In과, Ga와, Zn을 갖는 것을 특징으로 하는, 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 트랜지스터를 이용한 액티브-매트릭스 반도체 표시 장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 터치 패널은 손가락, 스타일러스 등으로 표시된 위치를 검출할 수 있고 위치 정보를 포함한 신호를 생성할 수 있는 위치 입력 장치이다. 터치 패널이 화상 표시 면적과 중첩하는 것과 같은 방식으로 획득되는 표시 장치는 터치 스크린으로 지칭되고, 상기 표시 장치는 화상 표시 영역에 화상을 표시할 수 있고 상기 화상 표시 영역에서 어느 위치에 이용자가 표시하는지를 정보로서 획득할 수 있다. 또한, 터치 스크린의 예는 포토센서로 불리는 광전 변환 소자가 화상 표시 영역에 제공되고 이용자에 의해 표시된 위치가 광의 세기에 의해 검출되는 터치 스크린을 포함한다. 상기 터치 스크린은 위치 입력 장치 및 표시 장치로서의 기능들을 둘 다 가지고; 따라서, 상기 터치 스크린은 높은 작동성을 갖고 전자 기기의 크기는 터치패드나 마우스와 같은 위치 입력 장치가 이용되는 경우에 비해 용이하게 줄어든다.

[0003] 터치 패널 및 액정 표시 패널을 갖는 정보 표시 장치가 특허문헌 1에서 기술된다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개 특허 출원 제 2001-022508 호

발명의 내용

해결하려는 과제

[0005] 앞서 상술된 바와 같이, 터치 스크린은 전자 기기의 크기를 용이하게 줄일 수 있는 이점을 갖는다. 터치 패널 또는 포토센서는 플랫 패널 디스플레이(flat panel display)와 같은 얇은 반도체 표시 장치에 첨가되어, 그에 의해 전자 기기의 크기나 두께가 더 줄어들 수 있다. 따라서, 터치 패널들이 첨가된 반도체 표시 장치들은 고정된 전자 기기들 뿐만 아니라 휴대 전자 기기들을 포함한 다양한 전자 기기들에도 적용될 것으로 예상될 수 있다.

[0006] 낮은 전력 소비는 반도체 표시 장치의 성능을 평가하는 견지에서 중요한 점들 중 하나이고, 터치 패널이나 포토 센서를 갖는 반도체 표시 장치도 그 점에서 예외는 아니다. 특히, 휴대 전화와 같은 휴대 전자 기기가 이용될 때, 터치 패널이나 포토센서를 갖는 반도체 표시 장치의 높은 전력 소비는 짧은 연속 동작 시간의 단점을 초래하고; 따라서, 낮은 전력 소비가 요구된다.

[0007] 특허문헌 1에서도, 전력 소비를 낮추는 것이 목적이다. 구체적으로 말하면, 특허문헌 1은 터치 패널 키 동작이 없을 때 전력 소비를 줄이기 위해 액정 표시 패널의 구동이 중지되는 구성을 기술한다. 그러나, 특허문헌 1의 상술된 구성을 달성하기 위해서는 액정 재료들의 종류들을 제한할 필요가 있고; 따라서, 다기능성이 낮다. 또한, 그들의 각각의 컬러들에 대응하는 표시층들이 풀 컬러(full color) 화상을 표시하기 위해 상술된 액정 표시 패널에서 적층되고; 따라서, 패널 내부에서 광 손실이 크고, 표시가 어둡다.

[0008] 앞의 문제들의 관점에서, 본 발명의 목적은 터치 패널이나 포토센서를 갖는 반도체 표시 장치를 제공하여, 화상의 품질 손실을 방지할 수 있고 전력 소비를 줄일 수 있는 것이다. 대안적으로, 본 발명의 목적은 터치 패널이나 포토센서를 갖는 반도체 표시 장치의 구동 방법을 제공하여, 화상의 품질 손실을 방지할 수 있고 전력 소비를 줄일 수 있는 것이다.

과제의 해결 수단

[0009] 본 발명자들은 위치 정보가 반도체 표시 장치로 입력되기 직전에, 화상 표시 영역에 표시된 화상이 동화상보다는 정지 화상일 때 이용자가 입력 위치를 특정하는 것이 보통 더욱 용이하다는 생각을 갖게 되었다. 그들은 위치 정보가 단속적으로 반도체 표시 장치로 입력될 때 이용자로부터 위치 정보의 입력의 대기 기간이 길어지는 경향이 있기 때문에 정지 화상이 화상 표시 영역에 표시되는 기간을 늘리는 것에 초점을 두었다. 상기 발명자들은 정지 화상이 표시되는 기간에 반도체 표시 장치의 전력 소비를 줄일 여지가 있다는 생각을 갖게 되었다.

[0010] 따라서, 본 발명의 일 실시예에 따른 반도체 표시 장치에 있어서, 터치 패널이나 포토센서로 위치 정보의 입력 직전에 정지 화상이 표시될 때의 구동 주파수는 동화상이 표시될 때의 구동 주파수보다 낮고, 그에 의해 반도체 표시 장치의 전력 소비가 감소된다. 대안적으로, 본 발명의 일 실시예에 따른 반도체 표시 장치에 있어서, 터치 패널이나 포토센서로 위치 정보의 입력 후에 정지 화상이 표시될 때의 구동 주파수는 동화상이 표시될 때의 구동 주파수 보다 낮고, 그에 의해 반도체 표시 장치의 전력 소비가 저감된다. 상술된 구성으로, 대기 기간에 터치 패널이나 포토센서로 위치 정보의 입력이 있는 기간에서 전력 소비가 줄어들 수 있다.

[0011] 또한, 본 발명의 일 실시예에 있어서, 표시 소자 및 표시 소자에 인가되는 전압의 유지를 제어하기 위한 극히 낮은 오프 전류를 갖는 절연 게이트 전계 효과 트랜지스터(이하 간단히 트랜지스터로 지칭됨)가 상술된 구성을 달성하기 위해 반도체 표시 장치의 화상 표시 영역에 대응하는 화소부에 제공된다. 극히 낮은 오프 전류를 갖는 트랜지스터가 이용되고, 그에 의해 표시 소자에 인가되는 전압이 보유되는 기간이 증가될 수 있다. 따라서, 예를 들면, 정지 화상처럼, 동일한 화상 정보를 각각 갖는 화상 신호들이 얼마간의 연속적인 프레임 기간들 동안 화소부에 기록되는 경우에, 구동 주파수가 낮을 때, 달리 말하면, 일정한 기간 동안 화상 신호의 기록 동작들의 수가 줄어들 때에도 화상의 표시가 유지될 수 있다.

[0012] 트랜지스터의 채널 형성 영역은 밴드 갭이 실리콘 반도체의 그것보다 넓고 진성 캐리어 밀도(intrinsic carrier density)가 실리콘의 그것보다 낮은 반도체 재료를 포함한다. 상기 특성을 갖는 반도체 재료를 포함하는 채널 형성 영역으로, 극히 낮은 오프 전류를 갖는 트랜지스터가 실현될 수 있다. 이러한 반도체 재료의 예들로서, 실리콘의 그것보다 대략 두 배 이상 큰 밴드 갭을 갖는 산화물 반도체가 제공될 수 있다. 상술된 구성을 갖는 트랜지스터가 표시 소자에 인가된 전압을 보유하는데 이용되는 스위칭 소자에 이용되고, 그에 의해 표시 소자로부터 전하의 누설이 방지될 수 있다.

[0013] 구체적으로 말하면, 본 발명의 일 실시예에 따른 반도체 표시 장치는 화소부와 상기 화소부로 화상 신호의 입력을 제어하는데 이용되는 구동 회로가 제공된 패널, 및 상기 화소부에서 상기 패널과 중첩하는 위치에 제공된 터치 패널을 포함한다. 상기 화소부는 입력될 화상 신호의 전압에 따라 표시를 수행하는 표시 소자 및 상기 전압의 유지를 제어하는데 이용되는 트랜지스터를 포함한다. 상기 트랜지스터의 채널 형성 영역은 예를 들어, 산화물 반도체와 같이, 밴드 갭이 실리콘 반도체의 그것보다 넓고 진성 캐리어 밀도가 실리콘의 그것보다 낮은 반도체 재료를 함유한다. 상술된 구성 이외에, 상기 구동 회로의 구동 주파수, 즉, 일정한 기간 동안 화상 신호의 기록 동작들의 수는 본 발명의 일 실시예에 따른 반도체 표시 장치에서 상기 터치 패널로부터 입력되는 동작 신호에 따라 변경된다.

[0014] 대안적으로, 본 발명의 일 실시예에 따른 반도체 표시 장치는 화소부와 상기 화소부로 화상 신호의 입력을 제어

하는데 이용되는 구동 회로가 제공된 패널을 포함한다. 상기 화소부는 입력될 화상 신호의 전압에 따라 표시를 수행하는데 이용되는 표시 소자 및 상기 전압의 유지를 제어하는데 이용되는 트랜지스터가 제공된 화소를 포함한다. 또한, 상기 화소부는 포토센서를 포함하고, 상기 포토센서는 트랜지스터 및 포토다이오드와 같이, 광을 수신할 때 전기 신호를 생성하는 기능을 갖는 수광 소자를 포함한다. 상기 트랜지스터의 채널 형성 영역은 예를 들어, 산화물 반도체와 같이, 밴드 갭이 실리콘 반도체의 그것보다 넓고 진성 캐리어 밀도가 실리콘의 그것보다 낮은 반도체 재료를 함유한다. 상술된 구성 이외에, 상기 구동 회로의 구동 주파수, 즉, 일정한 기간 동안 화상 신호의 기록 동작들의 수는 본 발명의 일 실시예에 따른 반도체 표시 장치에서 터치 패널로부터 입력되는 동작 신호에 따라 변경된다.

[0015] 산화물 반도체는 미결정 실리콘이나 폴리실리콘의 그것과 거의 동일한 높은 이동도 및 비정질 실리콘의 특성인 균일한 소자 특성의 둘 다를 포함하는 반도체 특성을 보이는 금속 산화물임에 유념한다. 전자 공여체들(공여체들)로서 기능하는, 습기나 수소와 같은 불순물들의 농도의 감소에 의해 고순도화된 산화물 반도체(정화된 OS)는, i-형 반도체(진성 반도체) 또는 실질적으로 i-형 반도체이다. 따라서, 상기 산화물 반도체를 포함하는 트랜지스터는 극히 낮은 오프 전류 또는 극히 낮은 누설 전류의 특성을 갖는다. 구체적으로 말하면, 이차 이온 질량 분석(SIMS)에 의해 측정된, 상기 고순도화된 산화물 반도체에서 수소의 농도는, $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 또한 더욱 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 미만이다. 또한, 홀 효과(Hall effect) 측정에 의해 측정된, 상기 산화물 반도체막의 캐리어 밀도는, $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다. 또한, 상기 산화물 반도체의 밴드 갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 더욱 바람직하게는 3 eV 이상이다. 습기 및 수소와 같은 불순물들의 충분히 저감된 농도를 갖는 고순도화된 산화물 반도체막을 이용함으로써, 상기 트랜지스터의 오프 전류 또는 누설 전류가 감소될 수 있다.

[0016] 상기 산화물 반도체막에서 수소의 농도의 분석이 여기서 기술된다. 상기 산화물 반도체막과 상기 도전막에서 수소의 농도들은 SIMS에 의해 측정된다. 원칙적으로 SIMS에 의해 시료의 표면의 근방 또는 상이한 재료들을 이용하여 형성된 적층된 막들 사이의 계면의 근방에서 데이터를 획득하는 것은 어렵다고 알려져 있다. 따라서, 두께 방향들에서 막들에서 수소의 농도들의 분포들이 SIMS에 의해 분석되는 경우에, 막들이 제공되고, 값이 크게 변동되지 않고, 거의 동일한 값이 획득될 수 있는 영역에서 평균값이 수소의 농도로서 채용된다. 또한, 막의 두께가 얇은 경우에, 거의 동일한 값이 획득될 수 있는 영역은 서로 근접한 막들에서 수소의 농도의 영향에 기인하여 일부의 경우들에서 발견될 수 없다. 이 경우에, 막들이 제공되는 영역에서 수소의 농도의 최대값 또는 최소값이 막에서 수소의 농도로서 이용된다. 또한, 최대값을 갖는 산형(mountain-shaped)의 피크 및 최소값을 갖는 골짜기형(valley-shaped)의 피크가 막들이 제공되는 영역에서 존재하지 않는 경우에, 변곡점(inflexion point)의 값이 수소의 농도로서 이용된다.

[0017] 많은 실험들이 활성층으로서 고순도화된 산화물 반도체막을 포함하는 트랜지스터의 낮은 오프 전류를 실제로 증명한다. 예를 들어, 소자가 $1 \times 10^6 \mu\text{m}$ 의 채널 폭 및 $10 \mu\text{m}$ 의 채널 길이를 갖는 때에도, 오프 전류는 반도체 파라미터 분석기의 측정 한계 이하, 달리 말하면, 1V로부터 10V까지의 소스 전극과 드레인 전극 사이의 전압(드레인 전압)에서, 1×10^{-13} A 이하가 될 수 있다. 이 경우에, 오프 전류를 트랜지스터의 채널 폭으로 나눔으로써 획득되는 값에 대응하는 오프 전류 밀도가 $100 \text{ zA}/\mu\text{m}$ 이하임이 발견될 수 있다. 또한, 오프 전류 밀도는 용량 소자 및 트랜지스터(게이트 절연막의 두께는 100 nm 임)가 서로 접촉되고 용량 소자에 공급되거나 용량 소자로부터 방전되는 전하가 트랜지스터에 의해 제어되는 회로의 이용에 의해 측정되었다. 상기 측정에서, 고순도화된 산화물 반도체막이 트랜지스터에서 채널 형성 영역으로서 이용되었고, 트랜지스터의 오프 전류 밀도는 단위 시간 당 용량 소자의 전기 전하의 양의 변화로부터 측정되었다. 결과적으로, 트랜지스터의 소스 전극과 드레인 전극 사이의 전압이 3V이었을 경우에, $10 \text{ zA}/\mu\text{m}$ 로부터 $100 \text{ zA}/\mu\text{m}$ 까지인 훨씬 낮은 오프 전류 밀도가 획득될 수 있었음이 발견되었다. 따라서, 본 발명의 일 실시예에 따른 반도체 표시 장치에 있어서, 활성층으로서 고순도화된 산화물 반도체막을 포함하는 트랜지스터의 오프 전류 밀도는 소스 전극과 드레인 전극 사이의 전압에 의존하여, $10 \text{ zA}/\mu\text{m}$ 이하, 바람직하게는 $1 \text{ zA}/\mu\text{m}$ 이하, 또는 더욱 바람직하게는 $1 \text{ yA}/\mu\text{m}$ 이하가 될 수 있다. 따라서, 활성층으로서 고순도화된 산화물 반도체막을 포함하는 트랜지스터는 결정성을 갖는 실리콘을 포함하는 트랜지스터보다 훨씬 낮은 오프 전류를 갖는다.

[0018] 또한, 고순도화된 산화물 반도체를 포함하는 트랜지스터는 오프 전류의 온도 의존성을 거의 보이지 않는다. 이것은 산화물 반도체를 고도로 정화하기 위해 산화물 반도체에서 전자 공여체들(공여체들)이 되는 불순물들을 제

거함으로써 도전성 타입이 가능한 한 진성 타입에 가깝도록 만들어져서, 페르미 레벨(Fermi level)이 금지대(forbidden band)의 중심에 위치하게 되기 때문이다. 이것은 또한 산화물 반도체가 3 eV 이상의 에너지 갭을 갖고 극소수의 열적으로 여기된 캐리어들을 포함한다는 사실에 기인한다. 또한, 소스 전극과 드레인 전극은 축퇴된(degenerated) 상태에 있고, 이것 역시 온도 의존성을 보이지 않음에 대한 요인이다. 상기 트랜지스터는 주로 축퇴된 소스 전극으로부터 산화물 반도체로 주입된 캐리어들로 동작되고, 온도에서 오프 전류의 상기 독립은 온도에서 캐리어 밀도의 독립에 의해 설명될 수 있다.

[0019] 산화물 반도체로서, In-Sn-Ga-Zn-O-계 산화물 반도체와 같은 사원계 금속 산화물, In-Ga-Zn-O-계 산화물 반도체, In-Sn-Zn-O-계 산화물 반도체, In-Al-Zn-O-계 산화물 반도체, Sn-Ga-Zn-O-계 산화물 반도체, Al-Ga-Zn-O-계 산화물 반도체, 및 Sn-Al-Zn-O-계 산화물 반도체와 같은 삼원계 금속 산화물, 또는 In-Zn-O-계 산화물 반도체, Sn-Zn-O-계 산화물 반도체, Al-Zn-O-계 산화물 반도체, Zn-Mg-O-계 산화물 반도체, Sn-Mg-O-계 산화물 반도체, In-Mg-O-계 산화물 반도체, In-Ga-O-계 산화물 반도체와 같은 이원계 금속 산화물, In-O-계 산화물 반도체, Sn-O-계 산화물 반도체, 및 Zn-O-계 산화물 반도체가 이용될 수 있다. 이 명세서에서, 예를 들어, In-Sn-Ga-Zn-O-계 산화물 반도체는 인듐(In), 주석(Sn), 갈륨(Ga), 및 아연(Zn)을 포함하는 금속 산화물을 의미하고, 그 조성비에 관한 특별한 제한은 없음에 유념한다. 상기 산화물 반도체는 실리콘을 포함할 수 있다.

[0020] 또한, 산화물 반도체들은 화학식, $InM_3(ZnO)_m$ ($m > 0$)으로 표현될 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소들을 표현한다.

발명의 효과

[0021] 본 발명의 일 실시예에 있어서, 반도체 표시 장치로 위치 정보의 입력시에 정지 화상이 표시되는 때의 구동 주파수가 동화상이 표시되는 때의 구동 주파수보다 낮아질 수 있다. 따라서, 화상의 품질 손실을 방지할 수 있고 전력 소비를 저감할 수 있는, 터치 패널을 갖는 반도체 표시 장치가 실현될 수 있다. 또한, 화상의 품질 손실을 방지할 수 있고 전력 소비를 저감할 수 있는 반도체 표시 장치의 구동 방법이 실현될 수 있다.

도면의 간단한 설명

- [0022] 도 1은 반도체 표시 장치의 구성의 블록도.
- 도 2는 반도체 표시 장치의 동작의 순서도.
- 도 3은 반도체 표시 장치의 동작의 타이밍도.
- 도 4는 구동 신호 및 전원 전위의 타이밍도.
- 도 5a 및 도 5b는 시프트 레지스터의 구성을 각각 도시한 도면.
- 도 6a 및 도 6b는 시프트 레지스터의 동작의 타이밍도들.
- 도 7은 화소부의 구성의 회로도.
- 도 8은 반도체 표시 장치의 구성의 블록도.
- 도 9a 내지 도 9d는 트랜지스터를 제작하는 방법을 도시한 도면.
- 도 10a 내지 도 10c는 트랜지스터의 구성을 각각 도시한 도면.
- 도 11은 터치 패널의 구성을 도시한 도면.
- 도 12a 및 도 12b는 터치 패널의 구성을 각각 도시한 도면.
- 도 13은 화소의 단면도.
- 도 14a 및 도 14b는 패널의 구성을 각각 도시한 도면.
- 도 15는 반도체 표시 장치의 구성의 사시도.
- 도 16a 내지 도 16f는 전자 기기를 각각 도시한 도면.
- 도 17a 및 도 17b는 포토센서를 포함한 화소부의 구성을 각각 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 본 발명의 실시예들 및 예가 첨부 도면들을 참조하여 상세히 기술될 것이다. 그러나, 본 발명은 다음의 기재에 제한되지 않고 본 발명의 사상과 범위로 부터 벗어남 없이 다양한 방식으로 모드와 상세들이 변경될 수 있음이 당업자에게 용이하게 이해될 것이다. 따라서, 본 발명은 아래의 실시예들 및 예의 기재에 제한되는 것으로 해석되어서는 안된다.
- [0024] 본 발명의 반도체 표시 장치들은 다음의 것을 그 범주에 포함함을 유념한다: 액정 표시 장치들, 유기 발광 소자(OLED)에 의해 전형화된 발광 소자가 각 화소에 제공되는 발광 장치들, 전자 페이퍼, 디지털 마이크로미러 장치들(DMD들), 플라즈마 디스플레이 패널들(PDP들), 필드 이미션 디스플레이들(FED들), 및 트랜지스터가 화소부에 포함된 다른 반도체 표시 장치들.
- [0025] (실시예 1)
- [0026] 도 1은 본 발명의 일 실시예에 따른 반도체 표시 장치의 구성을 도시한 블록도이다. 이 명세서에서 블록도에 있어서, 회로들이 그들의 기능들에 따라 분류되고 분리된 블록들이 도시되고 있음에 유념한다. 그러나, 그들의 기능들에 따라 완전하게 실제 회로들을 분류하는 것은 어렵고 하나의 회로가 복수의 기능들을 갖는 것이 가능하다.
- [0027] 도 1에 도시된 반도체 표시 장치는 패널(100), 표시 제어 회로(101), CPU(102), 및 터치 패널(104)을 포함한다. 또한, 본 발명의 일 실시예에 따른 반도체 표시 장치는 터치 패널 제어 회로를 포함할 수 있다.
- [0028] 패널(100)은 트랜지스터(105)와 표시 소자(106)를 각각 포함하는 화소들(110)이 제공된 화소부(107), 및 신호선 구동 회로(108), 주사선 구동 회로(109) 등과 같이, 화소부(107)의 동작을 제어하는 구동 회로(111)를 포함한다. 주사선 구동 회로(109)는 트랜지스터(105)의 스위칭을 제어함으로써 화소부(107)에 포함된 화소(110)를 선택한다. 신호선 구동 회로(108)는 선택된 화소(110)의 표시 소자(106)로 화상 신호의 입력을 제어한다.
- [0029] 표시 제어 회로(101)는 패널(100)에 포함된 신호선 구동 회로(108)와 주사선 구동 회로(109)에 화상 신호, 구동 신호, 및 전원 전위의 공급을 제어한다. 구동 신호가 펄스의 사용으로 구동 회로(111)의 동작을 제어하는데 이용되는 신호이지만, 동작을 위해 요구되는 구동 신호의 종류는 구동 회로(111)의 구성에 의존하여 변한다는 점에 유념한다. 구동 신호들의 예들은 시프트 레지스터의 동작을 제어하는데 이용되는 시작 신호와 클럭 신호, 및 메모리 회로에서 데이터 유지의 타이밍을 제어하는데 이용되는 래치(latch) 신호를 포함한다. 신호선 구동 회로(108) 및 주사선 구동 회로(109)는 구동 신호 및 전원 전위의 공급에 의해 상술된 동작을 수행할 수 있다.
- [0030] 터치 패널(104)은 패널(100)의 화소부(107)와 중첩하도록 배열된다. 사용자가 스타일러스, 사용자의 손가락 등을 터치 패널(104)에 접촉시키거나 터치 패널(104)의 부근에 가까이 들 때, 위치 정보를 포함한 동작 신호가 생성된다. 터치 패널 제어 회로는 터치 패널(104)로부터 입력된 동작 신호에 AD 변환 또는 진폭 처리와 같이, 다양한 종류의 신호 처리를 수행하고, 처리된 동작 신호를 CPU(102)로 송신한다.
- [0031] 동작 신호는 화소부(107)의 어느 위치가 이용자에 의해 선택되었는지를 식별하는데 이용되는 위치 정보를 포함한다. CPU(102)는 동작 신호에 포함된 상술된 위치 정보를 이용하고, 화상이 화소부(107)에 재기록되었는지 여부를 선택한다. 이후, 선택의 결과에 따라, 표시 제어 회로(101)의 동작이 제어된다. 구체적으로 말하면, 구동 신호 및 전원 전위가 구동 회로(111)에 공급되었는지 여부가 선택된다. 또한, 예를 들어, 재기록이 수행된 경우에, 상술된 위치 정보에 대응하는 화상 신호는 메모리 회로로부터 판독되고 그것을 표시 제어 회로(101)로 전송한다. 상술된 메모리 회로는 CPU(102) 내부에 제공될 수 있거나 CPU(102) 외부에 제공될 수 있음에 유념한다. 대안적으로, 상술된 메모리 회로는 반도체 표시 장치의 외부에 제공될 수 있다.
- [0032] 터치 패널(104)에 표시된 위치와 터치 패널(104)에 표시된 위치와 중첩하는 화소부(107)의 위치 사이의 대응 관계는 추출되거나 보정(calibration)이라고 불리는 위치 교정 동작에 의해 미리 교정됨에 유념한다. 대응 관계의 데이터는 CPU(102)에 포함된 메모리 회로 또는 터치 패널 제어 회로에 포함된 메모리 회로에 보유된다.
- [0033] 터치 패널(104)의 사용과 함께 반도체 표시 장치의 구성이 도 1에 도시되지만, 터치 패널(104) 대신에 포토센서가 본 발명의 일 실시예에 따른 반도체 표시 장치에 이용될 수 있음에 유념한다. 화소(110)와 함께 포토센서가 화소부(107)에 제공될 수 있다. 터치 패널(104)이 이용되는 경우와 달리, 상술된 위치 교정 동작은 포토센서가 이용되는 경우에 항상 요구되는 것은 아니다.
- [0034] 본 발명의 일 실시예에서, 터치 패널(104) 또는 포토센서로 동작 신호의 입력에 의해 재기록이 수행된 후에, 구

동 회로(111)의 구동 주파수는 화소부(107)에 표시된 화상이 정지 화상 또는 동화상인지에 따라 변화된다. 구체적으로 말하면, 정지 화상이 표시될 때 신호선 구동 회로(108) 및 주사선 구동 회로(109)의 구동 주파수들은 동 화상이 표시될 때 상술된 구동 주파수보다 낮다. 상술된 구성으로, 반도체 표시 장치의 전력 소비는 줄어들 수 있다.

- [0035] 또한, 본 발명의 일 실시예에서, 극히 낮은 오프 전류를 갖는 트랜지스터가 표시 소자(106)에 인가되는 전압의 유지를 제어하기 위해 화소부(107)에서 이용된다. 극히 낮은 오프 전류를 갖는 트랜지스터가 이용되고, 그에 의해 표시 소자(106)에 인가되는 전압이 보유되는 기간이 증가될 수 있다. 따라서, 예를 들면, 정지 화상처럼, 동일한 화상 정보를 각각 갖는 화상 신호들이 얼마간의 연속적인 프레임 기간들 동안 화소부(107)에 기록되는 경우에, 구동 주파수가 낮을 때, 달리 말하면, 일정한 기간 동안 화소부(107)에 화상 신호들의 기록 동작들의 수가 줄어들 때에도 화상의 표시가 유지될 수 있다. 예를 들어, 고순도화된 산화물 반도체막이 활성층으로서 이용되는 상술된 트랜지스터가 채용되고, 그에 의해 화상 신호들의 기록 동작들 사이의 간격은 10초 이상, 바람직하게는 30초 이상, 더욱 바람직하게는 1분 이상이 될 수 있다. 화상 신호들의 기록 동작들 사이의 간격이 길어지도록 만들어짐에 따라, 전력 소비는 더욱 줄어들 수 있다.
- [0036] 다르게 규정되지 않는 한, 이 명세서에서, n-채널(p-채널) 트랜지스터의 경우에, 오프 전류는 기준 전위가 소스 전극의 전위일 때 게이트 전극의 전위가 영 이하(이상)인 동안 드레인 전극의 전위가 소스 전극의 그것 또는 게이트 전극의 그것보다 높을(낮을) 때 소스 전극과 드레인 전극 사이에 흐르는 전류이다. 또한, 다르게 규정되지 않는 한, 누설 전류는 소스 전극이나 드레인 전극과 게이트 전극 사이에 절연막을 통해 흐르는 전류를 의미한다.
- [0037] 본 발명의 일 실시예에 따른 반도체 표시 장치의 동작은 다음의 기간들을 이용하여 기술될 수 있다: 동화상이 표시되는 기간, 및 정지 화상이 표시되는 기간. 정지 화상이 표시될 때 화소(110) 및 구동 회로(111)의 동작의 구체적인 예가 도 3을 참조하여 기술될 것이다. 화소(110)의 동작 상태의 시간 변화 및 구동 회로(111)의 동작 상태의 시간 변화가 도 3에 개략적으로 도시된다.
- [0038] 정지 화상이 표시되는 기간에서, 화상 신호(IMG)가 화소(110)에 기록되는 기간(A) 및 표시 소자(106)가 화상 신호(IMG)에 의해 그레이 스케일의 표시를 유지하는 기간(B)이 교대로 나타난다. 도 3에서, 기간(A1) 내지 기간(A4)의 네 개의 기간들(A) 및 기간(B1) 내지 기간(B4)의 네 개의 기간들(B)이 교대로 나타나는 경우가 도시된다. 구체적으로 말하면, 도 3에서, 기간들은 다음의 순서로 배열된다: 기간(A1), 기간(B1), 기간(A2), 기간(B2), 기간(A3), 기간(B3), 기간(A4), 및 기간(B4).
- [0039] 각 기간(A)에서, 구동 신호 및 전원 전위가 구동 회로(111)에 공급되고, 그에 의해 신호선 구동 회로(108) 및 주사선 구동 회로(109)와 같은 각 구동 회로가 동작한다. 도 3에서, 구동 회로(111)가 동작하는 상태는 SST에 의해 지시된다.
- [0040] 주사선 구동 회로(109)가 동작 상태에 있을 때, 주사 신호(SCN)는 주사선 구동 회로(109)로부터 화소부(107)로 입력되고, 그에 의해 화소(110)는 순차적으로 선택된다. 구체적으로 말하면, 트랜지스터(105)가 주사 신호(SCN)에 의해 턴 온 되어, 화소(110)가 선택된다. 신호선 구동 회로(108)가 동작 상태에 있을 때, 화상 신호(IMG)는 신호선 구동 회로(108)로부터 주사선 구동 회로(109)에 의해 선택된 화소(110)로 입력된다. 구체적으로 말하면, 화상 신호(IMG)가 온 상태에 있는 트랜지스터(105)를 통해 표시 소자(106)로 입력된다.
- [0041] 화상 신호(IMG)가 선택된 화소(110)로 입력될 때, 표시 소자(106)는 화상 신호(IMG)에 따라 그레이 스케일을 표시한다. 표시 소자(106)에 의해 표시되는 그레이 스케일들의 수는 이진값(binary)이 될 수 있거나 세 개 이상의 값들의 다수값(multi-value)이 될 수 있다. 화상 신호(IMG)에 의한 그레이 스케일의 표시 상태는 일정한 기간 동안 보유된다.
- [0042] 화소(110)로의 화상 신호(IMG)의 상술된 입력은 다른 화소들(110)에서 유사하게 수행된다. 표시 상태는 모든 화소들에서 설정되고, 화상 신호(IMG)의 데이터에 기초한 화상이 전체 화소부(107)에 표시된다. 화상 신호(IMG)의 데이터가 모든 화소들(110)에 기록되고 표시 상태가 설정되는 상태는 도 3에서 W에 의해 지시된다.
- [0043] 다음에, 각 기간(B)에서, 구동 회로(111)에 구동 신호 및 전원 전위의 공급이 중지되고, 그에 의해 신호선 구동 회로(108) 및 주사선 구동 회로(109)와 같은 각각의 구동 회로는 중지 상태에 있다. 도 3에서, 구동 회로(111)가 동작을 중지하는 상태는 SSTP에 의해 지시된다. 신호선 구동 회로(108)는 중지 상태에 있고, 그에 의해 화소부(107)로 화상 신호(IMG)의 입력은 중지된다.
- [0044] 또한, 주사선 구동 회로(109)는 중지 상태에 있고, 그에 의해 화소부(107)로의 주사 신호(SCN)의 입력은 중지된

다. 따라서, 주사선 구동 회로(109)에 의한 화소(110)의 선택은 중지되어, 화소(110)에 포함된 표시 소자(106)는 기간(B) 직전에 기간(A)에서 설정된 표시 상태를 유지한다. 표시 소자(106)에 의한 그레이 스케일의 표시가 유지되는 상태는 도 3에서 H에 의해 지시된다.

- [0045] 구체적으로 말하면, 도 3에서, 기간(A1)에서 설정된 표시 상태는 기간(B1)에서 유지된다. 기간(A2)에서 설정된 표시 상태는 기간(B2)에서 유지된다. 기간(A3)에서 설정된 표시 상태는 기간(B3)에서 유지된다. 기간(A4)에서 설정된 표시 상태는 기간(B4)에서 유지된다.
- [0046] 본 발명의 일 실시예에서, 상술된 바와 같이, 극히 낮은 오프 전류를 갖는 트랜지스터(105)가 이용되고; 따라서, 각 기간(B)에서 표시 상태는 10초 이상, 바람직하게는 30초 이상, 더욱 바람직하게는 1분 이상 동안 유지될 수 있다.
- [0047] 본 발명의 일 실시예에서, 각 기간(B)의 길이는 터치 패널(104) 또는 포토센서로 입력된 동작 신호의 펄스의 타이밍에 따라 적절히 변경될 수 있다. 예를 들면, 기간(B2)의 끝의 타이밍이 동작 신호의 펄스에 의해 설정되는 경우가 도 3에 도시된다. 도 3에서, 기간(B2)은 동작 신호의 펄스의 입력에 의해 강제적으로 종료되고; 이후, 기간(A3)이 시작된다. 따라서, 도 3의 경우에, 기간(B2)은 기간(B1) 및 기간(B3)과 같이, 동작 신호의 펄스의 입력에 관계없이 자동적으로 종료되는 기간(B)보다 짧다.
- [0048] 표시 소자가 표시 상태를 유지할 수 있는 기간에 관해 제한이 있음에 유념한다. 따라서, 표시 소자가 표시 상태를 유지할 수 있는 기간을 고려하여, 동작 신호의 펄스가 입력되지 않는 기간에서 각 기간(B)의 최대 길이는 미리 설정된다. 즉, 정지 화상이 표시되는 기간이 각 기간(B)의 최대 길이보다 긴 경우에, 동작 신호의 펄스의 입력이 없는 때에도 기간(B)은 자동적으로 종료된다. 이후, 동일한 화상 신호(IMG)가 다음의 기간(A)에서 다시 화소부(107)로 입력되고, 그 기간(A) 직전에 기간(B)에 유지되는 화상이 전체 화소부(107)에서 다시 표시된다.
- [0049] 본 발명의 일 실시예에서, 정지 화상이 표시되는 기간에서, 화소부(107)에 화상 신호(IMG)의 기록 동작들의 수는 화상의 표시가 유지됨과 동시에 상당히 줄어들 수 있다. 따라서, 구동 회로의 구동 주파수가 급격하게 줄어들 수 있고, 반도체 표시 장치의 전력 소비가 저감될 수 있다.
- [0050] 동화상이 표시되는 기간에서, 화상 신호(IMG)는 정지 화상이 표시되는 기간에서 그것과 유사한 방식으로 선택된 화소(110)에 기록됨에 유념한다. 이후, 표시 소자(106)는 화상 신호(IMG)에 따라 그레이 스케일을 표시한다. 그러나, 정지 화상이 표시되는 기간과는 달리, 화상 신호(IMG)가 모든 화소들(110)에 기록되고 표시 상태가 설정된 후에 구동 회로의 동작이 항상 중지되는 것은 아니다.
- [0051] 다음에, 터치 패널(104)로 동작 신호의 입력의 순서 및 상기 입력에 따라 수행되는 화소부(107)에 화상의 재기록의 동작이 기술된다. 도 2에서, 터치 패널(104)이 이용되는 경우가 예로서 제공되지만, 터치 패널(104) 대신에 포토센서가 이용되는 경우에도 유사한 동작이 수행될 수 있음에 유념한다.
- [0052] 도 2는 반도체 표시 장치의 동작의 순서를 도시한 순서도이다. 도 2에서, 이용자가 터치 패널(104)로 위치 정보를 입력하기 전에, 정지 화상이 화소부(107)에 표시되는 경우(A01: 정지 화상의 표시)와 동화상이 표시되는 경우(A02: 동화상의 표시)가 가정된다.
- [0053] 본 발명의 일 실시예에서, 먼저, 화소부(107)에 표시되는 화상은 터치 패널(104)로 입력을 수행하는데 이용되는 입력을 위한 정지 화상에 재기록된다(A03: 입력 모드로 시프트). 구체적으로 말하면, 동작 신호가 터치 패널(104)로 입력되고(A04: 터치 패널로 동작 신호의 입력), 그에 의해 입력을 위한 정지 화상이 화소부(107)에 표시된다(A05: 입력을 위한 정지 화상의 표시). 동화상이 표시되는 경우(A02: 동화상의 표시)에, 화상이 입력을 위한 정지 화상에 재기록되고, 그에 의해 이용자는 입력 위치를 용이하게 특정한다.
- [0054] 다음에, 입력을 위한 정지 화상에 기초하여, 동작 신호가 터치 패널(104)로 입력된다(A06: 터치 패널로 동작 신호의 입력). 동작 신호는 터치 패널(104)로 입력되고, 그에 의해 화상 신호는 화소부(107)에 기록되고 화소부(107)에 표시된 화상은 재기록된다. 이 재기록에 의해 표시되는 화상은 동작 신호에 포함된 위치 정보에 따라 설정된다. 도 2에서, 입력을 위한 정지 화상이 다시 표시되는 경우(A07: 입력을 위한 정지 화상의 표시)와 동작 신호의 입력에 의해 획득되는 정보를 보여주는 화상이 표시되는 경우(A08: 결과의 표시)가 도시된다. 또한, 도 2에 도시된 바와 같이, 동작 신호의 입력에 의해 획득되는 정보를 보여주는 화상이 일정한 기간 동안 표시(A09: 결과의 표시)된 후에 동작 신호가 입력되지 않는 때에도 입력을 위한 정지 화상은 자동적으로 다시 표시(A10: 입력을 위한 정지 화상의 표시)될 수 있다.
- [0055] 동작 신호의 입력에 의해 획득되는 정보를 보여주는 화상은 정지 화상이나 동화상이 될 수 있음에 유념한다.

- [0056] 본 발명의 일 실시예에서, 도 3에 도시된 바와 같이 구동 회로의 동작을 중지시키는 구동 방법이 터치 패널(104)로 동작 신호의 입력에 의한 정지 화상의 표시 기간에서 채택된다. 도 2에 도시된 순서도에서, 상술된 구동 방법은 예를 들어, (A05: 입력을 위한 정지 화상의 표시), (A07: 입력을 위한 정지 화상의 표시), 또는 (A10: 입력을 위한 정지 화상의 표시)에 이용될 수 있다.
- [0057] 또한, 도 3에 도시된 바와 같이 구동 회로의 동작을 중지시키는 구동 방법은 동작 신호의 입력에 의해 획득된 정보를 보여주는 화상이 정지 화상인 경우에도 역시 이용될 수 있다.
- [0058] 상술된 구조로, 이용자가 터치 패널(104)로 동작 신호를 단속적으로 입력할 때, 구동 회로의 동작은 사이에 수행되는 정지 화상을 표시하는 때 중지될 수 있고 전력 소비는 줄어들 수 있다.
- [0059] (실시예 2)
- [0060] 이 실시예에서, 도 1에 도시된 반도체 표시 장치에 있어서, 정지 화상이 표시되는 기간에 표시 제어 회로(101)로부터 구동 회로(111)로 전송되는 구동 신호 및 전원 전위가 도 4를 참조하여 기술될 것이다.
- [0061] 시작 신호(SP), 클럭 신호(CK), 및 전원 전위(Vp)가 표시 제어 회로(101)로 입력된다. 또한, 제어 신호(GDCTL) 및 제어 신호(SDCTL)가 CPU(102)로부터 표시 제어 회로(101)로 입력된다. 제어 신호(GDCTL)는 주사선 구동 회로(109)의 구동을 제어하는 신호이고 제어 신호(SDCTL)는 신호선 구동 회로(108)의 구동을 제어하는 신호이다. 표시 제어 회로(101)는 시작 신호(SP), 클럭 신호(CK), 또는 전원 전위(Vp)와 같은 입력된 신호나 전위를 제어 신호(GDCTL) 및 제어 신호(SDCTL)에 따라 주사선 구동 회로(109)나 신호선 구동 회로(108)에 공급한다.
- [0062] 주사선 구동 회로(109)로 입력된 시작 신호(SP)는 시작 신호(GSP)이고, 신호선 구동 회로(108)로 입력된 시작 신호(SP)는 시작 신호(SSP)임에 유념한다. 또한, 주사선 구동 회로(109)로 입력된 클럭 신호(CK)는 클럭 신호(GCK)이고, 신호선 구동 회로(108)로 입력된 클럭 신호(CK)는 클럭 신호(SCK)이다. 주사선 구동 회로(109)로 입력된 전원 전위(Vp)는 전원 전위(GVp)이고, 신호선 구동 회로(108)로 입력된 전원 전위(Vp)는 전원 전위(SVp)이다.
- [0063] 시작 신호(GSP)는 수직 동기(synchronization) 주파수에 대응하는 펄스 신호이고, 시작 신호(SSP)는 하나의 게이트 선택 기간에 대응하는 펄스 신호임에 유념한다.
- [0064] 또한, 클럭 신호(GCK)는 하나의 클럭 신호에 제한되지 않고 서로 상이한 위상들을 갖는 복수의 클럭 신호들이 클럭 신호(GCK)로서 이용될 수 있다. 복수의 클럭 신호들이 클럭 신호(GCK)로서 이용될 때, 주사선 구동 회로(109)의 동작 속도는 향상될 수 있다. 또한, 클럭 신호(SCK)는 하나의 클럭 신호에 제한되지 않고 서로 상이한 위상들을 갖는 복수의 클럭 신호들이 클럭 신호(SCK)로서 이용될 수 있다. 서로 상이한 위상들을 갖는 복수의 클럭 신호들이 클럭 신호(SCK)로서 이용될 때, 신호선 구동 회로(108)의 동작 속도는 향상될 수 있다. 공통 클럭 신호(CK)가 클럭 신호(GCK) 및 클럭 신호(SCK)로서 이용될 수 있음에 유념한다.
- [0065] 다음에, 상술된 구동 신호 및 전원 전위가 이용되는 경우에 본 발명의 일 실시예에 따른 반도체 표시 장치의 구동 방법의 예가 기술된다. 도 4는 제어 신호(GDCTL), 전원 전위(GVp), 클럭 신호(GCK), 시작 신호(GSP), 제어 신호(SDCTL), 전원 전위(SVp), 클럭 신호(SCK), 및 시작 신호(SSP)의 전위들에서 시간 변화를 도시한다. 이 실시예에서, 예로서, 전원 전위(GVp) 및 전원 전위(SVp)는 공통 전원 전위이고, 클럭 신호(GCK)는 하나의 클럭 신호이고, 클럭 신호(SCK)는 하나의 클럭 신호이고, 제어 신호(GDCTL), 제어 신호(SDCTL), 시작 신호(GSP), 및 시작 신호(SSP)는 모두 이진값 디지털 신호들임에 유념한다.
- [0066] 도 4에서, 기간은 동화상이 표시되는 프레임 기간(311), 정지 화상이 표시되는 프레임 기간(312), 및 동화상이 표시되는 프레임 기간(313)으로 분할될 수 있다.
- [0067] 먼저, 프레임 기간(311)에서, 제어 신호(GDCTL)의 펄스가 입력될 때 표시 제어 회로(101)는 전원 전위(GVp), 시작 신호(GSP), 및 클럭 신호(GCK)의 출력을 시작한다. 구체적으로 말하면, 전원 전위(GVp)의 출력이 가장 먼저 시작된다. 그 후, 전원 전위(GVp)의 출력이 안정화될 때, 클럭 신호(GCK)의 출력이 시작되고; 이후 시작 신호(GSP)의 출력이 시작된다. 클럭 신호(GCK)의 출력이 시작되기 직전에, 높은 레벨의 클럭 신호(GCK)의 전위가 클럭 신호(GCK)가 입력되는 배선에 인가되는, 이러한 방식으로 배선의 전위가 안정화되는 것이 바람직함에 유념한다. 상술된 방법에 의해, 동작을 시작함에 있어 주사선 구동 회로(109)의 오작동이 방지될 수 있다.
- [0068] 또한, 프레임 기간(311)에서, 제어 신호(SDCTL)의 펄스가 입력될 때 표시 제어 회로(101)는 전원 전위(SVp), 시작 신호(SSP), 및 클럭 신호(SCK)의 출력을 시작한다. 구체적으로 말하면, 전원 전위(SVp)의 출력이 가장 먼저 시작된다. 그 후, 전원 전위(SVp)의 출력이 안정화될 때, 클럭 신호(SCK)의 출력이 시작되고; 이후 시작 신호

(SSP)의 출력이 시작된다. 클럭 신호(SCK)의 출력이 시작되기 직전에, 높은 레벨의 클럭 신호(SCK)의 전위가 클럭 신호(SCK)가 입력되는 배선에 인가되는, 이러한 방식으로 배선의 전위가 안정화되는 것이 바람직함에 유념한다. 상술된 방법에 의해, 동작을 시작함에 있어 신호선 구동 회로(108)의 오작동이 방지될 수 있다.

- [0069] 주사선 구동 회로(109)가 동작을 시작할 때, 주사 신호(SCN)는 주사선 구동 회로(109)로부터 주사선으로 입력되고, 그에 의해 화소부(107)에서 화소들이 순차적으로 선택된다. 이후, 신호선 구동 회로(108)가 동작을 시작할 때, 화상 신호(IMG)는 신호선 구동 회로(108)로부터 선택된 화소로 신호선을 통해 입력된다. 화상 신호(IMG)가 입력되는 화소에서, 표시 소자는 화상 신호(IMG)에 따라 표시 상태를 설정한다.
- [0070] 다음에, 프레임 기간(312)에서, 표시 제어 회로(101)는 전원 전위(GVp), 시작 신호(GSP), 및 클럭 신호(GCK)의 출력을 중지한다. 구체적으로 말하면, 시작 신호(GSP)의 출력이 가장 먼저 중지되고; 이후, 주사선 구동 회로(109)에서 주사 신호(SCN)의 출력이 중지되어, 모든 주사선들의 선택 동작이 종료된다. 다음에, 전원 전위(GVp)의 출력이 중지된다. "출력을 중지함"은, 예를 들어, 신호나 전위가 입력되는 배선을 플로팅 상태(floating state)로 만들거나, 신호나 전위가 입력되는 배선에 낮은 레벨의 전위를 인가함을 의미함에 유념한다. 상술된 방법에 의해, 동작을 중지함에 있어 주사선 구동 회로(109)의 오작동이 방지될 수 있다.
- [0071] 프레임 기간(312)에서, 제어 신호(GDCTL)의 펄스가 표시 제어 회로(101)로 입력되지 않는 경우가 도 4에 도시되어 있지만; 본 발명의 일 실시예는 이 구성에 한정되지 않음에 유념한다. 프레임 기간(312)에서, 제어 신호(GDCTL)의 펄스가 표시 제어 회로(101)로 입력될 수 있다. 이 경우에, 제어 신호(GDCTL)의 펄스가 입력될 때에도 전원 전위(GVp), 시작 신호(GSP), 및 클럭 신호(GCK)의 출력을 중지하는 메커니즘이 제공되는 한 표시 제어 회로(101)는 용인 가능하다.
- [0072] 또한, 프레임 기간(312)에서, 표시 제어 회로(101)는 전원 전위(SVp), 시작 신호(SSP), 및 클럭 신호(SCK)의 출력을 중지한다. 구체적으로 말하면, 시작 신호(SSP)의 출력이 가장 먼저 중지되고; 이후, 신호선 구동 회로(108)에서 화상 신호(IMG)의 출력이 중지되어, 모든 신호선들로 화상 신호(IMG)의 입력 동작이 종료된다. 이후, 전원 전위(SVp)의 출력이 중지된다. 상술된 방법에 의해, 동작을 중지함에 있어 신호선 구동 회로(108)의 오작동이 방지될 수 있다.
- [0073] 프레임 기간(312)에서, 제어 신호(SDCTL)의 펄스가 표시 제어 회로(101)로 입력되지 않는 경우가 도 4에 도시되어 있지만; 본 발명의 일 실시예는 이 구성에 한정되지 않음에 유념한다. 프레임 기간(312)에서, 제어 신호(SDCTL)의 펄스가 표시 제어 회로(101)로 입력될 수 있다. 이 경우에, 제어 신호(SDCTL)의 펄스가 입력될 때에도 전원 전위(SVp), 시작 신호(SSP), 및 클럭 신호(SCK)의 출력을 중지하는 메커니즘이 제공되는 한 표시 제어 회로(101)는 용인 가능하다.
- [0074] 이후, 프레임 기간(312)에서, 화소에 포함된 표시 소자가 프레임 기간(311)에 기록된 화상 신호(IMG)의 데이터에 기초한 표시 상태를 보유한다. 예를 들면, 액정 소자가 표시 소자로서 이용되는 경우에, 액정 소자에 포함된 화소 전극은 플로팅 상태이고; 따라서, 프레임 기간(311)에 기록된 화상 신호(IMG)의 데이터에 기초하여 설정된 투과율이 액정 소자에 보유된다. 따라서, 프레임 기간(312)에서, 화소부는 일정한 기간 동안 정지 화상으로서 프레임 기간(311)에 기록된 화상 신호(IMG)의 데이터에 기초한 화상을 보유한다. 이후, 화상 신호(IMG)의 데이터에 기초한 화상을 보유하는 기간의 길이는, 예를 들어, CPU(102)로부터 출력된 제어 신호(GDCTL) 및 제어 신호(SDCTL)의 펄스 간격들에 의해 제어될 수 있다.
- [0075] 다음에, 프레임 기간(311)에서 그것과 유사한 방식으로, 표시 제어 회로(101)는 상술된 구동 신호 및 전원 전위의 출력이 프레임 기간(313)에서 시작되는 것과 같은 방식으로 신호선 구동 회로(108) 및 주사선 구동 회로(109)의 동작을 시작한다.
- [0076] 상기 예에서 기술된 바와 같이, 이 실시예의 일 실시예에 따른 반도체 표시 장치에서 정지 화상이 표시되는 기간에서, 구동 회로에 시작 신호, 클럭 신호, 및 전원 전위의 공급이 중지될 수 있고 화소부에서 화상의 표시가 일정한 기간 동안 유지될 수 있다. 상술된 구성으로, 이 실시예의 일 실시예에 따른 반도체 표시 장치의 전력 소비는 줄어들 수 있다.
- [0077] 또한, 이 실시예의 일 실시예에 따른 반도체 표시 장치에서, 화소에 화상 신호(IMG)를 기록하는 간격이 증가될 수 있고; 따라서, 화상들의 변화에 의한 눈의 피로가 줄어들 수 있다.
- [0078] 이 실시예는 다른 실시예들 중 임의의 것과 적절하게, 조합되어 구현될 수 있다.
- [0079] (실시예 3)

- [0080] 이 실시예에서, 상기 실시예에서 기술된 반도체 표시 장치의 주사선 구동 회로 및 신호선 구동 회로에 이용될 수 있는 시프트 레지스터의 예가 기술될 것이다.
- [0081] 도 5a 및 도 5b는 이 실시예에서 시프트 레지스터의 구성의 예를 각각 도시한다.
- [0082] 도 5a에 도시된 시프트 레지스터는 P개(P는 3 이상의 자연수임)의 단위 순차 회로들(10)을 이용하여 형성된다. 도 5a에서, P개의 단위 순차 회로들(10)은 단위 순차 회로들(FF_1 내지 FF_P)로서 도시된다.
- [0083] 시작 신호(ST) 및 리셋 신호(Res)는 단위 순차 회로들(FF_1 내지 FF_P)의 각각으로 입력된다.
- [0084] 또한, 클럭 신호(CK1), 클럭 신호(CK2), 및 클럭 신호(CK3)는 단위 순차 회로들(FF_1 내지 FF_P)의 각각으로 입력된다. 클럭 신호(CK1), 클럭 신호(CK2), 및 클럭 신호(CK3)로서, 예를 들면, 제 1 클럭 신호(CLK1로도 지칭됨), 제 2 클럭 신호(CLK2로도 지칭됨), 제 3 클럭 신호(CLK3으로도 지칭됨), 및 제 4 클럭 신호(CLK4로도 지칭됨) 중 임의의 세 개가 이용될 수 있다. 제 1 내지 제 4 클럭 신호들은 전위 레벨이 높은 레벨과 낮은 레벨 사이에서 반복적으로 바뀌는 디지털 신호들이다. 상이한 조합들의 클럭 신호들이 근처의 단위 순차 회로들(10)로 입력됨에 유념한다. 도 5a에 도시된 시프트 레지스터는 제 1 내지 제 4 클럭 신호들로 단위 순차 회로들(10)의 동작을 제어한다. 상술된 구성으로, 동작 속도가 향상될 수 있다.
- [0085] 또한, 도 5a에 도시된 단위 순차 회로(10)의 구체적인 회로 구성의 예가 도 5b에 도시된다.
- [0086] 도 5b에 도시된 단위 순차 회로는 트랜지스터(31), 트랜지스터(32), 트랜지스터(33), 트랜지스터(34), 트랜지스터(35), 트랜지스터(36), 트랜지스터(37), 트랜지스터(38), 트랜지스터(39), 트랜지스터(40), 및 트랜지스터(41)를 포함한다. 모든 상술된 트랜지스터들이 n-채널 트랜지스터들인 경우가 예로서 제공되고, 구체적인 접속 관계는 아래에 기술된다.
- [0087] 이 명세서에서 "접속"이라는 용어는 전기적인 접속을 지칭하고 전류, 전압, 또는 전위가 공급 또는 전송되는 상태에 대응함에 유념한다. 따라서, 접속 상태는 직접적인 접속의 상태 뿐만 아니라 전류, 전압, 또는 전위가 공급 또는 전송될 수 있도록 배선, 저항, 다이오드, 또는 트랜지스터와 같은 회로 소자를 통한 간접적인 접속의 상태 역시 의미한다.
- [0088] 회로도가 서로 접속된 독립적인 성분들을 도시할 때에도, 배선의 일부가 전극으로서도 기능하는 경우와 같이 하나의 도전막이 복수의 성분들의 기능들을 갖는 경우가 있다. 이 명세서에서 "접속"이라는 용어는 하나의 도전막이 복수의 성분들의 기능들을 갖는 것과 같은 경우를 그 범주에 포함한다.
- [0089] 트랜지스터에 포함된 "소스 전극" 및 "드레인 전극"의 명칭들은 트랜지스터의 극성 또는 각각의 전극들에 인가되는 전위들의 레벨들 사이의 차이에 의존하여 서로 교환된다. 일반적으로, n-채널 트랜지스터에서, 낮은 전위가 인가되는 전극은 소스 전극으로 불리고, 높은 전위가 인가되는 전극은 드레인 전극으로 불린다. 또한, p-채널 트랜지스터에서, 낮은 전위가 인가되는 전극은 드레인 전극으로 불리고, 높은 전위가 인가되는 전극은 소스 전극으로 불린다. 이 명세서에서, 트랜지스터의 접속 관계를 기술하기 위해 소스 전극과 드레인 전극 중 하나는 제 1 단자로 지칭되고 다른 하나는 제 2 단자로 지칭된다.
- [0090] 전원 전위(Va)는 트랜지스터(31)의 제 1 단자로 입력되고 시작 신호(ST)는 트랜지스터(31)의 게이트 전극으로 입력된다.
- [0091] 전원 전위(Vb)는 트랜지스터(32)의 제 1 단자로 입력되고 트랜지스터(32)의 제 2 단자는 트랜지스터(31)의 제 2 단자에 접속된다.
- [0092] 전원 전위(Va) 또는 전원 전위(Vb)는 높은 레벨 전위(Vdd)이고, 다른 하나는 낮은 레벨 전위(Vss)임에 유념한다. 상술된 모든 트랜지스터들이 p-채널 트랜지스터들인 경우에, 전원 전위(Va) 및 전원 전위(Vb)의 값들은 서로 교환된다. 또한, 전원 전위(Va)와 전원 전위(Vb) 사이의 전위차는 전원 전압에 대응한다.
- [0093] 트랜지스터(33)의 제 1 단자는 트랜지스터(31)의 제 2 단자에 접속되고 전원 전위(Va)는 트랜지스터(33)의 게이트 전극으로 입력된다.
- [0094] 전원 전위(Va)는 트랜지스터(34)의 제 1 단자로 입력되고 클럭 신호(CK3)는 트랜지스터(34)의 게이트 전극으로 입력된다.
- [0095] 트랜지스터(35)의 제 1 단자는 트랜지스터(34)의 제 2 단자에 접속되고, 트랜지스터(35)의 제 2 단자는 트랜지스터(32)의 게이트 전극에 접속되고, 클럭 신호(CK2)는 트랜지스터(35)의 게이트 전극으로 입력된다.

- [0096] 전원 전위(Va)는 트랜지스터(36)의 제 1 단자로 입력되고 리셋 신호(Res)는 트랜지스터(36)의 게이트 전극으로 입력된다.
- [0097] 전원 전위(Vb)는 트랜지스터(37)의 제 1 단자로 입력되고, 트랜지스터(37)의 제 2 단자는 트랜지스터(32)의 게이트 전극 및 트랜지스터(36)의 제 2 단자에 접속되고, 시작 신호(ST)는 트랜지스터(37)의 게이트 전극으로 입력된다.
- [0098] 클럭 신호(CK1)가 될 신호는 트랜지스터(38)의 제 1 단자로 입력되고 트랜지스터(38)의 게이트 전극은 트랜지스터(33)의 제 2 단자에 접속된다.
- [0099] 전원 전위(Vb)는 트랜지스터(39)의 제 1 단자로 입력되고, 트랜지스터(39)의 제 2 단자는 트랜지스터(38)의 제 2 단자에 접속되고, 트랜지스터(39)의 게이트 전극은 트랜지스터(32)의 게이트 전극에 접속된다.
- [0100] 클럭 신호(CK1)는 트랜지스터(40)의 제 1 단자로 입력되고 트랜지스터(40)의 게이트 전극은 트랜지스터(33)의 제 2 단자에 접속된다.
- [0101] 전원 전위(Vb)는 트랜지스터(41)의 제 1 단자로 입력되고, 트랜지스터(41)의 제 2 단자는 트랜지스터(40)의 제 2 단자에 접속되고, 트랜지스터(41)의 게이트 전극은 트랜지스터(32)의 게이트 전극에 접속된다.
- [0102] 도 5b에서, 트랜지스터(33)의 제 2 단자, 트랜지스터(38)의 게이트 전극, 및 트랜지스터(40)의 게이트 전극이 접속되는 점은 노드(NA)임에 유념한다. 트랜지스터(32)의 게이트 전극, 트랜지스터(35)의 제 2 단자, 트랜지스터(36)의 제 2 단자, 트랜지스터(37)의 제 2 단자, 트랜지스터(39)의 게이트 전극, 및 트랜지스터(41)의 게이트 전극이 접속되는 점은 노드(NB)이다. 트랜지스터(38)의 제 2 단자 및 트랜지스터(39)의 제 2 단자가 접속되는 점은 노드(NC)이다. 트랜지스터(40)의 제 2 단자 및 트랜지스터(41)의 제 2 단자가 접속되는 점은 노드(ND)이다.
- [0103] 도 5b에 도시된 단위 순차 회로는 제 1 출력 신호(OUT1)로서 노드(NC)의 전위를 출력하고 제 2 출력 신호(OUT2)로서 노드(ND)의 전위를 출력한다. 예를 들어, 제 2 출력 신호(OUT2)는 주사선 구동 회로에서 화소를 선택하기 위한 주사 신호(SCN)로서 이용될 수 있고 신호선 구동 회로에서 선택된 화소로 화상 신호(IMG)를 출력하기 위한 신호로서 이용될 수 있다.
- [0104] 제 1 스테이지의 단위 순차 회로(FF_1)로 입력되는 시작 신호(ST)로서, 예를 들면, 상술된 실시예의 반도체 표시 장치에서 시작 신호(GSP), 시작 신호(STP) 등이 이용됨에 유념한다. 또한, 제 2 및 후속하는 스테이지들의 단위 순차 회로들(FF_2 내지 FF_P)의 각각에서, 각각의 이전 스테이지의 단위 순차 회로에서 제 1 출력 신호(OUT1)가 시작 신호(ST)로서 이용된다.
- [0105] 단위 순차 회로들(FF_1 내지 FF_P-2)의 각각에서, 현재 스테이지로부터 두 개의 스테이지들 후인 단위 순차 회로에서 제 1 출력 신호(OUT1)는 리셋 신호(Res)로서 이용된다. 또한, 단위 순차 회로(FF_P-1) 및 단위 순차 회로(FF_P)의 각각에서, 예를 들면, 별도로 생성되는 신호가 리셋 신호(Res)로서 이용될 수 있다. 제 {P-1} 스테이지의 단위 순차 회로(FF_P-1) 및 제 P 스테이지의 단위 순차 회로(FF_P)는 더미(dummy) 단위 순차 회로로서 각각 이용됨에 유념한다.
- [0106] 다음에, 도 5a에 도시된 시프트 레지스터의 동작이 도 6a 및 도 6b를 참조하여 기술될 것이다.
- [0107] 도 6a는 도 5b에 도시된 단위 순차 회로의 동작의 예를 도시한 타이밍도이고, 도 6b는 도 5a에 도시된 시프트 레지스터의 동작의 예를 도시한 타이밍도이다.
- [0108] 도 6a는 도 5a에 도시된 단위 순차 회로들(10)이 도 5b에 도시된 구성을 각각 갖는 경우의 타이밍도를 도시함에 유념한다. 또한, 도 5b에 도시된 단위 순차 회로(10)에서 모든 트랜지스터들(31 내지 41)이 n-채널 트랜지스터들일 때 전원 전위(Vdd)가 전원 전위(Va)로서 입력되고 전원 전위(Vss)가 전원 전위(Vb)로서 입력되는 경우가 예로서 주어지고 기술은 아래에 제공된다.
- [0109] 도 6a에 도시된 바와 같이, 시작 신호(ST)의 펄스가 선택 기간(61)에서 각각의 단위 순차 회로(10)로 입력될 때, 트랜지스터(31)는 턴 온 된다. 따라서, 노드(NA)의 전위는 부트스트랩(bootstrap) 동작에 기인하여 전원 전위(Vdd)보다 커지고, 그에 의해 트랜지스터(38) 및 트랜지스터(40)는 턴 온 된다. 또한, 트랜지스터(37)가 시작 신호(ST)의 펄스의 입력에 의해 턴 온 될 때, 노드(NB)의 전위는 낮은 레벨로 설정되고, 그에 의해 트랜지스터(39) 및 트랜지스터(41)는 턴 오프 된다. 따라서, 제 1 출력 신호(OUT1)의 전위는 높은 레벨로 설정되고, 제 2 출력 신호(OUT2)의 전위는 높은 레벨로 설정된다.

- [0110] 또한, 트랜지스터(36)가 비선택 기간(62)에서 리셋 신호(Res)의 펄스의 입력에 의해 턴 온 될 때, 노드(NB)의 전위는 높은 레벨로 설정되고, 그에 의해 트랜지스터(32), 트랜지스터(39), 및 트랜지스터(41)는 턴 온 된다. 또한, 트랜지스터(32)가 턴 온 될 때, 노드(NA)의 전위는 낮은 레벨로 설정되고, 그에 의해 트랜지스터(38) 및 트랜지스터(40)는 턴 오프 된다. 따라서, 제 1 출력 신호(OUT1) 및 제 2 출력 신호(OUT2)의 전위들은 낮은 레벨에서 유지된다.
- [0111] 상술된 동작은 제 1 클럭 신호(CLK1) 내지 제 4 클럭 신호(CLK4)에 따라 단위 순차 회로들(10)에서 순차적으로 수행되고, 그에 의해 펄스들이 순차적으로 시프트되는 제 1 출력 신호(OUT1) 및 제 2 출력 신호(OUT2)는 도 6b에 도시된 바와 같이, 각각의 단위 순차 회로(10)로부터 출력될 수 있다.
- [0112] 이 실시예에서 기술된 시프트 레지스터가 상기 실시예의 반도체 표시 장치에 포함된 주사선 구동 회로 또는 신호선 구동 회로에 이용되는 경우에, 각각의 단위 순차 회로로 입력된 전원 전위, 각각의 단위 순차 회로로 입력된 클럭 신호(CLK)와 같은 구동 신호들, 및 제 1 단위 순차 회로로 입력된 시작 신호(SP)와 같은 구동 신호들의 공급은 중지되고, 그에 의해 주사선 구동 회로 및 신호선 구동 회로의 동작은 중지될 수 있다.
- [0113] 이 실시예는 다른 실시예들 중 임의의 것과 적절하게, 조합되어 구현될 수 있다.
- [0114] (실시예 4)
- [0115] 이 실시예에서, 본 발명의 반도체 표시 장치들 중 하나인 액정 표시 장치가 예로서 제공되고, 화소부의 구체적인 구성이 기술될 것이다.
- [0116] 복수의 화소들(300)이 제공된 화소부(301)의 구성이 도 7에 도시된다. 도 7에서, 복수의 화소들(300)의 각각은 신호선들(S1 내지 Sx) 중 적어도 하나 및 주사선들(G1 내지 Gy) 중 적어도 하나를 포함한다. 또한, 각 화소(300)는 스위칭 소자로서 기능하는 트랜지스터(305), 액정 소자(306), 및 용량 소자(307)를 포함한다. 액정 소자(306)는 화소 전극, 대향 전극, 및 화소 전극과 대향 전극 사이의 전압이 인가되는 액정들을 포함한다.
- [0117] 각 트랜지스터(305)는 신호선의 전위, 즉, 화상 신호(IMG)의 전위가 액정 소자(306)의 화소 전극에 인가되는지 여부를 제어한다. 미리 결정된 전원 전위가 액정 소자(306)의 대향 전극에 인가된다. 또한, 용량 소자(307)는 한 쌍의 전극들을 포함하고; 하나의 전극(제 1 전극)은 액정 소자(306)의 화소 전극에 접속되고, 미리 결정된 전원 전위는 다른 전극(제 2 전극)에 인가된다.
- [0118] 도 7은 하나의 트랜지스터(305)가 각 화소(300)에서 스위칭 소자로서 이용되는 경우를 도시하지만, 본 발명은 이 구성에 제한되지 않음에 유념한다. 복수의 트랜지스터들이 하나의 스위칭 소자로서 이용될 수 있다.
- [0119] 다음에, 도 7에 도시된 화소부(301)의 동작이 기술될 것이다.
- [0120] 먼저, 주사선들(G1 내지 Gy)이 순차적으로 선택될 때, 선택된 주사선들을 갖는 화소들(300)에서 트랜지스터들(305)은 턴 온 된다. 이후, 화상 신호(IMG)의 전위가 신호선들(S1 내지 Sx)에 인가될 때, 화상 신호(IMG)의 전위는 온 된 트랜지스터들(305)을 통해 액정 소자(306)의 화소 전극에 인가된다.
- [0121] 액정 소자(306)에서 액정 분자들의 배열은 화소 전극과 대향 전극 사이에 인가되는 전압값에 따라 변화되고, 투과율이 변화한다. 따라서, 액정 소자(306)의 투과율은 화상 신호(IMG)의 전위에 의해 제어되고, 그에 의해 그레이 스케일이 표시될 수 있다.
- [0122] 다음에, 주사선들의 선택이 종료될 때, 주사선들을 포함하는 화소들(300)에서, 트랜지스터들(305)은 턴 오프 된다. 이후, 화소 전극과 대향 전극 사이에 인가되는 전압이 액정 소자(306)에서 보유되고, 그에 의해 그레이 스케일의 표시가 유지된다.
- [0123] 액정 표시 장치에 대해, 미리 결정된 타이밍에 액정 소자(306)에 인가되는 전압의 극성을 반전시키는 소위 AC 구동이 액정들의 번-인(burn-in)으로 불리는 열화(deterioration)를 방지하기 위해 이용됨에 유념한다. 구체적으로 말하면, AC 구동은 각 화소(300)로 입력되는 화상 신호(IMG)의 전위의 극성이 기준으로서 대향 전극의 전위에 기초하여 뒤집어지는 것과 같은 방식으로 수행될 수 있다. AC 구동이 수행될 때, 신호선에 인가되는 전위의 변화는 커지고; 따라서, 스위칭 소자로서 기능하는 트랜지스터(305)의 소스 전극과 드레인 전극 사이의 전위차가 커진다. 따라서, 트랜지스터(305)는 문턱값 전압의 시프트와 같은 특성의 열화를 쉽게 초래한다. 또한, 액정 소자(306)에서 보유되는 전압을 유지하기 위해, 소스 전극과 드레인 전극 사이의 전위차가 클 때에도 낮은 오프 전류가 요구된다.
- [0124] 본 발명의 일 실시예에서, 산화물 반도체와 같이, 밴드 갭이 실리콘이나 게르마늄의 그것보다 크고 진성 캐리어

밀도가 실리콘이나 게르마늄의 그것보다 낮은 반도체가, 트랜지스터(305)에 이용되고; 따라서, 트랜지스터(305)의 내압성은 증가될 수 있다. 따라서, 트랜지스터(305)의 내압성은 증가되고, 그에 의해 액정 표시 장치의 신뢰성은 향상될 수 있다.

- [0125] 전자 공여체(공여체)로서 기능하는 습기 또는 수소와 같은 불순물들의 감소에 의해 고순도화된 산화물 반도체(정화된 OS)는 i-형 반도체(진성 반도체) 또는 실질적으로 i-형 반도체이다. 따라서, 상술된 산화물 반도체가 트랜지스터(305)에 이용될 때, 트랜지스터(305)의 오프 전류는 급격하게 저감될 수 있다.
- [0126] 트랜지스터(305)의 오프 전류가 저감되어, 화상 신호(IMG)의 기록 동작들의 수가 정지 화상이 표시되는 기간에 줄어들 때에도 오프 전류에 기인한 투과율의 변화가 억제될 수 있고, 따라서, 화상의 표시가 유지될 수 있다.
- [0127] 본 발명의 일 실시예에서, 액정 소자(306)의 대향 전극의 전위 또는 용량 소자(307)의 제 2 전극의 전위는 정지 화상이 표시되는 기간에 극히 낮은 오프 전류를 갖는 다른 트랜지스터를 이용하여 보유될 수 있음에 유념한다. 상술된 구성으로, 반도체 표시 장치의 전력 소비는 더욱 저감될 수 있다.
- [0128] 이 실시예는 다른 실시예들 중 임의의 것과 적절하게, 조합되어 구현될 수 있다.
- [0129] (실시예 5)
- [0130] 이 실시예에서, 반도체 표시 장치에 포함된 구동 회로의 구성이 기술될 것이다.
- [0131] 도 8은 반도체 표시 장치에 포함된 패널(100)의 보다 상세한 구성의 예를 도시한 블록도이다. 도 8에 도시된 패널(100)에서, 신호선 구동 회로(108)는 시프트 레지스터(130), 제 1 메모리 회로(131), 제 2 메모리 회로(132), 레벨 시프터(133), DAC(134), 및 아날로그 버퍼(135)를 포함한다. 또한, 주사선 구동 회로(109)는 시프트 레지스터(136) 및 디지털 버퍼(137)를 포함한다.
- [0132] 다음에, 도 8에 도시된 패널(100)의 동작이 기술될 것이다. 신호선 구동 회로(108)의 동작시, 전원 전위(SVp)가 신호선 구동 회로(108)에 포함된 상술된 회로들의 각각으로 입력된다. 또한, 주사선 구동 회로(109)의 동작시, 전원 전위(GVp)가 주사선 구동 회로(109)에 포함된 상술된 회로들의 각각으로 입력된다. 전원 전위(SVp) 및 전원 전위(GVp)가 한 종류의 전원 전위를 항상 의미하는 것은 아니고 상이한 레벨들을 갖는 복수 종류의 전원 전위들을 의미할 수도 있음에 유념한다.
- [0133] 시작 신호(SSP) 및 클럭 신호(SCK)가 시프트 레지스터(130)로 입력될 때, 시프트 레지스터(130)는 펄스가 순차적으로 시프트되는 타이밍 신호를 생성한다.
- [0134] 화상 신호(IMG)가 제 1 메모리 회로(131)로 입력된다. 이후, 타이밍 신호가 제 1 메모리 회로(131)로 입력될 때, 화상 신호(IMG)는 타이밍 신호의 펄스에 따라 샘플링되어 제 1 메모리 회로(131)에 포함된 복수의 메모리 소자들에 순차적으로 기록된다. 즉, 직렬로 신호선 구동 회로(108)로 입력되는 화상 신호(IMG)가 병렬로 제 1 메모리 회로(131)에 기록된다. 제 1 메모리 회로(131)에 기록된 화상 신호(IMG)는 보유된다.
- [0135] 화상 신호들(IMG)은 제 1 메모리 회로(131)에 포함된 복수의 메모리 소자들에 순차적으로 기록될 수 있고; 또는 소위 분할 구동(division driving)이 수행될 수도 있고, 이는 제 1 메모리 회로(131)에 포함된 메모리 소자들이 여러 개의 그룹들로 분할되고 화상 신호들(IMG)이 병렬로 각 그룹으로 입력되는 것임에 유념한다. 이 경우 그룹들의 수가 분할들의 수로서 지칭됨에 유념한다. 예를 들면, 각 그룹이 네 개의 메모리 소자들을 갖는 식으로 메모리 회로가 그룹들로 분할되는 경우에, 분할 구동은 네 개의 분할들로 수행된다.
- [0136] 래치 신호(LP)가 제 2 메모리 회로(132)로 입력된다. 제 1 메모리 회로(131)에 화상 신호(IMG)의 기록이 완료된 후에, 제 1 메모리 회로(131)에 보유된 화상 신호(IMG)는 귀선 기간(retrace period)에 제 2 메모리 회로(132)로 입력된 래치 신호(LP)의 펄스에 따라 동시에 제 2 메모리 회로(132)에 기록되고 보유된다. 다시, 시프트 레지스터(130)로부터 타이밍 신호에 따라, 제 2 메모리 회로(132)로 화상 신호(IMG)의 전송이 완료된 제 1 메모리 회로(131)에 다음의 화상 신호들(IMG)이 순차적으로 기록된다. 제 2 라운드(round)의 하나의 라인 기간(line period)에서, 제 2 메모리 회로(132)에 기록되고 보유되는 화상 신호(IMG)는 전압의 진폭이 레벨 시프터(133)에서 조정된 후에 DAC(134)로 전송된다. DAC(134)에서, 입력된 화상 신호(IMG)는 디지털 신호로부터 아날로그 신호로 변환된다. 이후, 아날로그 신호로 변환된 화상 신호(IMG)는 아날로그 버퍼(135)로 전송된다. DAC(134)로부터 전송된 화상 신호(IMG)는 아날로그 버퍼(135)로부터 화소부(107)로 신호선을 통해 전송된다.
- [0137] 반면에, 주사선 구동 회로(109)에서, 시작 신호(GSP) 및 클럭 신호(GCK)가 시프트 레지스터(136)로 입력될 때, 펄스가 순차적으로 시프트되는 주사 신호(SCN)가 생성된다. 시프트 레지스터(130)로부터 출력된 주사 신호(SC

N)는 디지털 버퍼(137)로부터 화소부(107)로 주사선을 통해 전송된다.

- [0138] 화소부(107)에 포함된 화소(110)는 주사선 구동 회로(109)로부터 입력된 주사 신호(SCN)에 의해 선택된다. 신호선 구동 회로(108)로부터 화소부(107)로 신호선을 통해 전송된 화상 신호(IMG)는 상술된 선택된 화소로 입력된다.
- [0139] 도 8에 도시된 패널(100)에서, 시작 신호(SSP), 클럭 신호(SCK), 래치 신호(LP) 등은 신호선 구동 회로(108)의 구동 신호들에 대응한다. 또한, 시작 신호(GSP), 클럭 신호(GCK) 등은 주사선 구동 회로(109)의 구동 신호들에 대응한다. 정지 화상이 표시되는 기간에서, 구동 신호들 및 전원 전위의 공급은 중지되고, 그에 의해 화소부(107)에 화상 신호(IMG)의 기록 동작들의 수가 줄어들 수 있고, 반도체 표시 장치의 전력 소비가 저감될 수 있다.
- [0140] 이 실시예는 다른 실시예들 중 임의의 것과 적절하게, 조합되어 구현될 수 있다.
- [0141] (실시예 6)
- [0142] 다음에, 트랜지스터를 제조하는 방법의 예가 기술될 것이다.
- [0143] 먼저, 도 9a에 도시된 바와 같이, 게이트 전극(801) 및 용량 소자를 위한 전극(802)이 절연 표면을 갖는 기판(800) 위에 형성된다.
- [0144] 게이트 전극(801) 및 전극(802)은 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 네오디뮴, 또는 스칸듐과 같은 금속 재료, 또는 이들 금속 재료들 중 임의의 것을 주성분으로 포함하는 합금 재료를 이용한 하나 이상의 도전막들, 또는 이들 금속들의 질화물을 이용한 단층 또는 적층으로 형성될 수 있다. 나중의 공정에서 수행될 열처리의 온도를 견딜 수 있다면 알루미늄이나 구리 역시 이러한 금속 재료로서 이용될 수 있음에 유념한다. 알루미늄이나 구리는 내열성 문제 및 부식 문제를 방지하기 위해 내열성 금속 재료와 조합되는 것이 바람직하다. 내열성 금속 재료로서, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등이 이용될 수 있다.
- [0145] 예를 들어, 게이트 전극(801) 및 전극(802)의 2층 구조로서, 다음의 구조들이 바람직하다: 몰리브덴 막이 알루미늄 막 위에 형성된 2층 구조, 몰리브덴 막이 구리 막 위에 형성된 2층 구조, 질화 티탄 막 또는 질화 탄탈 막이 구리 막 위에 형성된 2층 구조, 및 질화 티탄 막과 몰리브덴 막이 적층된 2층 구조. 게이트 전극(801) 및 전극(802)의 3층 구조로서, 다음의 구조가 바람직하다: 상층 및 하층으로서 이용되는 텅스텐 막, 질화 텅스텐 막, 질화 티탄 막, 및 티탄 막으로부터 선택된 두 개의 막들 사이에 알루미늄 막, 알루미늄과 실리콘의 합금 막, 알루미늄과 티탄의 합금 막, 또는 알루미늄과 네오디뮴의 합금 막이 중간층으로서 이용되고 개재되는 적층 구조.
- [0146] 또한, 산화 인듐, 산화 인듐과 산화 주석의 합금, 산화 인듐과 산화 아연의 합금, 산화 아연, 산화 아연 알루미늄, 산화질화 아연 알루미늄, 산화 아연 갈륨 등의 투광성 산화물 도전막이 게이트 전극(801) 및 전극(802)으로서 이용될 수 있다.
- [0147] 게이트 전극(801) 및 전극(802)의 각각의 두께는 10 nm 내지 400 nm, 바람직하게는 100 nm 내지 200 nm이다. 이 실시예에서, 게이트 전극을 위한 도전막이 텅스텐 타겟을 이용한 스퍼터링 방법에 의해 150 nm의 두께를 가지도록 형성된 후에, 도전막은 에칭에 의해 원하는 형상으로 처리되고(패턴화되고), 그에 의해 게이트 전극(801) 및 전극(802)이 형성된다. 형성된 게이트 전극의 단부들이 끝이 갈아어질 때, 그 위에 형성되는 게이트 절연막과의 피복성(coverage)은 향상되고, 이것은 바람직함에 유념한다. 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있음에 유념한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않고; 따라서, 제조 비용이 줄어들 수 있다.
- [0148] 다음에, 도 9b에 도시된 바와 같이, 게이트 절연막(803)이 게이트 전극(801) 및 전극(802) 위에 형성된다. 게이트 절연막(803)은 플라즈마(plasma-enhanced) CVD 방법, 스퍼터링 방법 등에 의해 산화 실리콘 막, 질화 실리콘 막, 산화질화 실리콘 막, 질화산화 실리콘 막, 산화 알루미늄 막, 질화 알루미늄 막, 산화질화 알루미늄 막, 질화산화 알루미늄 막, 산화 하프늄 막, 및 산화 탄탈 막으로부터 선택된 하나 이상의 막들의 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다. 게이트 절연막(803)은 습기, 수소, 또는 산소와 같은 불순물들을 가능하면 적게 포함하는 것이 바람직하다. 스퍼터링 방법에 의해 산화 실리콘 막을 형성하는 경우에, 실리콘 타겟 또는 석영 타겟이 타겟으로서 이용되고, 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 이용된다.
- [0149] 불순물들의 제거로 인해 i-형이 되거나 실질적으로 i-형이 되는 산화물 반도체(고순도화된 산화물 반도체)는 계면 상태 또는 계면 전기적 전하에 극히 민감하고; 따라서, 고순도화된 산화물 반도체와 게이트 절연막(803) 사이의 계면은 중요하다. 따라서, 고순도화된 산화물 반도체에 접하는 게이트 절연막(GI)은 고품질을 가질 것이

요구된다.

- [0150] 예를 들어, 마이크로파(주파수: 2.45 GHz)를 이용한 고밀도 플라즈마(plasma-enhanced) CVD가 이용되는 것이 바람직하고, 이 경우 치밀하고, 높은 파괴 전압(breakdown voltage)을 갖고, 고품질인 절연막이 형성될 수 있다. 고순도화된 산화물 반도체 및 고품질 게이트 절연막은 서로 밀착하고, 그에 의해 계면 상태가 저감될 수 있고 계면 특성이 향상될 수 있다.
- [0151] 물론, 고품질 절연막이 게이트 절연막으로서 형성될 수 있는 한 스퍼터링 방법이나 플라즈마(plasma-enhanced) CVD 방법과 같은 상이한 증착 방법이 이용될 수 있다. 또한, 품질 및 산화물 반도체와의 계면 특성이 절연막의 형성 후에 수행되는 열처리를 통해 향상된 절연막을 형성하는 것이 가능하다. 어느 경우에도, 게이트 절연막으로서 양호한 막 품질을 갖고 게이트 절연막과 산화물 반도체 사이의 계면 상태 밀도를 줄여 양호한 계면을 형성할 수 있는 절연막이 형성된다.
- [0152] 게이트 절연막(803)은 높은 배리어 특성(barrier property)을 갖는 재료를 이용하여 형성된 절연막 및 산화 실리콘 막 또는 산화질화 실리콘 막과 같은 낮은 비율의 질소를 갖는 절연막이 적층된 구조를 가질 수 있다. 이 경우에, 산화 실리콘 막 또는 산화질화 실리콘 막과 같은 절연막은 높은 배리어 특성을 갖는 절연막과 산화물 반도체막 사이에 형성된다. 높은 배리어 특성을 갖는 절연막으로서, 예를 들면, 질화 실리콘 막, 질화산화 실리콘 막, 질화 알루미늄 막, 질화산화 알루미늄 막 등이 제공될 수 있다. 높은 배리어 특성을 갖는 절연막이 이용되어, 습기나 수소와 같이, 분위기에서 불순물들, 또는 알칼리 금속이나 중금속과 같이, 기판에 포함된 불순물들이, 산화물 반도체막, 게이트 절연막(803), 또는 산화물 반도체막과 다른 절연막 사이의 계면 및 그 부근으로 침투하는 것이 방지될 수 있다. 또한, 산화 실리콘 막 또는 산화질화 실리콘 막과 같은 낮은 비율의 질소를 갖는 절연막이 형성되어 산화물 반도체막에 접하여, 높은 배리어 특성을 갖는 절연막이 직접적으로 산화물 반도체막에 접하는 것이 방지될 수 있다.
- [0153] 예를 들어, 100 nm의 두께를 갖는 적층막이 다음과 같이 게이트 절연막(803)으로서 형성될 수 있다: 50 nm 이상 200 nm 이하의 두께를 갖는 질화 실리콘 막(SiN_y ($y > 0$))이 제 1 게이트 절연막으로서 스퍼터링 방법에 의해 형성되고, 5 nm 이상 300 nm 이하의 두께를 갖는 산화 실리콘 막(SiO_x ($x > 0$))이 제 1 게이트 절연막 위에 제 2 게이트 절연막으로서 적층된다. 게이트 절연막(803)의 두께는 트랜지스터에 요구되는 특성에 의존하여 적절하게 설정될 수 있고 대략 350 nm 내지 400 nm가 될 수 있다.
- [0154] 이 실시예에서, 게이트 절연막(803)은 스퍼터링 방법에 의해 형성된 100 nm 두께의 산화 실리콘 막이 스퍼터링 방법에 의해 형성된 50 nm 두께의 질화 실리콘 막 위에 형성되는 구성을 가지도록 형성된다.
- [0155] 게이트 절연막(803)이 수소, 수산기, 및 습기를 가능한 적게 함유하기 위해서, 습기 또는 수소와 같이, 기판(800)에 흡수된 불순물들이, 성막을 위한 전처리로서, 스퍼터링 장치의 예열 챔버에서, 그 위에 게이트 전극(801) 및 전극(802)이 형성되는, 기판(800)을 예열함으로써 제거되는 것이 바람직함에 유념한다. 예열을 위한 온도는 100 °C 이상 400 °C 이하, 바람직하게는, 150 °C 이상 300 °C 이하이다. 예열 챔버에 제공되는 배출 수단으로서, 크라이오펌프가 바람직하다. 이 예열 처리는 생략될 수 있음에 유념한다.
- [0156] 다음에, 게이트 절연막(803) 위에, 2 nm 이상 200 nm 이하, 바람직하게는 3 nm 이상 50 nm 이하, 더욱 바람직하게는 3 nm 이상 20 nm 이하의 두께를 갖는 산화물 반도체막이 형성된다. 산화물 반도체막은 산화물 반도체 타겟을 이용하는 스퍼터링 방법에 의해 형성된다. 또한, 산화물 반도체막은 회가스(예를 들면, 아르곤) 분위기, 산소 분위기, 또는 회가스(예를 들면, 아르곤)와 산소의 혼합 분위기 하에서 스퍼터링 방법에 의해 형성될 수 있다.
- [0157] 산화물 반도체막이 스퍼터링 방법에 의해 형성되기 전에, 게이트 절연막(803)의 표면에 부착된 먼지는 아르곤 가스가 도입되고 플라즈마가 생성되는 역스퍼터링(reverse sputtering)에 의해 제거되는 것이 바람직함에 유념한다. 역스퍼터링은, 타겟측에 전압의 인가 없이, 표면을 개질하기 위해 RF 전원이 아르곤 분위기에서 기판측에 전압의 인가를 위해 이용되는 방법을 지칭한다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기 등이 이용될 수 있음에 유념한다. 대안적으로, 산소, 아산화질소(nitrous oxide) 등이 첨가된 아르곤 분위기가 이용될 수 있다. 대안적으로, 염소, 사플루오르화 탄소(carbon tetrafluoride) 등이 첨가된 아르곤 분위기가 이용될 수 있다.
- [0158] 상술된 바와 같이, 산화물 반도체막으로서, 다음의 산화물 반도체들이 또한 이용될 수 있다: In-Sn-Ga-Zn-O-계 산화물 반도체와 같은 사원계 금속 산화물; In-Ga-Zn-O-계 산화물 반도체, In-Sn-Zn-O-계 산화물 반도체, In-

Al-Zn-O-계 산화물 반도체, Sn-Ga-Zn-O-계 산화물 반도체, Al-Ga-Zn-O-계 산화물 반도체, 및 Sn-Al-Zn-O-계 산화물 반도체와 같은 삼원계 금속 산화물; In-Zn-O-계 산화물 반도체, Sn-Zn-O-계 산화물 반도체, Al-Zn-O-계 산화물 반도체, Zn-Mg-O-계 산화물 반도체, Sn-Mg-O-계 산화물 반도체, In-Mg-O-계 산화물 반도체, In-Ga-O-계 산화물 반도체와 같은 이원계 금속 산화물; In-O-계 산화물 반도체; Sn-O-계 산화물 반도체; 및 Zn-O-계 산화물 반도체. 상술된 산화물 반도체는 실리콘을 포함할 수 있다.

[0159] 또한, 산화물 반도체들은 화학식, $InMO_3(ZnO)_m$ ($m > 0$)으로 표현될 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소들을 표현한다.

[0160] 이 실시예에서, 산화물 반도체막으로서, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 금속 산화물 타겟을 이용하여 스퍼터링 방법에 의해 획득된, 30 nm의 두께를 갖는 In-Ga-Zn-O-계 비-단결정막이, 이용된다. 상술된 타겟으로서, $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ [몰수비]의 조성비를 갖는 타겟이 이용될 수 있다. 대안적으로, 예를 들면, $In_2O_3:Ga_2O_3:ZnO = 1:1:2$ [몰수비]의 조성비를 갖는 타겟 또는 $In_2O_3:Ga_2O_3:ZnO = 1:1:4$ [몰수비]의 조성비를 갖는 타겟이 이용될 수 있다. 타겟은 2 중량% 이상 10 중량% 이하에서 SiO_2 를 함유할 수 있다. In, Ga, 및 Zn을 함유하는 금속 산화물 타겟의 충전율(filling factor)은 90 % 이상 100 % 이하이고, 바람직하게는 95 % 이상 99.9 % 이하이다. 높은 충전율을 갖는 금속 산화물 타겟의 이용으로, 증착된 산화물 반도체막은 고밀도를 갖는다.

[0161] In-Zn-O-계 재료가 산화물 반도체로서 이용되는 경우에, 이용되는 타겟은 원자수비에서 In:Zn = 50:1 내지 1:2 (몰수비에서 $In_2O_3:ZnO = 25:1$ 내지 1:4), 바람직하게는 원자수비에서 In:Zn = 20:1 내지 1:1(몰수비에서 $In_2O_3:ZnO = 10:1$ 내지 2:1), 더욱 바람직하게는 In:Zn = 1.5:1 내지 15:1(몰수비에서 $In_2O_3:ZnO = 3:4$ 내지 15:2)의 조성비를 갖는다. 예를 들어, In-Zn-O-계 산화물 반도체를 형성하는데 이용되는 타겟이 원자수비에서 In:Zn:O = X:Y:Z의 조성비를 갖는 때, $Z > \{1.5X + Y\}$ 이다.

[0162] 이 실시예에서, 그 안에 잔존하는 습기가 제거되고, 상술된 타겟이 이용됨과 동시에 기판이 감압 상태가 유지된 처리 챔버에 놓여지고, 수소 및 습기가 제거된 스퍼터링 가스가 처리 챔버에 도입되는 것과 같은 방식으로 산화물 반도체막은 기판(800) 위에 형성된다. 기판 온도는 성막 동안에 100 °C 이상 600 °C 이하, 바람직하게는 200 °C 이상 400 °C 이하가 될 수 있다. 기판이 가열되는 상태에서 산화물 반도체막을 형성함으로써, 형성된 산화물 반도체막에 포함된 불순물들의 농도는 저감될 수 있다. 또한, 스퍼터링에 의한 손상이 줄어들 수 있다. 처리 챔버에 잔존하는 습기를 제거하기 위해, 기체저장식 진공 펌프(entrapment vacuum pump)가 이용되는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 또는 티탄 서블리메이션 펌프(titanium sublimation pump)가 이용되는 것이 바람직하다. 배기 수단은 냉각 트랩이 제공된 터보 펌프가 될 수 있다. 크라이오펌프로 배기된 증착 챔버에서, 예를 들어, 수소 원자, 물(H_2O)과 같이, 수소 원자를 함유한 화합물, (더욱 바람직하게는, 탄소 원자를 함유한 화합물 역시) 등이 제거되고, 그에 의해 증착 챔버에서 형성된 산화물 반도체막에 함유된 불순물들의 농도는 저감될 수 있다.

[0163] 증착 조건의 하나의 예로서, 기판과 타겟 사이의 거리는 100 mm 이고, 압력은 0.6 Pa이고, 직류-전류(DC) 전원은 0.5 kW이고, 분위기는 산소 분위기(산소 유량비의 비율이 100 %임)이다. 막 증착 동안 생성되는 먼지(입자들 이라고도 지칭됨)가 저감될 수 있고 막 두께가 균일하게 될 수 있기 때문에 펄스 직류-전류(DC) 전원이 바람직함에 유념한다.

[0164] 산화물 반도체막이 수소, 수산기, 및 습기를 가능한 적게 함유하도록, 성막을 위한 전처리로서, 스퍼터링 장치의 예열 챔버에서, 게이트 절연막(803)을 형성하는 단계를 포함하고 거기까지의 공정이 이미 수행된, 기판(800)을 예열함으로써 습기나 수소와 같이, 기판(800)에 흡수된 불순물들이, 제거되는 것이 바람직하다. 예열을 위한 온도는 100 °C 이상 400 °C 이하, 바람직하게는, 150 °C 이상 300 °C 이하이다. 예열 챔버에 제공된 배출 수단으로서, 크라이오펌프가 바람직하다. 이 예열 처리는 생략될 수 있음에 유념한다. 또한, 절연막(808)이 형성되기 전에, 소스 전극(805), 드레인 전극(806), 및 용량 소자를 위한 전극(807)을 형성하는 단계를 포함하고 거기까지의 공정이 이미 수행된 기판(800)에 예열이 유사하게 수행될 수 있다.

[0165] 다음에, 도 9b에 도시된 바와 같이, 산화물 반도체막은 에칭 등에 의해 원하는 형상으로 처리되고(패턴화되고), 그에 의해 게이트 절연막(803) 위에 섬형상 산화물 반도체막(804)이 게이트 전극(801)과 중첩하는 위치에 섬형상 산화물 반도체막(804)이 형성된다.

[0166] 섬형상 산화물 반도체막(804)을 형성하기 위한 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다. 잉크젯

방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않고; 따라서, 제조 비용이 절감될 수 있다.

- [0167] 섬형상 산화물 반도체막(804)을 형성하기 위한 에칭은 습식 에칭, 건식 에칭, 또는 건식 에칭과 습식 에칭의 둘 다일 수 있음에 유념한다. 건식 에칭을 위한 에칭 가스로서, 염소를 함유한 가스(염소(Cl_2), 염화 붕소(BCl_3), 염화 규소($SiCl_4$), 또는 사염화 탄소(CCl_4)와 같은 염소-계 가스)가 이용되는 것이 바람직하다. 대안적으로, 불소를 함유한 가스(사불화 탄소(CF_4), 불화 유황(SF_6), 불화 질소(NF_3), 또는 트리플루오로메탄(CHF_3)과 같은 불소-계 가스); 브롬화 수소(HBr); 산소(O_2); 헬륨(He)이나 아르곤(Ar)과 같은 희가스가 첨가된 이들 가스들 중 임의의 것 등이 이용될 수 있다.
- [0168] 건식 에칭 방법으로서, 평행 평판 RIE(반응 이온 에칭) 방법이나 ICP(유도 결합 플라즈마) 에칭 방법이 이용될 수 있다. 막들을 원하는 형상들로 에칭하기 위해, 에칭 조건(코일형 전극에 인가되는 전력의 양, 기관축의 전극에 인가되는 전력의 양, 기관축의 전극의 온도 등)이 적절히 조정된다.
- [0169] 습식 에칭에 이용되는 에칭액(etchant)으로서, ITO-07N(KANTO CHEMICAL CO., INC.에 의해 제조됨)이 이용될 수 있다. 습식 에칭 후에 에칭액은 세척에 의해 에칭된 재료들과 함께 제거된다. 에칭액과 에칭되어 나가는 재료를 포함하는 폐액은 정화될 수 있고 재료는 재사용될 수 있다. 산화물 반도체막에 포함된 인듐과 같은 재료가 에칭 후에 폐액으로부터 모아지고 재사용될 때, 자원들은 효율적으로 사용될 수 있고 비용은 절감될 수 있다.
- [0170] 섬형상 산화물 반도체막(804) 및 게이트 절연막(803)의 표면들에 부착된 레지스트 잔여물 등이 제거되도록 역스퍼터링이 후속 단계에서 도전막의 형성 전에 수행되는 것이 바람직함에 유념한다.
- [0171] 이후, 열처리가 질소 분위기, 산소 분위기, 초건조 공기의 분위기, 또는 희가스(아르곤, 헬륨 등) 분위기에서 산화물 반도체막(804)에 수행된다. 가스에서 물의 함량은 20 ppm 이하, 바람직하게는 1 ppm 이하, 더욱 바람직하게는 10 ppb 이하가 되는 것이 바람직하다. 산화물 반도체막(804)에 수행되는 열처리는 산화물 반도체막(804)에서 습기나 수소를 제거할 수 있다. 구체적으로 말하면, 열처리는 300 °C 이상 850 °C(또는 유리 기관의 변형점) 이하, 바람직하게는 550 °C 이상 750 °C 이하에서 수행될 수 있다. 예를 들어, 열처리는 3 분 이상 6 분 이하의 기간 동안 600 °C에서 수행될 수 있다. 열처리를 위한 RTA 방법으로, 탈수 또는 탈수소가 짧은 시간 동안 수행될 수 있고; 따라서, 처리는 유리 기관의 변형점보다 높은 온도에서도 수행될 수 있다. 대안적으로, 열처리는 기관 온도가 대략 450 °C인 상태에서 대략 한 시간 동안 수행될 수 있다.
- [0172] 이 실시예에서, 섬형상 산화물 반도체막(804)은 열처리 장치의 하나의 예인 전기로의 이용으로 질소 분위기에서 열처리가 실시된다.
- [0173] 열처리 장치는 전기로에 제한되지 않고, 저항 발열체와 같은 발열체로부터 열전도 또는 열복사에 의해 피처리물을 가열하기 위한 장치를 포함할 수 있음에 유념한다. 예를 들어, GRTA(가스 급속 열어닐) 장치 또는 LRTA(램프 급속 열어닐) 장치와 같은 RTA(급속 열어닐) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자기파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용한 열처리를 위한 장치이다. 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 열처리에 의해 피처리물과 반응하지 않는 불활성 가스가 이용된다.
- [0174] 예를 들어, 열처리로서, 기관이 650 °C 내지 700 °C의 고온에서 가열된 불활성 가스로 이동되어, 수 분 동안 가열되고, 고온으로 가열된 불활성 가스로부터 이동되는 GRTA가 수행될 수 있다. GRTA로, 짧은 기간의 시간 동안 고온 열처리가 실현될 수 있다.
- [0175] 열처리에서, 습기, 수소 등이 질소나 헬륨, 네온, 또는 아르곤과 같은 희가스에 함유되지 않는 것이 바람직함에 유념한다. 열처리 장치에 도입되는 질소나 헬륨, 네온, 또는 아르곤과 같은 희가스의 순도는 6N (99.9999 %) 이상, 바람직하게는 7N (99.99999 %) 이상(즉, 불순물들의 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하임)으로 설정되는 것이 바람직하다.
- [0176] 습기나 수소와 같은 불순물들이 산화물 반도체에 첨가될 때, 게이트 바이어스-온도 스트레스 테스트(BT 테스트, 테스트 조건은, 예를 들면, 12 시간 동안 2×10^6 V/cm와 85 °C임)에서, 불순물들과 산화물 반도체의 주성분 사이의 결합은 높은 전계(B: 바이어스) 및 높은 온도(T: 온도)에 의해 파괴되고, 생성된 땀글링 본드들(dangling bonds)은 문턱값 전압(V_{th})의 드리프트(drift)를 초래한다. 그러나, 상술된 바와 같이, BT 테스트를 견디는 트랜지스터가 획득될 수 있도록 게이트 절연막과 산화물 반도체막 사이의 계면에서 특성이 향상되고 산

화물 반도체막에서 불순물들, 특히 습기, 수소 등이 가능한 많이 제거된다.

- [0177] 상술된 단계들을 통해, 산화물 반도체막(804)에서 수소의 농도가 저감될 수 있고 산화물 반도체막이 고순도화될 수 있다. 따라서, 산화물 반도체막이 안정화될 수 있다. 또한, 유리 전이 온도 이하의 온도에서 열처리하는 캐리어 밀도가 극히 낮은 넓은 밴드 갭을 갖는 산화물 반도체막을 형성하는 것을 가능하게 한다. 따라서, 트랜지스터가 대형 기판을 이용하여 제조될 수 있어, 생산성이 증가될 수 있다. 또한, 수소의 농도가 낮아지고 순도가 향상된 산화물 반도체막을 이용함으로써, 높은 파괴 전압, 저감된 단채널 효과, 및 높은 온-오프비(on-off ratio)를 갖는 트랜지스터를 제조하는 것이 가능하다.
- [0178] 산화물 반도체막이 가열될 때, 일부의 경우들에서 산화물 반도체막의 재료 및 가열 조건들에 의존하지만 판상 결정은 상부 표면에 형성되는 점에 유념한다. 판상 결정들은 산화물 반도체막의 표면에 실질적으로 수직인 방향에서 c-축 배향된 단결정 몸체들(single crystal bodies)인 것이 바람직하다. 판상 결정들이 단결정 몸체들이 아니더라도, 각 결정은 산화물 반도체막의 표면에 실질적으로 수직인 방향에서 c-축 배향된 다결정 몸체(polycrystalline body)인 것이 바람직하다. 또한, 다결정 몸체들은 c-축 배향되는 것 및 결정들의 a-b 면들은 일치하거나, 또는 결정들의 a-축이나 b-축은 서로 정렬되는 것이 바람직하다. 산화물 반도체막의 기저 표면(base surface)이 평탄하지 않을 때, 판상 결정은 다결정임에 유념한다. 따라서, 기저 표면은 가능한 평탄한 것이 바람직하다.
- [0179] 이후, 소스 전극이나 드레인 전극(소스 전극이나 드레인 전극과 동일한 층에 형성되는 배선을 포함)에 이용되는 도전막이 스퍼터링 방법 또는 진공 증착 방법에 의해 산화물 반도체막(804) 위에 형성되고; 이후, 도전막이 에칭 등에 의해 패터닝되고, 그에 의해 도 9c에 도시된 바와 같이, 소스 전극(805) 및 드레인 전극(806)이 산화물 반도체막(804), 및 게이트 절연막(803)을 사이에 개재하여 전극(802)과 중첩하는 전극(807) 위에 형성된다.
- [0180] 소스 전극(805), 드레인 전극(806), 및 전극(807)(소스 전극(805), 드레인 전극(806), 및 전극(807)과 동일한 층에 형성되는 배선을 포함)이 될 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소; 성분으로서 상기 원소들 중 임의의 것을 포함하는 합금; 조합으로 이들 원소들 중 임의의 것을 포함하는 합금 등이 있다. 또한, Cr, Ta, Ti, Mo, 또는 W와 같은 내열성 금속의 막이 Al, Cu 등의 금속막의 하층이나 상층에 형성되는 구성이 이용될 수 있다. 또한, Si, Ti, Ta, W, Mo, Cr, Nd, Sc, 또는 Y와 같이, Al 막에서 힐록들(hillocks)이나 휘스커(whisker)의 생성을 방지하는 원소가 첨가된 Al 재료가 이용될 수 있고, 내열성에서 향상을 가져온다.
- [0181] 또한, 도전막은 단층 구조 또는 2 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함한 알루미늄 막의 단층 구조, 티탄 막이 알루미늄 막 위에 형성된 2층 구조, 티탄 막, 알루미늄 막, 및 티탄 막이 저순서로 적층된 3층 구조 등이 제공될 수 있다.
- [0182] 대안적으로, 소스 전극(805), 드레인 전극(806), 및 전극(807)(소스 전극(805), 드레인 전극(806), 및 전극(807)과 동일한 층에 형성되는 배선을 포함)이 될 도전막은 도전성 금속 산화물을 이용하여 형성될 수 있다. 도전성 금속 산화물로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐과 산화 주석의 합금($In_2O_3-SnO_2$, ITO로 약기됨), 산화 인듐과 산화 아연의 합금(In_2O_3-ZnO), 또는 실리콘이나 산화 실리콘이 첨가된 금속 산화물 재료가 이용될 수 있다.
- [0183] 열처리가 도전막의 형성 후에 수행되는 경우에, 도전막은 열처리를 견딜 수 있을 만큼 충분한 내열성을 가지는 것이 바람직하다.
- [0184] 산화물 반도체막(804)이 가능한 한 많이 도전막의 에칭 동안 제거되지 않도록 각각의 재료 및 에칭 조건들이 적절하게 조정됨에 유념한다. 에칭 조건들에 의존하여, 섬형상 산화물 반도체막(804)의 노출부는 부분적으로 에칭될 수 있어, 흠(오목하게 된 부분)이 일부의 경우들에서 형성된다.
- [0185] 포토리소그래피 단계에서 포토마스크들의 수 및 단계들을 줄이기 위하여, 에칭은 복수의 세기들을 갖도록 광이 투과되는 멀티-톤(multi-tone) 마스크를 이용하여 형성된 레지스트 마스크의 이용으로 수행될 수 있다. 멀티-톤 마스크의 이용으로 형성된 레지스트 마스크는 복수의 두께들을 갖고 또한 에칭에 의해 형상에서 변화될 수 있고; 따라서, 레지스트 마스크는 상이한 패턴들로 처리하기 위한 복수의 에칭 단계들에서 이용될 수 있다. 따라서, 적어도 2개 이상의 종류의 상이한 패턴들에 대응하는 레지스트 마스크가 하나의 멀티-톤 마스크에 의해 형성될 수 있다. 따라서, 노광 마스크들의 수는 줄어들 수 있고 대응하는 포토리소그래피 단계들의 수 역시 줄어들 수 있어, 그에 의해 공정의 단순화가 실현될 수 있다.

- [0186] 다음에, 플라즈마 처리가 N_2O , N_2 , 또는 Ar과 같은 가스를 이용하여, 그 위에 수행된다. 플라즈마 처리에 의해, 산화물 반도체막의 노출된 표면에 부착하거나 흡수된 물 등이 제거된다. 플라즈마 처리는 또한 산소 및 아르곤의 혼합 가스를 이용하여 수행될 수 있다.
- [0187] 플라즈마 처리 후에, 도 9d에 도시된 바와 같이, 소스 전극(805), 드레인 전극(806), 전극(807), 및 산화물 반도체막(804)을 덮도록 절연막(808)이 형성된다. 절연막(808)은 습기나 수소와 같은 불순물들을 가능한 적게 함유하는 것이 바람직하고, 단층 절연막 또는 복수의 적층된 절연막들을 이용하여 형성될 수 있다. 수소가 절연막(808)에 함유될 때, 산화물 반도체막으로 수소의 유입 또는 수소에 의한 산화물 반도체막에서 산소의 추출이 일어나고, 그에 의해 산화물 반도체막의 백 채널부(back channel portion)는 낮은 저항을 갖고(n-형 도전성); 따라서, 기생 채널이 형성될 수 있다. 따라서, 가능한 한 적은 수소를 함유하는 절연막(808)을 형성하기 위해 수소가 이용되지 않는 형성 방법이 이용되는 것이 바람직하다. 높은 배리어 특성을 갖는 재료가 절연막(808)에 이용되는 것이 바람직하다. 예를 들어, 높은 배리어 특성을 갖는 절연막으로서, 질화 실리콘 막, 질화산화 실리콘 막, 질화 알루미늄 막, 질화산화 알루미늄 막 등이 이용될 수 있다. 복수의 적층된 절연막들이 이용될 때, 산화 실리콘 막이나 산화질화 실리콘 막과 같은 낮은 비율의 질소를 갖는 절연막이 높은 배리어 특성을 갖는 절연막보다 산화물 반도체막(804)에 더 가까운 층에 형성된다. 이후, 배리어 특성을 갖는 절연막과 소스 전극(805), 드레인 전극(806), 및 산화물 반도체막(804) 사이에 낮은 비율의 질소를 갖는 절연막과 함께 소스 전극(805), 드레인 전극(806), 및 산화물 반도체막(804)과 중첩하도록 높은 배리어 특성을 갖는 절연막이 형성된다. 높은 배리어 특성을 갖는 절연막을 이용함으로써, 습기나 수소와 같은 불순물들이 산화물 반도체막(804), 게이트 절연막(803), 또는 산화물 반도체막(804)과 다른 절연막 사이의 계면 및 그 부근에 유입하는 것이 방지될 수 있다. 또한, 산화 실리콘 막이나 산화질화 실리콘 막과 같은 낮은 비율의 질소를 갖는 절연막이 산화물 반도체막(804)에 접하도록 형성되어, 높은 배리어 특성을 갖는 재료를 이용하여 형성된 절연막이 직접적으로 산화물 반도체막(804)에 접하는 것이 방지될 수 있다.
- [0188] 이 실시예에서, 스퍼터링 방법에 의해 형성된 100 nm의 두께를 갖는 질화 실리콘 막이 스퍼터링 방법에 의해 형성된 200 nm의 두께를 갖는 산화 실리콘 막 위에 형성되는 구조를 갖는 절연막(808)이 형성된다. 성막 동안 기판 온도는 실온 이상 300 °C 이하가 될 수 있고 이 실시예에서, 100 °C 이다.
- [0189] 절연막(808)이 형성된 후에, 열처리가 수행될 수 있음에 유념한다. 열처리는 바람직하게는 200 °C 이상 400 °C 이하, 예를 들어, 250 °C 이상 350 °C 이하인 온도에서 질소, 산소, 초건조 공기, 또는 희가스(아르곤, 헬륨 등)의 분위기에서 수행된다. 가스에서 물의 함량은 20 ppm 이하, 바람직하게는 1 ppm 이하, 더욱 바람직하게는 10 ppb 이하가 되는 것이 바람직하다. 이 실시예에서, 예를 들면, 한 시간 동안 질소 분위기에서 250 °C에서 열처리가 수행된다. 대안적으로, 고온에서 짧은 시간 동안 RTA 처리가 산화물 반도체막에 수행된 열처리와 유사한 방식으로 소스 전극(805), 드레인 전극(806), 및 전극(807)의 형성 전에 수행될 수 있다. 산소 결핍이 산화물 반도체막에 수행되는 열처리에 기인하여 산화물 반도체막(804)에서 일어날 때에도, 산소를 함유한 절연막(808)이 소스 전극(805)과 드레인 전극(806) 사이에 제공된 산화물 반도체막(804)의 노출 영역에 접하여 제공되고, 이후 열처리가 수행되어, 그에 의해 산소가 산화물 반도체막(804)에 공급된다. 따라서, 산소가 절연막(808)에 접하는 산화물 반도체막(804)의 영역에 공급될 때, 공여체로서 기능하는 산소 결핍이 저감될 수 있고 화학양론적 조성비가 만족될 수 있다. 결과적으로, 산화물 반도체막(804)은 i-형 반도체막 또는 실질적으로 i-형 반도체막이 되도록 만들어질 수 있다. 따라서, 트랜지스터의 전기적 특성은 향상될 수 있고 그 전기적 특성의 변동이 줄어들 수 있다. 절연막(808)의 형성 후에 있는 한 이 열처리의 타이밍은 특별히 제한되지 않고, 수지막의 형성을 위한 열처리 또는 투명 도전막의 저항의 저감을 위한 열처리와 같은 다른 단계로서 결합함으로써 제조 단계들의 수를 증가시킴 없이 이 열처리는 수행될 수 있어, 산화물 반도체막(804)은 i-형 반도체막 또는 실질적으로 i-형 반도체막이 되도록 만들어질 수 있다.
- [0190] 다음에, 도전막이 절연막(808) 위에 형성된 후에, 도전막은 패터닝되어, 산화물 반도체막(804)과 중첩하도록 백 게이트 전극(back gate electrode)이 형성될 수 있다. 백 게이트 전극이 형성될 때, 절연막은 백 게이트 전극을 덮도록 형성된다. 백 게이트 전극은 게이트 전극(801), 전극(802), 소스 전극(805)과 드레인 전극(806), 또는 전극(807)의 그것들과 유사한 재료 및 구조를 이용하여 형성될 수 있다.
- [0191] 백 게이트 전극의 두께는 10 nm 내지 400 nm, 바람직하게는 100 nm 내지 200 nm로 설정된다. 이 실시예에서, 백 게이트 전극은 티탄 막, 알루미늄 막, 및 티탄 막이 적층된 도전막이 형성되고, 레지스트 마스크가 포토리소그라피 방법 등에 의해 형성되고, 도전막이 원하는 형상으로 처리(패터닝)되도록 에칭에 의해 불필요한 부분들이 제거되는 것과 같은 방식으로 형성될 수 있다.

- [0192] 절연막은 분위기에서 습기, 수소 등이 트랜지스터의 특성에 영향을 미치는 것을 방지할 수 있는 높은 배리어 특성을 갖는 재료를 이용하여 형성되는 것이 바람직하다. 예를 들어, 플라즈마(plasma-enhanced) CVD 방법, 스퍼터링 방법 등에 의해, 높은 배리어 특성을 갖는 절연막으로서, 질화 실리콘 막, 질화산화 실리콘 막, 질화 알루미늄 막, 질화산화 알루미늄 막 등의 단층 구조 또는 적층 구조를 갖도록 절연막은 형성될 수 있다. 배리어 특성의 효과를 획득하기 위해, 절연막은 예를 들어, 15 nm 내지 400 nm의 두께로 형성되는 것이 바람직하다.
- [0193] 이 실시예에서, 절연막은 플라즈마(plasma-enhanced) CVD 방법에 의해 300 nm의 두께로 형성된다. 절연막은 다음의 조건들 하에서 형성된다: 실레인(silane) 가스의 유량비는 4 sccm이고; 일산화 이질소(N₂O)의 유량비는 800 sccm이고; 기판 온도는 400 °C이다.
- [0194] 상기 단계들로, 트랜지스터(809) 및 용량 소자(810)가 형성된다. 용량 소자(810)는 게이트 절연막(803)을 사이에 개재하여 전극(802)이 전극(807)과 중첩하는 영역에 형성됨에 유념한다.
- [0195] 트랜지스터(809)는 게이트 전극(801), 게이트 전극(801) 위의 게이트 절연막(803), 게이트 절연막(803) 위에 있고 게이트 전극(801)과 중첩하는 산화물 반도체막(804), 및 한 쌍이고 산화물 반도체막(804) 위에 형성되는 소스 전극(805)과 드레인 전극(806)을 포함한다. 트랜지스터(809)는 성분으로서 산화물 반도체막(804) 위에 제공되는 절연막(808)을 더 포함할 수 있다. 도 9d에 도시된 트랜지스터(809)는 산화물 반도체막(804)이 소스 전극(805)과 드레인 전극(806) 사이에서 부분적으로 에칭된 채널-에칭된 구조를 가진다.
- [0196] 트랜지스터(809)가 싱글-게이트 트랜지스터로서 기술되지만, 필요하다면 전기적으로 접속된 복수의 게이트 전극들(801)이 포함될 때 복수의 채널 형성 영역들을 포함하는 멀티-게이트 트랜지스터도 제조될 수 있다.
- [0197] 산화물 반도체의 밴드 갭은 3.0 eV 내지 3.5 eV에 유념한다. 실리콘 탄화물의 밴드 갭 및 질화 갈륨의 밴드 갭은 각각, 3.26 eV 및 3.39 eV이고, 이들은 실리콘의 그것의 크기의 대략 3배이다. 따라서, 실리콘 탄화물 및 질화 갈륨과 같은 이들 화합물 반도체들은 둘 다 넓은 밴드 갭 반도체들이라는 점에서 산화물 반도체와 유사하다. 넓은 밴드 갭의 특성은 신호 처리 회로의 파괴 전압을 향상시키고, 전력의 손실을 줄이는 등의 이점이 있다.
- [0198] 그러나, 실리콘 탄화물 및 질화 갈륨과 같은 화합물 반도체들은 단결정일 것이 요구되고, 단결정 재료를 획득하는 제조 조건을 충족시키는 것은 어렵고; 예를 들어, 산화물 반도체의 공정 온도보다 훨씬 높은 온도에서 결정 성장이 필요하거나 특별한 기판 위에서 에피택셜 성장(epitaxial growth)이 요구된다. 이러한 조건은 쉽게 획득될 수 있는 실리콘 웨이퍼 또는 허용 가능한 온도 한계가 낮은 유리 기판 위에서 이들 화합물 반도체들 중 어떠한 것의 성막을 허용하지 않는다. 따라서, 저렴한 기판은 이용될 수 없고, 또한, 기판은 크기에서 증가될 수 없어, 실리콘 탄화물이나 질화 갈륨과 같은 화합물 반도체를 이용한 신호 처리 회로들의 생산성은 낮다. 그에 반해, 산화물 반도체는 실온에서도 증착될 수 있기 때문에, 산화물 반도체는 유리 기판 위에서 증착될 수 있고, 이는 높은 생산성을 가져온다.
- [0199] 이 실시예는 다른 실시예들 중 임의의 것과 적절하게, 조합되어 구현될 수 있다.
- [0200] (실시예 7)
- [0201] 이 실시예에서, 실시예 6에 따라 형성된 트랜지스터의 그것과 상이한 트랜지스터의 구조가 기술될 것이다.
- [0202] 도 10a에서, 트랜지스터(401) 및 용량 소자(402)가 기판(400) 위에 형성된 예가 도시된다.
- [0203] 트랜지스터(401)는, 절연 표면을 갖는 기판(400) 위의, 게이트 전극(403); 게이트 전극(403) 위의 절연막(404); 절연막(404)을 사이에 제공하여 게이트 전극(403)과 중첩하고 활성층으로서 기능하는 산화물 반도체막(405); 산화물 반도체막(405) 위의 채널 보호막(406); 및 산화물 반도체막(405) 위에 있는 소스 전극(407)과 드레인 전극(408)을 포함한다. 절연막(409)은 산화물 반도체막(405), 채널 보호막(406), 소스 전극(407), 및 드레인 전극(408) 위에 형성되고, 트랜지스터(401)는 절연막(409)을 성분으로서 포함할 수 있다.
- [0204] 또한, 용량 소자(402)는 전극(410), 전극(410) 위의 절연막(404), 및 절연막(404) 위의 전극(411)을 포함한다.
- [0205] 채널 보호막(406)은 플라즈마(plasma-enhanced) CVD 방법이나 열 CVD 방법과 같은 기상 증착 방법, 또는 스퍼터링 방법에 의해 형성될 수 있다. 또한, 채널 보호막(406)은 산소를 포함하는 무기 재료(산화 실리콘, 질화산화 실리콘, 또는 질화산화 실리콘과 같이)를 이용하여 형성되는 것이 바람직하다. 산소를 함유하는 무기 재료는 채널 보호막(406)에 이용되고, 그에 의해 산소 결핍이 습기나 수소를 저감시키기 위한 열처리에 의해 산화물 반도체막(405)에서 발생하는 때에도 산소가 적어도 채널 보호막(406)에 접촉하는 산화물 반도체막(405)의 영역에 공

급되고 공여체로서 기능하는 산소 결핍이 화학양론적 조성비를 만족시키기 위해 저감되는, 구조가 제공될 수 있다. 따라서, 채널 형성 영역은 i-형 채널 형성 영역 또는 실질적으로 i-형 채널 형성 영역으로 만들어질 수 있고, 산소 결핍으로 인한 트랜지스터(401)의 전기적 특성의 변동은 저감될 수 있고, 전기적 특성은 향상될 수 있다.

- [0206] 채널 형성 영역은 반도체막의 영역에 대응하고, 이것은 게이트 절연막을 반도체막과 게이트 전극 사이에 제공하여 게이트 전극과 중첩함에 유념한다.
- [0207] 트랜지스터(401)는 절연막(409) 위에 백 게이트 전극을 더 포함할 수 있다. 백 게이트 전극은 산화물 반도체막(405)에서 채널 형성 영역과 중첩하도록 형성된다. 백 게이트 전극은 전기적으로 절연되고 플로팅 상태에 있을 수 있고, 또는 백 게이트 전극에 전위가 공급된 상태에 있을 수 있다. 후자의 경우에, 백 게이트 전극에 게이트 전극(403)과 동일한 전위가 공급될 수 있거나, 또는 접지 전위와 같은 고정된 전위가 공급될 수 있다. 백 게이트 전극에 공급되는 전위의 레벨은 트랜지스터(401)의 문턱값 전압을 제어하도록 제어될 수 있다.
- [0208] 또한, 트랜지스터(421) 및 용량 소자(422)가 기판(400) 위에 형성된 예가, 도 10a에서의 그것과 상이한, 도 10b에 도시된다.
- [0209] 트랜지스터(421)는 절연 표면을 갖는 기판(400) 위에 게이트 전극(423), 게이트 전극(423) 위에 절연막(424), 절연막(424) 위에 있는 소스 전극(427)과 드레인 전극(428), 및 절연막(424)을 사이에 개재하여 게이트 전극(423)과 중첩하고, 소스 전극(427)과 드레인 전극(428)에 접하고, 활성층으로서 기능하는 산화물 반도체막(425)을 포함한다. 절연막(429)은 산화물 반도체막(425), 소스 전극(427), 및 드레인 전극(428) 위에 형성되고, 트랜지스터(421)는 절연막(429)을 성분으로서 포함할 수 있다.
- [0210] 또한, 용량 소자(422)는 전극(430), 전극(430) 위에 절연막(424), 및 절연막(424) 위에 전극(431)을 포함한다.
- [0211] 트랜지스터(421)는 절연막(429) 위에 백 게이트 전극을 더 포함할 수 있다. 백 게이트 전극은 산화물 반도체막(425)에서 채널 형성 영역과 중첩하도록 형성된다. 백 게이트 전극은 전기적으로 절연되고 플로팅 상태에 있을 수 있고, 또는 백 게이트 전극에 전위가 공급된 상태에 있을 수 있다. 후자의 경우에, 백 게이트 전극에 게이트 전극(423)과 동일한 레벨을 갖는 전위가 공급될 수 있거나, 또는 접지 전위와 같은 고정된 전위가 공급될 수 있다. 백 게이트 전극에 공급되는 전위를 제어함으로써, 트랜지스터(421)의 문턱값 전압을 제어하는 것이 가능하다.
- [0212] 또한, 트랜지스터(441) 및 용량 소자(442)가 기판(400) 위에 형성된 예가, 도 10a에서의 그것 및 도 10b에서의 그것과 상이한, 도 10c에 도시된다.
- [0213] 트랜지스터(441)는 절연 표면을 갖는 기판(400) 위에 소스 전극(447)과 드레인 전극(448), 소스 전극(447)과 드레인 전극(448) 위에 활성층으로서 기능하는 산화물 반도체막(445), 산화물 반도체막(445) 위에 절연막(444), 및 절연막(444)을 사이에 개재하여 산화물 반도체막(445)과 중첩하는 게이트 전극(443)을 포함한다. 절연막(449)은 게이트 전극(443) 위에 형성되고, 트랜지스터(441)는 절연막(449)을 성분으로서 포함할 수 있다.
- [0214] 또한, 용량 소자(442)는 전극(450), 전극(450) 위에 절연막(444), 및 절연막(444) 위에 전극(451)을 포함한다.
- [0215] 스퍼터링 등에 의해 형성된 산화물 반도체막은 습기나 수소와 같은 다량의 불순물들을 포함한다는 것이 밝혀진 점에 유념한다. 습기 및 수소는 공여체 레벨(donor level)을 쉽게 형성하고 따라서 산화물 반도체에서 불순물들로서 기능한다. 따라서, 산화물 반도체막에서 습기나 수소와 같은 불순물들을 저감시킴으로써 산화물 반도체막을 고도로 정화하기 위해 질소, 산소, 초건조 공기, 또는 희가스(아르곤, 헬륨 등)의 분위기에서 산화물 반도체막에 열처리가 수행된다. 가스에서 물의 함량은 20 ppm 이하, 바람직하게는 1 ppm 이하, 더욱 바람직하게는 10 ppb 이하가 되는 것이 바람직하다. 상기 열처리는 500 °C 이상 850 °C 이하(대안적으로, 유리 기판의 변형점 이하), 더욱 바람직하게는 550 °C 이상 750 °C 이하에서 수행되는 것이 바람직하다. 이 열처리는 이용될 기판의 허용 가능한 온도 한계를 초과하지 않는 온도에서 수행됨에 유념한다. 열처리에 의한 습기나 수소의 제거의 효과는 열탈착 분광법(TDS)에 의해 확인되었다.
- [0216] 본 발명의 일 실시예에 따른 반도체 표시 장치에서, 채널 형성 영역이 산화물 반도체를 포함하는 트랜지스터는 화소부에서 이용되고, 구동 회로는 상술된 트랜지스터를 이용하여 제작될 수 있다는 점에 유념한다. 이 경우에, 화소부 및 구동 회로는 하나의 기판 위에 형성될 수 있다.
- [0217] 대안적으로, 구동 회로의 부분 또는 전부가 산화물 반도체보다 높은 이동도를 갖는 다결정 반도체 또는 단결정 반도체를 이용하여 형성될 수 있고, 화소부에서 형성된 기판에 탑재될 수 있다. 예를 들어, 이동도가 산화물 반

도체의 그것보다 높은 실리콘, 게르마늄 등을 포함한 다결정 또는 단결정 반도체와 같은 결정성 반도체를 이용하여 형성된 트랜지스터는 실리콘 웨이퍼, SOI(절연체 상의 실리콘) 기판, 절연 표면 위에 다결정성 반도체막 등을 이용하여 형성될 수 있다.

- [0218] SOI 기판은, 예를 들면, Smart Cut(등록 상표)에 의해 전형화된 UNIBOND(등록 상표), ELTRAN(epitaxial layer transfer)(등록 상표), 유전체 분리 방법, PACE(plasma assisted chemical etching) 방법, SIMOX(separation by implanted oxygen) 방법 등을 이용하여 제조될 수 있다.
- [0219] 절연 표면을 갖는 기판 위에 형성된 실리콘의 반도체막은 공지의 기술에 의해 결정화될 수 있다. 결정화의 공지 기술로서, 레이저 빔을 이용한 레이저 결정화 방법 및 촉매 원소를 이용한 결정화 방법이 제공된다. 대안적으로, 촉매 원소를 이용한 결정화 방법 및 레이저 결정화 방법은 조합될 수 있다. 석영과 같은 높은 내열성을 갖는 열적으로 안정한 기판을 이용하는 경우에, 다음의 결정화 방법들 중 임의의 것을 조합하는 것이 가능하다: 전열로(electrically-heated oven)를 사용한 열 결정화 방법, 적외선 광을 사용한 램프 어닐링 결정화 방법, 촉매 원소를 사용한 결정화 방법, 및 대략 950 °C에서 고온 어닐링 방법.
- [0220] 이 실시예는 다른 실시예들 중 임의의 것과 적절하게, 조합되어 구현될 수 있다.
- [0221] (실시예 8)
- [0222] 본 발명의 일 실시예에 따른 반도체 표시 장치는 터치 패널로 지칭되는 위치 입력 장치를 포함한다.
- [0223] 터치 패널은 위치 검출부에서 손가락이나 스타일러스로 표시된 위치를 검출하고 위치 정보를 포함한 신호를 생성할 수 있다. 따라서, 터치 패널은 위치 검출부가 패널의 화소부와 중첩하도록 제공되어, 그에 의해 반도체 표시 장치의 이용자에 의해 화소부의 어느 위치가 표시되는지가 정보로서 획득될 수 있다.
- [0224] 위치 검출부에서 위치는 저항 시스템, 정전 용량 시스템, 초음파 시스템, 적외선 시스템을 포함하는 광학 시스템, 및 전자기 유도 시스템과 같은 다양한 시스템들 중 임의의 것에 의해 검출될 수 있다. 도 11은 저항 시스템을 이용한 위치 검출부의 사시도이다. 저항 시스템의 위치 검출부로서, 복수의 제 1 전극들(1630)이 간격을 두고 복수의 제 2 전극들(1631)과 마주하도록 복수의 제 1 전극들(1630) 및 복수의 제 2 전극들(1631)이 제공된다. 압력이 손가락 등으로 복수의 제 1 전극들(1630) 중 임의의 것에 인가될 때, 제 1 전극(1630)은 복수의 제 2 전극들(1631) 중 임의의 것에 접한다. 이후, 복수의 제 1 전극들(1630)의 각각의 양단들에 인가된 전압값 및 복수의 제 2 전극들(1631)의 각각의 양단들에 인가된 전압값이 모니터링될 때, 서로 접하는 제 1 전극(1630) 및 제 2 전극(1631)을 특정하는 것이 가능하고, 그에 의해 손가락이 터치하는 위치가 검출될 수 있다.
- [0225] 제 1 전극(1630) 및 제 2 전극(1631)은 예를 들면, 산화 실리콘을 포함한 산화 인듐 주석(ITSO), 산화 인듐 주석(ITO), 산화 아연(ZnO), 산화 인듐 아연(IZO), 또는 갈륨으로 도핑된 산화 아연(GZO)과 같은 투명 도전성 재료를 이용하여 형성될 수 있다.
- [0226] 또한, 정전 용량 시스템들 중에서 투영(projected) 정전 용량 시스템을 이용한 위치 검출부의 사시도가 도 12a에 도시된다. 투영 정전 용량 시스템의 위치 검출부로서, 제 1 전극들(1640)이 제 2 전극들(1641)과 중첩하도록 복수의 제 1 전극들(1640) 및 복수의 제 2 전극들(1641)이 제공된다. 제 1 전극들(1640)의 각각은 복수의 직사각 도전막들(1642)이 서로 접속된 구조를 갖고, 제 2 전극들(1641)의 각각은 복수의 직사각 도전막들(1643)이 서로 접속된 구조를 갖는다. 제 1 전극들(1640) 및 제 2 전극들(1641)의 형상들은 이들 구조들에 제한되지 않음에 유념한다.
- [0227] 또한, 도 12a에서, 유전체로서 기능하는 절연층(1644)이 복수의 제 1 전극들(1640) 및 복수의 제 2 전극들(1641) 위에서 제공되고 중첩한다. 도 12b에서, 도 12a에 도시된 복수의 제 1 전극들(1640), 복수의 제 2 전극들(1641), 및 절연층(1644)이 서로 중첩한다. 도 12b에 도시된 바와 같이, 사각 도전막들(1642) 및 사각 도전막들(1643)이 위치에서 서로 상이하도록 복수의 제 1 전극들(1640) 및 복수의 제 2 전극들(1641)은 서로 중첩한다.
- [0228] 손가락 등이 절연층(1644)을 터치할 때, 예를 들어, 복수의 제 1 전극들(1640) 중 임의의 것과 손가락 사이에 용량 소자가 형성된다. 또한, 용량 소자는 복수의 제 2 전극들(1631) 중 임의의 것과 손가락 사이에 형성된다. 따라서, 정전 용량의 변화가 모니터링될 때, 손가락에 가장 가까운 제 1 전극(1630) 및 제 2 전극(1631)을 특정하는 것이 가능하고; 따라서, 손가락이 터치하는 위치가 검출될 수 있다.
- [0229] 본 발명의 일 실시예에 따른 반도체 표시 장치에 포함된 터치 패널은 위치 검출부에서 이용자에 의해 표시된 위치 정보가 신호로서 추출될 수 있는 구조를 가질 수 있고, 도 11과 도 12a 및 도 12b에 도시된 구조들 이외의

구조들이 이용될 수 있음에 유념한다.

- [0230] 또한, 본 발명의 일 실시예에 따른 액정 표시 장치는 터치 패널 대신에, 화소부에 포토센서를 포함할 수 있다. 포토센서를 포함하는 화소부의 구조의 예가 도 17a에 개략적으로 도시된다.
- [0231] 도 17a에 도시된 화소부(1650)는 화소(1651) 및 화소(1651)에 대응하는 포토센서(1652)를 포함한다. 포토센서(1652)는 트랜지스터 및 포토다이오드와 같이, 수광할 때 전기적 신호를 생성하는 기능을 갖는 수광 소자를 포함한다. 포토센서(1652)에 의해 수신되는 광으로서, 백라이트로부터의 광이 물체에 조사될 때 획득되는 반사광이 이용될 수 있음에 유념한다.
- [0232] 포토센서(1652)의 구조가 도 17b에 도시된다. 도 17b에 도시된 포토센서(1652)는 포토다이오드(1653), 트랜지스터(1654), 및 트랜지스터(1655)를 포함한다. 포토다이오드(1653)의 하나의 전극은 리셋 신호선(1656)에 접속되고, 포토다이오드(1653)의 다른 전극은 트랜지스터(1654)의 게이트 전극에 접속된다. 트랜지스터(1654)의 소스 전극과 드레인 전극 중 하나는 기준 신호선(1657)에 접속되고, 그 다른 하나는 트랜지스터(1655)의 소스 전극과 드레인 전극 중 하나에 접속된다. 트랜지스터(1655)의 게이트 전극은 게이트 신호선(1658)에 접속되고, 트랜지스터(1655)의 소스 전극과 드레인 전극 중 다른 하나는 출력 신호선(1659)에 접속된다.
- [0233] 포토센서(1652)의 회로 구성은 상술된 구조에 한정되지 않고, 광 세기에 관한 정보가 전기적 신호로서 추출될 수 있는 회로 구성이 이용될 수 있음에 유념한다. 또한, 비정질 실리콘, 미결정 실리콘, 다결정 실리콘, 또는 단결정 실리콘이 포토다이오드(1653)에 이용될 수 있다.
- [0234] 이 실시예는 다른 실시예들 중 임의의 것과 적절하게, 조합되어 구현될 수 있다.
- [0235] (실시예 9)
- [0236] 본 발명의 일 실시예에 따른 액정 표시 장치에서, 낮은 오프 전류를 갖는 매우 신뢰할만한 트랜지스터가 화소부에서 이용되고; 따라서, 높은 시인성 및 높은 신뢰성이 획득될 수 있다.
- [0237] 도 13은 본 발명의 일 실시예에 따른 액정 표시 장치에서 화소의 단면도를 도시한다. 도 13에 도시된 트랜지스터(1401)는 절연 표면 위에 형성된 게이트 전극(1402), 게이트 전극(1402) 위에 게이트 절연막(1403), 게이트 절연막(1403) 위에 있고 게이트 전극(1402)과 중첩하는 산화물 반도체막(1404), 및 소스 전극과 드레인 전극으로서 기능하고 산화물 반도체막(1404) 위에 형성된 도전막(1405)과 도전막(1406)을 포함한다. 또한, 트랜지스터(1401)는 산화물 반도체막(1404) 위에 형성된 절연막(1407)을 성분으로서 포함할 수 있다. 게이트 전극(1402), 게이트 절연막(1403), 산화물 반도체막(1404), 도전막(1405), 및 도전막(1406)을 덮도록 절연막(1407)이 형성된다.
- [0238] 절연막(1408)은 절연막(1407) 위에 형성된다. 개구가 절연막(1407)의 일부 및 절연막(1408)의 일부에서 제공되고, 개구에서 도전막(1406)과 접하도록 화소 전극(1410)이 형성된다.
- [0239] 또한, 액정 소자의 셀 갭을 제어하기 위한 스페이서(1417)가 절연막(1408) 위에 형성된다. 절연막은 원하는 형상을 갖도록 예칭되어, 스페이서(1417)가 형성될 수 있다. 셀 갭은 또한 절연막(1408) 위에 구형 스페이서를 분산시킴으로써 제어될 수 있다.
- [0240] 배향막(1411)은 화소 전극(1410) 위에 형성된다. 또한, 대향 전극(1413)은 화소 전극(1410)과 마주하는 위치에 제공되고, 배향막(1414)은 화소 전극(1410)에 가까운 대향 전극(1413)의 측에 형성된다. 배향막(1411) 및 배향막(1414)은 폴리이미드 또는 폴리비닐 알콜과 같은 유기 수지를 이용하여 형성될 수 있다. 러빙(rubbing)과 같은 배향 처리가 일정한 방향으로 액정 분자들을 배향시키기 위해 그들의 표면들에 수행된다. 러빙은 배향막들에 접하는 동안에 나일론의 천 등으로 두른 롤러를 굴림으로써 수행될 수 있고 배향막들의 표면들은 일정한 방향으로 러빙된다. 배향 처리 없이, 증착 방법에 의해 산화 실리콘과 같은 무기 재료를 이용함으로써 배향 특성을 갖는 배향막들(1411 및 1414)을 직접 형성하는 것도 가능함에 유념한다.
- [0241] 또한, 액정(1415)은 화소 전극(1410)과 대향 전극(1413) 사이에서 쉘재(1416)에 의해 둘러싸인 영역에 제공된다. 액정(1415)의 주입은 디스펜서 방법(적하 방법) 또는 딥핑 방법(펌핑 방법)으로 수행될 수 있다. 충전재가 쉘재(1416)에 혼합될 수 있음에 유념한다.
- [0242] 도 13에서, 액정(1415)의 배향에서 화소들 사이의 변동들에 기인한 디스클리네이션(disclination)이 시인되는 것이 방지되도록 광을 차단하는 차광막(1421)이 화소들 사이에서 형성된다. 차광막은 카본 블랙이나 저차 산화 티탄과 같은 흑색 안료를 함유하는 유기 수지를 이용하여 형성될 수 있다. 대안적으로, 크롬 막이 차광막으

로 이용될 수 있다.

- [0243] 이후, 특정한 파장 영역에 있는 가시광만이 우선적으로 투과되는, 컬러 필터로서 기능하는 착색층(1422)은 화소 전극(1410), 대향 전극(1413), 및 액정(1415)이 서로 중첩하는 위치에 제공된다. 적색, 청색, 및 녹색에 대응하는 파장 영역에 있는 광이 우선적으로 투과되는 착색층(1422)이 각 화소에 제공될 때, 풀 컬러 화상이 표시될 수 있다. 이 경우에, 화상의 컬러 순도가 증가되도록 백색 광이 획득될 수 있는 백라이트를 이용하는 것이 바람직하다. 백색 광이 획득될 수 있는 백라이트로서, 예를 들면, 적색 광원, 청색 광원, 및 녹색 광원이 조합되는 구조; 노란색이나 오렌지색 광원과 청색 광원이 조합되는 구조; 백색 광원만이 이용되는 구조; 시안 광원, 마젠타 광원, 및 노란색 광원이 조합되는 구조 등이 이용될 수 있다.
- [0244] 대안적으로, 적색, 청색, 및 녹색에 대응하는 파장 영역에 있는 광이 백라이트로부터 순차적으로 출력될 수 있다. 이 경우에, 컬러 필터가 이용되지 않을 때에도 풀 컬러 화상은 표시될 수 있고, 반도체 표시 장치의 발광 효율은 증가될 수 있다. 그러나, 표시 소자의 표시 상태가 정지 화상을 표시할 시 고정될 때, 컬러 필터가 이용되지 않는 경우에 풀 컬러 화상 대신에 단일 컬러 화상이 획득될 수 있는 반면, 컬러 필터가 이용되는 경우에 풀 컬러 화상이 획득될 수 있다.
- [0245] 냉음극관 외에도, LED나 OLED와 같은 발광 소자가 광원으로서 이용될 수 있다. 획득될 광의 파장이 광원에 의존하여 상이하기 때문에, 광원은 요구되는 컬러에 따라 적절하게 선택될 수 있음에 유념한다.
- [0246] 도 13에서, 차광막(1421) 및 착색층(1422)이 대향 전극(1413) 측에 제공되는 경우가 도시되지만; 차광막(1421) 또는 착색층(1422)은 화소 전극(1410) 측에 제공될 수 있음에 유념한다. 차광막(1421) 및 착색층(1422)의 위치들은 액정(1415)에 입사하는 광의 방향 및 액정(1415)을 통해 투과되는 광의 방출 방향에 따라 적절하게 설정될 수 있다.
- [0247] 화소 전극(1410) 및 대향 전극(1413)은 예를 들어, 산화 실리콘을 포함하는 산화 인듐 주석(ITSO), 산화 인듐 주석(ITO), 산화 아연(ZnO), 산화 인듐 아연(IZO), 또는 갈륨으로 도핑된 산화 아연(GZO)과 같은 투명 도전성 재료를 이용하여 형성될 수 있다.
- [0248] TN(비틀린 네마틱) 모드의 액정 표시 장치가 이 실시예에서 기술되지만, VA(수직 배향) 모드, OCB(optically compensated birefringence) 모드, IPS(평면 정렬 스위칭) 모드, MVA(멀티-도메인 수직 배향) 모드 등의 다른 액정 표시 장치가 이용될 수 있다.
- [0249] 대안적으로, 배향막이 불필요한 블루 상을 나타내는 액정이 이용될 수 있다. 블루 상은 액정 상들 중 하나이고, 이는 콜레스테릭 액정의 온도가 증가되면서 콜레스테릭 상이 등방상으로 변하기 직전에 생성된다. 블루 상이 협소한 온도 범위에서만 나타나기 때문에, 5 중량% 이상에서 키랄제를 함유하는 액정 조성물이 온도 범위를 개선하기 위해 액정(1415)에 이용된다. 블루 상을 나타내는 액정 및 키랄제를 포함하는 액정 조성물은 10 μ sec 이상 100 μ sec 이하의 짧은 응답 시간을 갖고 광학적으로 등방성이고; 따라서, 배향 처리가 필요하지 않고 시야각 의존성이 작다.
- [0250] 액정(1415)이 화소 전극(1409)과 대향 전극(1413) 사이에 개재된 액정 소자가 도 13에서 예로서 기술되지만, 본 발명의 일 실시예에 따른 액정 표시 장치는 이 구성에 한정되지 않음에 유념한다. IPS형 액정 소자나 블루 상을 이용한 액정 소자와 같이 한 쌍의 전극들이 하나의 기판에 제공된 액정 소자도 이용될 수 있다.
- [0251] 다음에, 본 발명의 일 실시예에 따른 액정 표시 패널의 패널 외관이 도 14a 및 도 14b를 참조하여 기술될 것이다. 도 14a는 기판(4001) 및 대향 기판(4006)이 썰재(4005)와 함께 서로 부착된 패널의 상면도이고, 도 14b는 도 14a의 A-A'를 따라 취해진 단면도이다.
- [0252] 썰재(4005)는 기판(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸도록 제공된다. 대향 기판(4006)은 화소부(4002) 및 주사선 구동 회로(4004) 위에 제공된다. 따라서, 화소부(4002) 및 주사선 구동 회로(4004)는 기판(4001), 썰재(4005), 및 대향 기판(4006)에 의해, 액정(4007)과 함께 밀봉된다.
- [0253] 또한, 신호선 구동 회로(4003)가 형성된 기판(4021)은 썰재(4005)에 의해 둘러싸인 영역 외의 영역에서 기판(4001)에 탑재된다. 도 14b는 신호선 구동 회로(4003)에서 트랜지스터(4009)를 도시한다.
- [0254] 복수의 트랜지스터들이 화소부(4002) 및 주사선 구동 회로(4004)에 포함되고, 이들은 기판(4001) 위에 형성된다. 도 14b는 화소부(4002)에 포함된 트랜지스터(4010) 및 트랜지스터(4022)를 도시한다. 트랜지스터(4010) 및 트랜지스터(4022)의 각각은 채널 형성 영역에서 산화물 반도체를 포함한다.

- [0255] 액정 소자(4011)에 포함된 화소 전극(4030)은 트랜지스터(4010)에 전기적으로 접속된다. 액정 소자(4011)의 대향 전극(4031)은 대향 기관(4006)에 형성된다. 화소 전극(4030), 대향 전극(4031), 및 액정(4007)이 서로 중첩하는 부분은 액정 소자(4011)에 대응한다.
- [0256] 스페이서(4035)는 화소 전극(4030)과 대향 전극(4031) 사이의 거리(셀 갭)를 제어하기 위해서 제공된다. 도 14b는 스페이서(4035)가 절연막을 패턴화함으로써 형성되는 경우를 도시하지만; 구형 스페이서가 이용될 수 있음에 유념한다.
- [0257] 신호선 구동 회로(4003), 주사선 구동 회로(4004), 및 화소부(4002)에 인가되는 화상 신호들, 구동 신호들, 및 전원 전위들은 접속 단자(4016)로부터 리드 배선들(lead wirings)(4014 및 4015)을 통해 공급된다. 접속 단자(4016)는 이방성 도전막(4019)을 통해 FPC(4018)의 단자에 전기적으로 접속된다.
- [0258] 다음에, 도 15는 본 발명의 일 실시예에 따른 액정 표시 장치의 구조를 도시한 사시도의 한 예를 도시한다. 도 15에 도시된 액정 표시 장치는 터치 패널(1600), 패널(1601), 제 1 확산판(1602), 프리즘 시트(1603), 제 2 확산판(1604), 도광판(1605), 반사판(1606), 백라이트(1607), 회로 기관(1608), 및 신호선 구동 회로가 제공된 기관(1611)을 포함한다.
- [0259] 터치 패널(1600), 패널(1601), 제 1 확산판(1602), 프리즘 시트(1603), 제 2 확산판(1604), 도광판(1605), 및 반사판(1606)은 순차적으로 적층된다. 백라이트(1607)는 도광판(1605)의 단부에 제공된다. 도광판(1605)으로 확산된 백라이트(1607)로부터의 광은 제 1 확산판(1602), 프리즘 시트(1603), 및 제 2 확산판(1604)의 도움으로 패널(1601)에 균일하게 조사된다.
- [0260] 터치 패널(1600)은 위치 검출부(1620)를 포함한다. 위치 검출부(1620)는 패널(1601)에 포함된 화소부(1621)와 중첩하도록 배열된다. 손가락, 스타일러스 등이 위치 검출부(1620)를 터치하거나 그에 가까워질 때, 위치 정보를 포함한 신호는 생성된다.
- [0261] 도 15에 도시된 반도체 표시 장치에서, 터치 패널(1600)은 패널(1601)과 이용자 사이에 배열됨에 유념한다. 이 경우에, 터치 패널(1600)의 위치 검출부(1620)가 투광성을 가질 때, 이용자는 위치 검출부(1620)를 통해 화소부(1621)에서 화상을 볼 수 있다. 터치 패널(1600)은 반드시 패널(1601)과 이용자 사이에 제공될 필요가 없음에 유념한다. 예를 들어, 터치 패널(1600)이 전자기 유도 시스템을 가질 경우에, 패널(1601)은 이용자와 터치 패널(1600) 사이에 제공될 수 있다.
- [0262] 제 1 확산판(1602)과 제 2 확산판(1604)이 이 실시예에서 이용되지만, 확산판들의 수는 거기에 한정되지 않는다. 확산판들의 수는 하나일 수 있고, 또는 셋 이상일 수 있다. 확산판은 도광판(1605)과 패널(1601) 사이에 제공될 수 있다. 따라서, 확산판은 프리즘 시트(1603)보다 패널(1601)에 더 가까운 측에만 제공될 수 있고, 또는 프리즘 시트(1603)보다 도광판(1605)에 더 가까운 측에만 제공될 수 있다.
- [0263] 또한, 프리즘 시트(1603)의 단면의 형상은 도 15에 도시된 톱니 형상에 한정되지 않고, 패널(1601) 위에 도광판(1605)으로부터 광을 모을 수 있는 형상이 될 수 있다.
- [0264] 회로 기관(1608)에는 터치 패널을 위한 제어 회로, CPU, 표시 제어 회로, 백라이트(1607)의 구동을 제어하는 제어 회로 등이 제공된다. 도 15에서, 회로 기관(1608) 및 패널(1601)은 COF 테이프(1609)를 통해 서로 접속된다. 또한, 신호선 구동 회로가 제공된 기관(1611)은 COF(chip on film) 방법에 의해 COF 테이프(1609)에 접속된다. 또한, 회로 기관(1608) 및 터치 패널(1600)은 FPC(1622)를 통해 서로 접속된다.
- [0265] 도 15에서, 백라이트(1607)의 구동을 제어하는 제어 회로 및 백라이트(1607)가 FPC(1610)를 통해 서로 접속된 예가 도시된다. 그러나, 상기 제어 회로는 패널(1601)에 형성될 수 있고; 이 경우에, 패널(1601) 및 백라이트(1607)는 FPC 등을 통해 서로 접속된다.
- [0266] 도 15는 백라이트(1607)가 패널(1601)의 에지(edge)에 제공된 에지-라이트형 백라이트를 도시하지만, 본 발명의 액정 표시 장치는 백라이트(1607)가 패널(1601)의 바로 아래에 제공된 직하형이 될 수 있음에 유념한다.
- [0267] 이 실시예는 다른 실시예들 중 임의의 것과 적절하게, 조합되어 구현될 수 있다.
- [0268] [예 1]
- [0269] 본 발명의 일 실시예에 따른 반도체 표시 장치를 이용함으로써, 낮은 전력 소비를 갖는 전자 기기가 제공될 수 있다. 특히, 전력이 용이하게 공급될 수 없는 휴대용 전자 기기의 경우에, 본 발명의 일 실시예에 따른 반도체

표시 장치를 성분으로서 첨가함으로써 연속 사용 시간은 길어지고, 이것은 이점이다.

[0270] 본 발명의 일 실시예에 따른 반도체 표시 장치는 표시 장치들, 랩톱 개인용 컴퓨터들, 또는 기록 매체가 제공된 화상 재생 장치들(통상적으로, 디지털 다기능 디스크들(DVD들)과 같은 기록 매체의 내용을 재생하고 재생된 화상들을 표시하기 위한 디스플레이들을 갖는 장치들)에 이용될 수 있다. 또한, 본 발명의 일 실시예에 따른 반도체 표시 장치가 이용될 수 있는 전자 기기들은 다음과 같다: 휴대 전화들, 휴대용 게임기들, 휴대용 정보 단말기들, 전자 서적들, 비디오 카메라들, 디지털 스틸 카메라들, 고글형 디스플레이들(헤드 마운트 디스플레이들), 네비게이션 시스템들, 오디오 재생 장치들(예를 들면, 자동차 오디오 시스템들 또는 디지털 오디오 플레이어들), 복사기들, 팩시밀리들, 프린터들, 다기능 프린터들, 현금 자동 입출금기들(ATM들), 자판기들 등. 이들 전자 기기들의 구체적인 예들은 도 16a 내지 도 16f에 도시된다.

[0271] 도 16a는 하우징(7001), 표시부(7002) 등을 포함한 전자 서적을 도시한다. 본 발명의 일 실시예에 따른 반도체 표시 장치가 표시부(7002)에 이용될 수 있다. 표시부(7002)에 본 발명의 일 실시예에 따른 반도체 표시 장치를 이용함으로써, 낮은 전력 소비를 갖는 전자 서적이 제공될 수 있다. 또한, 패널이 가요성 기관의 이용으로 형성되고 터치 패널이 가요성을 가질 때, 반도체 표시 장치는 가요성을 가질 수 있다. 따라서, 가요성, 경량, 및 사용하기 쉬운 전자 서적이 제공될 수 있다.

[0272] 도 16b는 하우징(7011), 표시부(7012), 지지 베이스(7013) 등을 포함한 표시 장치를 도시한다. 본 발명의 일 실시예에 따른 반도체 표시 장치가 표시부(7012)에 이용될 수 있다. 표시부(7012)에 본 발명의 일 실시예에 따른 반도체 표시 장치를 이용함으로써, 낮은 전력 소비를 갖는 표시 장치가 제공될 수 있다. 표시 장치는 그 범주에, 개인용 컴퓨터들, 텔레비전 방송 수신, 및 광고 표시를 위한 표시 장치들과 같이, 정보를 표시하는 모든 표시 장치들을 포함함에 유념한다.

[0273] 도 16c는 하우징(7021), 표시부(7022), 코인 슬롯(7023), 지폐 슬롯(7024), 카드 슬롯(7025), 은행통장 슬롯(7026) 등을 포함한 현금 자동 입출금기를 도시한다. 본 발명의 일 실시예에 따른 반도체 표시 장치가 표시부(7022)에 이용될 수 있다. 표시부(7022)에 본 발명의 일 실시예에 따른 반도체 표시 장치를 이용함으로써, 낮은 전력 소비를 갖는 현금 자동 입출금기가 제공될 수 있다.

[0274] 도 16d는 하우징(7031), 하우징(7032), 표시부(7033), 표시부(7034), 마이크로폰(7035), 스피커들(7036), 작동 키(7037), 스타일러스(7038) 등을 포함한 휴대용 게임기를 도시한다. 본 발명의 일 실시예에 따른 반도체 표시 장치가 표시부(7033) 및 표시부(7034)에 이용될 수 있다. 표시부(7033) 및 표시부(7034)에 본 발명의 일 실시예에 따른 반도체 표시 장치를 이용함으로써, 낮은 전력 소비를 갖는 휴대용 게임기가 제공될 수 있다. 도 16d에 도시된 휴대용 게임기는 두 개의 표시부들(7033 및 7034)을 가짐에 유념한다. 그러나, 휴대용 게임기에 포함되는 표시부들의 수는 거기에 제한되지 않는다.

[0275] 도 16e는 하우징(7041), 표시부(7042), 오디오-입력부(7043), 오디오-출력부(7044), 작동 키들(7045), 수광부(7046) 등을 포함한 휴대 전화를 도시한다. 수광부(7046)에 수신된 광은 전기적 신호들로 변환되고, 그에 의해 외부의 화상들은 로드될 수 있다. 본 발명의 일 실시예에 따른 반도체 표시 장치가 표시부(7042)에 이용될 수 있다. 표시부(7042)에 본 발명의 일 실시예에 따른 반도체 표시 장치를 이용함으로써, 낮은 전력 소비를 갖는 휴대 전화가 제공될 수 있다.

[0276] 도 16f는 하우징(7051), 표시부(7052), 작동 키(7053) 등을 포함한 휴대용 정보 단말기이다. 도 16f에 도시된 휴대용 정보 단말기에서, 모뎀이 하우징(7051)에 내장될 수 있다. 본 발명의 일 실시예에 따른 반도체 표시 장치가 표시부(7052)에 이용될 수 있다. 표시부(7052)에 본 발명의 일 실시예에 따른 반도체 표시 장치를 이용함으로써, 낮은 전력 소비를 갖는 휴대용 정보 단말기가 제공될 수 있다.

[0277] 이 실시예는 다른 실시예들 중 임의의 것과 적절하게, 조합되어 구현될 수 있다.

[0278] 본 출원은 2010년 4월 28일자로 일본 특허청에 제출된 일본 특허 출원 일련번호 제 2010-102891 호에 기초하고, 전체 내용은 참조로서 본원에 포함된다.

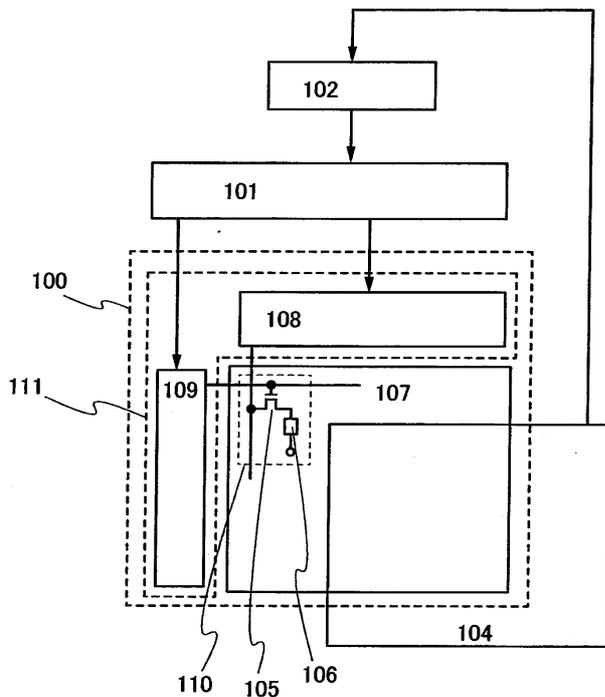
부호의 설명

[0279] 10: 단위 순차 회로, 31: 트랜지스터, 32: 트랜지스터, 33: 트랜지스터, 34: 트랜지스터, 35: 트랜지스터, 36: 트랜지스터, 37: 트랜지스터, 38: 트랜지스터, 39: 트랜지스터, 40: 트랜지스터, 41: 트랜지스터, 61: 선택 기간, 62: 비선택 기간, 100: 패널, 101: 표시 제어 회로, 102: CPU, 104: 터치 패널, 105: 트랜지스터, 106: 표시 소자, 107: 화소부, 108: 신호선 구동 회로, 109: 주사선 구동 회로, 110: 화소, 111: 구동 회로, 130: 시

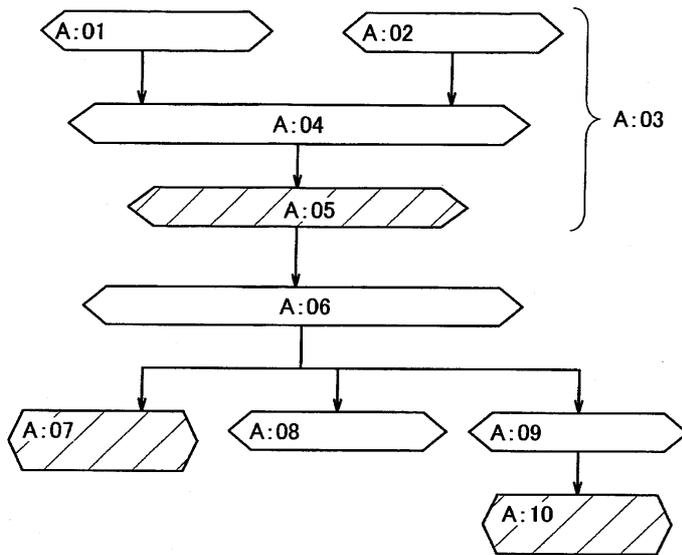
프트 레지스터, 131: 메모리 회로, 132: 메모리 회로, 133: 레벨 시프터, 134: DAC, 135: 아날로그 버퍼, 136: 시프트 레지스터, 137: 디지털 버퍼, 300: 화소, 301: 화소부, 305: 트랜지스터, 306: 액정 소자, 307: 용량 소자, 311: 프레임 기간, 312: 프레임 기간, 313: 프레임 기간, 400: 기관, 401: 트랜지스터, 402: 용량 소자, 403: 게이트 전극, 404: 절연막, 405: 산화물 반도체막, 406: 채널 보호막, 407: 소스 전극, 408: 드레인 전극, 409: 절연막, 410: 전극, 411: 전극, 421: 트랜지스터, 422: 용량 소자, 423: 게이트 전극, 424: 절연막, 425: 산화물 반도체막, 427: 소스 전극, 428: 드레인 전극, 429: 절연막, 430: 전극, 431: 전극, 441: 트랜지스터, 442: 용량 소자, 443: 게이트 전극, 444: 절연막, 445: 산화물 반도체막, 447: 소스 전극, 448: 드레인 전극, 449: 절연막, 450: 전극, 451: 전극, 800: 기관, 801: 게이트 전극, 802: 전극, 803: 게이트 절연막, 804: 산화물 반도체막, 805: 소스 전극, 806: 드레인 전극, 807: 전극, 808: 절연막, 809: 트랜지스터, 810: 용량 소자, 1401: 트랜지스터, 1402: 게이트 전극, 1403: 게이트 절연막, 1404: 산화물 반도체막, 1405: 도전막, 1406: 도전막, 1407: 절연막, 1408: 절연막, 1409: 화소 전극, 1410: 화소 전극, 1411: 배향막, 1413: 대향 전극, 1414: 배향막, 1415: 액정, 1416: 쉘재, 1417: 스페이서, 1421: 차광막, 1422: 착색층, 1600: 터치 패널, 1601: 패널, 1602: 확산판, 1603: 프리즘 시트, 1604: 확산판, 1605: 도광판, 1606: 반사판, 1607: 백라이트, 1608: 회로 기관, 1609: COF 테이프, 1610: FPC, 1611: 기관, 1620: 위치 검출부, 1621: 화소부, 1622: FPC, 1630: 전극, 1631: 전극, 1640: 전극, 1641: 전극, 1642: 도전막, 1643: 도전막, 1644: 절연층, 1650: 화소부, 1651: 화소, 1652: 포토센서, 1653: 포토다이오드, 1654: 트랜지스터, 1655: 트랜지스터, 1656: 리셋 신호선, 1657: 기준 신호선, 1658: 게이트 신호선, 1659: 출력 신호선, 4001: 기관, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 쉘재, 4006: 대향 기관, 4007: 액정, 4009: 트랜지스터, 4010: 트랜지스터, 4011: 액정 소자, 4014: 배선, 4016: 접속 단자, 4018: FPC, 4019: 이방성 도전막, 4021: 기관, 4022: 트랜지스터, 4030: 화소 전극, 4031: 대향 전극, 4035: 스페이서, 7001: 하우징, 7002: 표시부, 7011: 하우징, 7012: 표시부, 7013: 지지 베이스, 7021: 하우징, 7022: 표시부, 7023: 코인 슬롯, 7024: 지폐 슬롯, 7025: 카드 슬롯, 7026: 은행통장 슬롯, 7031: 하우징, 7032: 하우징, 7033: 표시부, 7034: 표시부, 7035: 마이크로폰, 7036: 스피커, 7037: 작동 키, 7038: 스타일러스, 7041: 하우징, 7042: 표시부, 7043: 오디오-입력부, 7044: 오디오-출력부, 7045: 작동 키, 7046: 수광부, 7051: 하우징, 7052: 표시부, 7053: 작동 키

도면

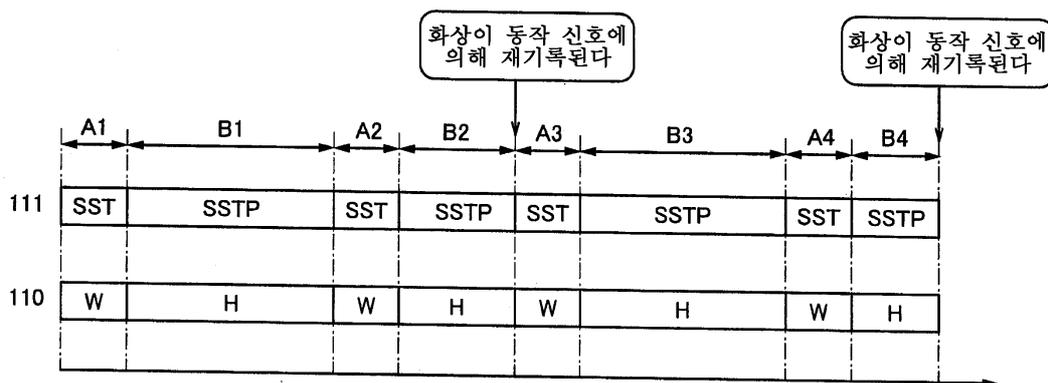
도면1



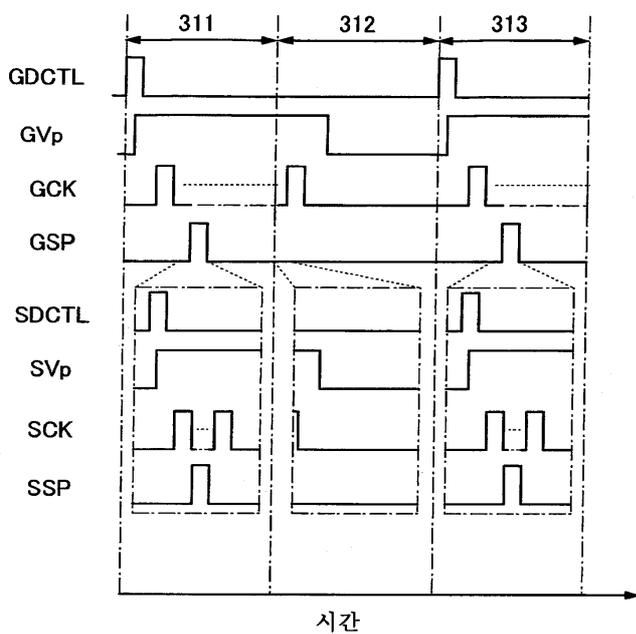
도면2



도면3

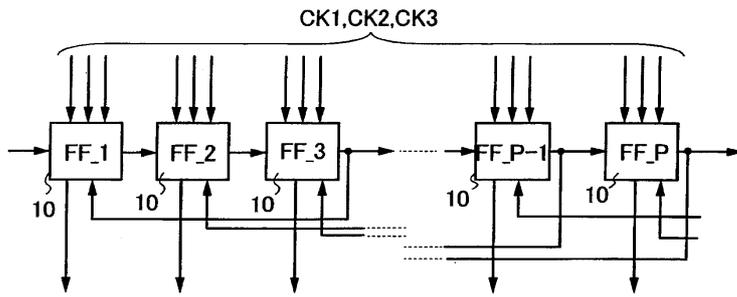


도면4

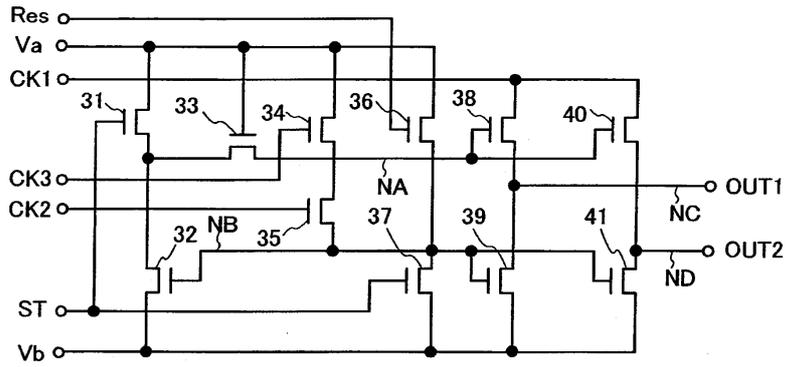


도면5

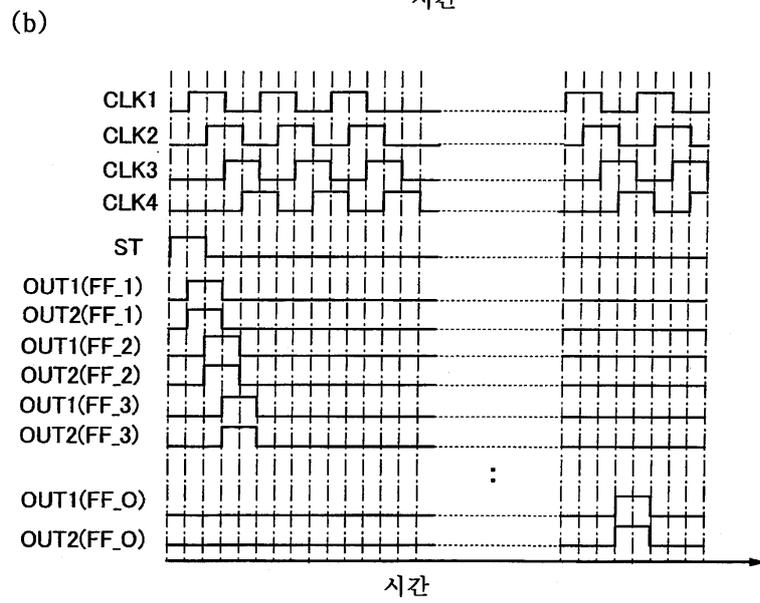
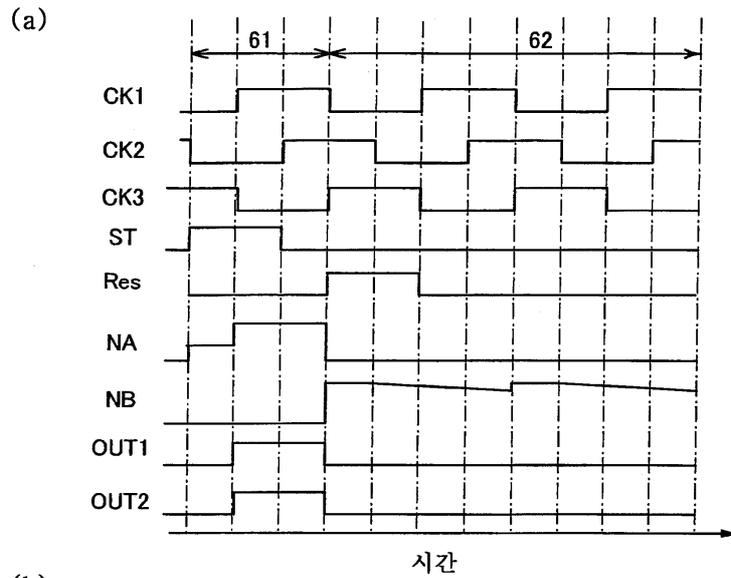
(a)



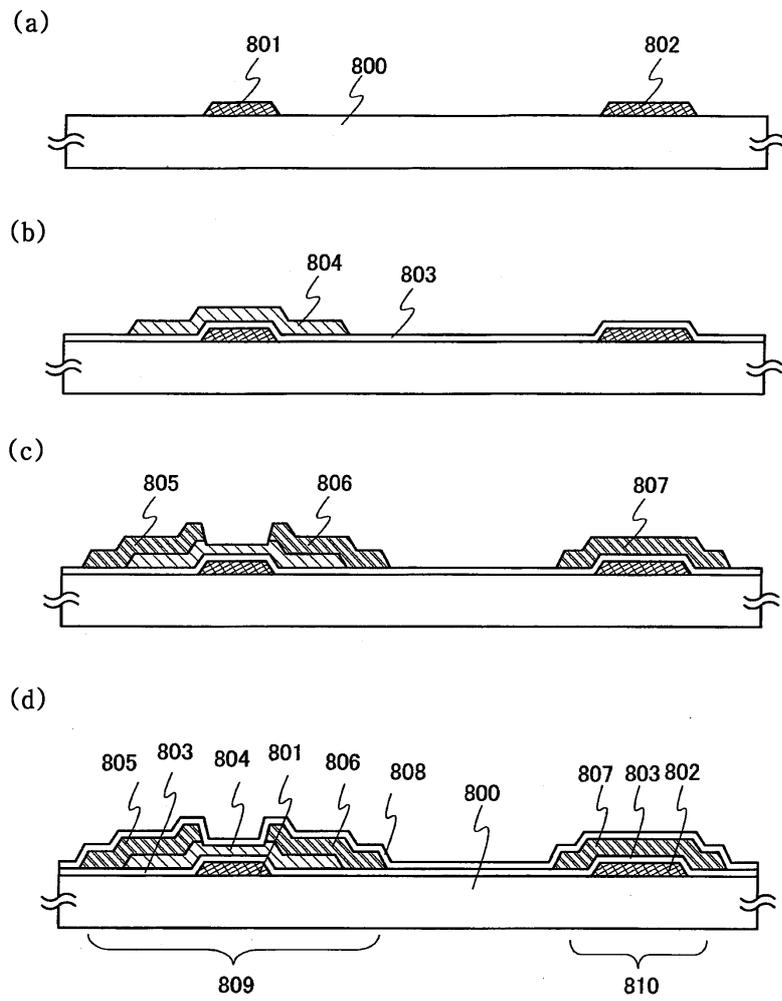
(b)



도면6

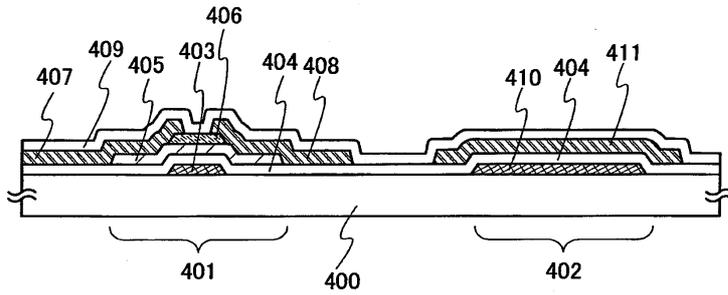


도면9

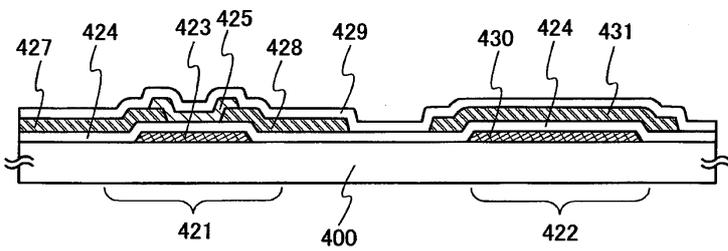


도면10

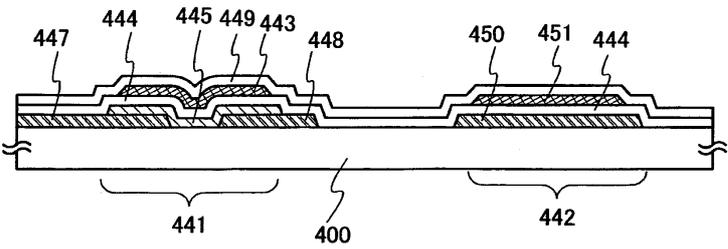
(a)



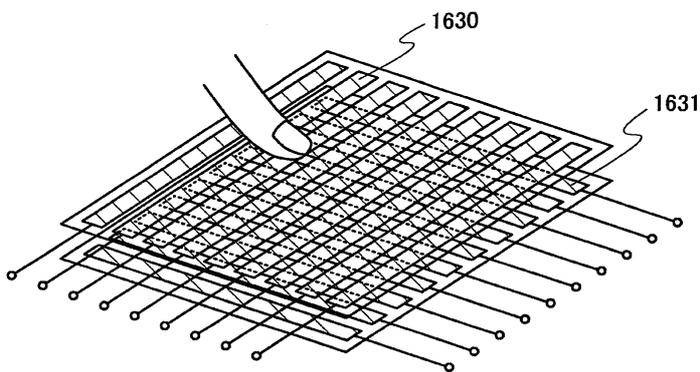
(b)



(c)

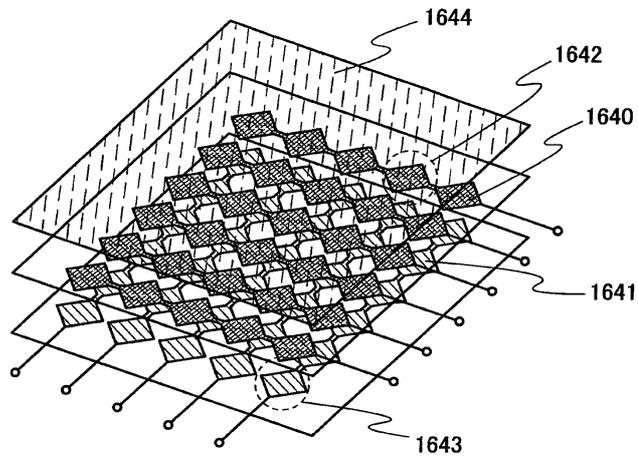


도면11

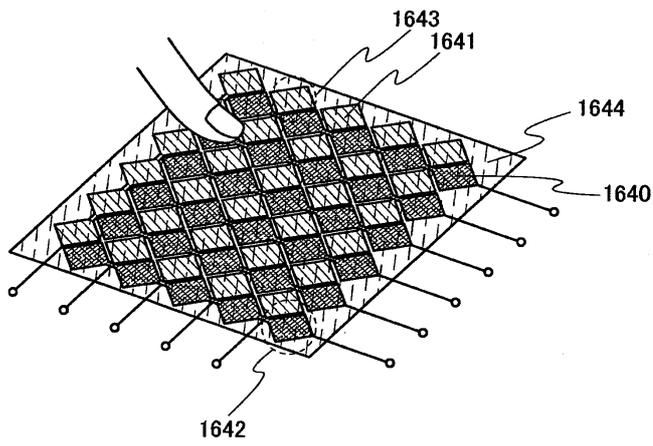


도면12

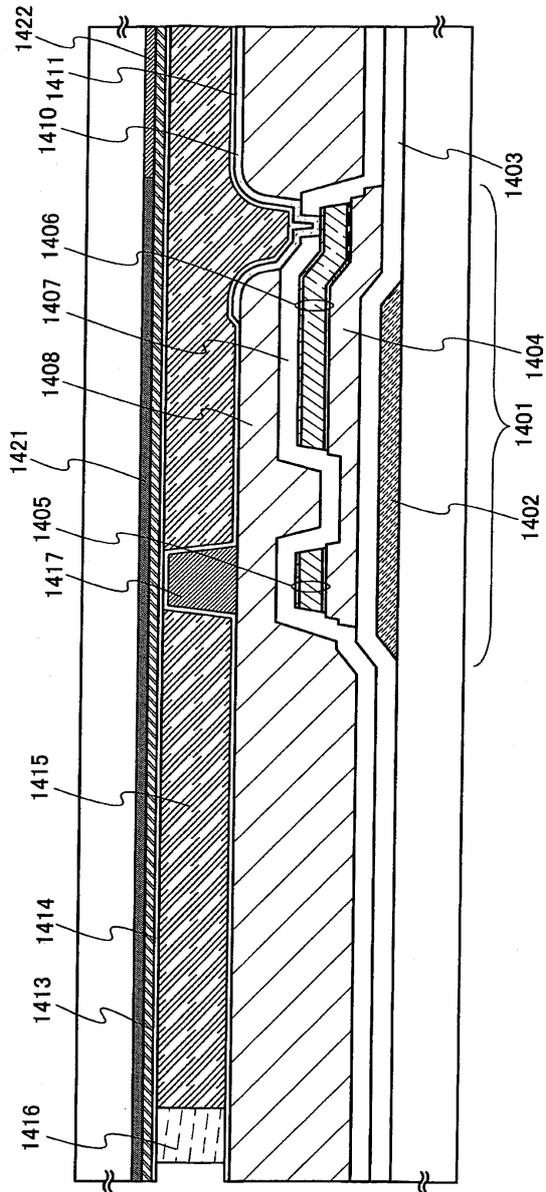
(a)



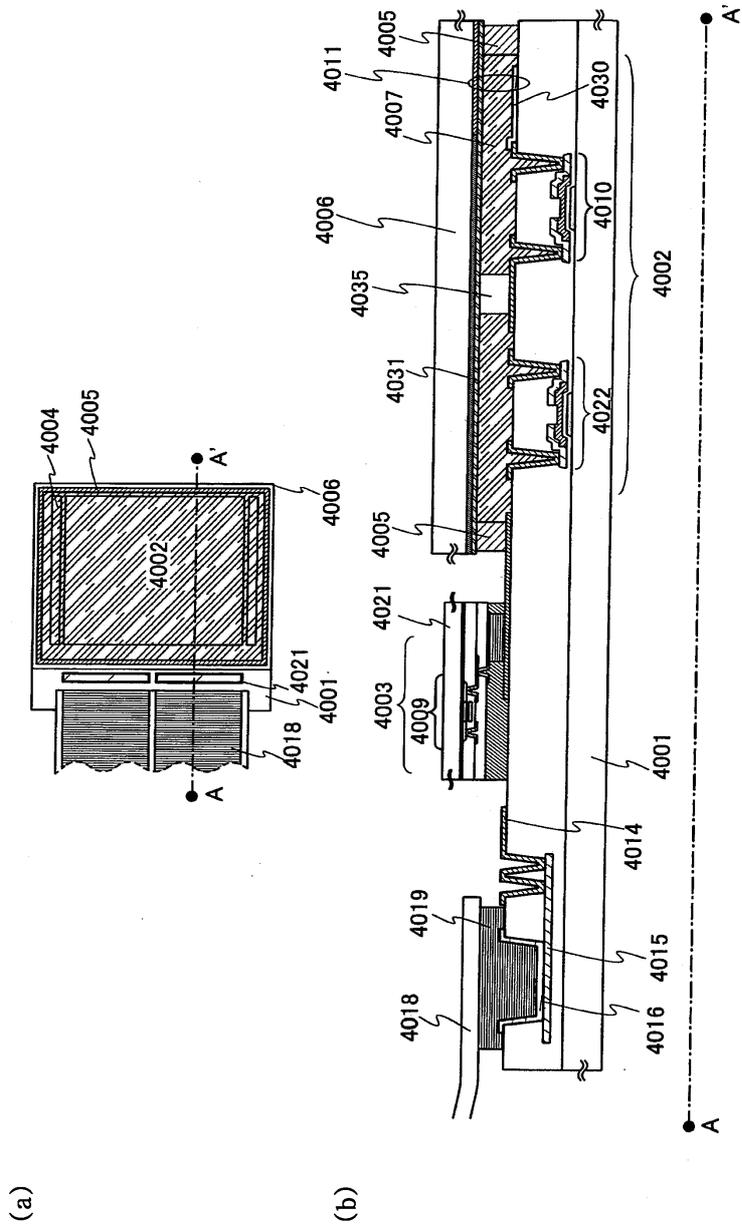
(b)



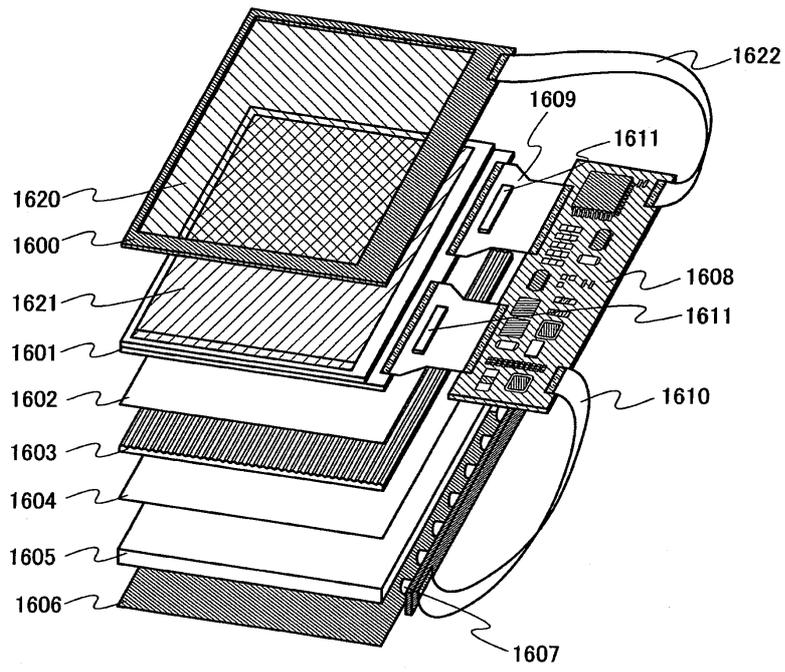
도면13



도면14

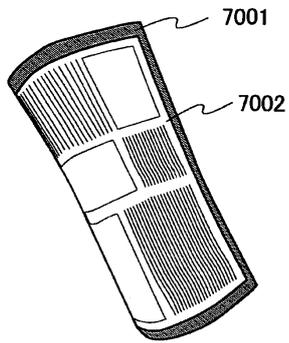


도면15

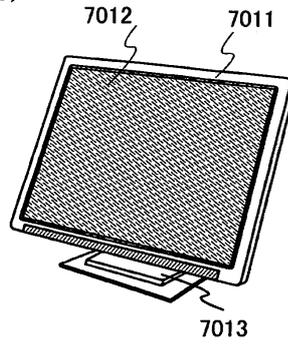


도면16

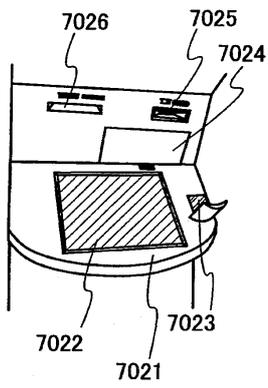
(a)



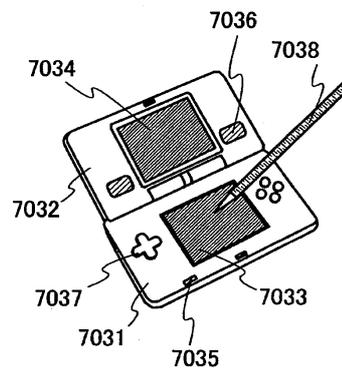
(b)



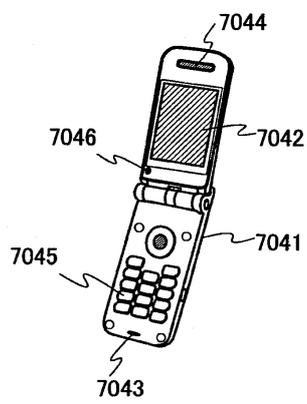
(c)



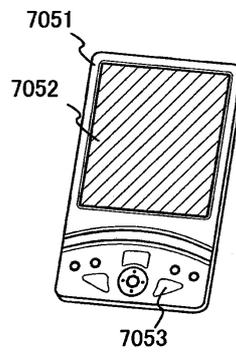
(d)



(e)

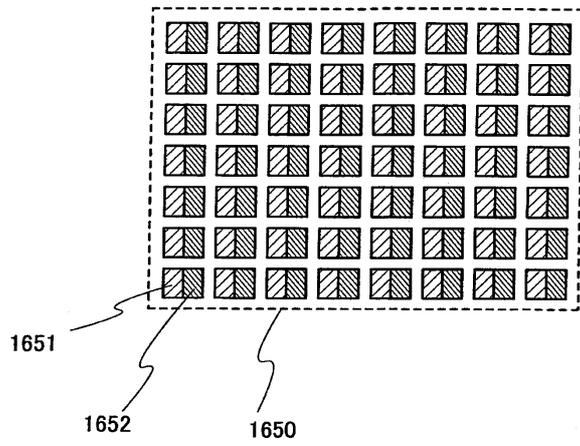


(f)

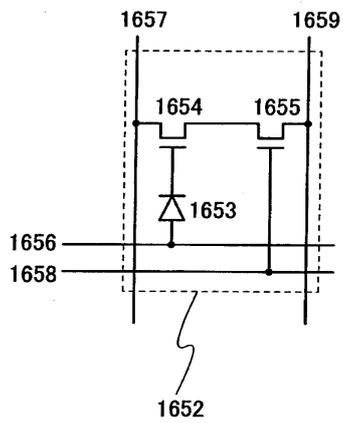


도면17

(a)



(b)



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR101879570B1	公开(公告)日	2018-07-20
申请号	KR1020187004200	申请日	2011-03-31
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 KOYAMA JUN 고야마준		
发明人	야마자키,순페이 고야마,준		
IPC分类号	G09G3/36 G02F1/1333 G06F1/32 G06F3/041 G06F3/044 G06F3/045 G09G3/20		
CPC分类号	G02F1/13338 G06F1/3265 G06F3/0412 G06F3/044 G06F3/045 G09G3/3688 Y02D10/153 G09G3/20 G09G3/3648 G09G3/3677 G09G2300/0426 G09G2310/0286 G09G2310/08 G09G2330/021 G09G2360/14		
代理人(译)	张本勋		
优先权	2010102891 2010-04-28 JP		
其他公开文献	KR1020180019754A		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种具有触摸面板的半导体显示装置，其可以降低功耗。半导体显示装置包括：面板，设置有像素部分；驱动电路，用于控制图像信号到像素部分的输入；触摸面板，设置在与像素部分中的面板重叠的位置处。像素单元可包括电压控制单元 并且晶体管被配置为控制电压的维持。晶体管包括沟道形成区中的氧化物半导体。根据来自触摸板的操作信号，改变驱动电路的驱动频率，即一段时间内图像信号的写入操作次数。

