



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월18일
(11) 등록번호 10-1868145
(24) 등록일자 2018년06월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G02B 27/22 (2006.01)
H04N 13/30 (2018.01)
(21) 출원번호 10-2011-0102063
(22) 출원일자 2011년10월06일
심사청구일자 2016년09월29일
(65) 공개번호 10-2013-0037580
(43) 공개일자 2013년04월16일
(56) 선행기술조사문헌
KR1020110104861 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김석
경기도 파주시 쇠재로 133 516동 1003호 (금촌동, 쇠재마을아파트)
황광조
경기도 안양시 동안구 동안로 35, 무궁화 경남아파트 110동 902호 (호계동)
김의태
경기도 고양시 일산서구 탄현로 133, 105동 1301호 (탄현동, 일산임광진홍아파트)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 6 항

심사관 : 신영교

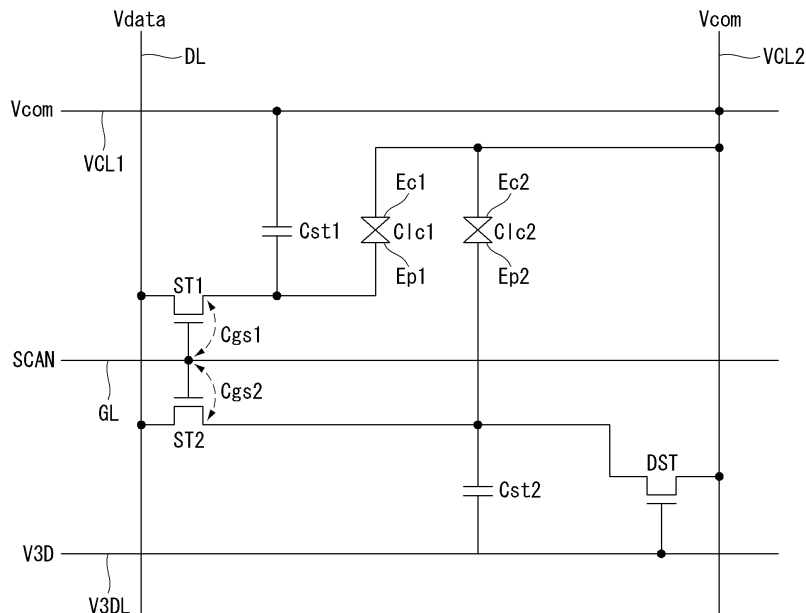
(54) 발명의 명칭 입체 영상 표시장치

(57) 요약

본 발명에 따른 입체 영상 표시장치는 다수의 픽셀들을 포함하여 2D 영상과 3D 영상을 선택적으로 표시하는 표시 패널; 및 상기 표시패널로부터의 빛을 제1 편광과 제2 편광의 빛들로 분할하는 패턴드 리타더를 구비하고; 상기 픽셀들 각각은, 제1 TFT를 통해 데이터라인에 연결된 제1 화소전극과, 상부 공통라인에 접속되며 상기 제1 화소

(뒷면에 계속)

대표도 - 도10



전극에 대향되는 제1 공통전극을 포함한 메인 표시부와; 제2 TFT를 통해 상기 데이터라인에 연결되며 방전제어 TFT를 통해 상기 상부 공통라인에 연결되는 제2 화소전극과, 상기 상부 공통라인에 접속되며 상기 제2 화소전극에 대향되는 제2 공통전극을 포함한 보조 표시부와; 상기 제1 TFT와 제2 TFT에 공통으로 스캔펄스를 인가하는 게이트라인, 상기 방전제어 TFT에 방전 제어전압을 인가하는 방전 제어라인, 및 상기 상부 공통라인에 공통전압을 인가하는 하부 공통라인을 포함하여 상기 메인 표시부와 상기 보조 표시부 사이에 배치된 배선부를 구비하고; 상기 메인 표시부의 제1 스토리지 커패시터는 상기 하부 공통라인 상에 형성되고, 상기 보조 표시부의 제2 스토리지 커패시터는 상기 방전 제어라인 상에 형성된다.

(56) 선행기술조사문헌

KR1020080055193 A*

US20070171168 A1

US20110234605 A1

KR1020110060272 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

다수의 픽셀들을 포함하여 2D 영상과 3D 영상을 선택적으로 표시하는 표시패널을 구비하고;

상기 픽셀들 각각은,

제1 TFT를 통해 데이터라인에 연결된 제1 화소전극과, 상부 공통라인에 접속되며 상기 제1 화소전극에 대향되는 제1 공통전극을 포함한 메인 표시부와;

제2 TFT를 통해 상기 데이터라인에 연결되며 방전제어 TFT를 통해 상기 상부 공통라인에 연결되는 제2 화소전극과, 상기 상부 공통라인에 접속되며 상기 제2 화소전극에 대향되는 제2 공통전극을 포함한 보조 표시부와;

상기 제1 TFT와 제2 TFT에 공통으로 스캔펄스를 인가하는 게이트라인, 상기 방전제어 TFT에 방전 제어전압을 인가하는 방전 제어라인, 및 상기 상부 공통라인에 공통전압을 인가하는 하부 공통라인을 포함하여 상기 메인 표시부와 상기 보조 표시부 사이에 배치된 배선부를 구비하고;

상기 방전 제어전압은, 상기 3D 영상 구현시 상기 스캔펄스의 게이트 로우 전압보다 높고 상기 스캔펄스의 게이트 하이 전압보다 낮은 슬라이트 온 레벨로 상기 픽셀들의 방전제어 TFT들에 공통으로 인가되는 것을 특징으로 하는 입체 영상 표시장치.

청구항 2

제 1 항에 있어서,

상기 메인 표시부의 제1 스토리지 커패시터는 상기 하부 공통라인 상에 형성되고, 상기 보조 표시부의 제2 스토리지 커패시터는 상기 방전 제어라인 상에 형성되는 것을 특징으로 하는 입체 영상 표시장치.

청구항 3

제 1 항에 있어서,

상기 방전 제어전압은,

상기 2D 영상 구현시 상기 스캔펄스의 게이트 로우 전압으로 상기 픽셀들의 방전제어 TFT들에 공통으로 인가되는 것을 특징으로 하는 입체 영상 표시장치.

청구항 4

제 1 항에 있어서,

상기 게이트라인, 상기 방전 제어라인, 및 상기 하부 공통라인은 동일층 상에 형성되어 상기 메인 표시부와 상기 보조 표시부 사이를 나란히 가로지르는 것을 특징으로 하는 입체 영상 표시장치.

청구항 5

제 1 항에 있어서,

상기 메인 표시부의 제1 스토리지 커패시터와 상기 보조 표시부의 제2 스토리지 커패시터는 상기 하부 공통라인 상에 형성되고,

상기 제1 스토리지 커패시터는 게이트 절연막을 사이에 두고 서로 중첩하는 상기 제1 TFT의 드레인전극과 상기 하부 공통라인에 의해 형성되고;

상기 제2 스토리지 커패시터는 게이트 절연막을 사이에 두고 서로 중첩하는 상기 제2 TFT의 드레인전극과 상기 하부 공통라인에 의해 형성되는 것을 특징으로 하는 입체 영상 표시장치.

청구항 6

제 2 항에 있어서,

상기 제1 스토리지 커패시터는 게이트 절연막을 사이에 두고 서로 중첩하는 상기 제1 TFT의 드레인전극과 상기 하부 공통라인에 의해 형성되고;

상기 제2 스토리지 커패시터는 게이트 절연막을 사이에 두고 서로 중첩하는 상기 제2 TFT의 드레인전극과 상기 방전 제어라인에 의해 형성되는 것을 특징으로 하는 입체 영상 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 2차원 평면 영상(이하, '2D 영상')과 3차원 입체 영상(이하, '3D 영상')을 선택적으로 구현할 수 있는 입체 영상 표시장치에 관한 것이다.

배경 기술

[0002] 다양한 콘텐츠 개발 및 회로 기술 발전에 힘입어 2D 영상과 3D 영상을 선택적으로 구현할 수 있는 입체 영상 표시장치가 개발 및 시판되고 있다. 입체 영상 표시장치의 3D 영상 구현 방법은 크게 양안시차방식(stereoscopic technique)과 복합시차시각방식(autostereoscopic technique)으로 나뉘어진다.

[0003] 양안시차방식은 입체 효과가 큰 좌우 눈의 시차 영상을 이용하며, 안경방식과 무안경방식이 있고 두 방식 모두 실용화되고 있다. 무안경 방식은 일반적으로 좌우 시차 영상의 광축을 분리하기 위한 패럴랙스 베리어 등의 광학판을 표시 화면의 앞에 또는 뒤에 설치하는 방식이다. 안경방식은 표시패널에 편광 방향이 서로 다른 좌우 시차 영상을 표시하고, 편광 안경 또는 액정서터 안경을 사용하여 입체 영상을 구현한다.

[0004] 액정서터 안경방식은 표시소자에 좌안 이미지와 우안 이미지를 프레임 단위로 교대로 표시하고 이 표시 타이밍에 동기하여 액정서터 안경의 좌우안 서터를 개폐함으로써 3D 영상을 구현한다. 이러한 액정서터 안경방식은 액정서터 안경의 데이터 온 타임이 짧아 3D 영상의 휘도가 낮으며, 표시소자와 액정서터 안경의 동기, 및 온/오프 전환 응답 특성에 따라 3D 크로스토크의 발생이 심하다.

[0005] 편광 안경방식에서는 표시패널에 패턴 리타더(Pattern retarder)와 같은 편광 분리 소자를 합착된다. 패턴 리타더는 표시패널에 표시되는 좌안 영상과 우안 영상의 편광을 분리한다. 시청자는 편광 안경 방식의 입체 영상 표시장치에서 입체 영상을 감상할 때 편광 안경을 착용하여 편광 안경의 좌안 필터를 통해 좌안 영상의 편광을 보게 되고, 편광 안경의 우안 필터를 통해 우안 영상의 편광을 보게 되므로 입체감을 느낄 수 있다.

[0006] 기존의 편광 안경 방식의 입체 영상 표시장치에서 표시패널은 액정표시패널로 적용될 수 있다. 액정표시패널의 상부 유리판 두께와 상부 편광판의 두께로 인하여 액정표시패널의 픽셀 어레이와 패턴 리타더 간의 시차(parallax)에 의해 상하 시야각이 나뉘어진다. 시청자가 액정표시패널의 정면보다 높거나 낮은 상하 시야각에서 편광 안경 방식의 입체 영상 표시장치에 표시된 입체 영상을 감상하면 단안(좌안 또는 우안)으로 볼 때 좌안 및 우안 영상이 겹쳐 보이는 3D 크로스토크를 느낄 수 있다.

[0007] 편광 안경 방식의 입체 영상 표시장치에서 상하 시야각의 3D 크로스토크 문제를 해결하기 위하여, 일본 공개특허공보 제2002-185983호 등에서는 입체 영상 표시장치의 패턴 리타더(또는 3D 필름)에 블랙 스트라이프를 형성하는 방법을 제안한 바 있다. 이와 다른 방법으로, 액정표시패널에 형성된 블랙 매트릭스의 폭을 증가시킬 수 있다. 그런데, 패턴 리타더에 블랙 스트라이프를 형성하면 2D/3D 영상에서 휘도가 저하될 뿐만 아니라 블랙 매트릭스와 블랙 스트라이프의 상호 작용으로 인하여 모아레(Moire)를 유발할 수 있다. 블랙 매트릭스의 폭을 증가시키는 방법은 개구율을 떨어 뜨려 2D/3D 영상에서 휘도를 저하시킨다.

[0008] 본원 출원인은 일본 공개특허공보 제2002-185983호에 개시된 입체 영상 표시장치의 문제점들을 해결하기 위하여, 표시패널의 픽셀들 각각을 2 개로 분할하고 그 중 어느 하나를 액티브 블랙 스트라이프(Active Black Stripe)로 제어하는 기술을 대한민국 특허출원 제10-2009-0033534호(2009. 04. 17), 미합중국 특허 출원 12/536,031(2009. 08. 05.) 등에서 제안한 바 있다. 본원 출원인에 의해 제안된 입체 영상 표시장치는 픽셀들 각각을 2 분할하고 2D 모드에서 분할된 픽셀들 각각에 2D 영상을 기입하여 2D 영상의 휘도 저하를 방지할 수 있

고, 3D 모드에서 분할된 픽셀들 중 어느 하나에 3D 영상을, 나머지 하나에 블랙 영상을 기입하여 3D 영상에서 상하 시야각을 확대할 수 있다. 다만, 이 액티브 블랙 스트라이프 기술에서는 픽셀들 각각이 2 분할되는 것에 대응하여 게이트라인의 개수가 2배로 늘어나기 때문에 게이트 드라이버의 구성이 복잡해지는 등의 단점이 있다.

발명의 내용

해결하려는 과제

[0009] 따라서, 본 발명의 목적은 게이트라인의 개수를 증가시키지 않고 2D 영상의 휘도와 3D 영상의 상하 시야각을 향상시킬 수 있도록 한 입체 영상 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0010] 상기 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 입체 영상 표시장치는 다수의 픽셀들을 포함하여 2D 영상과 3D 영상을 선택적으로 표시하는 표시패널; 및 상기 표시패널로부터의 빛을 제1 편광과 제2 편광의 빛들로 분할하는 패턴드 리타더를 구비하고; 상기 픽셀들 각각은, 제1 TFT를 통해 데이터라인에 연결된 제1 화소전극과, 상부 공통라인에 접속되며 상기 제1 화소전극에 대향되는 제1 공통전극을 포함한 메인 표시부와; 제2 TFT를 통해 상기 데이터라인에 연결되며 방전제어 TFT를 통해 상기 상부 공통라인에 연결되는 제2 화소전극과, 상기 상부 공통라인에 접속되며 상기 제2 화소전극에 대향되는 제2 공통전극을 포함한 보조 표시부와; 상기 제1 TFT와 제2 TFT에 공통으로 스캔필스를 인가하는 게이트라인, 상기 방전제어 TFT에 방전 제어전압을 인가하는 방전 제어라인, 및 상기 상부 공통라인에 공통전압을 인가하는 하부 공통라인을 포함하여 상기 메인 표시부와 상기 보조 표시부 사이에 배치된 배선부를 구비하고; 상기 메인 표시부의 제1 스토리지 커패시터와 상기 보조 표시부의 제2 스토리지 커패시터는 상기 하부 공통라인 상에 형성된다.

[0011] 본 발명의 다른 실시예에 따른 입체 영상 표시장치는 다수의 픽셀들을 포함하여 2D 영상과 3D 영상을 선택적으로 표시하는 표시패널; 및 상기 표시패널로부터의 빛을 제1 편광과 제2 편광의 빛들로 분할하는 패턴드 리타더를 구비하고; 상기 픽셀들 각각은, 제1 TFT를 통해 데이터라인에 연결된 제1 화소전극과, 상부 공통라인에 접속되며 상기 제1 화소전극에 대향되는 제1 공통전극을 포함한 메인 표시부와; 제2 TFT를 통해 상기 데이터라인에 연결되며 방전제어 TFT를 통해 상기 상부 공통라인에 연결되는 제2 화소전극과, 상기 상부 공통라인에 접속되며 상기 제2 화소전극에 대향되는 제2 공통전극을 포함한 보조 표시부와; 상기 제1 TFT와 제2 TFT에 공통으로 스캔필스를 인가하는 게이트라인, 상기 방전제어 TFT에 방전 제어전압을 인가하는 방전 제어라인, 및 상기 상부 공통라인에 공통전압을 인가하는 하부 공통라인을 포함하여 상기 메인 표시부와 상기 보조 표시부 사이에 배치된 배선부를 구비하고; 상기 메인 표시부의 제1 스토리지 커패시터는 상기 하부 공통라인 상에 형성되고, 상기 보조 표시부의 제2 스토리지 커패시터는 상기 방전 제어라인 상에 형성된다.

발명의 효과

[0012] 본 발명에 따른 입체 영상 표시장치는 픽셀 각각을 메인 표시부와 보조 표시부로 2 분할하여 픽셀마다 1개의 게이트라인을 할당시키고, 보조 표시부들의 방전제어 TFT들을 방전 제어전압으로 동시에 제어한다. 본 발명은 2D 모드에서 방전제어 TFT를 오프 시켜 보조 표시부에 메인 표시부와 동일한 2D 영상을 표시하고, 3D 모드에서 방전제어 TFT를 슬라이트 온 시켜 보조 표시부를 블랙 스트라이프로 기능시킨다. 이에 따라, 본 발명은 게이트라인의 개수를 증가시키지 않고 2D 영상의 휘도와 3D 영상의 상하 시야각을 향상시킬 수 있다.

[0013] 나아가, 본 발명은 메인 표시부의 스토리지 커패시터를 하부 공통라인에 형성하고 보조 표시부의 스토리지 커패시터를 방전 제어라인에 형성하여 메인 표시부에 잔류하는 기생 용량과 보조 표시부에 잔류하는 기생 용량을 동등 수준으로 맞출 수 있다. 그 결과, 본 발명은 스토리지 커패시터들에 대한 저감 설계가 가능하여 메인 표시부와 보조 표시부 사이의 배선부 폭을 줄일 수 있고, 배선부의 폭이 줄어들면 개구율을 증대시킬 수 있다.

도면의 간단한 설명

- [0014] 도 1 및 도 2는 본 발명의 실시예에 따른 편광 안경방식의 입체 영상 표시장치를 보여주는 도면들.
 도 3은 도 2에 도시된 픽셀을 보여주는 도면.
 도 4는 구동 모드에 따른 방전 제어전압의 발생 레벨을 보여주는 도면.
 도 5는 2D 모드 및 3D 모드에서 픽셀의 표시 영상을 보여주는 도면.
 도 6은 본 발명의 일 실시예에 따른 픽셀의 등가회로를 보여주는 도면.
 도 7은 도 6과 같이 접속된 픽셀의 배선부를 상세히 보여주는 도면.
 도 8a는 도 7의 1-1'를 따라 절취한 단면을 보여주는 도면.
 도 8b는 도 7의 2-2'를 따라 절취한 단면을 보여주는 도면.
 도 8c는 도 7의 3-3'를 따라 절취한 단면을 보여주는 도면.
 도 9는 각 구동 모드에서 픽셀의 충전 및 방전 과정을 보여주는 도면.
 도 10은 본 발명의 다른 실시예에 따른 픽셀의 등가회로를 보여주는 도면.
 도 11은 도 10과 같이 접속된 픽셀의 배선부를 상세히 보여주는 도면.
 도 12a는 도 11의 1-1'를 따라 절취한 단면을 보여주는 도면.
 도 12b는 도 11의 2-2'를 따라 절취한 단면을 보여주는 도면.
 도 12c는 도 11의 3-3'를 따라 절취한 단면을 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 도 1 내지 도 12c를 참조하여 본 발명의 바람직한 실시예에 대하여 상세히 설명하기로 한다.
- [0016] 도 1 및 도 2는 본 발명의 실시예에 따른 편광 안경방식의 입체 영상 표시장치를 보여준다. 도 3은 도 2에 도시된 픽셀(PIX)을 보여준다. 그리고, 도 4는 구동 모드에 따른 방전 제어전압(V3D)의 발생 레벨을 보여주고, 도 5는 2D 모드 및 3D 모드에서 픽셀의 표시 영상을 보여준다.
- [0017] 도 1 내지 도 5를 참조하면, 이 입체 영상 표시장치는 표시소자(10), 패턴 리타더(20), 콘트롤러(30), 패널 구동회로(40) 및 편광 안경(50)을 구비한다.
- [0018] 표시소자(10)는 액정표시소자(Liquid Crystal Display, LCD), 전계 방출 표시소자(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP), 및 무기 전계발광소자와 유기발광다이오드소자(Organic Light Emitting Diode, OLED)를 포함한 전계발광소자(Electroluminescence Device, EL), 전기영동 표시소자(Electrophoresis, EPD) 등의 평판 표시소자로 구현될 수 있다. 이하에서, 표시소자(10)를 액정표시소자를 중심으로 설명한다.
- [0019] 표시소자(10)는 표시패널(11)과, 상부 편광필름(Polarizer)(11a)과, 하부 편광필름(11b)을 포함한다.
- [0020] 표시패널(11)은 2D 모드에서 2D 영상을 표시하고, 3D 모드에서 3D 영상을 표시한다. 표시패널(11)은 두 장의 유리기관들과 이들 사이에 형성된 액정층을 포함한다. 표시패널(11)의 하부 유리기관에는 다수의 데이터라인들(DL), 이 데이터라인들(DL)과 각각 교차되는 다수의 게이트라인들(GL), 전기적으로 서로 연결되어 공통전압(Vcom)이 공급되는 하부 공통라인(VCL1)과 상부 공통라인(VCL2), 방전 제어전압(V3D)이 공급되는 방전 제어라인(V3DL)등이 형성된다.
- [0021] 표시패널(11)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터가 형성된다. 표시패널(11)의 상부 유리기관과 하부 유리기관 각각에는 상부 및 하부 편광필름(11a, 11b)이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다. 공통전압(Vcom)이 공급되는 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성될 수 있으며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극과 함께 하부 유리기관 상에 형성될 수 있다. 유리기관들 사이에는 액정셀의 셀갭(Cell gap)을 유지하기 위한 컬럼 스페이서가 형성될 수 있다.
- [0022] 이러한 본 발명의 표시소자(10)는 투과형 표시소자, 반투과형 표시소자, 반사형 표시소자 등 어떠한 형태로도

구현될 수 있다. 투과형 표시소자와 반투과형 표시소자에서는 백라이트 유닛(12)이 필요하다. 백라이트 유닛(12)은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0023] 신호라인들(DL, GL)의 교차 구조에 의해 표시패널(11)에는 다수의 단위 픽셀들을 포함한 픽셀 어레이가 형성된다. 단위 픽셀들은 각각 적색(R), 녹색(G) 및 청색(B) 구현을 위한 3개의 픽셀들(PIX)을 구비한다. 픽셀들(PIX) 각각은 도 3과 같이 배선부를 사이에 두고 양측에 배치되는 메인 표시부(MP)와 액티브 블랙 스트라이프로 기능하는 보조 표시부(SP)를 포함한다. 배선부에 형성되는 하부 공통라인(VCL1), 게이트라인(GL) 및 방전 제어라인(V3DL)은 메인 표시부(MP)와 보조 표시부(SP) 사이를 가로지른다.

[0024] 메인 표시부(MP)는 제1 TFT(Thin Film Transistor, ST1)를 통해 데이터라인(DL)에 연결된다. 보조 표시부(SP)는 제2 TFT(ST2)를 통해 데이터라인(DL)에 연결됨과 아울러 방전 제어 TFT(DST)를 통해 상부 공통라인(VCL2)에 연결된다. 제1 TFT(ST1)와 제2 TFT(ST1)는 게이트라인(GL)으로부터의 스캔펄스(도 4의 SCAN)에 의해 동시에 스위칭된다. 스캔펄스(SCAN)는 게이트 로우 전압(VGL)과 게이트 하이 전압(VGH) 사이에서 스위칭된다. 방전 제어 TFT(DST)는 방전 제어라인(V3DL)으로부터 공급되는 방전 제어전압(V3D)에 따라 스위칭된다.

[0025] 방전 제어전압(V3D)은 도 4와 같이 모드 선택신호(SEL)에 따라 서로 다른 레벨로 발생된다. 2D 모드에서 방전 제어전압(V3D)은 방전 제어 TFT(DST)를 턴 오프 시킬 수 있도록 게이트 로우 전압(VGL)과 동일한 레벨로 발생될 수 있다. 3D 모드에서 방전 제어전압(V3D)은 방전 제어 TFT(DST)를 슬라이트 온(slight on) 시킬 수 있도록 게이트 로우 전압(VGL)보다 높고 게이트 하이 전압(VGH)보다 낮은 슬라이트-온 레벨(slight on level, SOL)로 발생될 수 있다. '슬라이트 온' 상태는 '풀 온(full on)' 상태에 비해 TFT의 채널 저항이 큰 상태(즉, TFT의 소스-드레인 사이에 흐르는 전류량이 작은 상태)를 의미한다. 3D 모드에서 방전 제어전압(V3D)은 방전 제어 TFT(DST)의 열화 경감을 위해 주기적으로 게이트 로우 전압(VGL)으로 낮아질 수 있다. 이에 대해서는 본원 출원인에 의해 기출원된 대한민국 특허출원 제10-2011-0070327호(2011. 07. 15), 대한민국 특허출원 제10-2011-0090874호(2011. 09. 07)등에 자세히 개시되어 있다. 게이트 로우 전압(VGL)이 -5V ~ 0V로 선택되고 게이트 하이 전압(VGH)이 25V ~ 30V로 선택되는 경우, 슬라이트-온 레벨은 8V ~ 12V로 선택될 수 있다.

[0026] 메인 표시부(MP)는 도 5와 같이 2D 모드에서 2D 영상의 비디오 데이터를 표시하고, 3D 모드에서 3D 영상의 비디오 데이터를 표시한다. 이에 비하여, 보조 표시부(SP)는 도 5와 같이 2D 모드에서 2D 영상의 비디오 데이터를 표시하는 반면, 3D 모드에서 블랙 계조를 표시하여 블랙 스트라이프로 기능한다. 보조 표시부(SP)는 2D 모드에서 2D 영상의 개구율과 휘도를 높이고 3D 모드에서 3D 영상의 상하 시야각을 확대한다. 1 픽셀(PIX) 내에서 메인 표시부(MP)와 서브 표시부(SP)의 크기와 형태는 패널 구동 특성, 표시 영상의 휘도, 3D 영상의 시야각, 응용 제품 특성 등을 고려하여 적절히 설계될 수 있다.

[0027] 패턴 리타더(20)는 표시패널(11)의 상부 편광필름(11a)에 부착된다. 패턴 리타더(20)의 기수 라인들에는 제1 패턴(22)이 형성되고, 패턴 리타더(20)의 우수 라인들에는 제2 패턴(24)이 형성된다. 제1 패턴(22)의 광흡수축과 제2 패턴(24)의 광흡수축은 서로 다르다. 제1 패턴(22)은 픽셀 어레이의 기수번째 수평 픽셀라인과 대향하고, 제2 패턴(24)은 픽셀 어레이의 우수번째 수평 픽셀라인과 대향한다. 제1 패턴(22)은 상부 편광필름(11a)을 통해 입사되는 선편광의 위상을 1/4 파장만큼 지연시켜 제1 편광(예컨대, 좌원편광)으로 통과시킨다. 제2 패턴(24)은 상부 편광필름(11a)을 통해 입사되는 선편광의 위상을 3/4 파장만큼 지연시켜 제2 편광(예컨대, 우원편광)으로 통과시킨다.

[0028] 콘트롤러(30)는 모드 선택신호(SEL)에 따라 2D 모드 또는 3D 모드로 패널 구동회로(40)의 동작을 제어한다. 콘트롤러(30)는 터치 스크린, 온 스크린 디스플레이(On screen display, OSD), 키보드, 마우스, 리모트 콘트롤러(Remote controller)와 같은 유저 인터페이스를 통해 모드 선택신호(SEL)를 입력받고, 그에 따라 2D 모드 동작과 3D 모드 동작을 전환할 수 있다. 한편, 콘트롤러(30)는 입력 영상의 데이터에 인코딩된 2D/3D 식별 코드 예를 들면, 디지털 방송 규격의 EPG(Electronic Program Guide) 또는 ESG(Electronic Service Guide)에 코딩될 수 있는 2D/3D 식별코드를 검출하여 2D 모드와 3D 모드를 구분할 수도 있다.

[0029] 콘트롤러(30)는 3D 모드 하에서 비디오 소스로부터 입력되는 3D 영상 데이터를 좌안 영상의 RGB 데이터와 우안 영상의 RGB 데이터로 분리한 후, 좌안 영상의 RGB 데이터와 우안 영상의 RGB 데이터를 데이터 드라이버(41)에 공급한다. 이를 위해 콘트롤러(30)는 3D 포맷터(3D formater)를 포함할 수 있다. 콘트롤러(30)는 2D 모드 하에서 비디오 소스로부터 입력되는 2D 영상의 RGB 데이터를 데이터 드라이버(41)에 공급한다. 한편, 콘트롤러(30)는 방전 제어전압(V3D)을 발생하기 위한 3D 보드(미도시)를 포함할 수 있다.

[0030] 콘트롤러(30)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트

클럭(DCLK) 등의 타이밍신호들을 이용하여 패널 구동회로(40)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다.

[0031] 데이터 드라이버(41)의 동작 타이밍을 제어하기 위한 데이터 제어신호는 1 수평라인분의 데이터가 표시되는 1 수평기간 중에서 데이터의 시작점을 지시하는 소스 스타트 펄스(Source Start Pulse : SSP), 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터의 래치동작을 제어하는 소스 샘플링 클럭(Source Sampling Clock : SSC), 데이터 드라이버(41)의 출력을 제어하는 소스 출력 인에이블신호(SOE), 및 표시패널(11)의 액정셀들에 공급될 데이터전압의 극성을 제어하는 극성제어신호(POL) 등을 포함한다.

[0032] 게이트 드라이버(42)의 동작 타이밍을 제어하기 위한 게이트 제어신호는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 드라이버(42) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 및 게이트 드라이버(42)의 출력을 제어하는 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등을 포함한다.

[0033] 콘트롤러(30)는 입력 프레임 주파수에 동기되는 타이밍신호들(Vsync, Hsync, DE, DCLK)을 체배하여 $N \times f$ (N 은 2이상의 양의 정수, f 는 입력 프레임 주파수)Hz의 프레임 주파수로 패널 구동회로(40)의 동작을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.

[0034] 패널 구동회로(40)는 표시패널(11)의 데이터라인들(DL)을 구동시키기 위한 데이터 드라이버(41)와, 표시패널(11)의 게이트라인들(GL)을 구동시키기 위한 게이트 드라이버(42)를 포함한다.

[0035] 데이터 드라이버(41)의 구동 IC들 각각은 쉬프트 레지스터(Shift register), 래치(Latch), 디지털-아날로그 변환기(Digital to Analog convertor, DAC), 출력 버퍼(Output buffer) 등을 포함한다. 데이터 드라이버(41)는 데이터 제어신호(SSP, SSC, SOE)에 따라 2D 또는 3D 영상의 RGB 데이터를 래치한다. 데이터 드라이버(41)는 극성 제어신호(POL)에 응답하여 2D 또는 3D 영상의 RGB 데이터를 아날로그 정극성 감마보상전압과 부극성 감마보상전압으로 변환하여 데이터전압의 극성을 반전시킨다. 데이터 드라이버(41)는 게이트 드라이버(42)로부터 출력되는 스캔펄스(또는, 게이트펄스)에 동기하여 데이터전압을 데이터라인들(DL)에 출력한다. 데이터 드라이버(41)의 구동 IC들은 TAB(Tape Automated Bonding) 공정에 의해 표시패널(11)의 하부 유리기판에 접합될 수 있다.

[0036] 게이트 드라이버(42)는 게이트 제어신호(GSP, GSC, GOE)에 따라 게이트 하이 전압과 게이트 로우 전압 사이에서 스윙되는 스캔펄스를 발생한다. 그리고, 게이트 제어신호(GSP, GSC, GOE)에 따라 스캔펄스를 게이트라인들(GL)에 라인 순차 방식으로 공급한다. 게이트 드라이버(42)는 게이트 쉬프트 레지스터 어레이(Gate shift register array)들을 포함한다. 게이트 드라이버(42)의 게이트 쉬프트 레지스터 어레이는 표시패널(11)에서 픽셀 어레이가 형성된 표시영역 바깥의 비 표시영역에 GIP(Gate Driver In Panel) 방식으로 형성될 수 있다. GIP 방식에 의해, 게이트 쉬프트 레지스터들은 픽셀 어레이의 TFT(Thin Film Transistor) 공정에서 픽셀 어레이와 함께 형성될 수 있다. 게이트 드라이버(42)의 게이트 쉬프트 레지스터 어레이는 TAB 공정에 의해 표시패널(11)의 하부 유리기판에 접합되는 구동 IC들로 구현될 수도 있다.

[0037] 편광 안경(50)은 좌안 편광필터를 갖는 좌안(50L)과 우안 편광필터를 갖는 우안(50R)을 구비한다. 좌안 편광필터는 패턴 리타더(20)의 제1 패턴(22)과 동일한 광흡수축을 가지며, 우안 편광필터는 패턴 리타더(20)의 제2 패턴(24)과 동일한 광흡수축을 가진다. 예를 들면, 편광 안경(50)의 좌안 편광필터는 좌원편광 필터로 선택될 수 있고, 편광 안경(50)의 우안 편광필터는 우원편광 필터로 선택될 수 있다. 시청자가 편광 안경(50)을 착용하면, 시청자의 좌안에는 좌안 영상만 보이고, 시청자의 우안에는 우안 영상만 보이게 된다. 그 결과, 시청자는 양안시차를 통해 입체감을 느낄 수 있게 된다.

[0038] 도 6은 본 발명의 일 실시예에 따른 픽셀의 등가회로를 보여준다. 도 7은 도 6과 같이 접속된 픽셀의 배선부(도 3 참조)를 상세히 보여주는 평면도이다. 도 8a는 도 7의 1-1'를 따라 절취한 단면을 보여주고, 도 8b는 도 7의 2-2'를 따라 절취한 단면을 보여주며, 도 8c는 도 7의 3-3'를 따라 절취한 단면을 보여준다. 도 8a 내지 도 8c에서, 'ACT'는 TFT의 소스전극과 드레인전극 사이에 채널을 형성하기 위한 활성층을, 'N+'는 TFT의 소스전극 및 드레인전극과의 오믹 접촉을 위한 오믹 접촉층을, 'SUB'는 하부 유리기판을 각각 나타낸다.

[0039] 도 6 내지 도 8c를 참조하면, 메인 표시부(MP)는 서로 대향하여 제1 액정 커패시터(C1c1)를 이루는 제1 화소전극(Ep1)과 제1 공통전극(Ec1)을 포함한다. 제1 화소전극(Ep1)은 제1 TFT(ST1)를 통해 데이터라인(DL)에 연결된다. 제1 TFT(ST1)는 게이트라인(GL)으로부터의 스캔펄스(SCAN)에 응답하여 턴 온 됨으로써 데이터라인(DL) 상

의 데이터전압(Vdata)을 제1 화소전극(Ep1)에 인가한다. 제1 TFT(ST1)의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극(S1)은 데이터라인(DL)에 접속되며, 드레인전극(D1)은 유기 절연막(PAC)과 무기 절연막(PAS)을 관통하는 제1 콘택홀(CH1)을 통해 제1 화소전극(Ep1)에 접속된다. 제1 TFT(ST1)의 드레인전극(D1)은 게이트 절연막(GI)을 사이에 두고 하부 공통라인(VCL1)과 중첩되어 제1 스토리지 커패시터(Cst1)를 형성한다. 제1 스토리지 커패시터(Cst1)는 소정 기간 동안 제1 액정 커패시터(Clc1)의 충전 전압을 일정하게 유지시킨다. 제1 공통전극(Ec1)은 공통전압(Vcom)으로 충전된 상부 공통라인(VCL2)에 접속된다. 상부 공통라인(VCL2)은 유기 절연막(PAC)과 무기 절연막(PAS) 및 게이트 절연막(GI)을 관통하는 제3 콘택홀(CH3)을 통해 하부 공통라인(VCL1)에 접속되어, 하부 공통라인(VCL1)으로부터 공통전압(Vcom)을 공급받는다.

[0040] 보조 표시부(SP)는 서로 대향하여 제2 액정 커패시터(Clc2)를 이루는 제2 화소전극(Ep2)과 제2 공통전극(Ec2)을 포함한다. 제2 화소전극(Ep2)은 제2 TFT(ST2)를 통해 데이터라인(DL)에 연결된다. 제2 TFT(ST2)는 게이트라인(GL)으로부터의 스캔펄스(SCAN)에 응답하여 턴 온 됨으로써 데이터라인(DL) 상의 데이터전압(Vdata)을 제2 화소전극(Ep2)에 인가한다. 제2 TFT(ST2)의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극(S2)은 데이터라인(DL)에 접속되며, 드레인전극(D2)은 유기 절연막(PAC)과 무기 절연막(PAS)을 관통하는 제2 콘택홀(CH2)을 통해 제2 화소전극(Ep2)에 접속된다. 제2 TFT(ST2)의 소스전극(S2)은 제1 TFT(ST1)의 소스전극(S1)과 접속된다. 제2 TFT(ST2)의 드레인전극(D2)은 게이트 절연막(GI)을 사이에 두고 하부 공통라인(VCL1)과 중첩되어 제2 스토리지 커패시터(Cst2)를 형성한다. 제2 스토리지 커패시터(Cst2)는 소정 기간 동안 제2 액정 커패시터(Clc2)의 충전 전압을 일정하게 유지시킨다. 제2 공통전극(Ec2)은 공통전압(Vcom)으로 충전된 상부 공통라인(VCL2)에 접속된다.

[0041] 제2 화소전극(Ep2)은 방전제어 TFT(DST)를 통해 상부 공통라인(VCL2)에 연결된다. 방전제어 TFT(DST)는 방전 제어전압(V3D)에 응답하여 제2 화소전극(Ep2)과 상부 공통라인(VCL2) 사이의 전류 패스를 스위칭한다. 방전제어 TFT(DST)의 게이트전극은 방전 제어라인(V3DL)에 접속되고, 소스전극(S3)은 제2 화소전극(Ep2)에 접속되며, 드레인전극(D3)은 유기 절연막(PAC)을 관통하는 제4 콘택홀(CH4)을 통해 상부 공통라인(VCL2)에 접속된다. 방전제어 TFT(DST)의 소스전극(S3)은 제2 TFT(ST2)의 드레인전극(D2)과 접속된다.

[0042] 게이트라인(GL), 방전 제어라인(V3DL), 하부 공통라인(VCL1)은 서로 동일층 상에 형성될 수 있다. 또한, 제1 및 제2 화소전극(Ep1, Ep2), 제1 및 제2 공통전극(Ec1, Ec2), 상부 공통라인(VCL2)은 서로 동일층 상에 형성될 수 있다.

[0043] 2D 모드에서 방전 제어전압(V3D)이 게이트 로우 전압(VGL)으로 인가될 때, 방전제어 TFT(DST)는 자신의 소스-드레인 간 채널을 완전히 폐쇄하여 제2 화소전극(Ep2)과 상부 공통라인(VCL2) 사이의 전류 패스를 차단한다. 3D 모드에서 슬라이트-온 레벨(SOL)의 방전 제어전압(V3D)이 인가될 때, 방전제어 TFT(DST)는 자신의 소스-드레인 간 채널을 부분 개방하여 제2 화소전극(Ep2)과 상부 공통라인(VCL2) 사이의 전류 패스를 부분적으로 허용한다.

[0044] 방전제어 TFT(DST)는 제1 및 제2 TFT(ST1, ST2)와 동일한 채널 용량을 갖도록 설계될 수 있다. 방전제어 TFT(DST)는 게이트 하이 전압(VGH)에 비해 낮은 슬라이트-온 레벨(SOL)의 방전 제어전압(V3D)이 인가됨에 따라, 풀 온 레벨(full on level) 보다 낮은 슬라이트 온 레벨(slight on level)로 도통된다. 제2 TFT(ST2)와 방전제어 TFT(DST)가 동시에 온 되더라도, 방전제어 TFT(DST)를 통해 흐르는 전류량은 제2 TFT(ST2)를 통해 흐르는 전류량에 비해 적다. 채널 저항은 게이트전극에 인가되는 전압에 반비례하기 때문에, 제2 TFT(ST2)와 방전제어 TFT(DST)가 동시에 온 되더라도, 방전제어 TFT(DST)의 채널 저항은 제2 TFT(ST2)의 채널 저항에 비해 크다.

[0045] 도 9는 각 구동 모드에서 도 6 내지 도 8c와 같이 구성된 픽셀의 충전 및 방전 파형을 보여준다.

[0046] 도 6 내지 도 9를 참조하여 각 구동 모드에서 픽셀(PIX)의 동작과 함께 그의 작용 효과를 설명하면 다음과 같다.

[0047] 먼저, 2D 모드에서의 동작을 설명한다.

[0048] 2D 모드에서, 방전 제어전압(V3D)은 스캔펄스(SCAN)의 게이트 로우 전압(VGL)과 동일 레벨로 발생될 수 있다. 2D 모드에서, 방전제어 TFT(DST)는 게이트 로우 전압(VGL)의 방전 제어전압(V3D)에 응답하여 계속해서 턴 오프 상태를 유지한다.

[0049] 스캔펄스(SCAN)가 게이트 하이 전압(VGH)으로 입력되는 기간(이하, 'T1 기간'이라 함) 동안, 제1 및 제2 TFT(ST1, ST2)는 동시에 풀-온 레벨로 턴 온 된다. 제1 TFT(ST1)의 턴 온에 의해 메인 표시부(MP)의 제1 화소전극(Ep1)에는 2D 영상 구현을 위한 데이터전압(Vdata)이 제1 화소전압(VEp1)으로 충전되고, 제2 TFT(ST2)의 턴

온에 의해 보조 표시부(SP)의 제2 화소전극(Ep2)에도 마찬가지로 2D 영상 구현을 위한 동일한 데이터전압(Vdata)이 제2 화소전압(VEp2)으로 충전된다.

[0050] 스캔펄스(SCAN)가 게이트 로우 전압(VGL)으로 입력되는 기간(이하, 'T2 기간'이라 함) 동안, 제1 및 제2 TFT(ST1,ST2)는 동시에 턴 오프 된다. 제1 TFT(ST1)의 턴 오프에 의해, 메인 표시부(MP)의 제1 화소전극(Ep1)에 충전되어 있던 제1 화소전압(VEp1)은 킥백 전압(kick back voltage, ΔV_p)의 영향으로 소정값만큼 쉬프트되고, 제1 스토리지 커패시터(Cst1)에 의해 이 쉬프트 된 값으로 유지된다. 제2 TFT(ST2)의 턴 오프에 의해, 보조 표시부(SP)의 제2 화소전극(Ep2)에 충전되어 있던 제2 화소전압(VEp2)은 킥백 전압(ΔV_p)의 영향으로 소정값만큼 쉬프트되고, 제2 스토리지 커패시터(Cst2)에 의해 이 쉬프트 된 값으로 유지된다.

[0051] T1 및 T2 기간에서 메인 표시부(MP)의 제1 공통전극(Ec1)과 보조 표시부(SP)의 제2 공통전극(Ec2)에는 상부 공통라인(VCL2)을 통해 공통전압(Vcom)이 인가되고 있다. 제1 화소전압(VEp1)과 공통전압(Vcom) 간 전압차는 제2 화소전압(VEp2)과 공통전압(Vcom) 간 전압차와 동일하게 유지될 수 있다. 노멀리 블랙(normaly black)의 액정 모드에서 액정셀의 투과율은 화소전극과 공통전극 간 전위차에 비례한다. 그 결과, 메인 표시부(MP)와 보조 표시부(SP)는 도 5의 (A)와 같이 동일 계조의 2D 영상을 구현하게 된다. 보조 표시부(SP)에 표시되는 2D 이미지는 2D 영상의 휘도를 높이는 역할을 한다.

[0052] 다음으로, 3D 모드에서의 동작을 설명한다.

[0053] 3D 모드에서, 방전 제어전압(V3D)은 슬라이트-온 레벨(SOL)로 발생된다. 방전제어 TFT(DST)는 슬라이트-온 레벨(SOL)의 방전 제어전압(V3D)에 응답하여 계속해서 슬라이트 온 상태를 유지한다.

[0054] T1 기간 동안, 게이트 하이 전압(VGH)의 스캔펄스(SCAN)에 응답하여 제1 및 제2 TFT(ST1,ST2)는 동시에 풀-온 레벨로 턴 온 된다. 제1 TFT(ST1)의 턴 온에 의해 메인 표시부(MP)의 제1 화소전극(Ep1)에는 3D 영상 구현을 위한 데이터전압(Vdata)이 제1 화소전압(VEp1)으로 충전되고, 제2 TFT(ST2)의 턴 온에 의해 보조 표시부(SP)의 제2 화소전극(Ep2)에도 마찬가지로 3D 영상 구현을 위한 동일한 데이터전압(Vdata)이 제2 화소전압(VEp2)으로 충전된다. T1 기간에서, 풀-온 레벨의 온 상태를 갖는 제2 TFT(ST2)의 채널저항에 비해, 슬라이트-온 레벨의 온 상태를 갖는 방전제어 TFT(DST)의 채널저항은 훨씬 크다. 그 결과, 제2 화소전극(Ep2)에서 유출되는 방전 전류는 제2 화소전극(Ep2)으로 유입되는 충전 전류에 비해 훨씬 적게 된다. 따라서, T1 기간 동안 슬라이트-온 상태를 갖는 방전제어 TFT(DST)는 제2 화소전압(VEp2)의 충전 특성에 거의 영향을 주지 않게 된다.

[0055] T2 기간 동안, 게이트 로우 전압(VGL)의 스캔펄스(SCAN)에 응답하여 제1 및 제2 TFT(ST1,ST2)는 동시에 턴 오프 된다. 제1 TFT(ST1)의 턴 오프에 의해, 메인 표시부(MP)의 제1 화소전극(Ep1)에 충전되어 있던 제1 화소전압(VEp1)은 킥백 전압(ΔV_p)의 영향으로 소정값만큼 쉬프트되고, 제1 스토리지 커패시터(Cst1)에 의해 이 쉬프트 된 값으로 유지된다. 제2 TFT(ST2)의 턴 오프 되면, 보조 표시부(SP)의 제2 화소전극(Ep2)에 충전되어 있던 제2 화소전압(VEp2)은 방전제어 TFT(DST)를 경유하여 유출되는 방전 전류에 의해 소정 기간 내에 공통전압(Vcom) 레벨로 방전된다. 오프 상태를 갖는 제2 TFT(ST2)의 채널저항에 비해, 슬라이트-온 레벨의 온 상태를 갖는 방전제어 TFT(DST)의 채널저항은 훨씬 작다. 그 결과, 방전제어 TFT(DST)를 통해 제2 화소전극(Ep2)에 충전되어 있던 제2 화소전압(VEp2)은 킥백 전압(ΔV_p)의 영향 없이 공통전압(Vcom) 레벨로 방전된다.

[0056] 제2 화소전압(VEp2)의 방전이 완료된 시점에서, 제1 화소전압(VEp1)과 공통전압(Vcom) 간 전압차와 달리, 제2 화소전압(VEp2)과 공통전압(Vcom) 간 전압차는 "0"이 된다. 그 결과, 도 5의 (B)와 같이 노멀리 블랙의 전위차-투과율 특성에 따라, 메인 표시부(MP)는 특정 계조의 3D 영상을 표시하게 되는 반면, 보조 표시부(SP)는 블랙 계조의 영상을 표시하여 블랙 스트라이프로 기능한다. 보조 표시부(SP)에 표시되는 블랙 이미지는 수직으로 이웃한 3D 이미지들(즉, 좌안 이미지와 우안 이미지) 사이의 표시 간격을 넓히는 역할을 한다. 이에 따라, 별도의 블랙 스트라이프 패턴 없이도 크로스토크(Crosstalk)가 발생되지 않는 3D 상하 시야각이 상기 블랙 이미지를 통해 넓게 확보될 수 있게 된다.

[0057] 전술했듯이, 본 발명은 도 6 내지 도 8c와 같은 픽셀 구성을 통해 게이트라인의 개수를 증가시키지 않고 2D 영상의 휘도와 3D 영상의 상하 시야각을 향상시킬 수 있는 효과가 있다. 다만, 본 발명의 일 실시예에 따른 픽셀 구성에 의하는 경우 개구율이 다소 떨어지는 단점이 있다. 구체적으로 설명하면 다음과 같다.

[0058] 본 발명의 일 실시예에서는, 메인 표시부(MP)의 제1 스토리지 커패시터(Cst1)와 보조 표시부(SP)의 제2 스토리지 커패시터(Cst2)가 모두 하부 공통라인(VCL1)에 형성된다. 이 경우, 도 6 내지 도 8c에 도시된 바와 같이 메인 표시부(MP)에 잔류하는 제1 기생 용량(Cgs1)에 비해 보조 표시부(SP)에 잔류하는 제2 기생 용량(Cgs2)이 2배 이상 커진다. 제1 기생 용량(Cgs1)은 제1 TFT(ST)의 드레인전극(D1)과 게이트라인(GL) 사이에 걸리는 정전 용

량이다. 반면, 제2 기생 용량(Cgs2)은 제2 TFT(ST2)의 드레인전극(D2)과 게이트라인(GL) 사이에 걸리는 정전 용량 이외에, 제2 화소전극(Ep2)과 게이트라인(GL) 사이에 걸리는 정전 용량과, 방전제어 TFT(DST)의 소스전극(S3)과 게이트라인(GL) 사이에 걸리는 정전 용량을 더 포함한다.

[0059] 킥백 전압(ΔV_p)은 TFT가 턴 온 상태에서 턴 오프 상태로 전환되는 시점에서 액정 커패시터의 화소전압이 쉬프 트되는 전압량을 지시하는 것으로, 그 값은 기생 용량(Cgs)의 크기에 비례한다. 제1 기생 용량(Cgs1)과 제2 기생 용량(Cgs2) 간 차이가 커지면, 메인 표시부(MP)와 보조 표시부(SP)의 충전 특성이 달라진다. 동일한 충전특 성 확보를 위해서는 기생 용량이 더 큰 표시부의 스토리지 커패시터를 상대적으로 크게 설계하여야 한다. 본 발명의 일 실시예에 따른 픽셀 구성에 의하면, 메인 표시부(MP)와 보조 표시부(SP) 간 킥백 전압(ΔV_p)의 차이 를 완화하기 위해, 제2 스토리지 커패시터(Cst2)가 제1 스토리지 커패시터(Cst1)에 비해 대략 3배 정도 크게 설 계된다. 이로 인해, 본 발명의 일 실시예에 따른 픽셀 구성에서는 메인 표시부(MP)와 보조 표시부(SP) 사이에 서 배선부의 면적이 넓어질 수밖에 없고, 그 결과 픽셀의 개구율이 다소 떨어진다.

[0060] 이하에서 설명할 본 발명의 다른 실시예에서는 전술한 일 실시예와 동일한 효과를 창출하면서, 일 실시예에 비 해 개구율을 좀 더 증가시키는 방안을 모색한다.

[0061] 도 10은 본 발명의 다른 실시예에 따른 픽셀의 등가회로를 보여준다. 도 11은 도 10과 같이 접속된 픽셀의 배 선부(도 3 참조)를 상세히 보여주는 평면도이다. 도 12a는 도 11의 1-1'를 따라 절취한 단면을 보여주고, 도 12b는 도 11의 2-2'를 따라 절취한 단면을 보여주며, 도 12c는 도 11의 3-3'를 따라 절취한 단면을 보여준다. 도 12a 내지 도 12c에서, 'ACT'는 TFT의 소스전극과 드레인전극 사이에 채널을 형성하기 위한 활성층을, 'N+'는 TFT의 소스전극 및 드레인전극과의 오믹 접촉을 위한 오믹 접촉층을, 'SUB'는 하부 유리기판을 각각 나타낸다.

[0062] 본 발명의 다른 실시예는 보조 표시부(SP)의 제2 스토리지 커패시터(Cst2)에 대한 저감 설계가 가능해지도록, 제1 기생 용량(Cgs1)과 제2 기생 용량(Cgs2)을 동등 수준으로 맞추는 것을 핵심으로 한다.

[0063] 도 10 내지 도 12c를 참조하면, 메인 표시부(MP)는 서로 대향하여 제1 액정 커패시터(Clc1)를 이루는 제1 화소 전극(Ep1)과 제1 공통전극(Ec1)을 포함한다. 제1 화소전극(Ep1)은 제1 TFT(ST1)를 통해 데이터라인(DL)에 연결 된다. 제1 TFT(ST1)는 스캔펄스(SCAN)에 응답하여 턴 온 됨으로써 데이터라인(DL) 상의 데이터전압(Vdata)을 제1 화소전극(Ep1)에 인가한다. 제1 TFT(ST1)의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극(S1)은 데 이터라인(DL)에 접속되며, 드레인전극(D1)은 유기 절연막(PAC)과 무기 절연막(PAS)을 관통하는 제1 콘택홀(CH 1)을 통해 제1 화소전극(Ep1)에 접속된다. 제1 TFT(ST1)의 드레인전극(D1)은 게이트 절연막(GI)을 사이에 두고 하부 공통라인(VCL1)과 중첩되어 제1 스토리지 커패시터(Cst1)를 형성한다. 제1 스토리지 커패시터(Cst1)는 소 정 기간 동안 제1 액정 커패시터(Clc1)의 충전 전압을 일정하게 유지시킨다. 제1 공통전극(Ec1)은 공통전압 (Vcom)으로 충전된 상부 공통라인(VCL2)에 접속된다. 상부 공통라인(VCL2)은 유기 절연막(PAC)과 무기 절연막 (PAS) 및 게이트 절연막(GI)을 관통하는 제3 콘택홀(CH3)을 통해 하부 공통라인(VCL1)에 접속되어, 하부 공통라 인(VCL1)으로부터 공통전압(Vcom)을 공급받는다.

[0064] 보조 표시부(SP)는 서로 대향하여 제2 액정 커패시터(Clc2)를 이루는 제2 화소전극(Ep2)과 제2 공통전극(Ec2)을 포함한다. 제2 화소전극(Ep2)은 제2 TFT(ST2)를 통해 데이터라인(DL)에 연결된다. 제2 TFT(ST2)는 스캔펄스 (SCAN)에 응답하여 턴 온 됨으로써 데이터라인(DL) 상의 데이터전압(Vdata)을 제2 화소전극(Ep2)에 인가한다. 제2 TFT(ST2)의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극(S2)은 데이터라인(DL)에 접속되며, 드레인 전극(D2)은 유기 절연막(PAC)과 무기 절연막(PAS)을 관통하는 제2 콘택홀(CH2)을 통해 제2 화소전극(Ep2)에 접 속된다. 제2 TFT(ST2)의 소스전극(S2)은 제1 TFT(ST1)의 소스전극(S1)과 접속된다. 제2 TFT(ST2)의 드레인전 극(D2)은 게이트 절연막(GI)을 사이에 두고 방전 제어라인(V3DL)과 중첩되어 제2 스토리지 커패시터(Cst2)를 형 성한다. 제2 스토리지 커패시터(Cst2)는 소정 기간 동안 제2 액정 커패시터(Clc2)의 충전 전압을 일정하게 유 지시킨다. 제2 공통전극(Ec2)은 공통전압(Vcom)으로 충전된 상부 공통라인(VCL2)에 접속된다.

[0065] 제2 화소전극(Ep2)은 방전제어 TFT(DST)를 통해 상부 공통라인(VCL2)에 연결된다. 방전제어 TFT(DST)는 방전 제어전압(V3D)에 응답하여 제2 화소전극(Ep2)과 상부 공통라인(VCL2) 사이의 전류 패스를 스위칭한다. 방전제 어 TFT(DST)의 게이트전극은 방전 제어라인(V3DL)에 접속되고, 소스전극(S3)은 제2 화소전극(Ep2)에 접속되며, 드레인전극(D3)은 유기 절연막(PAC)과 무기 절연막(PAS)을 관통하는 제4 콘택홀(CH4)을 통해 상부 공통라인 (VCL2)에 접속된다. 방전제어 TFT(DST)의 소스전극(S3)은 제2 TFT(ST2)의 드레인전극(D2)과 접속된다.

[0066] 게이트라인(GL), 방전 제어라인(V3DL), 하부 공통라인(VCL1)은 서로 동일층 상에 형성될 수 있다. 또한, 제1

및 제2 화소전극(Ep1,Ep2), 제1 및 제2 공통전극(Ec1,Ec2), 상부 공통라인(VCL2)은 서로 동일층 상에 형성될 수 있다.

[0067] 2D 모드에서 방전 제어전압(V3D)이 게이트 로우 전압(VGL)으로 인가될 때, 방전제어 TFT(DST)는 자신의 소스-드레인 간 채널을 완전히 폐쇄하여 제2 화소전극(Ep2)과 상부 공통라인(VCL2) 사이의 전류 패스를 차단한다. 3D 모드에서 슬라이트-온 레벨(SOL)의 방전 제어전압(V3D)이 인가될 때, 방전제어 TFT(DST)는 자신의 소스-드레인 간 채널을 부분 개방하여 제2 화소전극(Ep2)과 상부 공통라인(VCL2) 사이의 전류 패스를 부분적으로 허용한다.

[0068] 본 발명의 다른 실시예에 따른 픽셀의 동작 및 작용 효과는 전술한 일 실시예에 따른 픽셀에서 설명한 것과 실질적으로 동일하다.

[0069] 본 발명의 다른 실시예에서는 메인 표시부(MP)의 제1 스토리지 커패시터(Cst1)를 하부 공통라인(VCL1)에 형성하고 보조 표시부(SP)의 제2 스토리지 커패시터(Cst2)를 방전 제어라인(V3DL)에 형성한다. 이에 의하면, 제2 화소전극(Ep2)과 게이트라인(GL)의 중첩, 제2 화소전극(Ep2)과 게이트라인(GL)의 중첩으로 인해 일 실시예에서 제2 기생 용량(Cgs2)에 포함되었던 정전 용량들이 제거되기 때문에, 메인 표시부(MP)에 잔류하는 제1 기생 용량(Cgs1)과 보조 표시부(SP)에 잔류하는 제2 기생 용량(Cgs2)이 동등 수준으로 맞추어진다. 그 결과, 본 발명의 다른 실시예는 보조 표시부(SP)의 제2 스토리지 커패시터(Cst2)에 대한 저감 설계가 가능하여 배선부의 폭을 줄일 수 있고, 일 실시예에 비해 개구율을 더욱 증가시킬 수 있다.

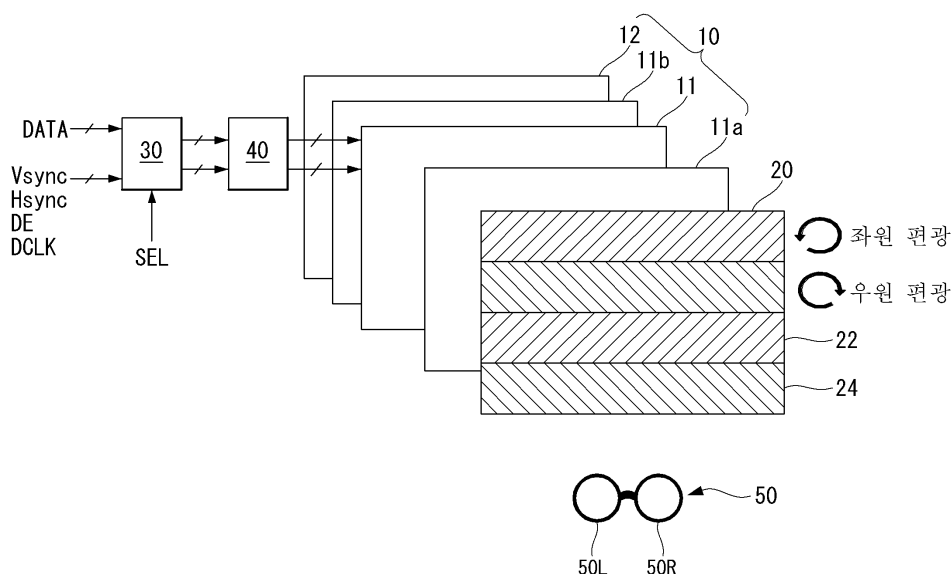
[0070] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

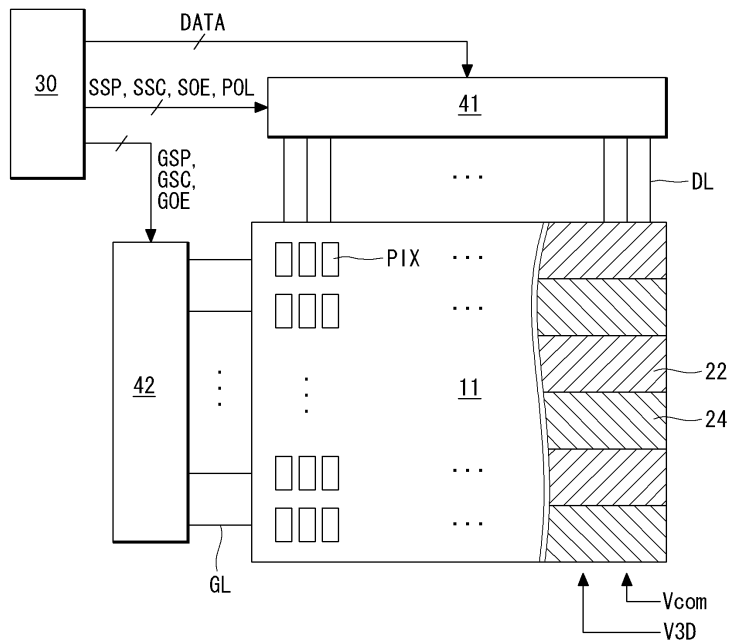
[0071]	10 : 표시소자	11 : 표시패널
	20 : 패턴 리타더	30 : 컨트롤러
	40 : 패널 구동회로	41 : 데이터 드라이버
	42 : 게이트 드라이버	50 : 편광 안경

도면

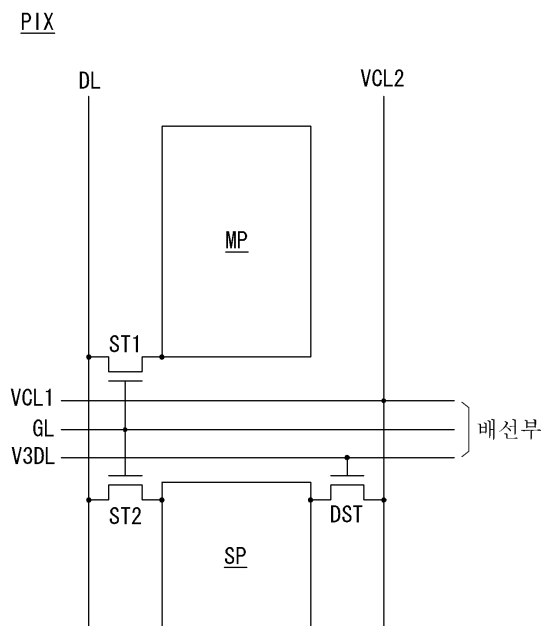
도면1



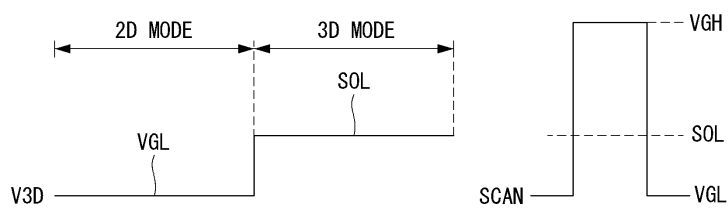
도면2



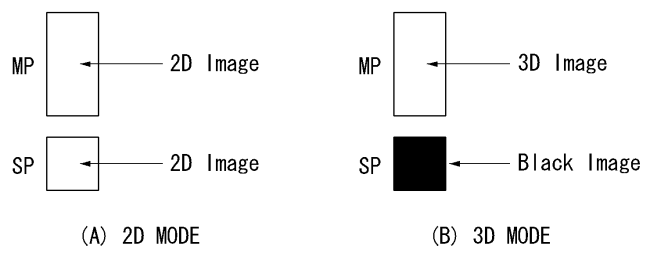
도면3



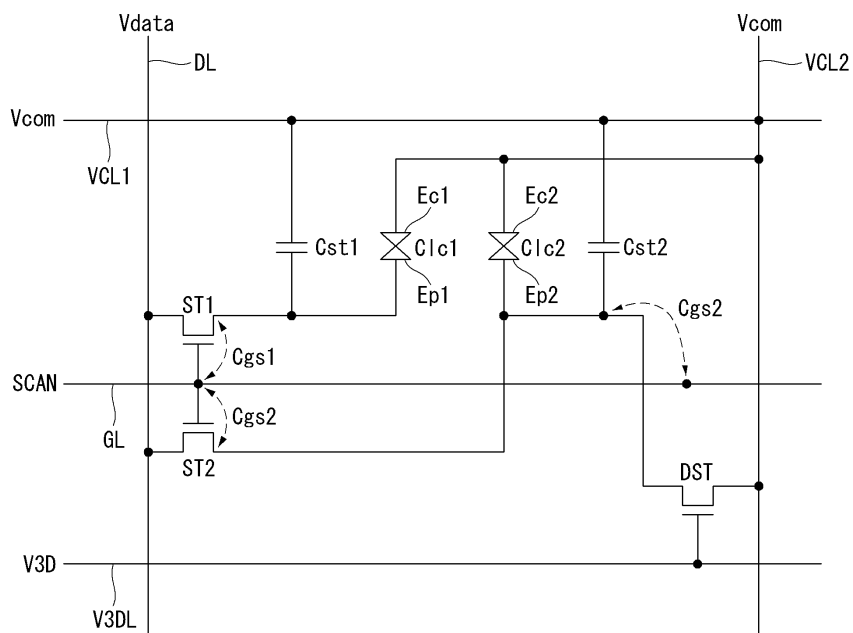
도면4



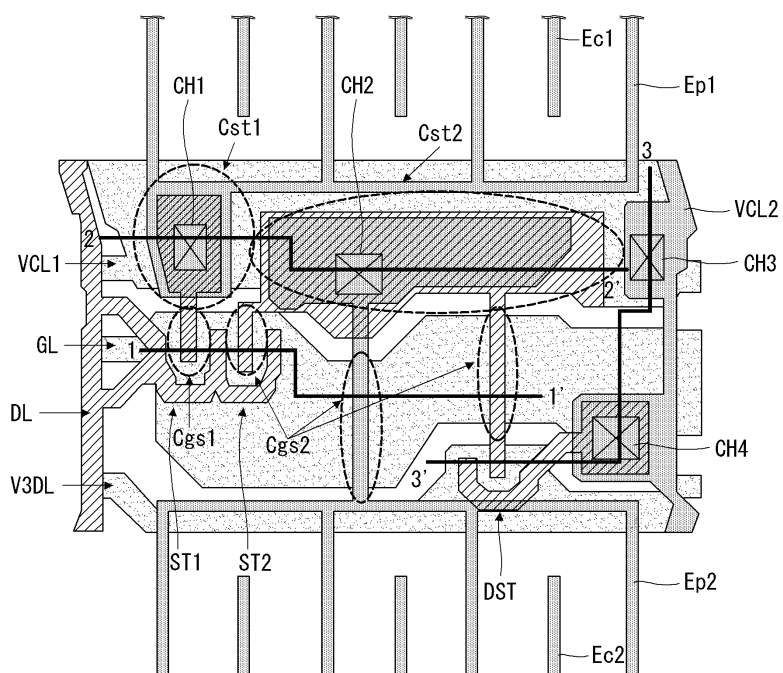
도면5



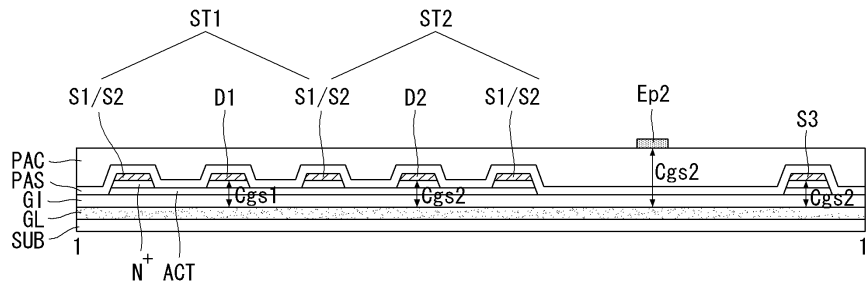
도면6



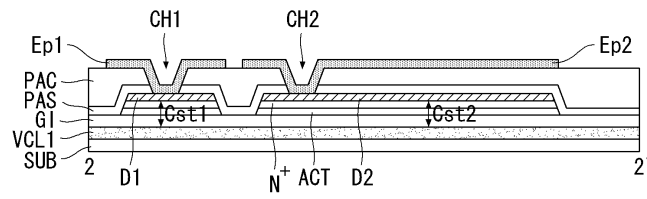
도면7



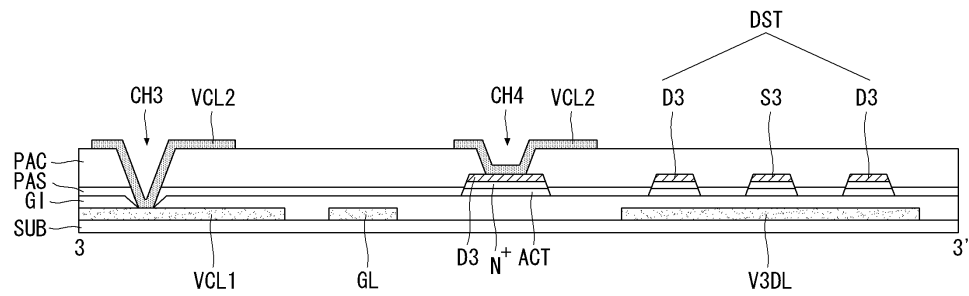
도면8a



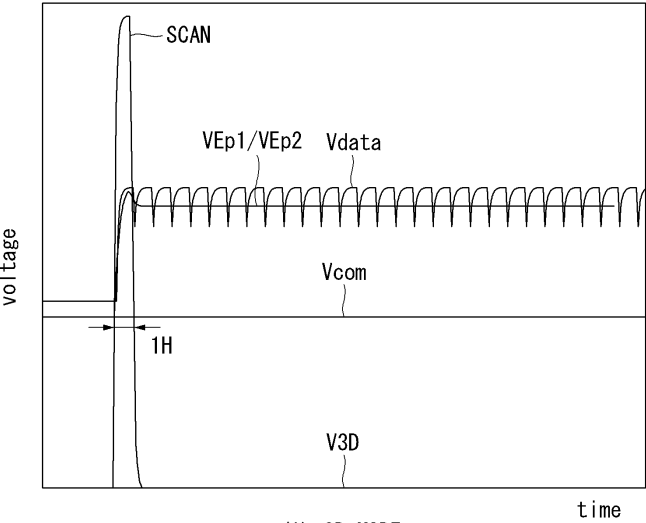
도면8b



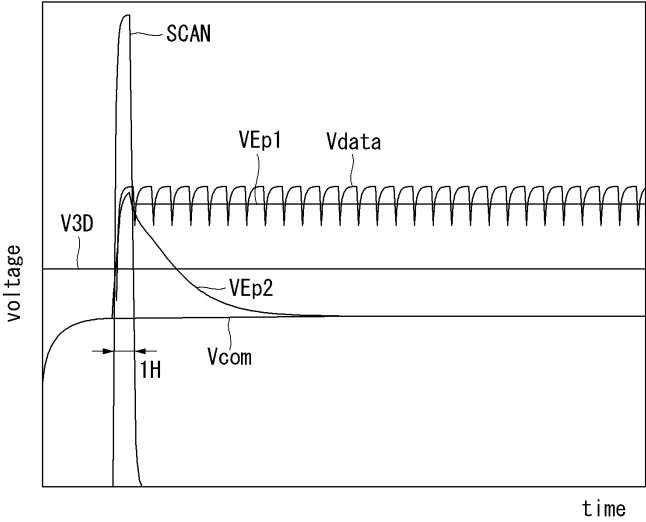
도면8c



도면9

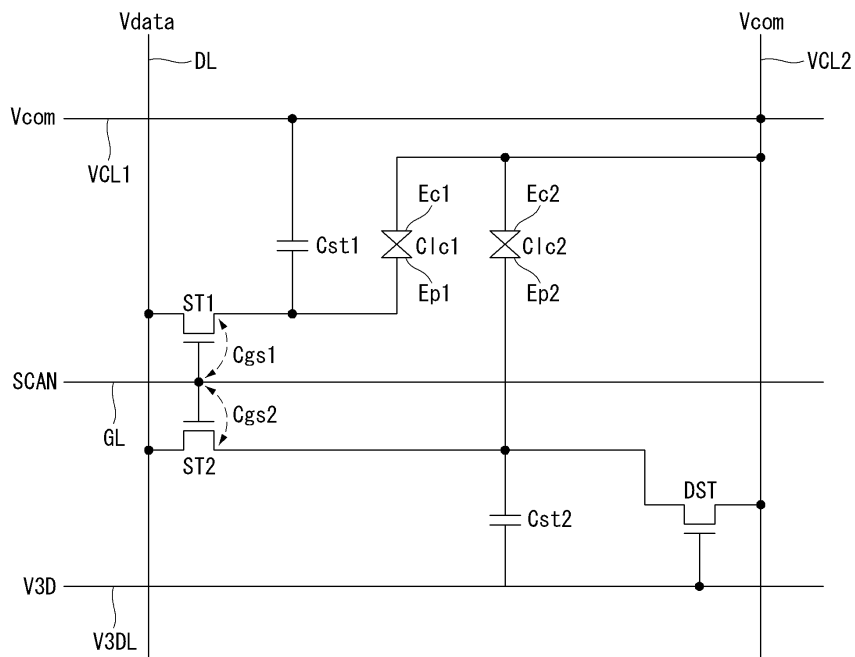


(A) 2D MODE

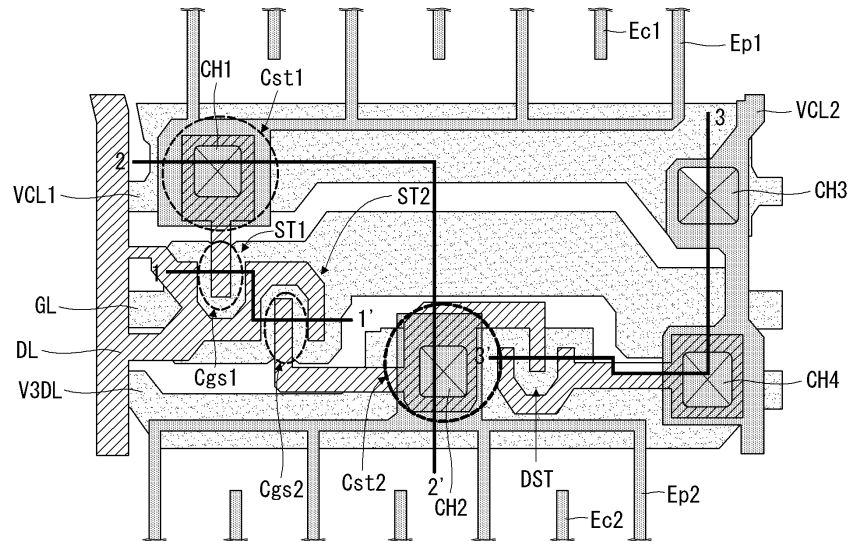


(B) 3D MODE

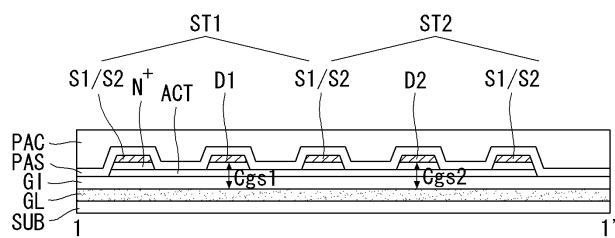
도면10



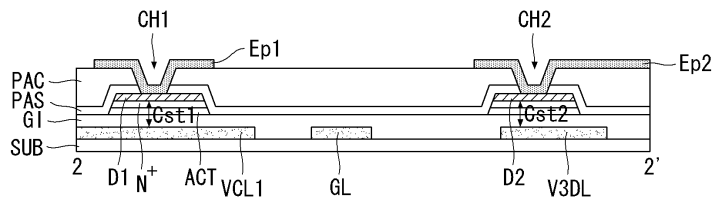
도면11



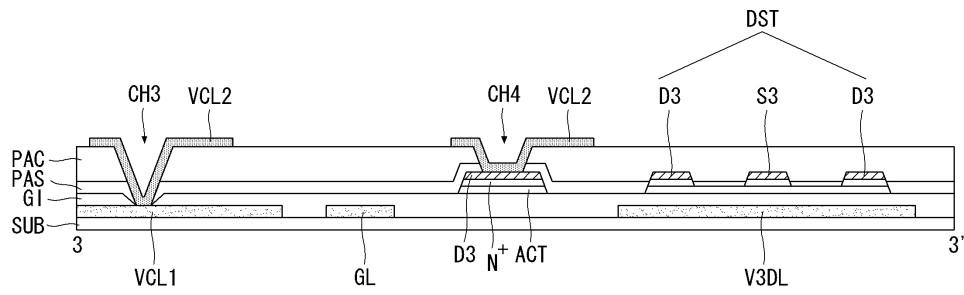
도면12a



도면12b



도면12c



专利名称(译)	立体图像显示装置		
公开(公告)号	KR101868145B1	公开(公告)日	2018-06-18
申请号	KR1020110102063	申请日	2011-10-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SEOK 김석 HWANG KWANG JO 황광조 KIM EUI TAE 김의태		
发明人	김석 황광조 김의태		
IPC分类号	G09G3/20 G02B27/22 G02B30/25 H04N13/30		
CPC分类号	G02F1/13624 G02B27/26 G02F2001/134345 H04N13/398 H04N13/356 G09G3/003 G09G3/36 G09G3/3648 H04N13/337 G02B30/25		
其他公开文献	KR1020130037580A		
外部链接	Espacenet		

摘要(译)

目的：提供三维图像显示装置，以在不增加栅极线数量的情况下提高2D图像的亮度和3D图像的垂直视角。组成：主显示部分（MP）包括第一像素电极（Ep1）和形成第一液晶电容器（C1c1）的第一公共电极（Ec1）。第一像素电极通过第一TFT（薄膜晶体管）（ST1）连接到数据线（DL）。第一TFT将数据线的电压施加到第一像素电极。第一存储电容器（Cst1）定期维持第一液晶电容器的充电电压。辅助显示部分（SP）包括形成第二液晶电容器（C1c2）的第二像素电极（Ep2）和第二公共电极（Ec2）。第二存储电容器定期保持第二液晶电容器的充电电压。放电控制TFT（DST）响应于用于切换第二像素电极和上公共线之间的电流路径的放电控制电压。

