



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월19일
(11) 등록번호 10-1839931
(24) 등록일자 2018년03월13일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2012-7016517
(22) 출원일자(국제) 2010년11월04일
심사청구일자 2015년10월30일
(85) 번역문제출일자 2012년06월25일
(65) 공개번호 10-2012-0101693
(43) 공개일자 2012년09월14일
(86) 국제출원번호 PCT/JP2010/070064
(87) 국제공개번호 WO 2011/065230
국제공개일자 2011년06월03일
(30) 우선권주장
JP-P-2009-272545 2009년11월30일 일본(JP)
JP-P-2009-279003 2009년12월08일 일본(JP)
(56) 선행기술조사문헌
JP2007179032 A*
(뒷면에 계속)

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
교야마 준
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
야마자키 슌페이
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 15 항

심사관 : 유주호

(54) 발명의 명칭 액정 표시 장치, 액정 표시 장치의 구동 방법, 및 이 액정 표시 장치를 구비하는 전자기기

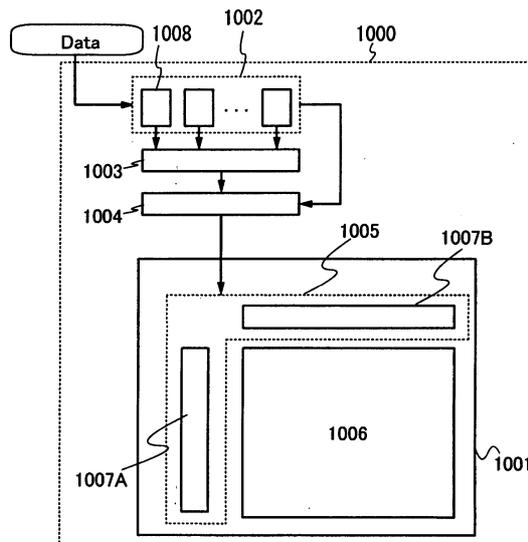
(57) 요약

박막 트랜지스터의 오프 전류를 저감하고, 동화와 정지화가 표시 가능한 액정 표시 장치에 있어서, 저소비 전력화를 도모한다.

화상 신호가 공급되는 화소가 복수 형성된 화소부와, 신호선을 선택적으로 제어하는 신호선측 구동 회로, 및 게

(뒷면에 계속)

대표도 - 도1



이트선을 선택적으로 제어하는 게이트선측 구동 회로를 갖는 구동 회로와, 화상 신호를 기억하는 기억 회로와, 기억 회로에 기억된 화상 신호를 화소별로 비교하여 차이를 연산하는 비교 회로와, 차이에 따라, 구동 회로의 제어 및 화상 신호의 읽기를 행하는 표시 제어 회로를 갖고, 표시 제어 회로는, 차이가 검출된 화소에만 화상 신호를 공급하고, 화소는, 게이트가 게이트선에 전기적으로 접속되고, 제 1 단자가 신호선에 전기적으로 접속되고, 제 2 단자가 화소 전극에 전기적으로 접속된 박막 트랜지스터를 갖고, 박막 트랜지스터는, 산화물 반도체로 이루어진 반도체층을 갖는다.

(56) 선행기술조사문헌

JP09005789 A*

JP2007103918 A*

W02007139009 A1*

JP2001282206 A*

JP10240191 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

액정 표시 장치에 있어서,

적어도 제 1 화상 신호와 제 2 화상 신호가 공급되도록 배치된 복수의 화소를 포함하는 화소부와,

디코더 회로에 의하여 신호선을 선택적으로 제어하는 신호선측 구동 회로 및 게이트선을 선택적으로 제어하는 게이트선측 구동 회로를 포함하는 구동 회로와,

연속하는 프레임 기간에 상기 제 1 화상 신호와 상기 제 2 화상 신호를 기억하는 기억 회로와,

상기 기억 회로에 기억된 상기 제 1 화상 신호와 상기 제 2 화상 신호를 비교하여 상기 제 1 화상 신호와 상기 제 2 화상 신호의 차이를 검출하는 비교 회로와,

상기 차이에 따라, 상기 구동 회로의 제어 및 상기 제 2 화상 신호의 읽기를 행하는 표시 제어 회로를 포함하고,

상기 신호선측 구동 회로는 상기 신호선에 전기적으로 접속된 스위치를 포함하고,

상기 표시 제어 회로는, 상기 스위치를 통한 상기 디코더 회로의 제어에 의하여, 상기 차이가 검출된 상기 화소에만 상기 제 2 화상 신호를 공급하고,

상기 화소는, 유지 용량, 액정 소자, 및 게이트가 상기 게이트선에 전기적으로 접속되고, 제 1 단자가 상기 신호선에 전기적으로 접속되고, 제 2 단자가 상기 액정 소자의 화소 전극에 전기적으로 접속된 박막 트랜지스터를 포함하고,

상기 유지 용량은 상기 액정 소자에 병렬로 접속되고,

상기 유지 용량의 용량은 상기 액정 소자의 용량의 1/3 이하이고,

상기 액정 소자의 액정 재료의 고유 저항은 20℃에서 측정할 때, $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이고,

상기 박막 트랜지스터는, 산화물 반도체를 포함하는 반도체층을 포함하는, 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 산화물 반도체는, 이차이온 질량분석법으로 검출되는 수소 농도가 $1 \times 10^{16} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 3

제 1 항에 있어서,

상기 산화물 반도체는, 캐리어 농도가 $1 \times 10^{14} / \text{cm}^3$ 미만인, 액정 표시 장치.

청구항 4

제 1 항에 있어서,

상기 화소부는, 상기 화소별로 상기 화소 전극을 포함하고, 단자부 및 스위칭 트랜지스터와 함께 제 1 기판 위에 제공되고,

대향 전극이 제 2 기관 위에 제공되고,
 상기 화소 전극과 상기 대향 전극 사이에는 액정이 협지되고,
 상기 대향 전극은, 상기 스위칭 트랜지스터를 통해 상기 단자부와 전기적으로 접속되고,
 상기 스위칭 트랜지스터에 포함되는 반도체층은 산화물 반도체를 포함하는, 액정 표시 장치.

청구항 5

제 4 항에 있어서,
 상기 스위칭 트랜지스터의 상기 반도체층은, 이차이온 질량분석법으로 검출되는 수소 농도가 $1 \times 10^{16} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 6

제 4 항에 있어서,
 상기 스위칭 트랜지스터의 상기 반도체층은, 캐리어 농도가 $1 \times 10^{14} / \text{cm}^3$ 미만인, 액정 표시 장치.

청구항 7

제 1 항에 기재된 액정 표시 장치를 포함하는, 전자기기.

청구항 8

액정 표시 장치에 있어서,
 적어도 제 1 화상 신호와 제 2 화상 신호가 공급되도록 배치된 복수의 화소를 포함하는 화소부와,
 제 1 디코더 회로에 의하여 신호선 및 선택선을 선택적으로 제어하는 신호선측 구동 회로, 및 제 2 디코더 회로에 의하여 게이트선을 선택적으로 제어하는 게이트선측 구동 회로를 포함하는 구동 회로와,
 연속하는 프레임 기간에 상기 제 1 화상 신호와 상기 제 2 화상 신호를 기억하는 기억 회로와,
 상기 기억 회로에 기억된 상기 제 1 화상 신호와 상기 제 2 화상 신호를 비교하여 상기 제 1 화상 신호와 상기 제 2 화상 신호의 차이를 검출하는 비교 회로와,
 상기 차이에 따라, 상기 구동 회로의 제어 및 상기 제 2 화상 신호의 읽기를 행하는 표시 제어 회로를 포함하고,
 상기 표시 제어 회로는, 상기 제 1 디코더 회로와 상기 제 2 디코더 회로의 제어에 의하여, 상기 차이가 검출된 상기 화소에만 상기 제 2 화상 신호를 공급하고,
 상기 화소는, 제 1 박막 트랜지스터, 제 2 박막 트랜지스터, 유지 용량 및 액정 소자를 포함하고,
 상기 제 1 박막 트랜지스터의 게이트는 상기 게이트선에 전기적으로 접속되고, 상기 제 1 박막 트랜지스터의 제 1 단자는 상기 신호선에 전기적으로 접속되고, 상기 제 1 박막 트랜지스터의 제 2 단자는 상기 제 2 박막 트랜지스터의 제 1 단자에 전기적으로 접속되고,
 상기 제 2 박막 트랜지스터의 게이트는 상기 선택선에 전기적으로 접속되고, 상기 제 2 박막 트랜지스터의 제 2 단자는 상기 액정 소자의 화소 전극에 전기적으로 접속되고,
 상기 유지 용량은 상기 액정 소자에 병렬로 접속되고,
 상기 유지 용량의 용량은 상기 액정 소자의 용량의 1/3 이하이고,

상기 액정 소자의 액정 재료의 고유 저항은 20℃에서 측정할 때, $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이고,

상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터는 각각 산화물 반도체를 포함하는 반도체층을 포함하는, 액정 표시 장치.

청구항 9

제 8 항에 있어서,

상기 산화물 반도체는, 이차이온 질량분석법으로 검출되는 수소 농도가 $1 \times 10^{16} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 10

제 8 항에 있어서,

상기 산화물 반도체는, 캐리어 농도가 $1 \times 10^{14} / \text{cm}^3$ 미만인, 액정 표시 장치.

청구항 11

제 8 항에 있어서,

상기 화소부는, 상기 화소별로 상기 화소 전극을 포함하고, 단자부 및 스위칭 트랜지스터와 함께 제 1 기판 위에 제공되고,

대향 전극이 제 2 기판 위에 제공되고,

상기 화소 전극과 상기 대향 전극 사이에는 액정이 협지되고,

상기 대향 전극은 상기 스위칭 트랜지스터를 통해 상기 단자부와 전기적으로 접속되고,

상기 스위칭 트랜지스터에 포함되는 반도체층은 산화물 반도체를 포함하는, 액정 표시 장치.

청구항 12

제 11 항에 있어서,

상기 스위칭 트랜지스터의 상기 반도체층은, 이차이온 질량분석법으로 검출되는 수소 농도가 $1 \times 10^{16} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 13

제 11 항에 있어서,

상기 스위칭 트랜지스터의 상기 반도체층은, 캐리어 농도가 $1 \times 10^{14} / \text{cm}^3$ 미만인, 액정 표시 장치.

청구항 14

제 8 항에 기재된 액정 표시 장치를 포함하는, 전자기기.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

액정 표시 장치의 구동 방법에 있어서,

상기 액정 표시 장치는,

화상 신호가 공급되고, 산화물 반도체, 유지 용량 및 액정 소자를 사용하여 형성된 반도체층을 포함하는 박막 트랜지스터가 제공되는 복수의 화소를 포함하는 화소부와,

신호선측 구동 회로 및 게이트선측 구동 회로를 포함하는 구동 회로와,

상기 화상 신호를 기억하는 기억 회로와,

상기 기억 회로에 기억된 상기 화상 신호들을 비교하여 차이를 검출하는 비교 회로와,

상기 구동 회로의 제어 및 상기 화상 신호의 읽기를 행하는 표시 제어 회로를 포함하고,

상기 박막 트랜지스터의 게이트가 게이트선에 전기적으로 접속되고, 상기 박막 트랜지스터의 제 1 단자가 신호선에 전기적으로 접속되고, 상기 박막 트랜지스터의 제 2 단자가 상기 액정 소자의 화소 전극에 전기적으로 접속되고,

상기 유지 용량은 상기 액정 소자에 병렬로 접속되고,

상기 유지 용량의 용량은 상기 액정 소자의 용량의 1/3 이하이고,

상기 액정 소자의 액정 재료의 고유 저항은 20℃에서 측정할 때, $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이고,

상기 구동 방법은,

상기 비교 회로에서, 상기 화소별로 상기 기억 회로에 기억된 연속하는 프레임 기간의 제 1 화상 신호와 제 2 화상 신호를 읽고 비교하여 차이를 검출하는 단계와,

상기 표시 제어 회로가 상기 비교 회로에서 상기 차이가 검출된 상기 화소에만 상기 제 2 화상 신호를 공급하도록, 상기 구동 회로를 제어하는 단계를 포함하고,

상기 신호선측 구동 회로는 디코더와 스위치를 포함하고,

상기 제 2 화상 신호는 상기 스위치를 통하여 공급되는, 액정 표시 장치의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은, 액정 표시 장치에 관한 것이다. 또한, 액정 표시 장치의 구동 방법에 관한 것이다. 또한, 이 액정 표시 장치를 구비하는 전자기기에 관한 것이다.

배경 기술

[0002] 액정 표시 장치로 대표되는 바와 같이, 유리 기판 등의 평판에 형성되는 박막 트랜지스터는, 아몰퍼스 실리콘, 다결정 실리콘에 의해 제작되고 있다. 아몰퍼스 실리콘을 이용한 박막 트랜지스터는, 전계 효과 이동도는 낮지만 유리 기판의 대면적화에 대응할 수 있고, 한편, 다결정 실리콘을 이용한 박막 트랜지스터는 전계 효과 이동도가 높지만, 레이저 어닐 등의 결정화 공정이 필요하며, 또한, 역치 편차가 크다고 하는 문제가 있고, 유리 기판의 대면적화에 반드시 적용되지는 않다고 하는 특성을 갖고 있다.

[0003] 이에 반해, 산화물 반도체를 이용하여 박막 트랜지스터를 제작하여, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들어, 산화물 반도체막으로 산화 아연, In-Ga-Zn-O계 산화물 반도체를 이용하여 박막 트랜지스터를 제작하고, 액정 표시 장치의 스위칭 소자 등으로 이용하는 기술이 특허문헌 1에 개시되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본국 특개 2006-165528호 공보

발명의 내용

해결하려는 과제

[0005] 산화물 반도체를 채널 영역으로 이용한 박막 트랜지스터는, 아몰퍼스 실리콘을 채널 영역으로 이용한 박막 트랜지스터보다 높은 전계 효과 이동도를 얻을 수 있다. 이와 같은 산화물 반도체를 이용하여 형성한 박막 트랜지스터를 구비한 화소는, 액정 표시 장치 등의 표시 장치로의 응용이 기대된다.

[0006] 액정 표시 장치가 갖는 각 화소는, 액정 소자의 배향을 제어하기 위해, 액정 재료를 협지하는 양단 전극의 전위를 소정 기간 유지하기 위한 유지 용량이, 화소가 차지하는 영역의 일부를 이용하여 형성되어 있다. 액정 재료를 협지하는 양단 전극의 전위를 유지하기 위해서는, 액정 재료를 협지하는 양단 전극의 전하의 리크를 저감할 필요가 있고, 각 화소에 형성된 화소 전극에 접속되어 있는 박막 트랜지스터의 오프 전류를 저감하는 것이 중요해진다.

[0007] 또한 정지화의 표시, 및 동화 중 화면의 일부가 정지화(부분 동화라고도 함)인 표시에서는, 연속하는 기간의 화상 신호가 동일한 경우에도, 이미 다시 쓰기가 된 화상 신호와 동일한 화상 신호로 다시 쓰기 동작이 발생한다. 결과적으로, 연속하는 기간의 화상 신호가 동일한 화상 신호라도 복수회 화상 신호를 다시 쓰는 동작에 의해 소비 전력이 증가하게 된다. 이때, 화상 신호의 다시 쓰기 회수를 저감함으로써 소비 전력의 저감을 기하였다 하더라도, 화소에 화상 신호를 유지하는 것이 오프 전류 등의 증가로 인해 어려우므로, 표시 품질의 저하가 우려된다.

[0008] 한편 본 명세서에서 설명한 오프 전류란, 박막 트랜지스터가 오프 상태(비통전 상태라고도 한다)일 때, 소스와 드레인 사이에 흐르는 전류를 말한다. n채널형의 박막 트랜지스터(예를 들어, 역치 전압이 0 내지 2V 정도)에

서는, 게이트와 소스 사이에 인가되는 전압이 마이너스 전압인 경우, 소스와 드레인 사이를 흐르는 전류를 말한다.

[0009] 따라서, 본 발명의 일 양태는, 박막 트랜지스터의 오프 전류를 저감하고, 동화와 정지화가 표시 가능한 액정 표시 장치에서, 저소비 전력화를 도모하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0010] 본 발명의 일 양태는, 화상 신호가 공급되는 화소가 복수 형성된 화소부와, 신호선을 선택적으로 제어하는 신호 선측 구동 회로, 및 게이트선을 선택적으로 제어하는 게이트선측 구동 회로를 갖는 구동 회로와, 화상 신호를 기억하는 기억 회로와, 기억 회로에 기억된 화상 신호를 화소별로 비교하여 차이를 연산하는 비교 회로와, 차이에 따라, 구동 회로의 제어 및 화상 신호의 읽기를 행하는 표시 제어 회로, 를 갖고, 표시 제어 회로는, 차이가 검출된 화소에만 화상 신호를 공급하고, 화소는, 게이트가 게이트선에 전기적으로 접속되고, 제 1 단자가 신호선에 전기적으로 접속되고, 제 2 단자가 화소 전극에 전기적으로 접속된 박막 트랜지스터를 갖고, 박막 트랜지스터는, 산화물 반도체로 이루어진 반도체층을 갖는 액정 표시 장치이다.

[0011] 본 발명의 일 양태는, 화상 신호가 공급되는 화소가 복수 형성된 화소부와, 디코더 회로를 가짐으로써, 신호선 및 선택선을 선택적으로 제어하는 신호선측 구동 회로, 및 게이트선을 선택적으로 제어하는 게이트선측 구동 회로를 갖는 구동 회로와, 화상 신호를 기억하는 기억 회로와, 기억 회로에 기억된 화상 신호를 화소별로 비교하여 차이를 연산하는 비교 회로와, 차이에 따라, 구동 회로의 제어 및 화상 신호의 읽기를 행하는 표시 제어 회로, 를 갖고, 표시 제어 회로는, 디코더 회로를 제어함으로써, 차이가 검출된 화소에만 화상 신호를 공급하고, 화소는, 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터를 갖고, 제 1 박막 트랜지스터의 게이트는, 게이트선에 전기적으로 접속되고, 제 1 박막 트랜지스터의 제 1 단자는, 신호선에 전기적으로 접속되고, 제 1 박막 트랜지스터의 제 2 단자는, 제 2 박막 트랜지스터의 제 1 단자에 전기적으로 접속되고, 제 2 박막 트랜지스터의 게이트는, 선택선에 전기적으로 접속되고, 제 2 박막 트랜지스터의 제 2 단자는, 화소 전극에 전기적으로 접속되어 있고, 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터는, 산화물 반도체로 이루어진 반도체층을 갖는 액정 표시 장치이다.

[0012] 본 발명의 일 양태는, 화상 신호가 공급되는 화소가 복수 형성된 화소부와, 시프트 레지스터 회로를 가짐으로써 신호선을 순서대로 선택하는 신호선측 구동 회로, 및 디코더 회로를 가짐으로써 게이트선을 선택적으로 제어하는 게이트선측 구동 회로를 갖는 구동 회로와, 화상 신호를 기억하는 기억 회로와, 기억 회로에 기억된 화상 신호를 화소별로 비교하여 차이를 연산하는 비교 회로와, 차이에 따라, 구동 회로의 제어 및 화상 신호의 읽기를 행하는 표시 제어 회로, 를 갖고, 표시 제어 회로는, 디코더 회로를 제어함으로써, 차이가 검출된 화소에 화상 신호를 공급하고, 화소는, 게이트가 게이트선에 전기적으로 접속되고, 제 1 단자가 신호선에 전기적으로 접속되고, 제 2 단자가 화소 전극에 전기적으로 접속된 박막 트랜지스터를 갖고, 박막 트랜지스터는, 산화물 반도체로 이루어진 반도체층을 갖는 액정 표시 장치이다.

[0013] 본 발명의 일 양태에서, 산화물 반도체는, 이차이온 질량 분석법으로 검출되는 수소 농도가 $1 \times 10^{16} / \text{cm}^3$ 이하인 액정 표시 장치이어도 좋다.

[0014] 본 발명의 일 양태에서, 산화물 반도체는, 캐리어 농도가 $1 \times 10^{14} / \text{cm}^3$ 미만인 액정 표시 장치이어도 좋다.

[0015] 본 발명의 일 양태에서, 화소부는 화소별로 화소 전극을 갖고, 단자부, 스위칭 트랜지스터와 함께 제 1 기판 위에 형성되어 있고, 대향 전극이 제 2 기판 위에 형성되어 있고, 화소 전극과 대향 전극의 사이에는 액정이 협지되어 있고, 대향 전극은, 스위칭 트랜지스터를 통해 단자부와 전기적으로 접속되어 있고, 스위칭 트랜지스터가 갖는 반도체층은, 산화물 반도체인 액정 표시 장치이어도 좋다.

[0016] 본 발명의 일 양태는, 화상 신호가 공급되고, 산화물 반도체로 이루어진 반도체층을 갖는 박막 트랜지스터로 구성되는 화소가 복수 형성된 화소부와, 신호선측 구동 회로, 및 게이트선측 구동 회로를 갖는 구동 회로와, 화상 신호를 기억하는 기억 회로와, 화상 신호를 화소별로 비교하여 차이를 연산하는 비교 회로와, 구동 회로의 제어 및 화상 신호의 읽기를 행하는 표시 제어 회로, 를 갖고, 비교 회로에서, 기억 회로에 기억된 연속하는 프레임 기간의 화상 신호를 읽어 화소별로 비교하여 차이를 연산하고, 표시 제어 회로에서, 비교 회로에서 차이가 검출된 화소에만 화상 신호를 공급하도록 구동 회로를 제어하는 액정 표시 장치의 구동 방법이다.

발명의 효과

[0017] 본 발명의 일 양태에 의해, 산화물 반도체를 이용한 박막 트랜지스터의 오프 전류를 저감하고, 표시 품질을 저하시키지 않고, 동화, 정지화 등을 표시할 때의 저소비 전력화를 도모할 수 있다.

도면의 간단한 설명

[0018] 도 1은, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 2(A) 및 도 2(B)는, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 3(A) 및 도 3(B)는, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 4(A) 및 도 4(B)는, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 5는, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 6(A) 내지 도 6(C)는, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 7(A) 내지 도 7(E)는, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 8(A) 내지 도 8(E)는, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 9는, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 10(A) 내지 도 10(C)는, 본 발명의 일 양태의 전자기기를 설명하기 위한 도면이다.
 도 11(A) 내지 도 11(C)는, 본 발명의 일 양태의 전자기기를 설명하기 위한 도면이다.
 도 12는, 산화물 반도체를 이용한 역스태거형의 박막 트랜지스터의 종단면도이다.
 도 13(A) 및 도 13(B)는, 도 12에 나타낸 A-A' 단면에서의 에너지 밴드도(모식도)이다.
 도 14(A)가 게이트(G1)에 플러스 전위(+VG)가 인가된 상태를 나타내고, 도 14(B)는 게이트(G1)에 마이너스 전위(-VG)가 인가된 상태를 나타낸 도면이다.
 도 15는, 진공 준위와 금속의 일함수(ϕ_M), 산화물 반도체의 전자친화력(χ)의 관계를 나타낸 도면이다.
 도 16은, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 17(A) 내지 도 17(C)는, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 18(A) 및 도 18(B)는, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
 도 19는, 본 발명의 일 양태에서의 TFT의 ID-VG 특성을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명의 실시형태에 대해 도면을 참조하여 설명한다. 단, 본 발명은 기타 많은 다른 형태로 실시할 수 있고, 본 발명의 취지 및 그 범위에서 벗어나지 않는 한도 내에서 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것을 당업자라면 용이하게 이해할 수 있다. 따라서, 실시형태의 기재 내용에 한정되어 해석되어서는 안 된다. 한편, 이하에 설명한 본 발명의 구성에서, 동일한 것을 나타내는 부호는 다른 도면에서도 공통으로 적용한다.

[0020] 한편, 각 실시형태의 도면 등에서 나타낸 각 구성의, 크기, 층의 두께, 또는 영역은, 명료화를 위해 과장되어 표기된 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다.

[0021] 한편 본 명세서에서 이용하는 제 1, 제 2, 제 3, 내지 제 N(N은 자연수)라는 용어는, 구성 요소의 혼동을 피하기 위해 부여한 것으로, 수적으로 한정하기 위한 것이 아님을 밝혀둔다.

- [0022] (실시형태 1)
- [0023] 본 실시형태에서는, 액정 표시 장치의 블럭도, 및 동화, 정지화, 및 부분 동화의 판정 등의 순서에 대해 나타낸다. 우선, 도 1에서는, 액정 표시 장치의 블럭도에 대해 설명한다.
- [0024] 도 1에 나타낸 액정 표시 장치(1000)는, 표시 패널(1001), 기억 회로(1002), 비교 회로(1003), 표시 제어 회로(1004)를 갖고, 외부에서 각 화소로 공급되는 화상 신호(Data)가 입력된다.
- [0025] 표시 패널(1001)은, 일 예로, 구동 회로부(1005) 및 화소부(1006)를 갖는다.
- [0026] 구동 회로부(1005)는, 게이트선측 구동 회로(1007A), 신호선측 구동 회로(1007B)를 갖는다. 게이트선측 구동 회로(1007A), 신호선측 구동 회로(1007B)는, 복수의 화소를 갖는 화소부(1006)의 화소를 선택적으로 구동하기 위한 구동 회로이다. 구체적으로 구동 회로부(1005)는, 신호선을 선택적으로 제어하는 신호선측 구동 회로, 게이트선을 선택적으로 제어하는 게이트선측 구동 회로를 갖는다. 일 예로 게이트선측 구동 회로(1007A) 및 신호선측 구동 회로(1007B)로서 디코더 회로를 갖는 구성으로 하면 된다. 또는, 게이트선측 구동 회로(1007A)로서 디코더 회로를 갖는 구성, 신호선측 구동 회로(1007B)로서 시프트 레지스터 회로를 갖는 구성으로 하여도 좋다.
- [0027] 한편, 게이트선측 구동 회로(1007A), 신호선측 구동 회로(1007B), 및 화소부(1006)는, 동일한 기판에 형성되는 박막 트랜지스터에 의해 회로가 구성되는 것이어도 좋다. 또는 게이트선측 구동 회로(1007A) 및 신호선측 구동 회로(1007B)와, 화소부(1006)가 별도의 기판에 형성되는 구성이어도 좋다.
- [0028] 한편 화소부(1006)의 각 화소에 형성되는 박막 트랜지스터로는, 반도체층을 산화물 반도체로 한 n채널형의 박막 트랜지스터를 이용한다. 화소부(1006)를 구성하는 박막 트랜지스터의 반도체층으로 이용하는 산화물 반도체, 및 산화물 반도체를 반도체층으로 이용한 박막 트랜지스터에 대해 설명한다.
- [0029] 한편, 화소 회로에서의 표시 방식은, 프로그레시브 방식이나 인터레이스 방식 등을 이용할 수 있다. 또한, 컬러 표시할 때에 화소에서 제어하는 색 요소로는, RGB(R은 적, G는 녹, B는 청을 나타낸다)의 삼색에 한정되지 않는다. 예를 들어, RGBW(W는 백색을 나타낸다), 또는 RGB에, 옐로, 시안, 마젠타 등을 한가지 색 이상 추가한 것이 있다. 한편, 색 요소의 도트 별로 그 표시 영역의 크기가 달라도 좋다. 단, 본 발명의 일 양태는 컬러 표시의 액정 표시 장치에 한정되는 것은 아니며, 흑백 표시의 액정 표시 장치에 적용할 수도 있다.
- [0030] 산화물 반도체로는, In-Sn-Ga-Zn-O, In-Ga-Zn-O, In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O, Sn-Al-Zn-O, In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O, In-Mg-O, In-O, Sn-O, Zn-O 등의 산화물 반도체를 이용할 수 있다. 또한, 상기 산화물 반도체에 Si를 포함해도 좋다.
- [0031] 또한, 산화물 반도체는, $InMO_3(ZnO)_m(m>0)$ 로 표기되는 박막을 이용할 수 있다. 여기서, M은, Ga, Al, Mn 및 Co 에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다. $InMO_3(ZnO)_m(m>0)$ 로 표기되는 구조의 산화물 반도체막 중, M으로 Ga를 포함하는 구조의 산화물 반도체를, In-Ga-Zn-O 산화물 반도체라 하며, 그 박막을 In-Ga-Zn-O막이라고도 부르는 것으로 한다.
- [0032] 도 12는, 산화물 반도체를 이용한 역스태거형의 박막 트랜지스터의 종단면도를 나타낸다. 게이트 전극(GE1) 위에 게이트 절연막(GI)을 통해 산화물 반도체층(OS)이 형성되고, 그 위에 소스 전극(S) 및 드레인 전극(D)이 형성되어 있다.
- [0033] 도 13(A) 및 도 13(B)는, 도 12에 나타낸 A-A' 단면에서의 에너지 밴드도(모식도)를 나타낸다. 도 13(A)는 소스와 드레인의 전압을 등전위(VD=0V)로 한 경우를 나타내고, 도 13(B)는 드레인에 플러스 전위(VD>0V)를 가한 경우를 나타낸다.
- [0034] 도 14(A) 및 도 14(B)는, 도 12에서의 B-B' 단면에서의 에너지 밴드도(모식도)이다. 도 14(A)는 게이트(G1)에 플러스 전위(+V_G)가 인가된 상태로, 소스, 드레인 사이에 캐리어(전자)가 흐르는 온 상태를 나타내고 있다. 또한, 도 14(B)는, 게이트(G1)에 마이너스 전위(-V_G)가 인가된 상태로, 오프 상태(소수 캐리어는 흐르지 않는다)인 경우를 나타낸다. 한편, 도 14(A), (B)에서 게이트(G2)는, GND 전위가 인가된 상태이다.
- [0035] 도 15는, 진공 준위와 금속의 일함수(ϕ_M), 산화물 반도체의 전자 친화력(χ)의 관계를 나타낸다.
- [0036] 종래의 산화물 반도체는 일반적으로 n형이고, 이 경우의 페르미 준위(E_F)는, 밴드갭 중앙에 위치하는 진성 페르

미 준위(E_i)에서 떨어져, 전도대 쪽으로 위치하고 있다. 한편, 산화물 반도체에서 수소의 일부는 도너가 되어 n형화하는 하나의 요인인 것으로 알려져 있다.

- [0037] 이에 대해 본 발명에 관한 산화물 반도체는, n형 불순물인 수소를 산화물 반도체에서 제거하고, 산화물 반도체의 주성분 이외에 불순물이 최대한 포함되지 않도록 고순도화함으로써 진성(i형)으로 하고, 또는 진성형에 가까운 것으로 한 것이다. 즉, 불순물을 첨가하여 i형화하는 것이 아니라, 수소나 물 등의 불순물을 최대한 제거함으로써, 고순도화된 i형(진성)반도체 또는 이에 가깝게 하는 것을 특징으로 하고 있다. 이렇게 함으로써, 페르미 준위(E_F)는 진성 페르미 준위(E_i)와 동일한 레벨로까지 할 수 있다.
- [0038] 산화물 반도체의 밴드갭(E_g)이 3.15eV인 경우, 전자 친화력(χ)은 4.3eV라고 여겨지고 있다. 소스 전극 및 드레인 전극을 구성하는 티탄(Ti)의 일함수는, 산화물 반도체의 전자 친화력(χ)과 거의 동등하다. 이 경우, 금속-산화물 반도체 계면에서, 전자에 대해 쇼트키형의 장벽은 형성되지 않는다.
- [0039] 즉, 금속의 일함수(ϕ_M)와 산화물 반도체의 전자 친화력(χ)이 동등한 경우, 양자가 접촉하면 도 13(A)에서 나타낸 바와 같은 에너지 밴드도(모식도)가 나타난다.
- [0040] 도 13(B)에서 검은 원(●)은 전자를 나타내고, 드레인에 플러스 전압이 인가되면, 전자는 배리어(h)를 넘어 산화물 반도체로 주입되고, 드레인을 향해 흐른다. 이 경우, 배리어(h)의 높이는, 게이트 전압과 드레인 전압에 의존하여 변화하나, 플러스 드레인 전압이 인가된 경우에는, 전압 인가가 없는 도 13(A)의 배리어의 높이, 즉 밴드갭(E_g)의 1/2보다 배리어의 높이(h)는 작은 값이 된다.
- [0041] 이때 전자는, 도 14(A)에서 나타낸 바와 같이 게이트 절연막과 고순도화된 산화물 반도체의 계면에서의, 산화물 반도체측의 에너지적으로 안정적인 최저부로 이동한다.
- [0042] 또한, 도 14(B)에서, 게이트(G1)에 마이너스 전위가 인가되면, 소수 캐리어인 홀은 실질적으로 0이므로, 전류는 무한대로 0에 가까운 값이 된다.
- [0043] 예를 들어, 박막 트랜지스터의 채널 폭(W)이 $1 \times 10^4 \mu\text{m}$ 이고 채널 길이(L)가 $3 \mu\text{m}$ 인 소자에서도, 오프 전류가 10^{-13}A 이하이고, 서브스레숄드 스윙값(S값)이 0.1V/dec.(게이트 절연막(막후 100nm))가 얻어진다.
- [0044] 이와 같이, 산화물 반도체의 주성분 이외에 불순물이 최대한 포함되지 않도록 고순도화함으로써, 박막 트랜지스터의 동작이 양호한 것으로 할 수 있다.
- [0045] 본 발명에 관한 산화물 반도체는, 전기적 특성 변동을 억제하기 위해, 변동 요인이 되는 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 한다) 등의 불순물을 산화물 반도체층에서 의도적으로 배제하고, 또한 불순물의 배제 공정에 의해 동시에 감소하게 되는 산화물 반도체를 구성하는 성분인 산소를 공급함으로써, 고순도화 및 전기적으로 I형(진성)화된 산화물 반도체층이다.
- [0046] 따라서 산화물 반도체 층의 수소는 적으면 적을수록 좋으며, 산화물 반도체에 포함되는 수소가 바람직하게는 $1 \times 10^{16} / \text{cm}^3$ 이하로 하여, 산화물 반도체에 포함되는 수소를 0에 가깝도록 최대한 제거한다. 한편, 산화물 반도체의 수소 농도 측정은, 이차이온 질량분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 행하면 된다.
- [0047] 또한, 고순도화된 산화물 반도체 중에는 캐리어가 매우 적고(0에 가까움), 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 이하이다. 즉, 산화물 반도체층의 캐리어 농도는, 무한대로 0에 가깝게 한다. 산화물 반도체 중에는 캐리어가 매우 적으므로, 박막 트랜지스터의 오프 전류를 적게 할 수 있다. 오프 전류는 적으면 적을수록 바람직하다. 박막 트랜지스터는, 채널 폭(W) $1 \mu\text{m}$ 당 전류값이 100aA/ μm 이하, 바람직하게는 10aA/ μm 이하, 더욱 바람직하게는 1aA/ μm 이하이다.
- [0048] 여기서 고순도화된 산화물 반도체 중에서, 소수 캐리어가 매우 적은, 실질적으로 0인 점, 및 오프 전류가 매우 작은 점에 대해, 수학적, 및 측정 데이터를 참조하여 상세히 서술한다.
- [0049] 고순도화된 산화물 반도체는, 페르미·디랙 분포 측을 올바르다고 하면, E_g 가 3.05~3.15eV를 가지므로, Si(규소, 실리콘이라고도 한다)에 비하여, 압도적으로 진성 캐리어가 적다. 또한, 진성 캐리어 밀도(n_i)는, Si에서 10^{10}cm^{-3} 정도인데 반해, 고순도화된 산화물 반도체는 10^{-7}cm^{-3} 정도이다. 즉, 진성 캐리어 밀도(n_i)에 대해, 고순도화된 산화물 반도체와 Si에서는, 17자리 정도의 차이가 있고, 고순도화된 산화물 반도체는 실리콘

과 비교하여 진성 캐리어 밀도(n_i)가 매우 작은 것을 알 수 있다.

[0050] 고순도화된 산화물 반도체의 진성 캐리어 농도는 용이하게 예상할 수 있다.

[0051] 고체 중의 전자의 에너지 분포(f)는 식 (1)로 나타내는 페르미·디랙 통계에 따르는 것이 알려져 있다.

[0052] [수학식 1]

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)}$$

[0053]

[0054] 캐리어 밀도가 현저하게 높지 않은, 즉 축퇴되어 있지 않은 보통의 반도체에서는, 다음 식으로 근사할 수 있다.

[0055] [수학식 2]

$$|E - E_F| > kT$$

[0056]

[0057] 이로 인해, 식 (1)의 페르미·디랙 분포는 식 (3)에서 나타내는 볼츠만 분포의 식에 근접하게 된다.

[0058] [수학식 3]

$$f(E) = \exp\left[-\frac{E - E_F}{kT}\right]$$

[0059]

[0060] 식 (3)을 이용하여 반도체의 진성 캐리어 밀도(n_i)를 계산하면 식 (4)를 얻을 수 있다.

[0061] [수학식 4]

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2kT}\right)$$

[0062]

[0063] 식 (4)에, 문헌에서 얻어진 Si와 In-Ga-Zn-O(이하, IGZO로 약기한다)의 전도대 및 가전자대에서의 실효 상태 밀도(N_c , N_v), 밴드갭(E_g)의 값을 대입하고, 진성 캐리어 밀도를 계산하였다. 계산 결과에 대해 표 1에 나타낸다. 한편, IGZO의 밴드갭으로 문헌 값 3.05eV(IGZO1), 측정값 3.15eV(IGZO2)에 대해 나타내고 있다.

[0064] [표 1]

	Si	IGZO(1)	IGZO(2)
N_c (300K) [cm^{-3}]	2.8×10^{19}	5.0×10^{18}	5.0×10^{18}
N_v (300K) [cm^{-3}]	1.04×10^{19}	5.0×10^{18}	5.0×10^{18}
E_g (300K) [eV]	1.08	3.05	3.15
n_i (300K) [cm^{-3}]	1.45×10^{10}	1.2×10^{-7}	1.7×10^{-8}

[0065]

[0066] 표 1의 결과에서, IGZO는 Si에 비해 극단적으로 진성 캐리어 밀도가 적은 것을 알 수 있다. IGZO의 밴드갭으로 3.05eV를 선택한 경우, Si와 IGZO에서는, 진성 캐리어 농도에 약 17자리의 차이가 있다.

[0067] 이어서, 고순도화된 산화물 반도체 중에서, 오프 전류가 매우 작은 점에 대해 상세히 서술한다.

[0068] 상술한 바와 같이, 고순도화된 산화물 반도체는, 고순도화된 산화물 반도체 중의 소수 캐리어가 충분히 적다는

특징을 갖고 있다. 오프 전류의 하한을 상정하기 위해, 박막 트랜지스터의 채널 폭(W)이 1μm인 고순도화된 산화물 반도체를 반도체층으로 이용하여 제작한 박막 트랜지스터의 오프 전류를 측정하고, 게이트 전압을 인가했을 때의 드레인 전류에 대해 플롯한 도면을 도 19에 나타낸다. 도 19에 나타낸 바와 같이, 오프 전류는, 측정기의 검출 한계인 1×10^{-12} A 이하가 된다. 이때, 박막 트랜지스터의 채널 폭(W)을 1μm로 상정한 경우, 오프 전류는 1aA 이하(1×10^{-18} A 이하)이다.

- [0069] 박막 트랜지스터의 오프 전류가 발생하는 요인의 하나로, 전자와 정공의 생성-재결합을 거쳐 채널에 공급된 캐리어가 흐르는 것이 알려져 있다. 생성-재결합에는 전자가 가전자대(Ev)에서 전도대(Ec)로 여기되는 직접 생성 재결합과, 밴드갭 내의 국재 준위(Et)를 통해 일어나는 간접 생성 재결합이 존재한다. 일반적으로, 밴드갭이 좁은 반도체의 경우, 밴드갭이 넓은 반도체에 비해 캐리어 농도가 높으므로 국재 준위를 매개로 한 생성 재결합이 활발하나, 고순도화된 산화물 반도체와 같이 밴드갭이 넓은 반도체의 경우는, 밴드갭이 좁은 반도체에 비해 캐리어 농도가 낮으므로, 생성 재결합의 빈도는 작고, 소수 캐리어가 공급되기 어렵다. 결과적으로 캐리어의 생성-재결합에 의한 오프 전류도 작아지게 된다.
- [0070] 한편 Wide gap 반도체로서 예를 들어 SiC(3.26eV), GaN(3.39eV)이 알려져 있다. 이들은 Si에 비해 한자리 높은 절연 파괴 전계 강도를 갖는 점이나 내열성이 우수하다는 점에서 차세대 재료로서 기대되고 있다. 그러나, 이들 재료를 이용하는 반도체 프로세스는 1000℃ 이상의 프로세스 처리를 경유하므로, 유리 기판 위에서의 디바이스 제작은 불가능하다. 다른 한편, 고순도화된 산화물 반도체는 실온 내지 400℃의 가열 스퍼터링법에 의한 박막 형성이고, 탈수, 탈수소화 및, 과잉의 산화는 450~700℃에서 처리할 수 있으므로, 동일한 정도의 밴드갭을 갖는 SiC나 GaN에 비해, 반도체 프로세스에서의 환경에의 부하가 적다.
- [0071] 이와 같이 산화물 반도체에 포함되는 수소를 철저히 제거함으로써 고순도화된 산화물 반도체를 박막 트랜지스터의 채널 형성 영역에 이용한 박막 트랜지스터는, 소수 캐리어가 매우 적고, 오프 전류를 매우 적게 할 수 있다. 즉, 박막 트랜지스터의 비통전 상태에서, 산화물 반도체층은 절연체로 간주하여 회로 설계를 행할 수 있다. 한편으로, 산화물 반도체층은, 박막 트랜지스터의 통전 상태에서는, 비정질 실리콘으로 형성되는 반도체층보다 이동도가 2자리수 정도 높다.
- [0072] 한편, 저온 폴리실리콘을 구비하는 박막 트랜지스터에서는, 산화물 반도체를 이용하여 제작된 박막 트랜지스터와 비교하여, 오프 전류가 10000배 정도 큰 값이라고 상정하여 설계 등을 행하고 있다. 이로 인해, 산화물 반도체를 갖는 박막 트랜지스터에서는, 저온 폴리실리콘을 구비하는 박막 트랜지스터에 비해, 유지 용량이 동등(0.1pF 정도)할 때, 전압의 유지 기간을 10000배 정도로 늘릴 수 있다. 또한, 아몰퍼스 실리콘을 구비하는 박막 트랜지스터의 경우, 채널 폭 1μm 당의 오프 전류는, 1×10^{-13} A/μm 이상이다. 따라서, 유지 용량이 동등(0.1pF 정도)할 때, 고순도의 산화물 반도체를 이용한 트랜지스터 쪽이 아몰퍼스 실리콘을 이용한 박막 트랜지스터에 비해, 전압의 유지 기간을 10⁴ 배 이상으로 늘릴 수 있다.
- [0073] 구체적으로 말하면, 산화물 반도체층을 구비하는 박막 트랜지스터에서는, 각 화소에서의 화상 신호의 유지 시간을 길게 할 수 있다. 이로 인해, 예를 들어, 정지화를 표시할 때의 화상 신호의 다시 쓰기 간격은 10초 이상, 바람직하게는 30초 이상, 더욱 바람직하게는 1분 이상 10분 미만으로 할 수 있다. 즉, 유지 기간을 길게 가질 수 있고, 특히 정지화의 표시를 행할 때에, 화소 전극 및 대향 전극으로의 화상 신호 및 공통 전위의 공급을 행하는 빈도를 저감할 수 있다. 이로 인해, 저소비 전력화를 도모할 수 있다.
- [0074] 한편, 정지화 표시에서, 유지 기간 중의 액정 소자에 인가되어 있는 전압의 유지율을 고려하여, 적절히 리프레쉬 동작하여도 좋다. 예를 들어, 액정 소자의 화소 전극에 신호를 쓴 직후에서의 전압의 값(초기값)에 대해 소정의 레벨까지 전압이 내려간 타이밍에서 리프레쉬 동작을 행하면 된다. 소정의 레벨로 하는 전압은, 초기값에 대해 눈부심을 느끼지 않는 정도로 설정하는 것이 바람직하다. 구체적으로는, 표시 대상이 영상인 경우, 초기값에 대해 1.0% 낮은 상태, 바람직하게는 0.3% 낮은 상태가 될 때마다, 리프레쉬 동작(화상 신호의 다시 쓰기를 다시함)을 행하는 것이 바람직하다. 또한, 표시 대상이 문자인 경우, 초기값에 대해 10% 낮은 상태, 바람직하게는 3% 낮은 상태가 될 때마다, 리프레쉬 동작(화상 신호의 다시 쓰기를 다시함)을 행하는 것이 바람직하다.
- [0075] 한편, 일 예로, 통상, 저온 폴리실리콘을 이용한 트랜지스터를 갖는 화소에서는 동화의 표시를 60프레임/초(1프레임당 16msec)로 하고 있다. 이는 정지화에서도 동일하며, 리프레쉬 동작의 레이트를 저하시키면(화상 신호의 다시 쓰기의 간격을 늘린다), 화소의 전압이 저하되어 표시에 지장을 주기 때문이다. 한편, 상술한 산화물 반도체층을 구비하는 트랜지스터를 이용한 경우, 오프 전류가 작으므로, 1회의 화상 신호의 다시 쓰기에 의한 유

지 시간을 10^4 배인 160초 정도로 할 수 있다.

- [0076] 그리고 1회의 화상 신호의 다시 쓰기에 의한 유지 시간을 길게 잡을 수 있으므로, 특히 정지화의 표시를 행할 때에, 1회의 화상 신호의 다시 쓰기를 행하는 빈도를 저감할 수 있다. 예를 들어, 하나의 정지 화상의 표시 기간에 화상 신호를 다시 쓰는 회수는, 1회 또는 n 회로 할 수 있다. 한편, n 은 2 이상 10^3 회 이하로 한다. 이렇게 하여, 액정 표시 장치의 저소비 전력화를 도모할 수 있다.
- [0077] 한편, 박막 트랜지스터의 오프 전류의 흐르기 어려움을 오프 저항율로 나타낼 수 있다. 오프 저항율이란, 박막 트랜지스터가 오프 일 때의 채널 형성 영역의 저항율로, 오프 저항율은 오프 전류에서 산출할 수 있다.
- [0078] 구체적으로는, 오프 전류와 드레인 전압의 값을 알 수 있으면 옴의 법칙에서 트랜지스터가 오프일 때의 저항값(오프 저항(R))을 산출할 수 있다. 그리고, 채널 형성 영역의 단면적(A)과 채널 형성 영역의 길이(소스 드레인 전극 간의 거리에 상당하는)(L)를 알 수 있으면 $\rho=RA/L$ 의 식(R 은 오프 저항)에서 오프 저항율(ρ)을 산출할 수 있다.
- [0079] 여기서, 단면적(A)은, 채널 형성 영역의 막후를 d 로 하고, 채널 폭을 W 로 할 때, $A=dW$ 에서 산출할 수 있다. 또한, 채널 형성 영역의 길이(L)는 채널 길이(L)이다. 이상과 같이, 오프 전류에서 오프 저항율을 산출할 수 있다.
- [0080] 본 실시형태의 반도체층에 산화물 반도체를 구비하는 트랜지스터의 오프 저항율은 $1 \times 10^9 \Omega \cdot m$ 이상이 바람직하고, $1 \times 10^{10} \Omega \cdot m$ 이상이 더욱 바람직하다.
- [0081] 화상 신호의 유지 시간을 길게 잡음으로써, 특히 정지화의 표시를 행할 때에, 화상 신호의 다시 쓰기 빈도를 저감할 수 있다. 이로 인해, 구동 회로부의 저소비 전력화를 도모할 수 있다.
- [0082] 한편 고전원 전위(Vdd)란, 기준 전위보다 높은 전위를 말하고, 저전원 전위란 기준 전위 이하의 전위를 말한다. 한편, 고전원 전위 및 저전원 전위 모두, 박막 트랜지스터가 동작할 수 있는 정도의 전위인 것이 바람직하다.
- [0083] 한편, 전압이란, 어느 전위와 기준 전위(예를 들어 그라운드 전위)의 차이를 나타내는 경우가 많다. 따라서, 전압, 전위, 전위 차를, 각각, 전위, 전압으로 바꿔 말할 수 있다.
- [0084] 한편 기억 회로(1002)로의, 동화 또는 정지화를 표시하기 위한 화상 신호(Data)의 공급이 아날로그 신호인 경우에는, A/D 컨버터 등을 통해 디지털 신호로 변환하여, 기억 회로(1002)에 공급하는 구성으로 하면 된다. 미리 디지털 신호로 변환해 둬으로써, 후에 화상 신호의 차이를 검출할 때, 검출을 용이하게 행할 수 있어 적합하다.
- [0085] 기억 회로(1002)는, 복수의 프레임에 관한 화상 신호를 기억하기 위한 복수의 프레임 메모리(1008)를 갖는다. 기억 회로(1002)가 갖는 프레임 메모리(1008)의 수는 특별히 한정되는 것은 아니며, 복수의 프레임에 관한 화상 신호를 기억할 수 있는 소자이면 된다. 한편 프레임 메모리(1008)는, 예를 들어 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 기억 소자를 이용하여 구성하면 된다.
- [0086] 한편, 프레임 메모리(1008)는, 프레임 기간별로 화상 신호를 기억하는 구성이면 되고, 프레임 메모리의 수에 대해 특별히 한정되는 것은 아니다. 또한 프레임 메모리(1008)의 화상 신호는, 비교 회로(1003) 및 표시 제어 회로(1004)에 의해 선택적으로 읽어지는 것이다.
- [0087] 비교 회로(1003)는, 기억 회로(1002)에 기억된 연속하는 프레임 기간의 화상 신호를 선택적으로 읽어, 연속하는 프레임 기간에서 화소별로 화상 신호의 비교를 행하고, 화상 신호의 차이를 연산하기 위한 회로이다. 한편 화상 신호의 차이는, 예를 들어 연속하는 프레임 기간에서의 화상 신호의 계조의 차이를 연산하여 얻어지는 것이면 된다.
- [0088] 이 비교 회로(1003)에서의 화상 신호의 차이의 연산에 의해, 모든 화소에서 차이가 검출되었을 때에 이 차이를 검출한 연속하는 프레임 기간은, 동화를 표시하는 기간이라고 판단된다. 또한 비교 회로(1003)에서의 화상 신호의 차이의 연산에 의해, 일부의 화소에서 차이가 검출되었을 때에 이 차이를 검출한 연속하는 프레임 기간은, 부분 동화를 표시하는 기간이라고 판단된다. 또한 비교 회로(1003)에서의 화상 신호의 차이의 연산에 의해, 모든 화소에서 차이가 검출되지 않을 때에 이 차이를 검출하지 않은 연속하는 프레임 기간은, 정지화를 표시하는 기간이라고 판단된다. 즉, 연속하는 프레임 기간의 화상 신호를, 비교 회로(1003)에서의 차이의 연산에 의한 차이의 검출에 의해, 동화를 표시하기 위한 화상 신호인지, 부분 동화를 표시하기 위한 화상 신호인지, 또는 정지화를 표시하기 위한 화상 신호인지 판단하는 것이다. 한편 비교 회로(1003)에서의 연산에 의해 얻어지는 차

이는, 일정한 레벨을 넘었을 때, 차이를 검출한 것으로 판단되도록 설정하여도 좋다. 한편 비교 회로(1003)는, 차이의 크기에 상관없이, 차이의 절대값에 의해, 차이 검출을 판단하는 설정으로 하면 된다.

- [0089] 한편 동화는, 복수의 프레임으로 시분할한 복수의 화상을 고속으로 전환함으로써 인간의 눈에는 움직이는 화상으로 인식되는 화상을 말한다. 구체적으로는, 1초에 60회(60프레임) 이상 화상을 전환함으로써, 인간의 눈에는 눈부심이 적고 동화로 인식되는 것이 된다. 한편, 정지화는, 동화 및 부분 동화와 달리, 복수의 프레임 기간으로 시분할한 복수의 화상을 고속으로 전환하여 동작시키기는 하나, 연속하는 프레임 기간, 예를 들어 n프레임째와, (n+1) 프레임째에서 변화하지 않는 화상을 말한다. 또한 부분 동화는, 복수의 프레임으로 시분할한 복수의 화상을 고속으로 전환함으로써 인간의 눈에는 움직이는 화상으로 인식되는 화상으로, 연속하는 프레임 기간, 예를 들어 n프레임째와, (n+1)프레임째에서 각 화소의 화상 신호가 변화하는 영역과 변화하지 않는 영역을 갖는 화상을 말한다. 한편 비교 회로(1003)에서 화상 신호의 차이를 연산할 때에는, 화상 신호가 디지털 신호인 것이 바람직하다.
- [0090] 표시 제어 회로(1004)는, 비교 회로(1003)에서의 화상 신호의 차이 검출에 따라, 상기의 차이가 검출된 화소에 대해 화상 신호(Data)를 공급하기 위해, 기억 회로(1002)에서 화상 신호(Data)를 읽고, 구동 회로부(1005)를 제어하는 신호를 공급하기 위한 회로이다.
- [0091] 표시 제어 회로(1004)의 구체적인 동작을 설명하기 위해, 화소부의 화소에 대해 간단한 모델을 나타내고, 화상이 동화, 정지화, 또는 부분 동화의 각 경우에서의 화상 신호의 변화에 대해 설명한다.
- [0092] 우선, 도 2(A)에는, 3행×3열의 화소를 갖는 화소부(201)의 모식도를 나타내고 있으며, 1행 1열을 A1로 하여, 3행 3열까지의 각 화소의 어드레스로 A1 내지 A9로 부호를 부가하였다. 한편 당연한 것이나, 실제의 액정 표시 장치에서는, 화소수가 수만 이상의 화소부가 되는 경우가 많아, 각 화소로의 화상 신호의 공급 빈도도 증가하게 된다.
- [0093] 이어서 연속하는 동화를 설명하기 위해, 도 2(B)에서는, 복수의 기간마다, 예를 들어 1프레임 기간마다 화상의 변화, 즉 각 화소의 화상 신호의 변화에 대해 도 2(A)에 대응시켜 나타낸 것이다. 도 2(B)에서는 각 프레임 기간을 제 1 기간(T1) 내지 제 6 기간(T6)으로 하여, 화소에 입력되는 화상 신호에 대해 나타내고 있다. 도 2(B)에서는, 동화, 정지화, 및 부분 동화에 대해, 각각의 화소의 화상 신호의 변화에 대해 나타내고 있다. 한편 각 화소에서의 화상 신호에 의한 계조는, 설명을 위해 2계조를 나타낸 것으로 되어 있으며, 도 2(B)의 비사선부, 사선부로 나누어 표시하고 있다. 또한 도 2(B)에서는, 기간마다 화상 변화로 차이(D1) 내지 차이(D5), 차이(D6) 내지 차이(D10), 차이(D11) 내지 차이(D15)를 나타내고 있다.
- [0094] 도 2(B)에 나타낸 동화의 제 1 기간(T1)에서는, 1행 1열의 A1, 1행 3열의 A3, 2행 2열의 A5, 3행 1열의 A7, 3행 3열의 A9가 사선부, 1행 2열의 A2, 2행 1열의 A4, 2행 3열의 A6, 3행 2열의 A8이 비사선부가 되는 화상 신호가 공급되어 있는 것이 된다. 또한 도 2(B)에 나타낸 동화의 제 2 기간(T2)에서는, 1행 2열의 A2, 2행 1열의 A4, 2행 3열의 A6, 3행 2열의 A8이 사선부, 1행 1열의 A1, 1행 3열의 A3, 2행 2열의 A5, 3행 1열의 A7, 3행 3열의 A9가 비사선부가 되는 화상 신호가 공급되어 있는 것이 된다. 즉, 모든 화소에서 공급되는 화상 신호가 연속하는 기간으로 전환되므로, 비교 회로(1003)에 의해 연산되는 차이(D1)는 모든 화소에서 검출되게 된다. 즉, 표시 제어 회로(1004)는, 차이(D1)가 검출된 화소에만 화상 신호가 공급되도록 구동 회로부(1005)의 제어, 화상 신호의 기억 회로(1002)에서의 읽기를 행하게 된다.
- [0095] 마찬가지로, 동화의 제 2 기간(T2)과 제 3 기간(T3)에서도 A1 내지 A9의 모든 화소에서 화상 신호가 전환되게 된다. 이로 인해, 비교 회로(1003)에서의 연산에 의해 얻어지는 차이(D2)는 모든 화소에서 검출되게 된다. 즉, 표시 제어 회로(1004)는, 차이(D2)가 검출된 화소에만 화상 신호가 공급되도록 구동 회로부(1005)의 제어, 화상 신호의 기억 회로(1002)에서의 읽기를 행하게 된다. 마찬가지로, 동화에서는 모든 화소에서 화상 신호의 차이가 검출됨으로써, 비교 회로(1003)에서의 연산에 의해 차이(D3) 내지 차이(D5)가 얻어지게 된다. 즉, 동화에서는, 연속하는 프레임 간의 차이가 비교 회로(1003)에서의 연산에 의해 모든 화소에서 검출되므로, 표시 제어 회로(1004)는 모든 화소에 화상 신호를 공급하도록, 구동 회로부(1005)의 제어, 기억 회로(1002)에서의 화상 신호의 읽기를 행하게 된다.
- [0096] 도 2(B)에 나타낸 정지화의 제 1 기간(T1)에서는, 1행 1열의 A1, 1행 3열의 A3, 2행 2열의 A5, 3행 1열의 A7, 3행 3열의 A9가 사선부, 1행 2열의 A2, 2행 1열의 A4, 2행 3열의 A6, 3행 2열의 A8이 비사선부가 되는 화상 신호가 공급되어 있는 것이 된다. 또한 도 2(B)에 나타낸 정지화의 제 2 기간(T2)에서는, 1행 1열의 A1, 1행 3열의 A3, 2행 2열의 A5, 3행 1열의 A7, 3행 3열의 A9가 사선부, 1행 2열의 A2, 2행 1열의 A4, 2행 3열의 A6, 3행

2열의 A8이 비사선부가 되는 화상 신호가 공급되어 있는 것이 된다. 즉, 모든 화소에서 화상 신호가 변하지 않게 되므로, 비교 회로(1003)에서의 연산에 의해 얻어지는 차이(D6)는 모든 화소에서 검출되지 않게 된다. 즉, 표시 제어 회로(1004)는, 차이(D6)가 검출되지 않으므로, 구동 회로부(1005)의 제어, 화상 신호의 기억 회로(1002)에서의 읽기를 행하지 않게 된다.

[0097] 마찬가지로, 제 2 기간(T2)과 제 3 기간(T3)에서도 모든 화소에서 화상 신호가 변하지 않게 되므로, 비교 회로(1003)에서의 연산에 의해 얻어지는 차이(D7)는 모든 화소에서 검출되지 않게 된다. 즉, 표시 제어 회로(1004)는, 차이(D7)가 검출되지 않으므로 화소에 화상 신호를 공급할 필요가 없고, 구동 회로부(1005)의 제어, 화상 신호의 기억 회로(1002)에서의 읽기를 행할 필요가 없어지게 된다. 마찬가지로, 정지화에서는 모든 화소에서 화상 신호의 차이가 검출되지 않음으로써, 비교 회로(1003)에서의 연산에 의해 얻어지는 차이(D8) 내지 차이(D10)가 검출되지 않게 된다. 즉, 정지화에서는, 연속하는 프레임 간의 차이가 비교 회로(1003)에서의 연산에 의해 검출되지 않으므로, 표시 제어 회로(1004)는 구동 회로부(1005)의 제어를 행하지 않고, 또한 기억 회로(1002)에서의 화상 신호의 읽기를 생략할 수 있어, 저소비 전력화를 도모할 수 있다.

[0098] 본 실시형태의 구성에서는, 각 화소에 산화물 반도체를 반도체층으로 이용한 박막 트랜지스터를 이용함으로써, 화상 신호의 공급을 제어하고 있다. 상술한 바와 같이, 산화물 반도체를 반도체층으로 이용한 박막 트랜지스터에서는, 오프 전류를 저감할 수 있다. 이로 인해, 동일한 화상 신호이면 화상 신호를 새롭게 공급하지 않고 정지화를 표시할 수 있다.

[0099] 한편 장기간, 정지화의 표시를 행하는 경우에는, 일정 기간별로 화상 신호의 공급을 행하고, 각 화소에서 유지하는 화상 신호에 의한 전위를 다시 공급하는 구성(리프레쉬 동작)으로 하면 된다. 예를 들어, 액정 소자의 화소 전극에 신호를 쓴 직후에서의 전압의 값(초기값)에 대해 소정의 레벨까지 전압이 내려간 타이밍에서 리프레쉬 동작을 하면 된다. 소정의 레벨로 하는 전압은, 초기값에 대해 눈부심을 느끼지 않는 정도로 설정하는 것이 바람직하다. 구체적으로는, 표시 대상이 영상인 경우, 초기값에 대해 1.0% 낮은 상태, 바람직하게는 0.3% 낮은 상태가 될 때마다, 리프레쉬 동작(화상 신호의 다시 쓰기를 다시 함)을 행하는 것이 바람직하다. 또한, 표시 대상이 문자인 경우, 초기값에 대해 10% 낮은 상태, 바람직하게는 3% 낮은 상태가 될 때마다, 리프레쉬 동작(화상 신호의 다시 쓰기를 다시 함)을 행하는 것이 바람직하다.

[0100] 도 2(B)에 나타난 부분 동화의 제 1 기간(T1)에서는, 1행 1열의 A1, 1행 3열의 A3, 2행 2열의 A5, 3행 1열의 A7, 3행 3열의 A9가 사선부, 1행 2열의 A2, 2행 1열의 A4, 2행 3열의 A6, 3행 2열의 A8이 비사선부가 되는 화상 신호가 공급되어 있는 것이 된다. 또한 도 2(B)에 나타난 부분 동화의 제 2 기간(T2)에서는, 1행 3열의 A3, 2행 2열의 A5, 3행 1열의 A7, 3행 3열의 A9가 사선부, 1행 1열의 A1, 1행 2열의 A2, 2행 1열의 A4, 2행 3열의 A6, 3행 2열의 A8이 비사선부가 되는 화상 신호가 공급되어 있는 것이 된다. 즉, 부분 동화에서는, 일부의 화소에서는 프레임 간의 차이(D11)가 검출되고, 그 외 다른 화소에서는 비교 회로(1003)에서의 연산에 의해 얻어지는 프레임 간의 차이(D11)가 검출되지 않는다. 즉, 비교 회로(1003)에서의 연산에 의해 1행 1열의 A1만 차이(D11)가 검출되게 된다. 이로 인해, 표시 제어 회로(1004)는 1행 1열의 A1의 화소에만 화상 신호가 공급되도록, 구동 회로부(1005)의 제어, 기억 회로(1002)에서의 화상 신호의 읽기를 행하게 된다.

[0101] 마찬가지로, 제 2 기간(T2)과 제 3 기간(T3)에서는, 1행 3열의 A3의 화소만 화상 신호가 바뀌게 되므로, 비교 회로(1003)에서의 연산에 의해 얻어지는 차이(D12)는 1행 3열의 A3의 화소에서만 검출되게 된다. 즉, 표시 제어 회로(1004)는, 차이(D12)가 검출된 화소에만 화상 신호가 공급되도록 구동 회로부(1005)의 제어, 화상 신호의 기억 회로(1002)에서의 읽기를 행하게 된다. 마찬가지로, 부분 동화에서는 비교 회로(1003)의 연산에 의해 일부의 화소에서 화상 신호의 차이가 검출됨으로써, 차이(D13) 내지 차이(D15)가 얻어지게 된다. 즉, 부분 동화에서는, 연속하는 프레임 간의 화상 신호의 차이가 비교 회로(1003)에서의 연산에 의해 일부의 화소에서 검출되므로, 표시 제어 회로(1004)는 일부의 화소에 화상 신호가 공급되도록, 구동 회로부(1005)의 제어, 기억 회로(1002)에서의 화상 신호의 읽기를 행하게 된다.

[0102] 도 2(A), (B)의 예에서 설명한 바와 같이, 표시 제어 회로(1004)는, 동화, 정지화, 또는 부분 동화 중 어느 것 인지를 판별하기 위해, 프레임 간의 화상 신호의 차이의 연산을 비교 회로(1003)에서 행함으로써 화소별로 차이를 추출하고, 이 차이가 검출된 화소에 화상 신호를 공급하도록 제어하는 것이다. 이로 인해 전의 기간과 동일한 화상 신호가 입력되는 화소에 다시 동일한 화상 신호를 입력하는 동작을 생략함으로써, 새롭게 화상 신호를 화소에 공급하는 횟수를 큰 폭으로 저감할 수 있다. 그 결과, 구동 회로부의 동작 횟수를 저감할 수 있고, 저소비 전력화를 도모할 수 있다.

[0103] 이어서 본 실시형태에서의 구동 회로부 및 화소부에서의 각 화소의 구성에 대해 설명한다. 도 3(A)에는, 표시

제어 회로(1004), 화소부(1006), 게이트선측 구동 회로(1007A), 신호선측 구동 회로(1007B)를 나타내고 있다. 화소부(1006)에는, 복수의 화소(300)가 형성되어 있고, 각 화소(300)에는 게이트선측 구동 회로(1007A)에서 게이트선(301)이 연재되어 접속되고, 신호선측 구동 회로(1007B)에서 신호선(302) 및 선택선(303)이 연재되어 접속되어 있다. 한편 도 3(A)에서는, 게이트선측 구동 회로(1007A), 신호선측 구동 회로(1007B)가 각각 디코더 회로(304)를 갖고, 표시 제어 회로(1004)에서의 어드레스선에 의해 출력하는 신호가 제어되는 구성에 대해 나타내고 있다.

[0104] 한편, A와 B가 접속되어 있는 것으로 명시적으로 기재하는 경우는, A와 B가 전기적으로 접속되어 있는 경우와, A와 B가 기능적으로 접속되어 있는 경우와, A와 B가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기서, A, B는, 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장으로 나타낸 접속 관계에 한정되지 않고, 도면 또는 문장에 나타낸 접속 관계 이외의 것도 포함하는 것으로 한다.

[0105] 도 3(B)는 디코더 회로의 예이다. 디코더 회로는 어드레스 선(C1, C1b, C2, C2b, C3, C3b, C4, C4b)에서 어드레스 신호를 NAND 회로(311A, 311B)로 입력하고, 그 출력을, NOR 회로(312)를 통하여 출력 단자(OUT1)로 출력한다. 도 3(B)의 구성에 의해, 표시 제어 회로(1004)에서 어드레스선의 전위를 제어하고, 출력 단자의 전위를 선택적으로 제어할 수 있다.

[0106] 또한 디코더 회로를 구비하는 게이트선측 구동 회로(1007A)의 일 예를 도 4(A)에 나타낸다. 도 4(A)에서는, 도 3(B)의 디코더 회로(304)의 구성에 더하여, 버퍼 회로(490)를 구비하는 구성을 나타내고 있다. 버퍼 회로(490)로 인버터 회로(491, 492)를 직렬로 접속하고, 신호를 게이트선(Gout)으로 출력하는 구성으로 하면 된다. 또한 디코더 회로(304)를 구비하는 신호선측 구동 회로(1007B)의 일 예를 도 4(B)에 나타낸다. 도 4(B)에서는, 도 3(B)의 디코더 회로(304)의 구성에 더하여, 스위치(493)를 구비하는 구성을 나타내고 있다. NOR 회로(312)의 출력에 의해, 스위치의 온 또는 오프 상태를 전환하여 화상 신호(Data)의 신호선(Sout)으로의 출력, 또한 NOR 회로(312)의 출력을 선택선(Cout)의 출력으로 하는 구성으로 하면 된다.

[0107] 이상과 같이, 게이트선측 구동 회로(1007A), 신호선측 구동 회로(1007B)로 디코더 회로(304)를 이용함으로써, 표시 제어 회로(1004)에서 어드레스를 지정하면, 임의의 게이트선, 신호선, 선택선을 선택 가능, 즉 임의의 화소로의 화상 신호의 공급을 제어할 수 있다.

[0108] 또한 도 3(B)에 나타낸 화소(300)의 구성의 일 예에 대해 도 5에 나타낸다. 화소(300)는, 제 1 박막 트랜지스터(501), 제 2 박막 트랜지스터(502), 액정 소자(503), 대향 전극(504)을 갖는다. 제 1 박막 트랜지스터(501)의 게이트 단자는 게이트선(301)에 접속되고, 제 1 단자는 신호선(302)에 접속되고, 제 2 단자는 제 2 박막 트랜지스터(502)의 제 2 단자에 접속되어 있다. 제 2 박막 트랜지스터의 게이트 단자는, 선택선(303)에 접속되고, 제 1 단자는 액정 소자(503)의 한쪽 전극(제 1 전극이라고도 한다)에 접속된다. 액정 소자의 다른 한쪽의 전극은, 대향 전극(504)에 접속된다. 그리고 화소가 선택될 때에는, 제 1 박막 트랜지스터(501) 및 제 2 박막 트랜지스터(502)가 통전 상태가 됨으로써, 액정 소자(503)의 제 1 전극 측에 화상 신호를 공급하는 구성으로 할 수 있다.

[0109] 한편, 도 5에서는, 액정 소자에 유지 용량을 병렬로 접속하여도 좋다. 한편, 유지 용량의 크기는, 화소부에 배치되는 박막 트랜지스터의 리크 전류 등을 고려하여, 소정 기간 동안 전하를 유지할 수 있도록 설정하면 된다. 유지 용량의 크기는, 박막 트랜지스터의 오프 전류 등을 고려하여 설정하면 된다. 본 실시형태에서는, 박막 트랜지스터로 고순도의 산화물 반도체층을 갖는 트랜지스터를 이용하고 있다는 점에서, 각 화소에서의 액정 용량에 대해 1/3 이하, 바람직하게는 1/5 이하의 용량 크기를 갖는 유지 용량을 구비하면 충분하다.

[0110] 또한, 액정 재료의 고유 저항은, $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이고, 바람직하게는 $1 \times 10^{13} \Omega \cdot \text{cm}$ 를 넘으며, 더욱 바람직하게는 $1 \times 10^{14} \Omega \cdot \text{cm}$ 를 넘는 것이다. 한편, 본 명세서에서의 고유 저항값은, 20℃에서 측정된 값으로 한다. 한편 액정의 고유 저항은, 전극 사이에 협지하여 액정 소자(액정셀이라고도 한다)로 했을 때, 배향막, 셀재 등의 부재에 기인하여 불순물의 혼입도 있을 수 있으므로, $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상, 더욱 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 를 넘게 되는 경우도 있다.

[0111] 액정 재료로는, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 이용한다. 이들 액정 재료는, 조건에 따라, 콜레스테르 상, 스멕틱 상, 큐빅 상, 카이랄 네마틱 상, 등방상 등을 나타낸다.

- [0112] 액정 재료의 고유 저항이 클수록 액정 재료를 통해 누출되는 전하를 줄일 수 있고, 액정 소자의 동작 상태를 유지하는 전압이 경시적으로 저하되는 현상을 완화할 수 있다. 그 결과, 유지 기간을 길게 가질 수 있으므로, 화상 신호를 다시 쓰는 빈도를 저감할 수 있고, 액정 표시 장치의 저소비 전력화를 도모할 수 있다.
- [0113] 또한, 액정 재료로 블루상을 나타내는 액정 재료를 이용하여도 좋다. 블루상은 액정상의 하나로, 콜레스테르 액정을 승온하면, 콜레스테르 상에서 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서만 발현하므로, 온도 범위를 개선하기 위해 5 중량% 이상의 카이랄제를 혼합시킨 액정 조성물을 이용하여 액정층으로 이용한다. 블루상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성이므로 배향 처리가 필요없고, 시야각 의존성이 작다. 또한 배향막을 형성하지 않아도 되므로 러빙 처리도 필요없게 되므로, 러빙 처리에 의해 일어나는 정전 파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서 액정 표시 장치의 생산성을 향상시킬 수 있게 된다. 특히, 산화물 반도체층을 이용하는 박막 트랜지스터는, 정전기의 영향에 의해 박막 트랜지스터의 전기적 특성이 현저하게 변동하여 설계 범위를 벗어날 우려가 있다. 따라서 산화물 반도체층을 이용하는 박막 트랜지스터를 갖는 액정 표시 장치에 블루상의 액정 재료를 이용하는 것이 보다 효과적이다.
- [0114] 또한, 본 실시형태의 구성은, 액정 표시 장치에 한정되지 않고, 표시 소자로서 일렉트로 루미네센스 소자(EL 소자라고도 한다) 등의 발광 소자를 이용한 EL 표시 장치에도 적용 가능하다.
- [0115] 도 5에 나타난 화소(300)의 구성에서는, 게이트선(301), 신호선(302), 및 선택선(303)의 제어에 의해, 선택한 화소의 제 1 박막 트랜지스터(501) 및 제 2 박막 트랜지스터(502)를 통전 상태로 하여, 화상 신호를 액정 소자(503)에 공급할 수 있다. 이로 인해 동화, 또는 부분 동화를 표시할 때, 연속하는 프레임 사이에서의 화상 신호의 차이가 검출된 화소에만 화상 신호를 공급하는 구성으로 할 수 있다.
- [0116] 이상 설명한 바와 같이 본 실시형태에서는 제 1 박막 트랜지스터(501) 및 제 2 박막 트랜지스터(502)로 산화물 반도체를 이용한 박막 트랜지스터로 함으로써, 오프 전류를 저감할 수 있다. 이로 인해, 유지 용량으로 전압을 유지할 수 있는 기간을 길게 가질 수 있고, 정지화를 표시할 때의 저소비 전력화를 도모할 수 있는 액정 표시 장치로 할 수 있다.
- [0117] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0118] (실시형태 2)
- [0119] 본 실시형태에서는, 상기 실시형태에서 설명한 구성에 더하여, 정지화를 표시할 때의 유지 특성을 향상할 수 있는 구성에 대해 설명한다. 본 실시형태에서는, 상기 실시형태의 구성과 함께 설명할 수 있는 액정 표시 장치의 개략도, 회로도 등에 대해 나타내고, 본 실시형태의 구성에 의한 효과에 대해 설명한다.
- [0120] 도 6(A)에서 나타난 액정 표시 장치는, 제 1 기관(101), 제 2 기관(102)으로 구성된다. 제 1 기관(101)에는, 화소부(103), 게이트선측 구동 회로(104), 신호선측 구동 회로(105), 단자부(106), 스위칭 트랜지스터(107)를 갖는다. 제 2 기관(102)에는, 공통 접속부(108)(커먼 콘택트라고도 한다), 대향 전극(109)을 갖는다.
- [0121] 제 1 기관(101) 및 제 2 기관(102)으로는, 투광성을 갖고, 또한 후의 가열 처리에 견딜 수 있는 정도의 내열성을 갖고 있을 필요가 있게 된다. 알루미늄 실리케이트 유리, 알루미늄 붕규산 유리, 바륨 붕규산 유리와 같은 전자 공업용으로 사용되는 유리 기관('무알칼리 유리 기관'으로도 불린다), 석영 기관, 세라믹 기관, 플라스틱 기관 등을 이용할 수 있다.
- [0122] 한편, 도 6(A)에 나타난 화소부(103), 게이트선측 구동 회로(104), 신호선측 구동 회로(105), 및 스위칭 트랜지스터(107)는, 제 1 기관(101) 위에 형성되는 박막 트랜지스터에 의해 구성되는 것이어도 좋다. 한편, 게이트선측 구동 회로(104), 및 신호선측 구동 회로(105)는, 제 1 기관(101) 위에 형성하는 박막 트랜지스터로 구성할 필요는 없으며, 제 1 기관(101)의 외부에 형성되는 별도의 기관 등에 형성하는 박막 트랜지스터로 형성하면 된다.
- [0123] 한편, 화소부(103)에는, 상기 실시형태 1에서의 도 5의 설명과 마찬가지로, 게이트선, 신호선, 선택선, 및 화소가 형성된다.
- [0124] 한편 본 명세서에서 서술한 스위칭 트랜지스터란, 게이트에 인가하는 전위에 따라, 소스 단자 및 드레인 단자 간의 두 단자 사이의 통전 또는 비통전을 선택하여, 스위칭 동작을 실현할 수 있는 박막 트랜지스터를

의미한다. 일 예로는, 박막 트랜지스터가 선형 영역에서 동작하도록 게이트 단자에 인가하는 전위를 조정하여 동작시킨 소자이면 된다. 한편 스위칭 트랜지스터(107)의 게이트 단자에 인가하는 전위는, 단자부(106)에서 공급되는 구성으로 하면 된다. 또한, 스위칭 트랜지스터(107)의 단자부(106)에 접속되는 소스 단자 또는 드레인 단자의 한쪽 단자를 제 1 단자, 스위칭 트랜지스터(107)의 공통 접속부(108)를 통해 대향 전극에 접속되는 측의 다른 한쪽의 단자를 제 2 단자로 부르기로 한다. 한편 스위칭 트랜지스터(107)의 제 1 단자에서는, 대향 전극(109)에 공급하는 공통 전위(커먼 전위라고도 한다)가 공급되고, 게이트 단자에 인가되는 전위에 의해 스위칭 트랜지스터(107)의 통전 또는 비통전이 제어되게 된다.

- [0125] 한편 스위칭 트랜지스터의 구조에 대해서는 역스태거형의 구조이어도 좋으며, 순스태거형의 구조이어도 좋다. 또는, 채널 영역이 복수의 영역으로 나뉘어 직렬로 접속된, 더블 게이트형의 구조이어도 좋다. 또는, 게이트 전극이 채널 영역의 위아래로 형성된 듀얼 게이트형의 구조이어도 좋다. 또한, 스위칭 트랜지스터를 구성하는 반도체층을 복수의 섬 모양의 반도체층으로 나누어 형성하고, 스위칭 동작을 실현하여도 좋다.
- [0126] 또한 단자부(106)에는, 게이트선측 구동 회로(104), 및 신호선측 구동 회로(105)의 디코더 회로를 제어하기 위한 신호(어드레스 신호), 화상 신호(비디오 전압, 비디오 신호, 비디오 데이터라고도 한다), 대향 전극(109)에 공급하는 공통 전위, 및 스위칭 트랜지스터(107)를 동작시키기 위한 신호 등이 공급되게 된다.
- [0127] 공통 전위는, 화소 전극에 공급되는 화상 신호의 전위에 대해 기준이 되는 전위이면 되고, 일 예로는 그라운드 전위이어도 좋다.
- [0128] 공통 접속부(108)는, 제 1 기관(101)에서의 스위칭 트랜지스터(107)의 제 2 단자와 제 2 기관(102)에서의 대향 전극의 전기적인 접속을 도모하기 위해 형성되어 있고, 스위칭 트랜지스터(107) 및 공통 접속부(108)를 통해, 단자부(106)에서 공통 전위가 대향 전극으로 공급되게 된다. 공통 접속부(108)의 구체적인 일 예로는, 절연성 구체에 금속 박막이 피복된 도전 입자에 의해 전기적인 접속을 기하면 된다. 한편, 공통 접속부(108)는, 제 1 기관(101) 및 제 2 기관(102) 사이에서 복수 군데에 형성되는 구성으로 하여도 좋다.
- [0129] 대향 전극(109)은, 화소부(103)가 갖는 화소 전극과 중첩하여 형성되는 것이 바람직하다. 또한 대향 전극(109) 및 화소부(103)가 갖는 화소 전극은, 다양한 개구 패턴을 갖는 형상으로 하여도 좋다.
- [0130] 또한 화소부(103), 게이트선측 구동 회로(104), 신호선측 구동 회로(105), 및 스위칭 트랜지스터(107)를 제 1 기관(101) 위에 형성하는 경우, 또는 화소부(103) 및 스위칭 트랜지스터(107)를 제 1 기관(101)에 형성하는 경우, 각 회로를 구성하는 박막 트랜지스터는, 반도체층을 산화물 반도체로 한 n채널형의 박막 트랜지스터를 이용한다. 한편, 박막 트랜지스터의 반도체층에 산화물 반도체를 이용하는 이점에 대해서는 상기 실시형태 1에서 서술한 설명과 같다.
- [0131] 즉, 오프 전류가 매우 작은 박막 트랜지스터를 이용하여, 스위칭 소자 등을 제작한 경우, 오프 전류값이 작고 거의 리크가 없으므로, 이 스위칭 소자에 접속되는 노드의 전하의 리크를 무한대로 저감할 수 있고, 이 노드에서의 전위의 유지 시간을 길게 할 수 있다.
- [0132] 이어서, 도 6(B)에, 도 6(A)에서의 액정 표시 장치의 개략도에 대해, 특히 화소부(103)의 구성을 상세히 나타낸 회로도에 대해 도시한다.
- [0133] 도 6(B)에 나타낸 액정 표시 장치는, 도 6(A)와 마찬가지로, 제 1 기관(101), 제 2 기관(102)이 형성되어 있다. 또한 제 1 기관(101)에는, 화소부(103), 게이트선측 구동 회로(104), 신호선측 구동 회로(105), 단자부(106), 스위칭 트랜지스터(107)를 갖는다. 제 2 기관(102)에는, 공통 접속부(108), 대향 전극(109)을 갖는다.
- [0134] 도 6(B)에서는, 화소부(103)에서, 복수의 게이트선(111), 복수의 신호선(112), 복수의 선택선(114)이 총횡으로 형성되어 있고, 게이트선(111), 신호선(112), 및 선택선(114)에는, 상기 실시형태 1의 도 5에서 설명한 제 1 박막 트랜지스터, 제 2 박막 트랜지스터, 제 1 전극과 제 2 전극 사이에 액정이 협지되어 형성되는 액정 소자를 갖는 화소(113)가 형성되어 있는 모습을 나타내고 있다. 한편, 액정 소자의 제 1 전극은, 화소 전극에 상당한다. 한편 액정 소자의 제 2 전극은, 상술한 대향 전극(109)에 상당한다.
- [0135] 한편, 화소를 구성하는 제 1 박막 트랜지스터, 제 2 박막 트랜지스터는, 스위칭 트랜지스터(107)와 마찬가지로, 반도체층으로 산화물 반도체를 이용하여 형성된다. 산화물 반도체를 이용함으로써, 화소를 구성하는 제 1 박막 트랜지스터, 제 2 박막 트랜지스터를 흐르는 오프 전류를 큰 폭으로 저감하고, 화소 전극에 공급되는 전위의 유지 시간을 길게 할 수 있다.
- [0136] 이어서, 화소 전극을 갖는 화소의 일 화소에 대한 회로도도 도 6(C)에 나타낸다. 도 6(C)에는, 제 1 박막 트랜

지스터(501), 제 2 박막 트랜지스터(502), 스위칭 트랜지스터(107)에 착안하여 도시하고 있으며, 제 1 박막 트랜지스터(501)의 게이트 단자는 게이트선(111)에 접속되고, 제 1 단자는 신호선(112)에 접속되고, 제 2 단자는 제 2 박막 트랜지스터(502)의 제 2 단자에 접속되어 있다. 제 2 박막 트랜지스터(502)의 게이트 단자는, 선택선(114)에 접속되고, 제 1 단자가 화소 전극(121)에 접속된다. 또한 스위칭 트랜지스터(107)의 게이트 단자가 단자부(106)의 단자(106A)에 접속되고, 스위칭 트랜지스터(107)의 제 1 단자가 단자부(106)의 단자(106B)에 접속되고, 스위칭 트랜지스터(107)의 제 2 단자가 공통 접속부(108)를 통해 전기적으로 대향 전극(122)에 접속된다. 한편 화소 전극(121)과 대향 전극(122)의 사이에는, 액정(123)이 형성되고, 화소 전극(121), 대향 전극(122), 및 액정(123)을 함께 액정 소자라 부를 수도 있다.

[0137] 한편, 액정으로는, 광학적 변조 작용에 의해 광의 투과 또는 비투과를 제어하는 소자면 된다. 한편, 액정의 광학적 변조 작용은, 액정에 걸리는 전압, 및 화소 전극과 대향 전극의 배치 등에 의해 제어되는 것이면 된다.

[0138] 이어서, 스위칭 트랜지스터(107)의 동작에 대해 설명한다. 정지화의 표시 기간에서, 스위칭 트랜지스터(107)을 비통전 상태가 되도록 제어한다. 이때 정지화의 표시 기간에는, 제 1 박막 트랜지스터(501) 및 제 2 박막 트랜지스터(502)도 모든 화소에서 비통전 상태로 되어 있다. 즉 액정(123)의 양단의 전극, 즉 화소 전극(121) 및 대향 전극(122)의 전위를 부유 상태로 함으로써 새롭게 전위를 공급하지 않고, 정지화를 표시할 수 있다. 그리고 게이트선측 구동 회로(104), 신호선측 구동 회로(105)의 동작을 정지함으로써 저소비 전력화를 도모할 수 있다.

[0139] 한편 동화, 및 부분 동화의 표시 기간에서는, 스위칭 트랜지스터(107)를 통전 상태가 되도록 제어하는 것이 바람직하다.

[0140] 한편 도 6(C)에서의 액정(123)의 저항율은, 약 1×10^{12} 내지 $1 \times 10^{13} [\Omega \cdot \text{cm}]$ 정도이다. 정지화의 표시 기간에서는, 액정(123)의 양단의 전극, 즉 화소 전극(121) 및 대향 전극(122)을, 오프 전류가 거의 없는, 즉 고저항의 박막 트랜지스터에 의해 부유 상태로 하였다. 이로 인해 액정(123)의 양단에 인가되는 전압에 의한 액정(123)을 흐르는 전류를 저감할 수 있다.

[0141] 그 결과, 정지화 표시를 할 때, 저소비 전력화를 도모하면서, 또한 화상의 왜곡이 저감된 액정 표시 장치로 할 수 있다.

[0142] 이상 설명한 바와 같이 본 실시형태에서 나타난 구성으로 함으로써, 산화물 반도체를 이용한 박막 트랜지스터를 구비하는 화소에서, 오프 전류를 저감할 수 있다. 이로 인해, 유지 용량으로 전압을 유지할 수 있는 기간을 길게 가질 수 있고, 정지화를 표시할 때의 저소비 전력화를 도모할 수 있는 액정 표시 장치로 할 수 있다.

[0143] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0144] (실시형태 3)

[0145] 본 실시형태에서는, 상기 실시형태 1에서 서술한 구동 회로, 및 화소부에서의 화소의 구성과는 다른 구성에 대해 도면을 참조하여 설명한다.

[0146] 도 16에는, 도 3(A)과 마찬가지로, 표시 제어 회로(1004), 화소부(1006), 게이트선측 구동 회로(1007A), 신호선측 구동 회로(1007B)를 나타내고 있다. 화소부(1006)에는, 복수의 화소(300)가 형성되어 있고, 각 화소(300)에는 게이트선측 구동 회로(1007A)에서 게이트선(301)이 연재되어 접속되고, 신호선측 구동 회로(1007B)에서 신호선(302)이 연재되어 접속되어 있다.

[0147] 또한 도 16의 화소(300)에서는, 박막 트랜지스터(1601), 액정 소자(1602)를 갖고 있다. 한편 박막 트랜지스터(1601)의 반도체층은, 실시형태 1과 마찬가지로, 산화물 반도체로 함으로써, 오프 전류를 매우 작게 할 수 있고, 정지화를 표시할 때에 화상 신호의 공급을 행하는 빈도를 저감할 수 있다.

[0148] 또한 도 16에서는, 게이트선측 구동 회로(1007A)가 디코더 회로(1603)를 갖고, 신호선측 구동 회로(1007B)가 시프트 레지스터 회로(1604)를 갖고, 표시 제어 회로(1004)에서의 어드레스 선 또는 시프트 레지스터 회로의 제어 신호(클럭 신호, 스타트 펄스 등)에 의해, 화소에 공급되는 화상 신호를 제어하는 구성에 대해 도시하였다.

[0149] 한편 시프트 레지스터 회로(1604)로는, 클럭 신호, 반전 클럭 신호, 스타트 펄스(SP) 등에 의해, 1단짜의 출력 단자에서, 순서대로 펄스를 출력하는 회로이면 되고, 예를 들어 펄스 출력 회로(플립플롭 회로라고도 한다)를

캐스캐이드 접속한 시프트 레지스터 회로를 이용하여 구성하면 된다.

- [0150] 도 16과 도 3(A)의 변경점은, 선택선을 삭제한 점, 화소의 박막 트랜지스터의 수를 삭감한 점, 및 신호선측 구동 회로(1007B)에 시프트 레지스터 회로(1604)를 형성한 점에 있다. 이로 인해, 본 실시형태에서는, 도 16에서의 변경점에 대해 상세히 서술하고, 본 실시형태로 함으로써 도 3(A)과는 다른 효과에 대해 상세히 서술한다.
- [0151] 도 16에서는, 도 3(A)와 마찬가지로, 비교 회로(1003)에서의 연산에 의해 차이를 검출한 화소에 접속된 게이트 선을, 게이트선측 구동 회로(1007A)의 디코더 회로(1603)에 의해 선택하게 된다. 또한 도 16에서는, 도 3(A)와 달리 신호선측 구동 회로(1007B)가 시프트 레지스터 회로(1604)를 갖고 있으며, 신호선측 구동 회로(1007B)에서는 비교 회로(1003)에서의 연산에 의해 차이를 검출하지 않은 화소도 시프트 레지스터 회로(1604)에 의해 순서대로 선택하게 된다. 그러나 도 16의 구성에서는, 선택선을 삭제한 점, 및 화소의 박막 트랜지스터로 수를 삭감한 점에 의해, 배선수의 삭감, 및 화소의 개구율의 향상을 도모할 수 있다. 또한 본 실시형태의 구성에서도, 게이트선측 구동 회로(1007A)의 디코더 회로(1603)에서 선택적으로 게이트선의 구동을 행함으로써, 저소비 전력화를 도모할 수 있다.
- [0152] 선택선의 삭제, 및 화소의 개구율의 향상을 도모할 수 있는 본 실시형태의 구성은, 정밀도가 높은 액정 표시 장치를 제작할 때 적합하다. 한편 본 실시형태의 구성에서는, 신호선측 구동 회로(1007B)에 의해 1 화소 단위로 선택적으로 구동할 수 없게 되지만, 게이트선측 구동 회로(1007A)의 디코더 회로(1603)에서 선택적으로 게이트선측 구동 회로의 구동을 행함으로써 저소비 전력화를 도모할 수 있다. 이로 인해, 행 방향으로 화상이 전환되는 액정 표시 장치에 이용할 때에 특히 적합하다.
- [0153] 이상 설명한 바와 같이 본 실시형태에서 박막 트랜지스터(1601)로 산화물 반도체를 이용한 박막 트랜지스터로 함으로써, 오프 전류를 저감할 수 있다. 이로 인해, 유지 용량으로 전압을 유지할 수 있는 기간을 길게 가질 수 있고, 정지화를 표시할 때의 저소비 전력화를 도모할 수 있는 액정 표시 장치로 할 수 있다.
- [0154] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0155] (실시형태 4)
- [0156] 본 실시형태에서는, 상기 실시형태에서 서술한 액정 표시 장치를 전자 계산기(개인용 컴퓨터) 용도의 모니터(PC 모니터라고도 한다)로 이용했을 때의 효과에 대해 일 예를 들어 설명한다.
- [0157] 도 17(A)에는, 하우징(1701)에 표시부(1702)가 형성된 액정 표시 장치로 나타내고 있으며, 윈도우형 표시부(1703)가 표시부(1702)에 있는 예에 대해 도시하고 있다. 표시부(1702)는, 상기 실시형태 1의 액정 표시 장치를 이용한 것이다.
- [0158] 한편 설명을 위해 표시부(1702)에 윈도우형 표시부(1703)를 나타냈으나, 다른 심볼, 예를 들어 아이콘, 화상 등 이어도 좋다.
- [0159] 또한 도 17(B)에서는, 도 17(A)에서의 윈도우형 표시부(1703)를 점선부(1704)에서 실선부(1705)로 이동시켰을 때의 도면을 나타낸 것이다. 도 17(B)에서의 윈도우형 표시부(1703)의 이동에 의해, 이 이동 기간에서는, 상기 실시형태 1에서 설명한 부분 동화를 표시하는 등의 상황이 되고, 도 17(C)에 나타낸 영역(1707)이 비교 회로에 의해 화상 신호의 차이가 검출되는 영역, 도 17(C)에 나타낸 영역(1708)이 비교 회로에 의해 화상 신호의 차이가 검출되지 않는 영역이 된다. 한편, 영역(1707)은 윈도우형 표시부의 이동에 따라 동화로 여겨지는 영역으로, 동화 영역이라 할 수도 있다. 또한 영역(1708)은 윈도우형 표시부의 이동이 없고 화상 신호에 변화가 없는 영역으로, 정지화 영역이라고 할 수도 있다.
- [0160] 도 18(A)에서는, 횡축에 시간을 나타내고, 도 17(A) 내지 (C)에서 설명한 예에 대해 동화 영역, 정지화 영역에서의 화상 신호의 다시 쓰기 빈도에 대해, 예를 들어 프레임 기간별로 모식적으로 나타낸 도면이다. 도 18(A)에서, W는 화상 신호의 다시 쓰기 기간인 것을 나타내고, H는 화상 신호를 유지하는 기간인 것을 나타낸다. 또한, 도 18(A)에서, 기간(1801)은 1 프레임 기간을 나타낸 것이나, 다른 기간이어도 좋다.
- [0161] 도 18(A)에서도 알 수 있듯이, 실시형태 1에서 설명한 액정 표시 장치의 구성에서는, 비교 회로에서 연속하는 프레임 간의 화상 신호로 차이를 검출한 경우, 즉 동화 영역에서는 화소에 공급되는 화상 신호의 다시 쓰기는 프레임 기간별로 이루어지게 된다. 이로 인해 동화 영역에서는 다시 쓰기가 빈번해진다. 또한 실시형태 1에서 설명한 액정 표시 장치의 구성에서는, 비교 회로에서 연속하는 프레임 간의 화상 신호로 차이를 검출하지 않은

경우, 즉 정지화 영역에서는 화소로 공급되는 화상 신호의 다시 쓰기는, 화상 신호가 전환되는 기간에만(도 18(A)에서는 기간(1801)) 이루어지고, 후의 기간은 공급된 화상 신호를 유지하는 기간이 된다.

- [0162] 한편, 도 18(B)에서는, 비교를 위해 도 18(A)와 마찬가지로, 동화 영역, 정지화 영역에 관계없이, 화상 신호를 정기적으로 다시 쓰기 했을 때의 도면에 대해 나타낸 것이다. 동화 영역과 정지화 영역이 혼재하는 화상을 표시하기 위해 화상 신호는 정기적으로 각 화소에 다시 쓰여지게 된다.
- [0163] 이상 설명한 바와 같이, 정지화, 부분 동화의 정지화 영역에서는, 빈번하게 화상 신호에 다시 쓰기를 하는 동작을 삭감할 수 있다. 복수 회의 화상 신호의 다시 쓰기를 인식하게 되면, 인간의 눈에는 피로감으로 나타날 수 있다. 본 실시형태에서 설명한 바와 같이, 화상 신호의 다시 쓰기 회수를 삭감하는 구성으로 함으로써, 눈의 피로를 줄일 수 있는 효과도 있다.
- [0164] 이상 설명한 바와 같이 본 실시형태에서는, 산화물 반도체를 이용한 박막 트랜지스터를 각 화소에 형성함으로써, 박막 트랜지스터의 오프 전류를 저감할 수 있다. 이로 인해, 유지 용량으로 전압을 유지할 수 있는 시간을 길게 잡을 수 있고, 정지화를 표시할 때의 저소비 전력화를 도모할 수 있는 액정 표시 장치로 할 수 있다.
- [0165] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0166] (실시형태 5)
- [0167] 본 실시형태는, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 예를 나타낸다.
- [0168] 본 실시형태의 액정 표시 장치 및 액정 표시 장치의 제작 방법의 일 양태를, 도 7(A) 내지 도 7(E)를 이용하여 설명한다.
- [0169] 도 7(A) 내지 도 7(E)에 액정 표시 장치의 단면 구조의 일 예를 나타낸다. 도 7(A) 내지 (E)에 나타낸 박막 트랜지스터(410, 420)는, 채널 에치형이라 불리는 보텀 게이트 구조의 하나로 역스태거형 박막 트랜지스터라고도 한다. 도 7(A) 내지 (E)에서, 박막 트랜지스터(410)는 스위칭 트랜지스터이고, 박막 트랜지스터(420)는 화소 트랜지스터이다.
- [0170] 또한, 박막 트랜지스터(410, 420)는 싱글 게이트 구조의 박막 트랜지스터를 이용하여 설명하였으나, 필요에 따라, 채널 형성 영역을 복수 갖는 멀티 게이트 구조의 박막 트랜지스터도 형성할 수 있다.
- [0171] 이하, 도 7(A) 내지 (E)를 이용하여, 기관(400) 위에 박막 트랜지스터(410, 420)를 제작하는 공정을 설명한다.
- [0172] 우선, 절연 표면을 갖는 기관(400) 위에 도전막을 형성한 후, 제 1 포토리소 그래피 공정에 의해 게이트 전극층(411), 게이트 전극층(421)을 형성한다. 한편, 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않으므로, 제조 비용을 절감할 수 있다.
- [0173] 절연 표면을 갖는 기관(400)에 사용할 수 있는 기관에는 큰 제한은 없으나, 적어도, 후의 가열 처리에 견딜 수 있는 정도의 내열성을 갖고 있을 필요가 있다. 바륨 붕규산 유리나 알루미늄 붕규산 유리 등의 유리 기관을 이용할 수 있다.
- [0174] 또한, 유리 기관으로는, 후의 가열 처리 온도가 높은 경우에는, 변형점이 730℃ 이상인 것을 이용하는 것이 좋다. 또한, 유리 기관으로는, 예를 들어, 알루미늄 실리케이트 유리, 알루미늄 붕규산 유리, 바륨 붕규산 유리 등의 유리 재료가 이용되고 있다.
- [0175] 한편, 상기 유리 기관 대신, 세라믹 기관, 석영 기관, 사파이어 기관 등의 절연체로 이루어진 기관을 이용하여도 좋다. 그 외에도, 결정화 유리 등을 이용할 수 있다.
- [0176] 마지막으로 되는 절연막을 기관(400)과 게이트 전극층(411), 및 게이트 전극층(421) 사이에 형성하여도 좋다. 하지만, 기관(400)에서의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 규소막, 산화 규소막, 질화산화 규소막, 또는 산화질화 규소막에서 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.
- [0177] 또한, 게이트 전극층(411), 및 게이트 전극층(421)은, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이를 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층하여 형성할 수 있다.

- [0178] 예를 들어, 게이트 전극층(411), 및 게이트 전극층(421)의 2층의 적층 구조로는, 알루미늄층 위에 폴리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 폴리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화 티탄층 또는 질화 탄탈을 적층한 2층 구조, 질화 티탄층과 폴리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로는, 텅스텐층 또는 질화 텅스텐과, 알루미늄과 규소의 합금 또는 알루미늄과 티탄의 합금과, 질화 티탄 또는 티탄층을 적층한 적층으로 하는 것이 바람직하다.
- [0179] 이어서, 게이트 전극층(411), 및 게이트 전극층(421) 위에 게이트 절연층(402)을 형성한다.
- [0180] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화 규소층, 질화 규소층, 산화질화 규소층, 질화산화 규소층, 또는 산화 알루미늄층을 단층으로 또는 적층하여 형성할 수 있다. 예를 들어, 성막 가스로, SiH₄, 산소 및 질소를 이용하여 플라즈마 CVD법에 의해 산화질화 규소층을 형성하면 된다. 또한 게이트 절연층으로 산화 haf늄(HfO_x), 산화 탄탈(TaO_x) 등의 High-k 재료를 이용할 수도 있다. 게이트 절연층(402)의 막후는, 100nm 이상 500nm 이하로 하고, 적층의 경우는, 예를 들어, 막후 50nm 이상 200nm 이하의 제 1 게이트 절연층과, 제 1 게이트 절연층 위에 막후 5nm 이상 300nm 이하의 제 2 게이트 절연층의 적층으로 한다.
- [0181] 본 실시형태에서는, 게이트 절연층(402)으로 플라즈마 CVD법에 의해 막후 100nm 이하의 산화질화 규소층을 형성한다.
- [0182] 또한 게이트 절연층(402)으로, 고밀도 플라즈마 장치를 이용하여, 산화질화 규소층을 형성하여도 좋다. 여기서 고밀도 플라즈마 장치는, $1 \times 10^{11} / \text{cm}^3$ 이상의 플라즈마 밀도를 달성할 수 있는 장치를 말한다. 예를 들어, 3kW~6kW의 마이크로파 전력을 인가하여 플라즈마를 발생시켜, 절연층을 성막한다.
- [0183] 챔버에 재료 가스로 모노실란 가스(SiH₄)와 아산화질소(N₂O)와 희가스를 도입하고, 10Pa~30Pa의 압력 하에서 고밀도 플라즈마를 발생시켜 유리 등의 절연 표면을 갖는 기판 위에 절연층을 형성한다. 그 후, 모노실란 가스의 공급을 정지하고, 대기에 노출되지 않게 하여 아산화질소(N₂O)와 희가스를 도입하여 절연층 표면에 플라즈마 처리를 하여도 좋다. 적어도 아산화질소(N₂O)와 희가스를 도입하여 절연층 표면에 이루어지는 플라즈마 처리는, 절연층의 성막보다 후에 행한다. 상기 프로세스 순서를 거친 절연층은, 막후가 얇은, 예를 들어 100nm 미만이어도 일정한 신뢰성을 확보할 수 있는 절연층이다.
- [0184] 게이트 절연층(402)의 형성 시, 챔버에 도입하는 모노실란 가스(SiH₄)와 아산화질소(N₂O)의 유량비는, 1:10에서 1:200의 범위로 한다. 또한, 챔버에 도입하는 희가스로는, 헬륨, 아르곤, 클립톤, 크세논 등을 이용할 수 있으나, 그 중에서도 저렴한 아르곤을 이용하는 것이 바람직하다.
- [0185] 또한, 고밀도 플라즈마 장치에 의해 얻어진 절연층은, 일정한 두께의 막 형성이 가능하므로 단차 피복성이 뛰어나다. 또한, 고밀도 플라즈마 장치에 의해 얻어지는 절연층은, 얇은 막의 두께를 정밀하게 제어할 수 있다.
- [0186] 상기 프로세스 순서를 거친 절연층은, 종래의 평행 평판형의 PCVD 장치에서 얻어지는 절연층과는 막질이 크게 다르며, 동일한 에칭트를 이용하여 에칭 속도를 비교한 경우에서, 평행 평판형의 PCVD 장치에서 얻어지는 절연층의 10% 이상 또는 20% 이상 에칭 속도가 느리며, 고밀도 플라즈마 장치에서 얻어지는 절연층은 치밀한 층이라고 할 수 있다.
- [0187] 한편 후의 공정에서 i형화 또는 실질적으로 i형화되는 산화물 반도체(고순도화된 산화물 반도체)는 계면 준위, 계면 전하에 대해 매우 민감하므로, 게이트 절연층과의 계면은 중요하다. 이로 인해 고순도화된 산화물 반도체에 접하는 게이트 절연층(GI)은, 고품질화가 요구된다. 따라서, μ 파(2.45GHz)를 이용한 고밀도 플라즈마 CVD는, 치밀하고 절연 내압이 높은 고품질의 절연층을 형성할 수 있으므로 바람직하다. 고순도화된 산화물 반도체와 고품질 게이트 절연층이 밀접함으로써, 계면 준위를 저감하여 계면 특성을 양호한 것으로 할 수 있기 때문이다. 게이트 절연층으로서 막질이 양호한 것은 물론, 산화물 반도체와의 계면 준위 밀도를 저감하여, 양호한 계면을 형성할 수 있는 것이 중요하다.
- [0188] 이어서, 게이트 절연층(402) 위에, 막후 2nm 이상 200nm 이하의 산화물 반도체막(430)을 형성한다. 산화물 반도체막(430)의 형성 후에 탈수화 또는 탈수소화를 위한 가열 처리를 하여도 산화물 반도체막을 비정질인 상태로 하기 위해, 막후를 50nm 이하로 얇게 하는 것이 바람직하다. 산화물 반도체막의 막후를 얇게 함으로써 산화물 반도체층 형성 후에 가열 처리한 경우, 결정화되는 것을 억제할 수 있다.

- [0189] 한편, 산화물 반도체막(430)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 게이트 절연층(402)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 역스퍼터링이란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판 측으로 RF 전원을 이용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 한편, 아르곤 분위기 대신 질소, 헬륨, 산소 등을 이용하여도 좋다.
- [0190] 산화물 반도체막(430)은, In-Ga-Zn-O계 막, In-Sn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체막을 이용한다. 본 실시형태에서는, 산화물 반도체막(430)으로 In-Ga-Zn-O계 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 성막한다. 이 단계에서의 단면도가 도 7(A)에 상당한다. 또한, 산화물 반도체막(430)은, 회가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 회가스(대표적으로는 아르곤) 및 산소 분위기 하에서 스퍼터링법에 의해 형성할 수 있다. 또한, 스퍼터링법을 이용하는 경우, SiO₂를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 이용하여 성막하고, 산화물 반도체막(430)에 결정화를 저해하는 Si를 포함시켜, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 산화물 반도체가 결정화하게 되는 것을 억제하는 것이 바람직하다.
- [0191] 여기서는, In, Ga, 및 Zn을 포함하는 금속 산화물 타겟(In₂O₃:Ga₂O₃:ZnO=1:1:1[mol%], In:Ga:Zn=1:1:0.5[atom%])을 이용하여, 기판과 타겟 사이의 거리를 100mm, 압력 0.2Pa, 직류(DC) 전원 0.5kW, 아르곤 및 산소(아르곤:산소=30sccm:20sccm, 산소 유량 비율 40%) 분위기 하에서 성막한다. 한편, 펄스 직류(DC) 전원을 이용하면, 성막 시에 발생하는 가루형 물질(파티클, 먼지라고도 한다)을 경감할 수 있고, 막후 분포도 균일해지므로 바람직하다. In-Ga-Zn-O계 막의 막후는, 5nm 이상 200nm 이하로 한다. 본 실시형태에서는, 산화물 반도체막으로, In-Ga-Zn-O계 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 막후 20nm의 In-Ga-Zn-O계 막을 성막한다. 또한, In, Ga, 및 Zn을 포함하는 금속 산화물 타겟으로, In:Ga:Zn=1:1:1[atom%], 또는 In:Ga:Zn=1:1:2[atom%]의 조성비를 갖는 타겟을 이용할 수도 있다.
- [0192] 스퍼터링법에는 스퍼터링용 전원에 고주파 전원을 이용하는 RF 스퍼터링법, DC 스퍼터링법, 나아가 펄스적으로 바이어스를 공급하는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 이용된다.
- [0193] 또한, 다른 재료의 타겟을 복수 설치할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치는, 동일 챔버에서 다른 재료막을 적층 성막할 수도, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.
- [0194] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치나, 글로 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터링 장치가 있다.
- [0195] 또한, 스퍼터링법을 이용하는 성막 방법으로, 성막 중에 타겟 물질과 스퍼터링 가스 성분을 화학 반응시켜 이들 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터링법도 있다.
- [0196] 이어서, 산화물 반도체막(430)을 제 2 포토리스 그래픽 공정에 의해 섬 모양의 산화물 반도체층으로 가공한다. 또한, 섬 모양의 산화물 반도체층을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않으므로, 제조 비용을 절감할 수 있다.
- [0197] 이어서, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만으로 한다. 여기서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대해 질소 분위기 하 450℃에서 1 시간의 가열 처리를 한 후, 대기에 접촉하지 않고, 산화물 반도체층으로의 물이나 수소의 혼입을 막아, 산화물 반도체층(431, 432)을 얻는다(도 7(B) 참조).
- [0198] 한편, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체에서의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Annealing) 장치, LRTA(Lamp Rapid Thermal Annealing) 장치 등의 RTA(Rapid Thermal Annealing) 장치를 이용할 수 있다. LRTA 장치는, 할로젠 램프, 메탈 할라이드 램프, 크세논아크 램프, 카본아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프에서 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가

스를 이용하여 가열 처리를 하는 장치이다. 기체로는, 아르곤 등의 희가스, 또는 질소와 같은 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.

- [0199] 예를 들어, 제 1 가열 처리로, 650℃~700℃의 고온으로 가열한 불활성 가스 중에 기판을 이동시켜 넣고, 수분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스에서 꺼내는 GRTA를 하여도 좋다. GRTA를 이용하면 짧은 시간에 고온 가열 처리가 가능하게 된다.
- [0200] 한편, 제 1 가열 처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다.
- [0201] 또한, 제 1 가열 처리의 조건, 또는 산화물 반도체층의 재료에 따라서는, 산화물 반도체층이 결정화하여, 미세 결정층 또는 다결정층이 되는 경우도 있다. 예를 들어, 결정화율이 90% 이상, 또는 80% 이상인 미세 결정의 산화물 반도체층이 되는 경우도 있다. 또한, 제 1 가열 처리 조건, 또는 산화물 반도체층의 재료에 따라서는, 결정 성분을 포함하지 않는 비정질의 산화물 반도체층이 되는 경우도 있다. 또한, 비정질의 산화물 반도체 층에 미세 결정부(입경 1nm 이상 20nm 이하(대표적으로는 2nm 이상 4nm 이하))가 혼재하는 산화물 반도체층이 되는 경우도 있다. 또한, RTA(GRTA, LRTA)를 이용하여 고온의 가열 처리를 하면, 산화물 반도체층의 표면 측에 종방향(막후 방향)의 침상 결정이 생기는 경우도 있다.
- [0202] 또한, 산화물 반도체층의 제 1 가열 처리는, 섬 모양의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(430)에 행할 수도 있다. 이 경우에는, 제 1 가열 처리 후에, 가열 장치에서 기판을 꺼내, 포토리소 그래피 공정을 행한다.
- [0203] 산화물 반도체층에 대한 탈수화, 탈수소화의 가열 처리는, 산화물 반도체층 성막 후, 산화물 반도체층 위에 소스 전극 및 드레인 전극을 적층한 후, 소스 전극 및 드레인 전극 위에 보호 절연막을 형성한 후, 중 어느 단계에서 행하여도 좋다.
- [0204] 또한, 게이트 절연층(402)에 개구부를 형성하는 경우, 이 공정은 산화물 반도체막(430)에 탈수화 또는 탈수소화 처리를 행하기 전이어도 행한 후에도 좋다.
- [0205] 한편, 여기서의 산화물 반도체막의 에칭은, 습식 에칭에 한정되지 않고 건식 에칭을 이용하여도 좋다.
- [0206] 건식 에칭에 이용하는 에칭 가스로는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소(Cl₂), 삼염화 붕소(BCl₃), 사염화 규소(SiCl₄), 사염화 탄소(CCl₄) 등)가 바람직하다.
- [0207] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어 사불화 탄소(CF₄), 육불화 유황(SF₆), 삼불화 질소(NF₃), 트리플루오로메탄(CHF₃) 등), 브롬화 수소(HBr), 산소(O₂), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스, 등을 이용할 수 있다.
- [0208] 건식 에칭법으로는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도결합형 플라즈마) 에칭법을 이용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)을 적절히 조절한다.
- [0209] 습식 에칭에 이용하는 에칭액으로는, 인산과 초산과 질산을 섞은 용액, 암모니아과수(31중량% 과산화수소수:28중량% 암모니아수:물=5:2:2) 등을 이용할 수 있다. 또한, IT007N(칸토 카가꾸)을 이용하여도 좋다.
- [0210] 또한, 습식 에칭 후의 에칭액은 에칭된 재료와 함께 세척에 의해 제거된다. 이 제거된 재료를 포함하는 에칭액의 폐액을 정제하여, 포함되는 재료를 재이용하여도 좋다. 이 에칭 후의 폐액에서 산화물 반도체층에 포함되는 인듐 등의 재료를 회수하여 재이용함으로써, 자원을 유효하게 활용하여 저비용화할 수 있다.
- [0211] 원하는 가공 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적절히 조절한다.
- [0212] 이어서, 게이트 절연층(402), 및 산화물 반도체층(431, 432) 위에, 금속 도전막을 형성한다. 금속 도전막을 스퍼터링법이나 진공 증착법으로 형성하면 된다. 금속 도전막의 재료로는, Al, Cr, Cu, Ta, Ti, Mo, W에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 트륨 중 어느 하나 또는 복수에서 선택된 재료를 이용하여도 좋다. 또한,

금속 도전막은, 단층 구조이어도, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, Ti막과, 이 Ti막 위에 겹쳐서 알루미늄막을 적층하고, 또한 그 위에 Ti막을 성막하는 3층 구조 등을 들 수 있다. 또한, Al에, 티탄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐)에서 선택된 원소를 단수, 또는 복수 조합한 막, 합금막, 또는 질화막을 이용하여도 좋다.

- [0213] 금속 도전막 형성 후에 가열 처리를 하는 경우에는, 이 가열 처리에 견딜 수 있는 내열성을 금속 도전막에 갖도록 하는 것이 바람직하다.
- [0214] 제 3 포토리소 그래피 공정에 의해 금속 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 하여 소스 전극층(415a), 드레인 전극층(415b), 소스 전극층(425a), 및 드레인 전극층(425b)을 형성한 후, 레지스트 마스크를 제거한다(도 7(C) 참조).
- [0215] 한편, 금속 도전막의 에칭 시에, 산화물 반도체층(431, 432)은 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다.
- [0216] 본 실시형태에서는, 금속 도전막으로 Ti막을 이용하고, 산화물 반도체층(431, 432)으로는 In-Ga-Zn-O계 산화물을 이용하고, 에천트로 암모니아과수(암모니아, 물, 과산화수소수의 혼합액)를 이용한다.
- [0217] 한편, 제 3 포토리소 그래피 공정에서는, 산화물 반도체층(431, 432)은 일부에만 에칭되고, 홈부(요부)를 갖는 산화물 반도체층이 되는 경우도 있다. 또한, 소스 전극층(415a), 드레인 전극층(415b), 소스 전극층(425a), 및 드레인 전극층(425b)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않으므로, 제조 비용을 절감할 수 있다.
- [0218] 또한, 포토리소 그래피 공정에서 이용하는 포토 마스크수 및 공정수를 삭감하기 위해, 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 형성된 레지스트 마스크를 이용하여 에칭 공정을 하여도 좋다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막후를 갖는 형상이 되고, 에칭을 함으로써 더욱더 형상을 변형할 수 있으므로, 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 삭감할 수 있고, 대응하는 포토리소 그래피 공정도 삭감할 수 있으므로, 공정의 간략화가 가능해진다.
- [0219] 이어서, N₂O, N₂, 또는 Ar 등의 가스를 이용한 플라즈마 처리를 행한다. 이 플라즈마 처리에 의해 노출되어 있는 산화물 반도체층의 표면에 부착된 흡착수 등을 제거한다. 또한, 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리를 하여도 좋다.
- [0220] 플라즈마 처리를 한 후, 대기에 접촉하지 않고, 산화물 반도체층의 일부에 접하는 보호 절연막이 되는 산화물 절연층(416)을 형성한다.
- [0221] 산화물 절연층(416)은, 적어도 1nm 이상의 막후로 하고, 스퍼터링법 등, 산화물 절연층(416)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 산화물 절연층(416)에 수소가 포함되면, 이 수소의 산화물 반도체층으로의 침입, 또는 수소에 의한 산화물 반도체층 중의 산소 인출이 발생하여 산화물 반도체층의 백채널이 저저화(N형화)되어, 기생 채널이 형성된다. 따라서, 산화물 절연층(416)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 시에는 최대한 수소를 이용하지 않는 것이 중요하다.
- [0222] 본 실시형태에서는, 산화물 절연층(416)으로 막후 200nm의 산화 규소막을 스퍼터링법을 이용하여 성막한다. 성막 시의 기판 온도는, 실온 이상 300℃ 이하로 하면 되고, 본 실시형태에서는 100℃로 한다. 산화 규소막의 스퍼터링법에 의한 성막은, 회가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 회가스(대표적으로는 아르곤) 및 산소 분위기 하에서 행할 수 있다. 또한, 타겟으로 산화 규소 타겟 또는 규소 타겟을 이용할 수 있다. 예를 들어, 규소 타겟을 이용하여, 산소, 및 질소 분위기 하에서 스퍼터링법에 의해 산화 규소를 형성할 수 있다. 저저화한 산화물 반도체층에 접하여 형성하는 산화물 절연층(416)은, 수분이나, 수소 이온이나, OH⁻ 등의 불순물을 포함하지 않고, 이들이 외부에서 침입하는 것을 막는 무기 절연막을 이용하며, 대표적으로는 산화 규소막, 질화산화 규소막, 산화 알루미늄막, 또는 산화질화 알루미늄 등을 이용한다.
- [0223] 이어서, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 한다. 예를 들어, 질소 분위기 하에서 250℃, 1 시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 하면, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(416)과 접

한 상태에서 가열된다.

- [0224] 이상의 공정을 거침으로써, 성막 후의 산화물 반도체막에 대해 탈수화 또는 탈수소화를 위한 가열 처리를 하여 저저항화한 후, 산화물 반도체막의 일부를 선택적으로 산소 과잉인 상태로 한다. 그 결과, 게이트 전극층(411)과 겹치는 채널 형성 영역(413)은 I형이 되고, 소스 전극층(415a)에 겹치는 고저항 소스 영역(414a)과, 드레인 전극층(415b)에 겹치는 고저항 드레인 영역(414b)이 자기 정합적으로 형성된다. 이상의 공정에서 박막 트랜지스터(410)가 형성된다. 마찬가지로, 게이트 전극층(421)과 겹치는 채널 형성 영역(423)은 I형이 되고, 소스 전극층(425a)에 겹치는 고저항 소스 영역(424a)과, 드레인 전극층(425b)에 겹치는 고저항 드레인 영역(424b)이 자기 정합적으로 형성된다. 이상의 공정에서 박막 트랜지스터(420)가 형성된다.
- [0225] 85℃, 2×10^6 V/cm, 12 시간의 게이트 바이어스·열스트레스 시험(BT 시험)에서는, 불순물이 산화물 반도체에 침가되어 있으면, 불순물과 산화물 반도체의 주성분의 결합이, 강전계(B: 바이어스)와 고온(T: 온도)에 의해 절단되고, 생성된 미결합이 역치 전압(V_{th})의 시프트를 유발하게 된다. 이에 대해, 산화물 반도체의 불순물, 특히 수소나 물 등을 최대한 제거하고, 상술한 고밀도 플라즈마 CVD를 이용하여 치밀하고 절연 내압이 높은 고품질의 절연막으로 하고, 산화물 반도체와의 계면 특성을 양호하게 함으로써, BT 시험에 대해서도 안정적인 박막 트랜지스터를 얻을 수 있다.
- [0226] 또한 대기 중, 100℃ 이상 200℃ 이하, 1 시간 이상 30 시간 이하에서의 가열 처리를 하여도 좋다. 본 실시형태에서는 150℃에서 10 시간 가열 처리를 한다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열하여도 좋으며, 실온에서 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도에서 실온까지의 강온을 복수회 반복하여 행하여도 좋다. 또한, 이 가열 처리를, 산화물 절연층 형성 전에, 감압 하에서 하여도 좋다. 감압 하에서 가열 처리를 하면, 가열 시간을 단축할 수 있다. 이 가열 처리에 의해, 산화물 반도체층에서 산화물 절연층 중으로 수소가 들어가, 노멀리 오프가 되는 박막 트랜지스터를 얻을 수 있다. 따라서 액정 표시 장치의 신뢰성을 향상시킬 수 있다.
- [0227] 한편, 드레인 전극층(415b, 425b)(및 소스 전극층(415a, 425a))과 중첩한 산화물 반도체층에서 고저항 드레인 영역(414b, 424b)(또는 고저항 소스 영역(414a, 424a))을 형성함으로써, 박막 트랜지스터의 신뢰성 향상을 도모할 수 있다. 구체적으로는, 고저항 드레인 영역(414b, 424b)을 형성함으로써, 드레인 전극층(415b, 425b)에서 고저항 드레인 영역(414b, 424b), 채널 형성 영역(413, 423)에 걸쳐, 도전성을 단계적으로 변화시킬 수 있는 구조로 할 수 있다. 이로 인해, 드레인 전극층(415b, 425b)을 고전원 전위(VDD)를 공급하는 배선에 접속하여 동작시키는 경우, 게이트 전극층(411, 421)과 드레인 전극층(415b, 425b) 사이에 고전계가 인가되어도 고저항 드레인 영역이 버퍼가 되어 국소적인 고전계가 인가되지 않고, 트랜지스터의 내압을 향상시킨 구성으로 할 수 있다.
- [0228] 또한, 산화물 반도체층에서의 고저항 소스 영역 또는 고저항 드레인 영역은, 산화물 반도체층의 막후가 15nm 이하로 얇은 경우는 막후 방향 전체에 걸쳐 형성되나, 산화물 반도체층의 막후가 30nm 이상 50nm 이하로 두꺼운 경우는, 산화물 반도체층의 일부, 소스 전극층 또는 드레인 전극층과 접하는 영역 및 그 근방이 저저항화한 고저항 소스 영역 또는 고저항 드레인 영역이 형성되고, 산화물 반도체층에서 게이트 절연층에 가까운 영역은 I형으로 할 수도 있다.
- [0229] 산화물 절연층(416) 위에 추가로 보호 절연층을 형성하여도 좋다. 예를 들어, RF 스퍼터링법을 이용하여 질화 규소막을 형성한다. RF 스퍼터링법은, 양산성이 좋으므로, 보호 절연층의 성막 방법으로 바람직하다. 보호 절연층은, 수분이나, 수소 이온, OH^- 등의 불순물을 포함하지 않고, 이들이 외부에서 침입하는 것을 막는 무기 절연막을 이용하여, 질화 규소막, 질화 알루미늄막, 질화산화 규소막, 산화질화 알루미늄 등을 이용한다. 본 실시형태에서는, 보호 절연층으로 보호 절연층(403)을, 질화 규소막을 이용하여 형성한다(도 7(D) 참조).
- [0230] 보호 절연층(403) 위에 평탄화를 위한 평탄화 절연층을 형성하여도 좋다. 도 7(E)에 나타낸 바와 같이, 박막 트랜지스터(420)의 보호 절연층(403) 위에 평탄화 절연층(404)을 형성한다.
- [0231] 평탄화 절연층(404)으로는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의, 내열성을 갖는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인보론 유리) 등을 이용할 수 있다. 한편, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연층(404)을 형성하여도 좋다.
- [0232] 한편 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다.

실록산계 수지는 치환기로는 유기기(예를 들어 알킬기나 아릴기)를 이용하여도 좋다. 또한, 유기기는 플루오로기를 갖고 있어도 좋다.

- [0233] 평탄화 절연층(404)의 형성법은, 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀코팅법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등) 등의 방법이나, 닥터 나이프, 롤코터, 커텐코터, 나이프 코터 등의 기구를 이용할 수 있다.
- [0234] 이어서, 제 4 포토리소 그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭하여 산화물 절연층(416), 보호 절연층(403), 평탄화 절연층(404)의 일부를 제거하여, 드레인 전극층(425b)에 달하는 개구를 형성한다.
- [0235] 이어서, 투광성을 갖는 도전막을 성막한다. 투광성을 갖는 도전막은, 산화 인듐 (In_2O_3)이나 산화인듐 산화주석 합금($In_2O_3-SnO_2$, ITO로 약기한다) 등을 스퍼터링법이나 진공 증착법 등을 이용하여 형성한다. 또는, 투광성을 갖는 도전막으로, 질소를 포함시킨 Al-Zn-O계 막, 즉Al-Zn-O-N계 막이나, 질소를 포함시킨 Zn-O계 막이나, 질소를 포함시킨 Sn-Zn-O계 막을 이용하여도 좋다. 한편, Al-Zn-O-N계 막의 아연 조성비(원자%)는, 47원자% 이하로 하고, 막 중의 알루미늄 조성비(원자%)보다 크고, 막 중의 알루미늄 조성비(원자%)는, 막 중의 질소 조성비(원자%)보다 크다. 이와 같은 재료의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔사가 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해 산화인듐 산화아연 합금(In_2O_3-ZnO)을 이용하여도 좋다.
- [0236] 한편, 투광성을 갖는 도전막의 조성비 단위는 원자%로 하고, 전자선 마이크로 아널라이저(EPMA: Electron Probe X-ray MicroAnalyzer)를 이용한 분석에 의해 평가하는 것으로 한다.
- [0237] 다음으로, 제 5 포토리소 그래피 공정을 행하고, 레지스트 마스크를 형성하고, 에칭에 의해 투광성을 갖는 도전막의 불필요한 부분을 제거하여 화소 전극(427)을 형성하고, 레지스트 마스크를 제거한다(도 7(E) 참조).
- [0238] 본 실시형태에서는, 게이트 절연층의 개구 공정을 산화물 절연층, 보호 절연층과 동일한 포토리소 그래피 공정에서 행하는 예를 나타내었으나, 다른 공정에서 행하여도 좋으며, 이 경우, 포토리소 그래피 공정이 제 6 공정이 된다.
- [0239] 본 실시형태에서 설명한 산화물 반도체층을 이용한 박막 트랜지스터를 갖는 액정 표시 장치에서, 실시형태 1의 구성과 조합함으로써, 정지화 표시를 행할 때, 저소비 전력화를 도모하면서, 또한 화상의 왜곡 저감을 도모할 수 있다.
- [0240] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0241] (실시형태 6)
- [0242] 본 실시형태는, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 다른 예를 나타낸다.
- [0243] 본 실시형태의 액정 표시 장치 및 액정 표시 장치의 제작 방법의 일 양태를, 도 8(A) 내지 도 8(E)를 이용하여 설명한다.
- [0244] 또한, 박막 트랜지스터(240, 260)는 싱글 게이트 구조의 박막 트랜지스터를 이용하여 설명하였으나, 필요에 따라, 채널 형성 영역을 복수 갖는 멀티 게이트 구조의 박막 트랜지스터도 형성할 수 있다.
- [0245] 이하, 도 8(A) 내지 (E)를 이용하여, 기판(200) 위에 박막 트랜지스터(240, 260)를 제작하는 공정을 설명한다.
- [0246] 우선, 절연 표면을 갖는 기판(200) 위에 도전막을 형성한 후, 제 1 포토리소 그래피 공정에 의해 게이트 전극층(241), 게이트 전극층(261)을 형성한다. 본 실시형태에서는, 게이트 전극층(241), 게이트 전극층(261)으로, 막후 150nm의 텅스텐막을, 스퍼터링법을 이용하여 형성한다.
- [0247] 이어서, 게이트 전극층(241), 게이트 전극층(261) 위에 게이트 절연층(292)을 형성한다. 본 실시형태에서는, 게이트 절연층(292)으로 플라즈마 CVD법에 의해 막후 100nm 이하의 산화질화 규소층을 형성한다.
- [0248] 이어서, 게이트 절연층(292)에, 금속 도전막을 형성하고, 제 2 포토리소 그래피 공정에 의해 금속 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 하여 소스 전극층(245a, 265a), 드레인 전극층(245b, 265b)을 형성한 후, 레지스트 마스크를 제거한다(도 8(A) 참조).

- [0249] 다음으로 산화물 반도체막(295)을 형성한다(도 8(B) 참조). 본 실시형태에서는, 산화물 반도체막(295)으로 In-Ga-Zn-O계 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 성막한다. 산화물 반도체막(295)을 제 3 포토리소그래피 공정에 의해 섬 모양의 산화물 반도체층으로 가공한다.
- [0250] 이어서, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만으로 한다. 여기서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대해 질소 분위기 하 450℃에서 1 시간의 가열 처리를 행한 후, 대기에 접촉하지 않고, 산화물 반도체층으로의 물이나 수소의 혼입을 막아, 산화물 반도체층(296, 297)을 얻는다(도 8(C) 참조).
- [0251] 또한, 제 1 가열 처리로, 650℃~700℃의 고온으로 가열한 불활성 가스 중에 기판을 이동시켜 넣고, 수분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스 중에서 꺼내는 GRTA를 하여도 좋다. GRTA를 이용하면 단 시간에 고온 가열 처리가 가능해진다.
- [0252] 산화물 반도체층(296, 297)에 접하는 보호 절연막이 되는 산화물 절연층(246)을 형성한다.
- [0253] 산화물 절연층(246)은, 적어도 1nm 이상의 막후로 하고, 스퍼터링법 등, 산화물 절연층(246)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 산화물 절연층(246)에 수소가 포함되면, 이 수소의 산화물 반도체층으로의 침입, 또는 수소에 의한 산화물 반도체층 중의 산소 인출이 발생하고 산화물 반도체층의 백채널이 저저항화(N형화)되어, 기생 채널이 형성된다. 따라서, 산화물 절연층(246)은 가능한한 수소를 포함하지 않는 막이 되도록, 성막 시에는 최대한 수소를 이용하지 않는 것이 중요하다.
- [0254] 본 실시형태에서는, 산화물 절연층(246)으로 막후 200nm의 산화 규소막을 스퍼터링법을 이용하여 성막한다. 성막 시의 기판 온도는, 실온 이상 300℃ 이하로 하면 되고, 본 실시형태에서는 100℃로 한다. 산화 규소막의 스퍼터링법에 의한 성막은, 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기 하에서 행할 수 있다. 또한, 타겟으로 산화 규소 타겟 또는 규소 타겟을 이용할 수 있다. 예를 들어, 규소 타겟을 이용하여, 산소, 및 질소 분위기 하에서 스퍼터링법에 의해 산화 규소를 형성할 수 있다. 저저항화한 산화물 반도체층에 접하여 형성하는 산화물 절연층(246)은, 수분이나, 수소 이온이나, OH⁻ 등의 불순물을 포함하지 않고, 이들이 외부에서 침입하는 것을 막는 무기 절연막을 이용하며, 대표적으로는 산화 규소막, 질화산화 규소막, 산화 알루미늄막, 또는 산화질화 알루미늄 등을 이용한다.
- [0255] 이어서, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 한다. 예를 들어, 질소 분위기 하에서 250℃, 1 시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 하면, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(246)과 접한 상태에서 가열된다.
- [0256] 이상의 공정을 거침으로써, 성막 후의 산화물 반도체막에 대해 탈수화 또는 탈수소화를 위한 가열 처리를 하여 저저항화한 후, 산화물 반도체막을 산소 과잉의 상태로 한다. 그 결과, I형의 산화물 반도체층(242, 262)이 형성된다. 이상의 공정에서 박막 트랜지스터(240, 260)가 형성된다.
- [0257] 나아가 대기중, 100℃ 이상 200℃ 이하, 1 시간 이상 30 시간 이하에서의 가열 처리를 하여도 좋다. 본 실시형태에서는 150℃에서 10 시간 가열 처리를 한다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열하여도 좋으며, 실온에서, 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도에서 실온까지의 강온을 복수회 반복하여 행하여도 좋다. 또한, 이 가열 처리를, 산화물 절연층의 형성 전에, 감압 하에서 행하여도 좋다. 감압 하에서 가열 처리를 하면, 가열 시간을 단축할 수 있다. 이 가열 처리에 의해, 산화물 반도체층에서 산화물 절연층 중으로 수소가 포함되게 되고, 노멀리 오프가 되는 박막 트랜지스터를 얻을 수 있다. 따라서 액정 표시 장치의 신뢰성을 향상시킬 수 있다.
- [0258] 산화물 절연층(246) 위에 추가로 보호 절연층을 형성하여도 좋다. 예를 들어, RF 스퍼터링법을 이용하여 질화 규소막을 형성한다. 본 실시형태에서는, 보호 절연층으로 보호 절연층(293)을, 질화 규소막을 이용하여 형성한다(도 8(D) 참조).
- [0259] 보호 절연층(293) 위에 평탄화를 위한 평탄화 절연층을 형성하여도 좋다. 본 실시형태에서는, 도 8(E)에 나타낸 바와 같이, 박막 트랜지스터(260)의 보호 절연층(293) 위에 평탄화 절연층(294)을 형성한다.
- [0260] 이어서, 제 4 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 하여 평탄화 절연층(294), 보호 절연층(293), 및 산화물 절연층(246)의 일부를 제거하여, 드레인 전극층(265b)에 달하는 개구를

형성한다.

- [0261] 다음으로, 투광성을 갖는 도전막을 성막하고, 제 5 포토리소 그래피 공정을 행하고, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극(267)을 형성하고, 레지스트 마스크를 제거한다(도 8(E) 참조).
- [0262] 본 실시형태에서는, 게이트 절연층의 개구 공정을 산화물 절연층, 보호 절연층과 동일한 포토리소 그래피 공정에서 행하는 예를 나타내었으나, 다른 공정에서 행하여도 좋으며, 이 경우, 포토리소 그래피 공정이 6 공정이 된다.
- [0263] 본 실시형태에서 설명한 산화물 반도체층을 이용한 박막 트랜지스터를 갖는 액정 표시 장치에서, 실시형태 1의 구성과 조합함으로써, 정지화 표시를 행할 때, 저소비 전력화를 도모할 수 있다.
- [0264] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0265] (실시형태 7)
- [0266] 본 실시형태는, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 예를 나타낸다.
- [0267] 본 실시형태에서는, 박막 트랜지스터의 제작 공정의 일부가 실시형태 5와 다른 예를 도 9에 나타낸다. 도 9는, 도 7과 공정이 일부 다른 점 이외에는 동일하므로, 동일한 부분에는 동일한 부호를 사용하고, 동일한 부분의 상세한 설명은 생략한다.
- [0268] 기판(400) 위에 게이트 전극층(471, 481)을 형성하고, 게이트 절연층(402)을 적층한다.
- [0269] 다음으로 산화물 반도체막을 형성하고, 산화물 반도체막을 포토리소 그래피 공정에 의해 섬 모양의 산화물 반도체층으로 가공한다.
- [0270] 이어서, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 425℃ 이상 750℃ 이하로 한다. 한편, 425℃ 이상이면 가열 처리 시간은 1 시간 이하이면 되나, 425℃ 미만이면 가열 처리 시간은 1 시간보다 긴 시간 행하는 것으로 한다. 여기서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대해 질소 분위기 하에서 가열 처리를 한 후, 대기에 접촉하지 않고, 산화물 반도체층으로의 물이나 수소의 혼입을 막고, 산화물 반도체층을 얻는다. 그 후, 동일한 로에 고순도의 산소 가스, 고순도의 N₂O 가스, 또는 초건조 에어(이슬점이 -40℃ 이하, 바람직하게는 -60℃ 이하)를 도입하여 냉각한다. 산소 가스 또는 N₂O 가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는 N₂O 가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 산소 가스 또는 N₂O 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다.
- [0271] 한편, 가열 처리 장치는 전기로에 한정되지 않고, 예를 들어, GRTA(Gas Rapid Thermal Annealing) 장치, LRTA(Lamp Rapid Thermal Annealing) 장치 등의 RTA(Rapid Thermal Annealing) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논아크 램프, 카본아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프에서 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. 또한, LRTA 장치는, 램프 뿐만 아니라, 저항 발열체 등의 발열체에서의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하고 있어도 좋다. GRTA란 고온의 가스를 이용하여 가열 처리를 하는 방법이다. 가스에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다. RTA법을 이용하여, 600℃~750℃에서 수분간 가열 처리를 하여도 좋다.
- [0272] 또한, 탈수화 또는 탈수소화를 행하는 제 1 가열 처리 후에 200℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 300℃ 이하의 온도에서 산소 가스 또는 N₂O 가스 분위기 하에서의 가열 처리를 하여도 좋다.
- [0273] 또한, 산화물 반도체층의 제 1 가열 처리는, 섬 모양의 산화물 반도체층으로 가공하기 전의 산화물 반도체막에 행할 수도 있다. 이 경우에는, 제 1 가열 처리 후에, 가열 장치에서 기판을 꺼내어, 포토리소 그래피 공정을 행한다.
- [0274] 이상의 공정을 거침으로써 산화물 반도체막 전체를 산소 과잉의 상태로 함으로써, 고저항화, 즉 I형화시킨다.

따라서, 전체가 I형화된 산화물 반도체층(472, 482)을 얻게 된다.

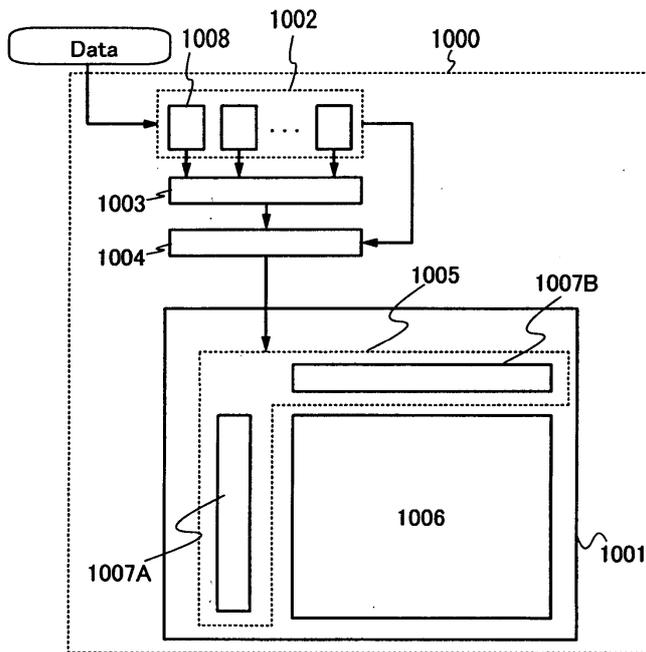
- [0275] 이어서, 산화물 반도체층(472, 482) 위에, 포토리소 그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 하여 소스 전극층(475a, 485a), 드레인 전극층(475b, 485b)을 형성하고, 스퍼터링법으로 산화물 절연층(416)을 형성한다. 이상의 공정에서, 박막 트랜지스터(470, 480)를 형성할 수 있다.
- [0276] 이어서, 박막 트랜지스터의 전기적 특성의 편차를 경감시키기 위해, 불활성 가스 분위기 하, 또는 질소 가스 분위기 하에서 가열 처리(바람직하게는 150℃ 이상 350℃ 미만)를 하여도 좋다. 예를 들어, 질소 분위기 하에서 250℃, 1 시간의 가열 처리를 한다.
- [0277] 또한, 대기중, 100℃ 이상 200℃ 이하, 1 시간 이상 30 시간 이하에서의 가열 처리를 하여도 좋다. 본 실시형태에서는 150℃에서 10 시간 가열 처리를 한다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열하여도 좋으며, 실온에서, 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도에서 실온까지의 강온을 복수회 반복하여 행하여도 좋다. 또한, 이 가열 처리를, 산화물 절연층 형성 전에, 감압 하에서 행하여도 좋다. 감압 하에서 가열 처리를 하면, 가열 시간을 단축할 수 있다. 이 가열 처리에 의해, 산화물 반도체층에서 산화물 절연층 중으로 수소가 들어가게 되고, 노멀리 오프가 되는 박막 트랜지스터를 얻을 수 있다. 따라서 액정 표시 장치의 신뢰성을 향상시킬 수 있다.
- [0278] 산화물 절연층(416) 위에 보호 절연층(403)을 형성한다. 본 실시형태에서는, 보호 절연층으로 보호 절연층(403)을, 질화 규소막을 이용하여 형성한다.
- [0279] 보호 절연층(403) 위에 평탄화를 위한 평탄화 절연층을 형성하여도 좋다. 본 실시형태에서는, 도 9에 나타낸 바와 같이, 박막 트랜지스터(480)의 보호 절연층(403) 위에 평탄화 절연층(404)을 형성한다.
- [0280] 이어서, 포토리소 그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭하여 평탄화 절연층(404), 보호 절연층(403), 및 산화물 절연층(416)의 일부를 제거하여, 드레인 전극층(485b)에 달하는 개구를 형성한다.
- [0281] 다음으로, 투광성을 갖는 도전막을 성막하고, 포토리소 그래피 공정을 행하고, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극(487), 도전층(417)을 형성하고, 레지스트 마스크를 제거한다(도 9 참조).
- [0282] 본 실시형태에서 설명한 산화물 반도체층을 이용하는 박막 트랜지스터를 갖는 액정 표시 장치에서, 실시형태 1의 구성과 조합함으로써, 정지화 표시를 행할 때, 저소비 전력화를 도모할 수 있다.
- [0283] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0284] (실시형태 8)
- [0285] 본 실시형태에서는, 상기 실시형태에서 설명한 액정 표시 장치를 구비하는 전자 기기의 예에 대해 설명한다.
- [0286] 도 10(A)는 휴대형 게임기로, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 기록 매체 읽기부(9672) 등을 가질 수 있다. 도 10(A)에 나타낸 휴대형 게임기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 읽어 표시부에 표시하는 기능, 다른 휴대형 게임기와 무선 통신을 하여 정보를 공유하는 기능, 등을 가질 수 있다. 한편, 도 10(A)에 나타낸 휴대형 게임기가 갖는 기능은 이에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0287] 도 10(B)는 디지털 카메라로, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 셔터 버튼(9676), 수상부(9677) 등을 가질 수 있다. 도 10(B)에 나타낸 텔레비전 수상 기능이 있는 디지털 카메라는, 정지화를 촬영하는 기능, 동화를 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 안테나에서 다양한 정보를 취득하는 기능, 촬영한 화상, 또는 안테나에서 취득한 정보를 보존하는 기능, 촬영한 화상, 또는 안테나에서 취득한 정보를 표시부에 표시하는 기능, 등을 가질 수 있다. 한편, 도 10(B)에 나타낸 텔레비전 수상 기능이 있는 디지털 카메라가 갖는 기능은 이에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0288] 도 10(C)는 텔레비전 수상기로, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 등을 가질 수 있다. 도 10(C)에 나타낸 텔레비전 수상기는, 텔레비전용 전파를 처리하여 화상 신호로 변환하는 기능, 화상 신호를 처리하여 표시에 적합한 신호로 변환하는 기능, 화상 신호의 프레임 주파수를 변환하는 기능, 등을 가질 수 있다. 한편, 도 10(C)에 나타낸 텔레비전 수상기가 갖는 기능은 이에 한정되지 않으며, 다

312; NOR 회로	490; 버퍼 회로
400; 기관	491; 인버터 회로
492; 인버터 회로	402; 게이트 절연층
403; 보호 절연층	404; 평탄화 절연층
410; 박막 트랜지스터	493; 스위치
411; 게이트 전극층	413; 채널 형성 영역
416; 산화물 절연층	417; 도전층
420; 박막 트랜지스터	421; 게이트 전극층
423; 채널 형성 영역	427; 화소 전극
430; 산화물 반도체막	431; 산화물 반도체층
450; 질소 분위기	470; 박막 트랜지스터
471; 게이트 전극층	472; 산화물 반도체층
480; 박막 트랜지스터	487; 화소 전극
501; 박막 트랜지스터	502; 박막 트랜지스터
503; 액정 소자	504; 대향 전극
1000; 액정 표시 장치	1001; 표시 패널
1002; 기억 회로	1003; 비교 회로
1004; 표시 제어 회로	1005; 구동 회로부
1006; 화소부	1008; 프레임 메모리
106A; 단자	106B; 단자
1211; 화소트랜지스터	1261; 스위칭 트랜지스터
1601; 박막 트랜지스터	1602; 액정 소자
1603; 디코더 회로	1604; 시프트 레지스터 회로
1701; 하우징	1702; 표시부
1703; 윈도우형 표시부	1704; 점선부
1705; 실선부	1707; 영역
1708; 영역	1801; 기간
245a; 소스 전극층	245b; 드레인 전극층
265a; 소스 전극층	265b; 드레인 전극층
311A; NAND 회로	414a; 고저항 소스 영역
414b; 고저항 드레인 영역	415a; 소스 전극층
415b; 드레인 전극층	424a; 고저항 소스 영역
424b; 고저항 드레인 영역	425a; 소스 전극층
425b; 드레인 전극층	475a; 소스 전극층
475b; 드레인 전극층	485a; 소스 전극층
485b; 드레인 전극층	9630; 하우징

- | | |
|--------------------|-------------------|
| 9631; 표시부 | 9633; 스피커 |
| 9635; 조작키 | 9636; 접속단자 |
| 9638; 마이크로폰 | 9672; 기록 매체 읽기부 |
| 9676; 셔터 버튼 | 9677; 수상부 |
| 9680; 외부 접속 포트 | 9681; 포인팅 디바이스 |
| 1007A; 게이트선측 구동 회로 | 1007B; 신호선측 구동 회로 |

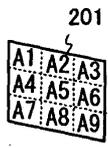
도면

도면1

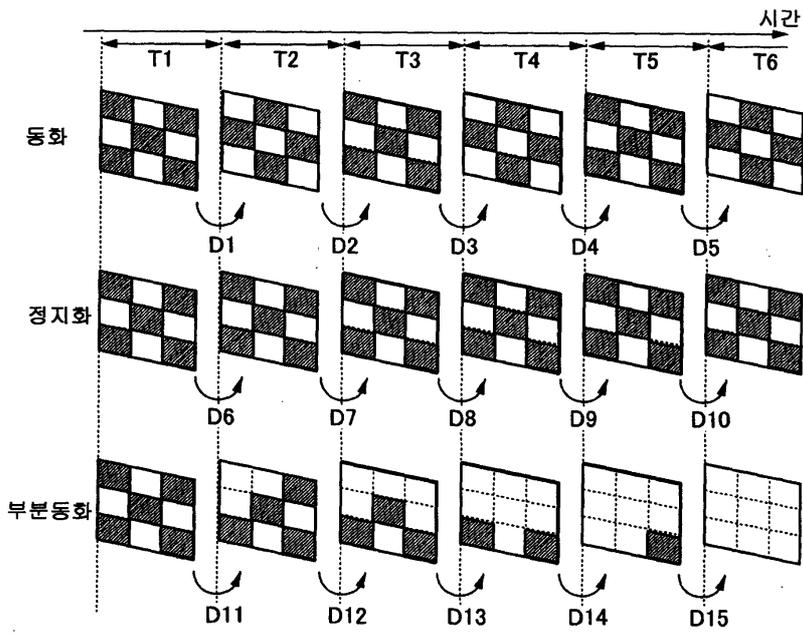


도면2

(A)

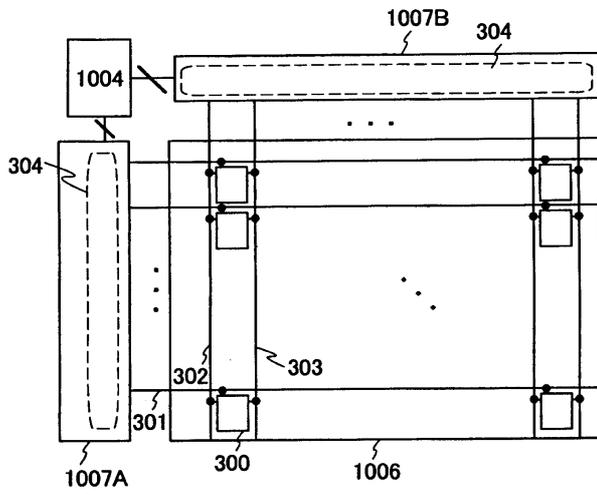


(B)

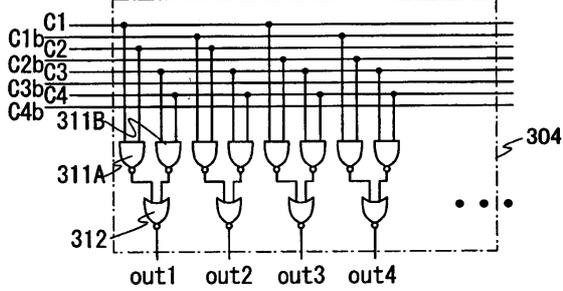


도면3

(A)

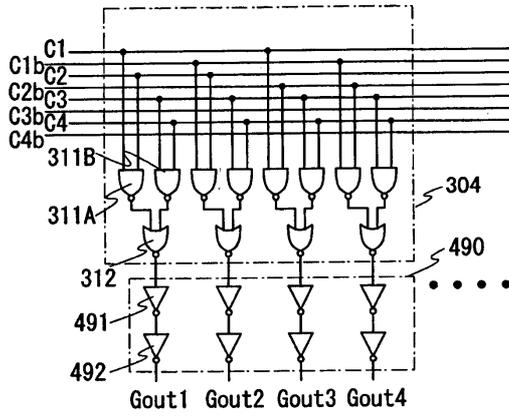


(B)

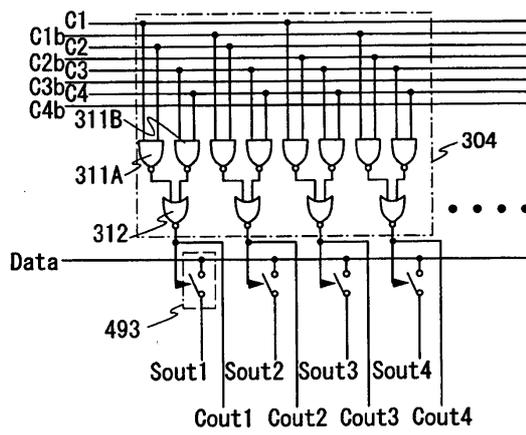


도면4

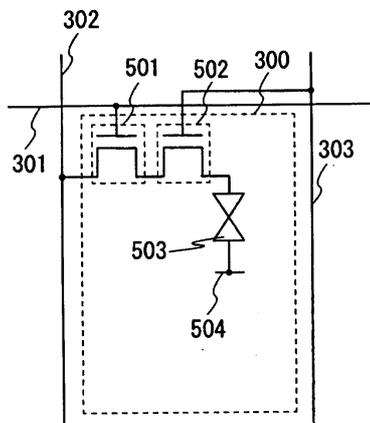
(A)



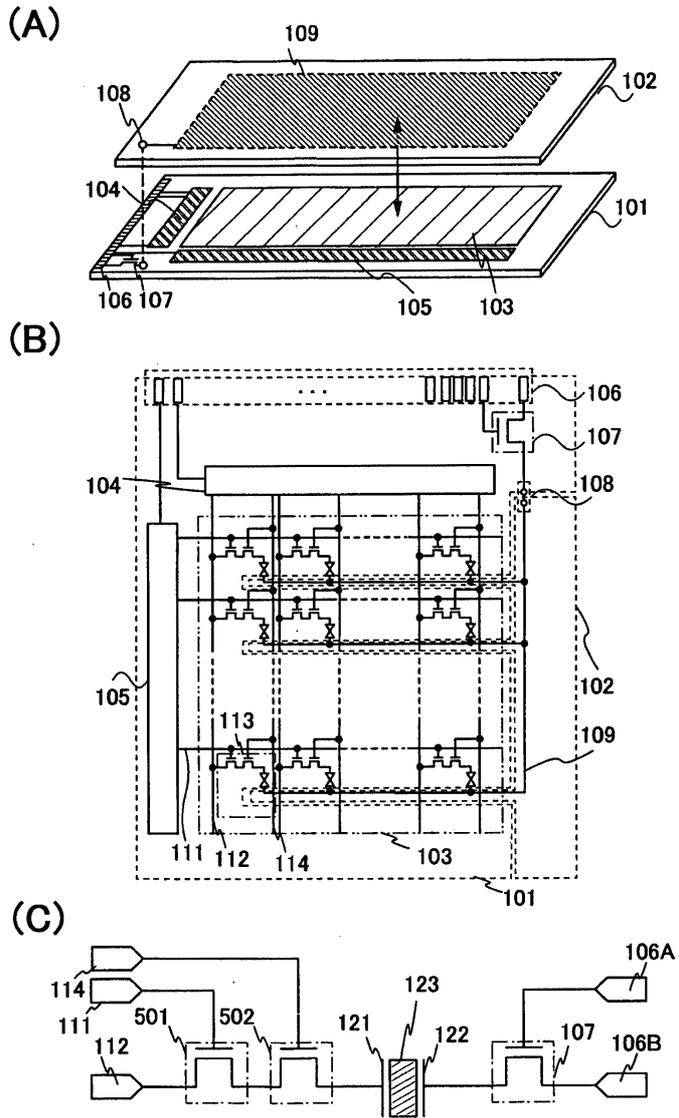
(B)



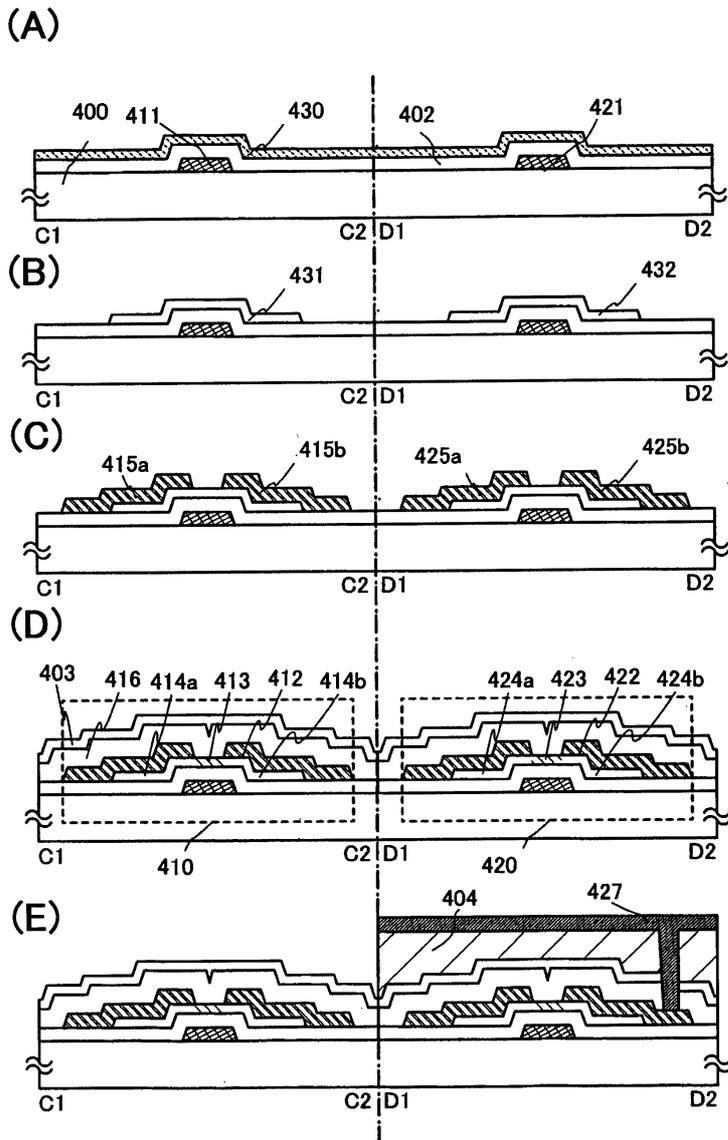
도면5



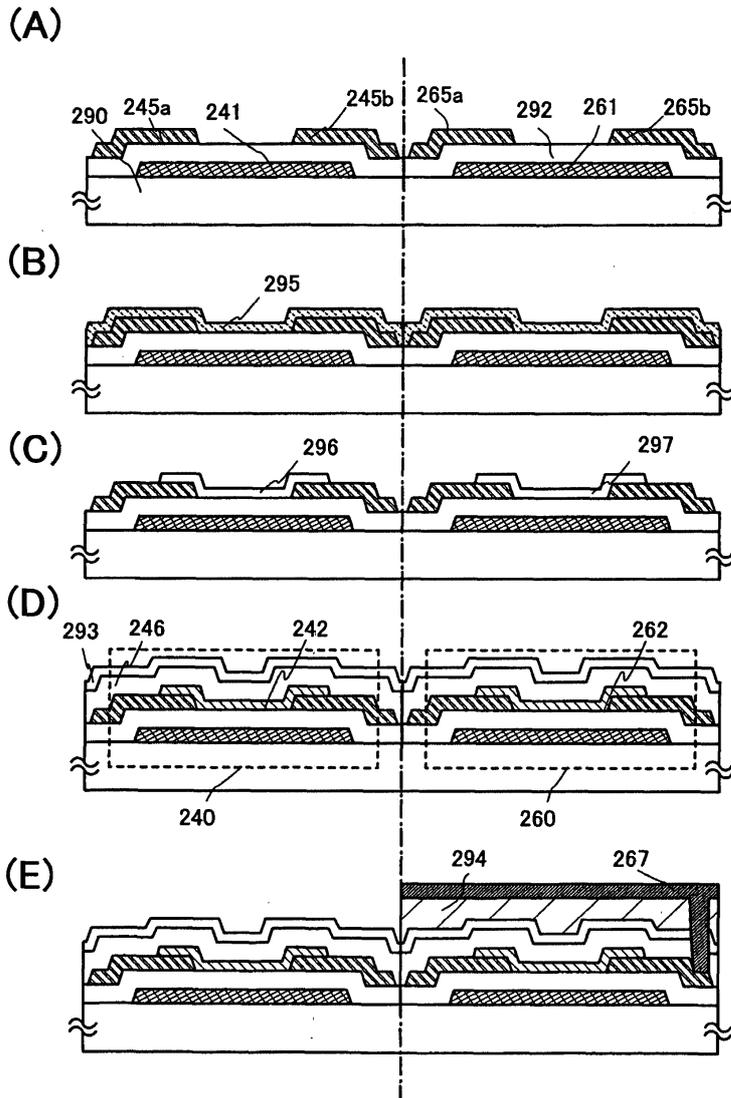
도면6



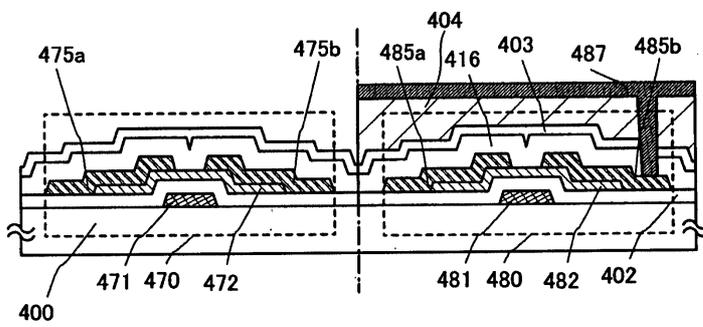
도면7



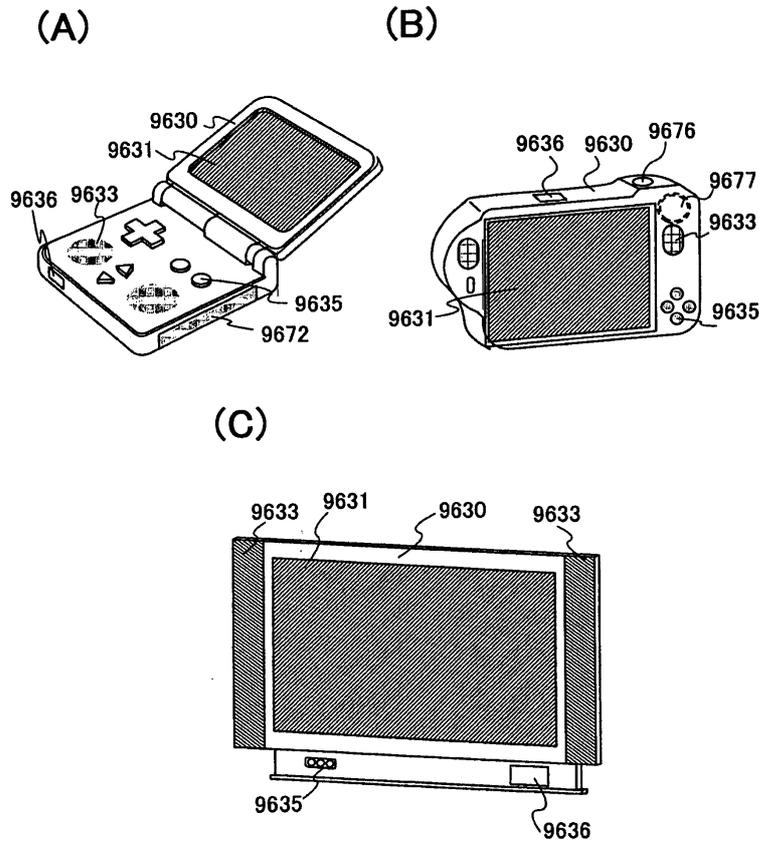
도면8



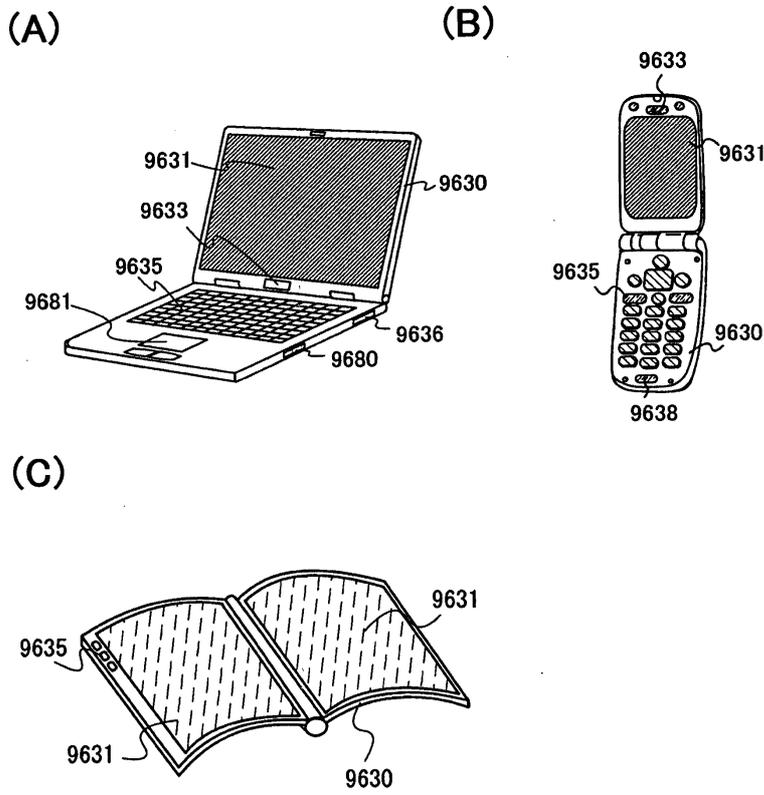
도면9



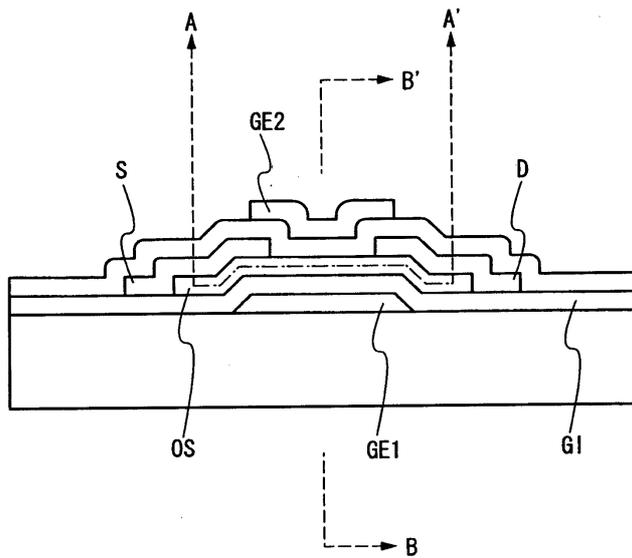
도면10



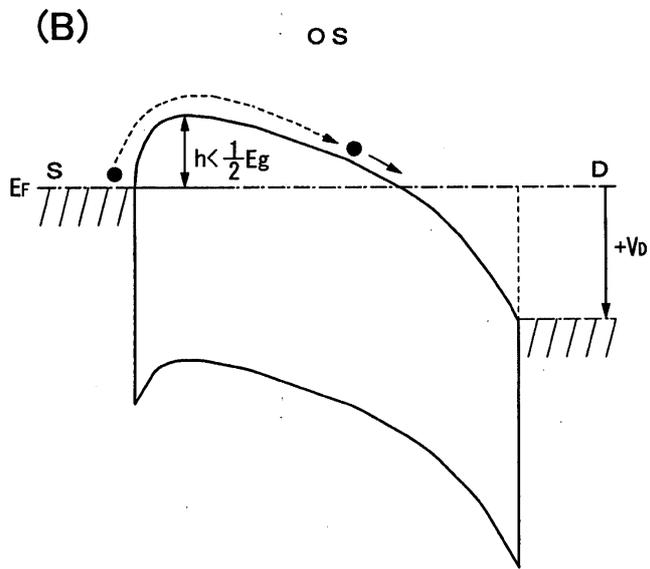
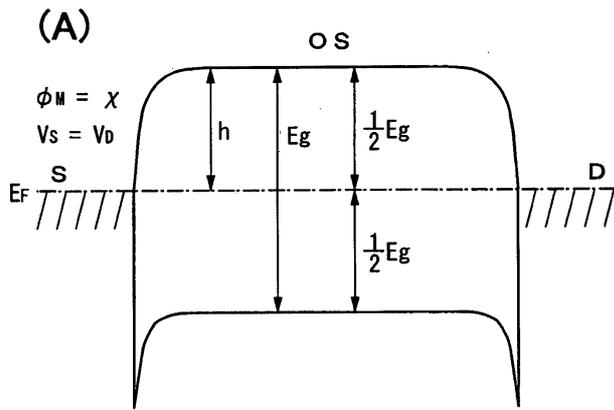
도면11



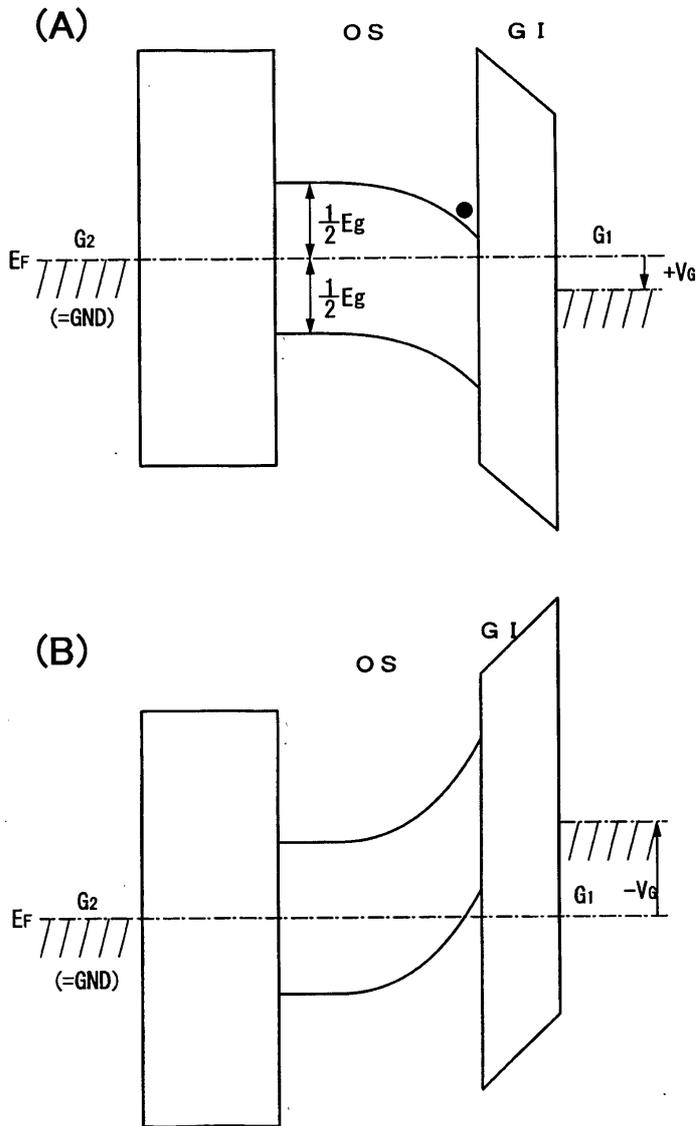
도면12



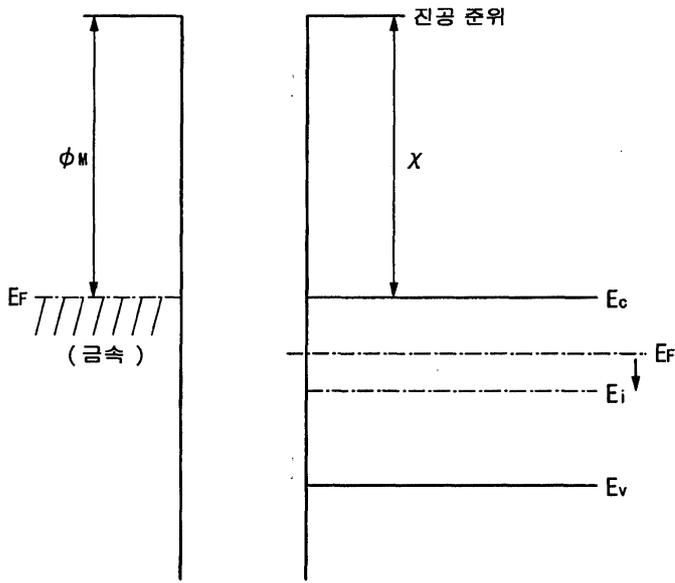
도면13



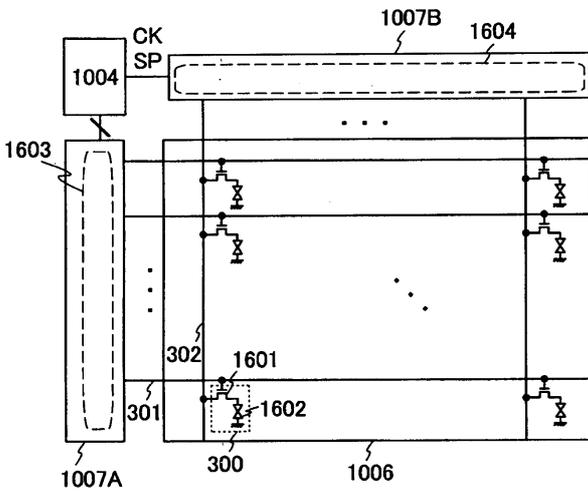
도면14



도면15

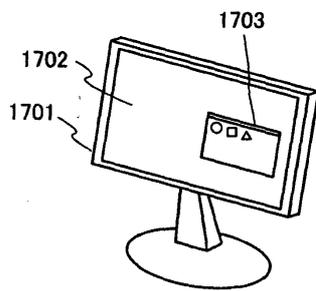


도면16

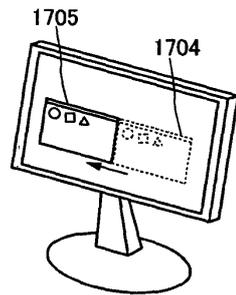


도면17

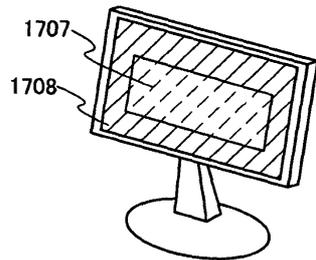
(A)



(B)

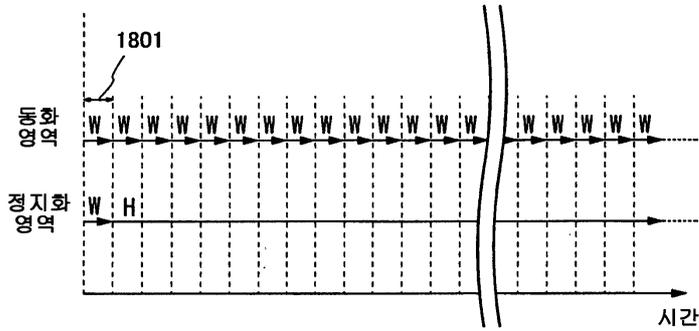


(C)

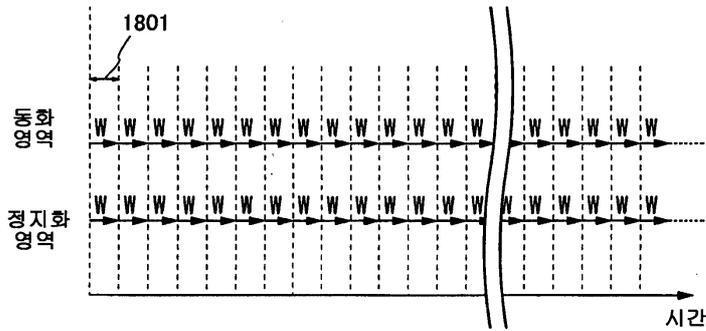


도면18

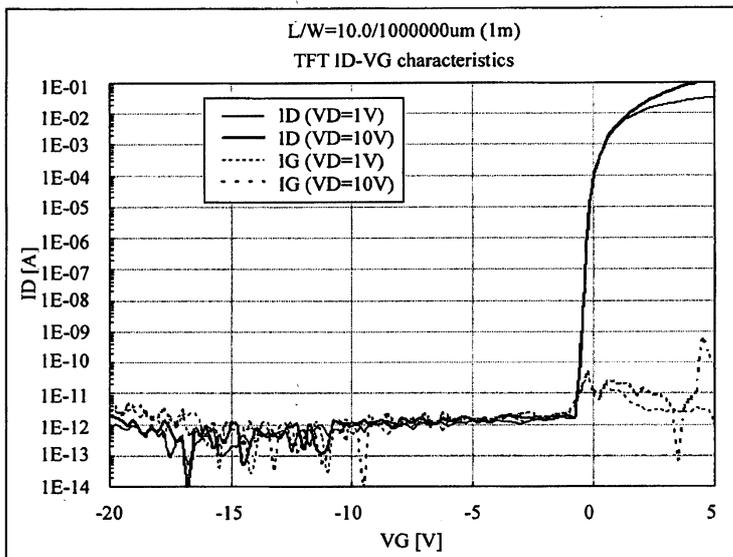
(A)



(B)



도면19



专利名称(译)	一种液晶显示器，液晶显示器的驱动方法，以及具有该液晶显示器的电子设备		
公开(公告)号	KR101839931B1	公开(公告)日	2018-03-19
申请号	KR1020127016517	申请日	2010-11-04
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KOYAMA JUN 고야마준 YAMAZAKI SHUNPEI 야마자키순페이		
发明人	고야마준 야마자키순페이		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3659 G02F1/1368 G09G5/005 H01L27/1225 G09G3/3677 G09G2320/103 G09G2360/10 G02F2202/10		
代理人(译)	黄的.		
优先权	2009272545 2009-11-30 JP 2009279003 2009-12-08 JP		
其他公开文献	KR1020120101693A		
外部链接	Espacenet		

摘要(译)

在能够减小薄膜晶体管的截止电流并显示运动图像和静止图像的液晶显示装置中，功耗降低。和具有驱动电路的栅极线侧驱动电路，用于选择性地控制所述显示单元，和信号线，用于选择性地信号线侧驱动电路，以及用于控制该像素的栅极线是用于存储图像信号所形成，其中，图像信号被提供到存储电路的多个和，和用于计算存储在存储电路中的图像信号中的差异的比较器的每个像素，基于该差进行比较，具有用于执行控制的读取和驱动电路的图像信号的显示控制电路，显示控制电路，在检测到差异，并且像素具有薄膜晶体管，其中栅极电连接到栅极线，第一端子电连接到信号线，第二端子电连接到像素电极，晶体管具有由氧化物半导体制成的半导体层。

