



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월13일
(11) 등록번호 10-1746862
(24) 등록일자 2017년06월07일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/1343 (2006.01)
G09G 3/36 (2006.01)
(21) 출원번호 10-2011-0034429
(22) 출원일자 2011년04월13일
심사청구일자 2016년04월06일
(65) 공개번호 10-2012-0116785
(43) 공개일자 2012년10월23일
(56) 선행기술조사문헌
KR1020050003001 A
KR1020080044397 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
강영민
부산광역시 기장군 기장읍 차성로417번길 21, 문
화그린아파트 2동 1003호
정호영
경기도 고양시 덕양구 백양로 8, 1711동 1802호
(화정동, 옥빛마을)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 9 항

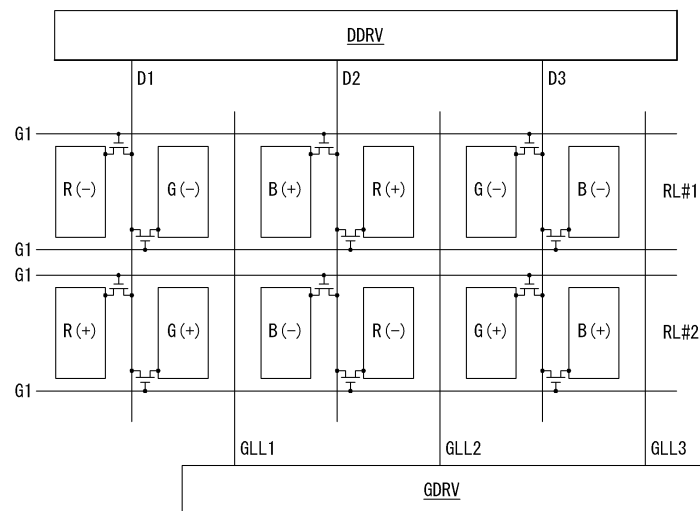
심사관 : 김민수

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명에 따른 액정표시장치는 컬럼 방향을 따라 신장되는 $m/2$ (m 은 양의 짝수) 개의 데이터라인들과 로우 방향을 따라 신장되는 $2n$ (n 은 자연수) 개의 게이트라인들의 교차에 의해 $m \times n$ 개의 화소들이 정의되고, 상기 데이터라인들 사이마다 컬럼 방향을 따라 신장되어 상기 게이트라인들에 접속되는 $m/2$ 개의 게이트 링크 라인들이 배치된 표시 영역을 갖는 액정표시패널; 상기 액정표시패널의 일측에 배치되어 상기 데이터라인들에 데이터전압을 인가하는 데이터 드라이버; 및 상기 표시 영역을 사이에 두고 상기 데이터 드라이버와 마주보도록 상기 액정표시패널의 타측에 배치되며 상기 게이트 링크 라인들을 통해 상기 게이트라인들에 스캔펄스를 공급하는 게이트 드라이버를 구비한다.

대표도 - 도4



명세서

청구범위

청구항 1

컬럼 방향을 따라 신장되는 $m/2$ (m 은 양의 짝수) 개의 데이터라인들과 로우 방향을 따라 신장되는 $2n$ (n 은 자연수) 개의 게이트라인들의 교차에 의해 $m \times n$ 개의 화소들이 정의되고, 상기 데이터라인들 사이마다 컬럼 방향을 따라 신장되어 상기 게이트라인들에 접속되는 $m/2$ 개의 게이트 링크 라인들이 배치된 표시 영역을 갖는 액정표시패널;

상기 액정표시패널의 일측에 배치되어 상기 데이터라인들에 데이터전압을 인가하는 데이터 드라이버; 및

상기 표시 영역을 사이에 두고 상기 데이터 드라이버와 마주보도록 상기 액정표시패널의 타측에 배치되며 상기 게이트 링크 라인들을 통해 상기 게이트라인들에 스캔펄스를 공급하는 게이트 드라이버를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

데이터라인을 사이에 두고 서로 이웃하는 2개의 화소들은 그 데이터라인을 공유하며 서로 다른 게이트라인에 각각 접속되어 순차 구동되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

게이트라인 대 게이트 링크 라인 간 접속비는 상기 표시 영역에서의 표시 위치에 따라 달라지는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 표시 영역을 제1 영역, 게이트 로드량이 상기 제1 영역보다 작은 제2 영역, 및 상기 게이트 로드량이 상기 제2 영역보다 작은 제3 영역으로 나누는 경우,

상기 제3 영역에서 상기 게이트라인 대 상기 게이트 링크 라인의 접속비는 $1 : a$ (a 는 1 이상의 자연수)로 선택되고;

상기 제2 영역에서 상기 게이트라인 대 상기 게이트 링크 라인의 접속비는 $1 : b$ (b 는 a 보다 큰 자연수)로 선택되며;

상기 제1 영역에서 상기 게이트라인 대 상기 게이트 링크 라인의 접속비는 $1 : c$ (c 는 b 보다 큰 자연수)로 선택되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제1 영역의 게이트라인 각각은 3개의 게이트 링크 라인들에 공통으로 연결되어 상기 게이트 드라이버로부터 스캔펄스를 인가받고;

상기 제2 영역의 게이트라인 각각은 2개의 게이트 링크 라인들에 공통으로 연결되어 상기 게이트 드라이버로부터 스캔펄스를 인가받으며;

상기 제3 영역의 게이트라인 각각은 1개의 게이트 링크 라인에 연결되어 상기 게이트 드라이버로부터 스캔펄스를 인가받는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 게이트 링크 라인들은 상기 데이터 라인들과 함께 게이트 절연막 상에 형성되고, 상기 게이트 절연막을 관통하는 콘택홀을 통해 상기 게이트 라인들에 선택적으로 콘택되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 표시 영역은 상기 화소들 각각의 공통전극에 공통전압을 공급하기 위한 화소 공통라인 패턴들을 더 구비하고;

상기 화소 공통라인 패턴들 각각은 상기 게이트 라인들과 함께 상기 게이트 절연막 아래에 형성되며, 화소의 개구 영역을 둘러싸면서 특정 연결 부위를 통해 서로 연결되고,

상기 화소 공통라인 패턴들 각각은 상기 특정 연결 부위를 제외하고, 상기 게이트 링크 라인들에 비 중첩되도록 형성되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 게이트 드라이버는 GIP(Gate driver In Panel) 방식에 따라 상기 액정표시패널의 타측 비 표시영역에 내장되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 1 항에 있어서,

상기 게이트 드라이버는 TAB(Tape Automated Bonding) 방식으로 형성되는 다수의 게이트 드라이버 IC들을 포함하는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 베젤(bezel) 영역을 줄일 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 비디오 신호에 대응하여 액정층에 인가되는 전계를 통해 액정층의 광투과율을 제어함으로써 화상을 표시한다. 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다.

[0003] 액정표시장치에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다. TFT의 게이트전극은 게이트라인에 접속되고, 소스전극은 데이터라인에 접속되며, 드레인전극은 액정셀의 화소전극에 접속된다. 화소전극과 대향되는 액정셀의 공통전극에는 공통전압이 공급된다. 스캔펄스가 게이트라인에 인가되면 TFT는 턴-온(Turn-on)되어 소스전극과 드레인전극 사이의 채널을 형성하여 데이터라인 상의 전압을 액정셀의 화소전극에 공급한다. 이때 액정셀의 액정분자들은 화소전극과 공통전극 사이의 전계에 의하여 배열이 바뀌면서 입사광을 변조하게 된다.

[0004] 이러한 액정표시장치는 게이트라인들을 구동하기 위한 게이트 드라이브 IC(Integrated Circuit)와 데이터라인들을 구동하기 위한 데이터 드라이브 IC를 포함한다. 액정표시장치의 대형화에 따라 요구되는 드라이브 IC들의 갯수도 증가하는 추세에 있으므로, 재료비 절감을 위해 GIP(Gate driver In Panel) 기술이 제안된 바 있다. GIP 기술은 게이트 드라이버 IC를 없애고 그 대신에 게이트 드라이버를 패널에 내장하는 방식이다.

[0005] 도 1에 도시된 것처럼, GIP 방식의 게이트 드라이버는 액정표시패널을 화소 어레이의 형성을 위한 표시 영역(AA)과, 이 표시 영역 바깥의 베젤 영역(BA)로 나눌 때, 표시 영역(AA)을 사이에 두고 좌측 및 우측에 배치된

베젤 영역(BA)에 형성된다.

[0006] 도 2와 같이 베젤 영역(BA)에는 GIP 회로(3) 이외에도, GIP 회로(3)와 게이트라인 각각을 연결하기 위한 게이트 링크 라인들, 하부 유리기관(1a)과 하부 유리기관(1b)을 합착하기 실런트(2), 화소 어레이의 공통전극에 공통전압을 공급하기 위한 외부 공통라인(4), 및 빔샘 방지를 위한 블랙 매트릭스(BM) 등이 배치된다. 이로 인해, 종래 액정표시장치에서는 좌우 베젤 영역(BA)을 줄이는 데 한계가 있다.

발명의 내용

해결하려는 과제

[0007] 따라서, 본 발명의 목적은 좌우 베젤 영역을 줄일 수 있도록 한 액정표시장치를 제공하는 데 있다.

[0008] 본 발명의 다른 목적은 제조 비용과 게이트 로드 편차를 감소시킬 수 있도록 한 액정표시장치를 제공하는 데 있다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 컬럼 방향을 따라 신장되는 $m/2$ (m 은 양의 짝수) 개의 데이터라인들과 로우 방향을 따라 신장되는 $2n$ (n 은 자연수) 개의 게이트라인들의 교차에 의해 $m \times n$ 개의 화소들이 정의되고, 상기 데이터라인들 사이마다 컬럼 방향을 따라 신장되어 상기 게이트라인들에 접속되는 $m/2$ 개의 게이트 링크 라인들이 배치된 표시 영역을 갖는 액정표시패널; 상기 액정표시패널의 일측에 배치되어 상기 데이터라인들에 데이터전압을 인가하는 데이터 드라이버; 및 상기 표시 영역을 사이에 두고 상기 데이터 드라이버와 마주보도록 상기 액정표시패널의 타측에 배치되며 상기 게이트 링크 라인들을 통해 상기 게이트라인들에 스캔펄스를 공급하는 게이트 드라이버를 구비한다.

발명의 효과

[0010] 본 발명에 따른 액정표시장치는 게이트 드라이버를 액정표시패널의 하측에 배치하여 좌우 베젤 영역을 획기적으로 줄일 수 있다.

[0011] 나아가, 본 발명은 DRD 구동을 채택하여 데이터 드라이버 IC의 개수를 감소시켜 제조 비용을 크게 줄임과 아울러, 게이트 링크 라인과 다른 신호라인 간 중첩을 최소화하여 기생 커패시턴스를 줄이고, 표시 위치별로 게이트 링크 라인과 게이트라인 간 접속비를 다르게 하여 게이트 로드 편차를 최소화함으로써 화질 불량을 미연에 방지할 수 있다.

도면의 간단한 설명

[0012] 도 1은 종래의 베젤 영역을 보여주는 도면.

도 2는 도 1에서 I-I'을 따라 절취한 단면을 보여주는 도면.

도 3은 본 발명의 일 실시예에 따른 액정표시장치를 보여주는 도면.

도 4는 액정셀들의 세부 접속 구성을 보여주는 도면.

도 5는 게이트 링크 라인과 게이트라인의 연결 단면을 보여주는 도면.

도 6은 도 3에서 II-II'을 따라 절취한 단면을 보여주는 도면.

도 7은 본 발명에 따른 베젤 영역의 폭을 종래와 비교하여 보여주는 도면.

도 8은 표시 위치에 따른 게이트 로드량의 대소를 보여주는 도면.

도 9a 내지 도 9c는 표시 영역 간 게이트 로드량 편차를 줄이기 위한 방안을 보여주는 도면들.

도 10은 화소 공통라인 패턴과, 게이트 링크 라인의 상대적인 위치 관계를 보여주는 도면.

도 11은 도 10에서 III-III'을 따라 절취한 단면을 보여주는 도면.

도 12는 본 발명의 다른 실시예에 따른 액정표시장치를 보여주는 도면.

도 13은 표시 영역 간 게이트 로드량 편차를 줄이기 위한 방안을 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 도 3 내지 도 13을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0014] 도 3은 본 발명의 일 실시예에 따른 액정표시장치를 보여준다. 도 4는 액정셀들의 세부 접속 구성을 보여준다. 도 5는 게이트 링크 라인과 게이트라인의 연결 단면을 보여준다. 도 6은 도 3에서 II-II'을 따라 절취한 단면을 보여주며, 도 7은 본 발명에 따른 베젤 영역의 폭을 종래와 비교하여 보여준다.
- [0015] 도 3을 참조하면, 본 발명의 액정표시장치는 액정표시패널(10), 데이터 드라이버(DDRV), 및 게이트 드라이버(GDRV)를 구비한다.
- [0016] 액정표시패널(10)은 화소 어레이 형성을 위한 표시 영역(AA)을 포함한다. 이 표시 영역(AA)에는 컬럼 방향을 따라 신장되는 $m/2$ (m 은 양의 짝수) 개의 데이터라인들과 로우 방향을 따라 신장되는 $2n$ (n 은 자연수) 개의 게이트라인들이 배치된다. 그리고, 데이터라인들 사이마다 컬럼 방향을 따라 신장되는 $m/2$ 개의 게이트 링크 라인들이 배치된다.
- [0017] 액정표시패널(10)은 두 장의 유리기관 사이에 형성된 액정층을 갖는다. 액정표시패널(10)의 하부 유리기관에는 데이터라인들, 게이트라인들, TFT들, 및 스토리지 커패시터(Cst)가 형성된다. 액정셀들(Clc)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서는 상부 유리기관 상에 형성되고, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서는 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0018] 이 액정표시패널(10)은 데이터라인들과 게이트라인들의 교차 영역마다 매트릭스 형태로 배치된 $m \times n$ 개의 액정셀(Clc)들을 포함하여 DRD(Double Rate Driving) 방식으로 구동된다. DRD 구동은 데이터라인의 수를 절반으로 감소시키고, 그 대신 게이트라인의 수를 2배로 증가시켜 기존과 동일 해상도를 구현하는 방식이다. DRD 구동에서는 데이터라인을 사이에 두고 서로 이웃하는 2개의 액정셀들이 그 데이터라인을 공유하여 2배의 구동 주파수에 따라 순차 구동된다. DRD 구동은 상대적으로 고가인 데이터 드라이버의 개수를 절반으로 줄일 수 있기 때문에 코스트 절감에 매우 유리하다.
- [0019] 액정셀들(Clc)에는 다수의 R 액정셀들, G 액정셀들 및 B 액정셀들이 포함된다. 도 4를 참조하여 DRD 구동을 위한 액정셀들(Clc)의 접속 구조를 살펴보면 다음과 같다.
- [0020] 로우 방향을 따라 배치된 제1 로우 화소라인(RL#1)에서, 제1 게이트라인(G1)에 접속된 R(-) 액정셀과 제2 게이트라인(G2)에 접속된 G(-) 액정셀은 서로 이웃하여 제1 데이터라인(D1)에 공통 접속되고, 제1 게이트라인(G1)에 접속된 B(+) 액정셀과 제2 게이트라인(G2)에 접속된 R(+) 액정셀은 서로 이웃하여 제2 데이터라인(D2)에 공통 접속되며, 제1 게이트라인(G1)에 접속된 G(-) 액정셀과 제2 게이트라인(G2)에 접속된 B 액정셀(-)은 서로 이웃하여 제3 데이터라인(D3)에 공통 접속된다.
- [0021] 컬럼 방향으로 제1 로우 화소라인(RL#1)에 이웃한 제2 로우 화소라인(RL#2)에서, 제1 게이트라인(G1)에 접속된 R(+) 액정셀과 제2 게이트라인(G2)에 접속된 G(+) 액정셀은 서로 이웃하여 제1 데이터라인(D1)에 공통 접속되고, 제1 게이트라인(G1)에 접속된 B(-) 액정셀과 제2 게이트라인(G2)에 접속된 R(-) 액정셀은 서로 이웃하여 제2 데이터라인(D2)에 공통 접속되며, 제1 게이트라인(G1)에 접속된 G(+) 액정셀과 제2 게이트라인(G2)에 접속된 B 액정셀(+)은 서로 이웃하여 제3 데이터라인(D3)에 공통 접속된다.
- [0022] (+)액정셀은 공통전압(Vcom)보다 전위가 높은 정극성 전압이 충전되는 액정셀을, (-)액정셀은 공통전압(Vcom)보다 전위가 낮은 부극성 전압이 충전되는 액정셀을 각각 나타낸다. 따라서, 제1 로우 화소라인(RL#1)에 배치된 액정셀들 중 제1 데이터라인(D1)을 공유하는 R(-) 액정셀과 G(-) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄

스 공급시점에 동기되어 부극성으로 순차 충전되고, 제2 데이터라인(D2)을 공유하는 B(+) 액정셀과 R(+) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 정극성으로 순차 충전되며, 제3 데이터라인(D3)을 공유하는 G(-) 액정셀과 B(-) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 부극성으로 순차 충전된다. 그리고 제2 로우 화소라인(RL#2)에 배치된 액정셀들 중 제1 데이터라인(D1)을 공유하는 R(+) 액정셀과 G(+) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 정극성으로 순차 충전되고, 제2 데이터라인(D2)을 공유하는 B(-) 액정셀과 R(-) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 부극성으로 순차 충전되며, 제3 데이터라인(D3)을 공유하는 G(+) 액정셀과 B(+) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 정극성으로 순차 충전된다.

[0023] 데이터 드라이버(DDRV)는 액정표시패널(10)의 일측(즉, 상측)에 배치되어 TAB(Tape Automated Bonding) 방식으로 부착되는 다수의 데이터 드라이버 IC들을 포함한다. 데이터 드라이버 IC들 각각은 소스 TCP(Tape Carrier Package) (또는, 소스 COF(Chip On Film))에 실장될 수 있다. 소스 TCP는 소스 PCB(SPCB)와 액정표시패널(10)을 전기적으로 연결시킨다. 소스 TCP의 입력단자들은 소스 PCB(SPCB)의 출력단자들에 전기적으로 접속되고, 소스 TCP의 출력단자들은 ACF(Anisotropic conductive film)를 통해 액정표시패널(10)의 하부 유리기판에 형성된 데이터 패드들에 전기적으로 접속된다. 데이터 패드들은 데이터 라인들과 일대일로 접속된다. 데이터 드라이버(DDRV)는 입력 디지털 비디오 데이터를 데이터전압으로 변환하여 데이터 라인들에 공급한다.

[0024] 게이트 드라이버(GDRV)는 표시 영역(AA)을 사이에 두고 데이터 드라이버(DDRV)와 마주하도록 액정표시패널(10)의 타측(즉, 하측)에 배치된다. 게이트 드라이버(GDRV)는 GIP(Gate driver In Panel) 방식에 따라 액정표시패널(10)의 타측 비 표시영역에 내장될 수 있다. 게이트 드라이버(GDRV)는 게이트라인들의 개수만큼의 GIP 회로부들(GIP#1~GIP#2n)을 포함한다.

[0025] 게이트 드라이버(GDRV)는 게이트 링크 라인들(GLL1, GLL2, GLL3...)을 통해 게이트 라인들에 스캔펄스를 공급한다. 게이트 링크 라인들(GLL1, GLL2, GLL3...)은 액정표시패널(10)에서 데이터 라인들 사이마다 형성되므로, 그 개수가 데이터 라인들의 개수와 실질적으로 동일하며, 게이트 라인들의 개수에 비해서는 많다. 게이트 링크 라인들은 데이터 라인들과 동일 레이어 상에 형성될 수 있다. 이 경우 게이트 링크 라인(GLL)은 도 5와 같이 게이트 절연막(GI)에 형성된 콘택홀(15)을 통해 게이트라인(GL)에 접촉될 수 있다. 도 5에서 도면 기호 'SUB'는 하부 유리기판을 나타낸다.

[0026] 게이트 드라이버(GDRV)는 액정표시패널(10)의 좌측 및/또는 우측에 배치하던 종래와 달리, 액정표시패널(10)의 하측에 배치된다. 이러한 게이트 드라이버(GDRV)의 배치 구성 변경으로 인해, 도 6과 같은 액정표시패널(10)의 좌(우)측 베젤 영역에는 GIP 회로부와 게이트 링크 라인들이 형성될 필요가 없다. 그 결과 액정표시패널(10)의 좌(우)측 베젤 영역(BA)은 도 7과 같이 종래 대비 크게 줄어든다. 본 발명은 기존의 6.75mm였던 베젤 영역(BA)의 폭을 1.0mm 미만으로 줄일 수 있어 제품 경쟁력을 크게 강화시킬 수 있다. 도 6에서, 도면 부호 '20'은 하부 유리기판(10a)과 하부 유리기판(10b)을 합착하기 위한 실린트를, 도면 부호 '40'은 화소 어레이의 공통전극에 공통전압을 공급하기 위한 외부 공통라인을, 그리고 도면 부호 'BM'은 베젤 영역(BA)에서의 빔샘 방지를 위한 블랙 매트릭스를 각각 지시한다.

[0027] 전술했듯이, 본 발명의 일 실시예에 따른 액정표시장치는 좌(우)측 베젤 영역(BA)을 최소화하기 위해 게이트 드라이버(GDRV)를 액정표시패널(10)의 하측에 배치하였다. 그리고, 개구율 감소를 최소화하면서 게이트 링크 라인들을 액정표시패널(10)에 배치하기 위해 DRD 구동을 채택하였다. 이러한 구성하에 이하에서는 위치에 따른 게이트 로드 편차를 감소시키기 위한 방안을 설명한다.

[0028] 도 8은 표시 위치에 따른 게이트 로드량의 대소를 보여준다.

[0029] 도 8을 참조하면, 픽셀 위치별 게이트 로드량은 PXL A, PXL B, PXL C 및 PXL D 순으로 점점 작아진다. 표시 위치별 게이트 로드량은 게이트 드라이버로부터 멀어질수록 커진다. 즉, 표시 영역(AA)의 상부(AR1)에서 가장 크고, 표시 영역(AA)의 중앙부(AR2)에서 그 다음으로 크며, 표시 영역(AA)의 하부(AR3)에서 가장 작다. 게이트 로드량은 기생 커패시턴스와 함께 RC 딜레이에 영향을 미친다. RC 딜레이 값이 커질수록 데이터전압의 충전 및 유지 특성이 열화된다. RC 딜레이값을 줄이기 위해서는 게이트 로드량(R)을 줄이거나 및/또는 기생 커패시턴스 값(C)을 줄여야 한다.

[0030] 도 9a 내도 도 9c를 참조하여 게이트 로드량을 줄이기 위한 방안을 살펴보면 다음과 같다.

[0031] 통상 로우 방향으로 배치된 액정셀들의 개수가 컬럼 방향으로 배치된 액정셀들의 개수보다 훨씬 많으므로, 본 발명과 같이 DRD 구동 방식(데이터라인의 개수는 1/2배로 줄이고 게이트라인의 개수는 2배로 늘리는 방식)을 취

하더라도 여전히 로우 방향으로 배치된 액정셀들의 개수가 컬럼 방향으로 배치된 액정셀들의 개수보다 많다. 예컨대, DRD 방식으로 $1366(\text{수평 해상도}) \times 768(\text{수직 해상도})$ 를 구현하는 경우, 데이터라인의 개수는 $2049[(1366 \times 3)/2]$ 이고, 게이트라인의 개수는 $1536(768 \times 2)$ 이다. 게이트 링크 라인의 개수는 데이터라인의 개수와 동일하므로 게이트 링크 라인의 개수도 2049이다. 그런데, 실제로 구동되어야 할 게이트라인의 개수는 1536이므로, 게이트라인과 게이트 링크 라인을 일대일로 접속시키는 경우 513개의 게이트 링크 라인들이 접속에 관여하지 못하고 남게 된다.

- [0032] 본 발명은 이렇게 게이트 링크 라인들이 게이트라인들에 비해 많음에 착안하여 게이트 로드량이 가장 작은 제3 영역(AR3)에서 게이트라인 대 게이트 링크 라인의 접속비를 1 : a(a는 1 이상의 자연수), 게이트 로드량이 중간인 제2 영역(AR2)에서 게이트라인 대 게이트 링크 라인의 접속비를 1 : b(b는 a보다 큰 자연수), 그리고 게이트 로드량이 가장 큰 제1 영역(AR1)에서 게이트라인 대 게이트 링크 라인의 접속비를 1 : c(c는 b보다 큰 자연수)로 한다. 저항값은 단면적에 반비례하므로, 하나의 게이트라인에 접속되는 게이트 링크 라인의 개수를 늘려 단면적을 넓힐수록 게이트 로드량은 줄어들게 된다.
- [0033] 도 9a는 게이트라인 대 게이트 링크 라인의 접속비가 1 : 3인 제1 영역(AR1)에서의 접속 구성을 보여준다.
- [0034] 도 9a를 참조하면, 제1 게이트라인(G(a))은 제1 내지 제3 게이트 링크 라인들(GLL(a), GLL(a+1), GLL(a+2)) 각각과 콘택홀(15)을 통해 동시에 접속된다. 제1 GIP 회로부(GIP#a)에서 생성된 스캔펄스는 제1 내지 제3 게이트 링크 라인들(GLL(a), GLL(a+1), GLL(a+2))을 통해 공통으로 제1 게이트라인(G(a))에 인가된다.
- [0035] 제2 게이트라인(G(a+1))은 제4 내지 제6 게이트 링크 라인들(GLL(a+3), GLL(a+4), GLL(a+5)) 각각과 콘택홀(15)을 통해 동시에 접속된다. 제2 GIP 회로부(GIP#b)에서 생성된 스캔펄스는 제4 내지 제6 게이트 링크 라인들(GLL(a+3), GLL(a+4), GLL(a+5))을 통해 공통으로 제2 게이트라인(G(a+1))에 인가된다.
- [0036] 도 9b는 게이트라인 대 게이트 링크 라인의 접속비가 1 : 2인 제2 영역(AR2)에서의 접속 구성을 보여준다.
- [0037] 도 9b를 참조하면, 제1 게이트라인(G(b))은 제1 및 제2 게이트 링크 라인들(GLL(b), GLL(b+1)) 각각과 콘택홀(15)을 통해 동시에 접속된다. 제1 GIP 회로부(GIP#b)에서 생성된 스캔펄스는 제1 및 제2 게이트 링크 라인들(GLL(b), GLL(b+1))을 통해 공통으로 제1 게이트라인(G(b))에 인가된다.
- [0038] 제2 게이트라인(G(b+1))은 제3 및 제4 게이트 링크 라인들(GLL(b+2), GLL(b+3)) 각각과 콘택홀(15)을 통해 동시에 접속된다. 제2 GIP 회로부(GIP#b+1)에서 생성된 스캔펄스는 제3 및 제4 게이트 링크 라인들(GLL(b+2), GLL(b+3))을 통해 공통으로 제2 게이트라인(G(b+1))에 인가된다.
- [0039] 도 9c는 게이트라인 대 게이트 링크 라인의 접속비가 1 : 1인 제3 영역(AR3)에서의 접속 구성을 보여준다.
- [0040] 도 9c를 참조하면, 제1 게이트라인(G(c))은 제1 게이트 링크 라인(GLL(c))과 콘택홀(15)을 통해 접속된다. 제1 GIP 회로부(GIP#c)에서 생성된 스캔펄스는 제1 게이트 링크 라인(GLL(c))을 통해 공통으로 제1 게이트라인(G(c))에 인가된다.
- [0041] 제2 게이트라인(G(c+1))은 제2 게이트 링크 라인(GLL(c+1))과 콘택홀(15)을 통해 접속된다. 제2 GIP 회로부(GIP#c+1)에서 생성된 스캔펄스는 제2 게이트 링크 라인(GLL(c+1))을 통해 공통으로 제2 게이트라인(G(c+1))에 인가된다.
- [0042] 도 10 및 도 11을 참조하여 기생 커패시턴스 값을 줄이기 위한 방안을 살펴보면 다음과 같다. 도 10은 화소 공통라인 패턴(EC), 게이트 링크 라인(GLL), 및 화소전극(EP)의 상대적인 위치 관계를 보여준다. 도 11은 도 10에서 III-III'을 따라 절취한 단면을 보여준다.
- [0043] 기생 커패시턴스 값을 줄이기 위해서는 게이트 링크 라인(GLL)과 다른 신호 라인들 간의 중첩 면적을 낮춰야 한다. 도 10 및 도 11을 참조하면, 중첩 면적을 줄이기 위해 화소 공통라인 패턴들(EC) 간의 특정 연결 부위를 제외하고, 게이트 링크 라인(GLL)과 화소 공통라인 패턴(EC)이 서로 비 중첩되도록 형성되어 있다. 화소 공통라인 패턴들(EC) 각각은 게이트 라인들과 함께 게이트 절연막(GI) 아래에 형성되며, 화소의 개구 영역을 둘러싸면서 상기 특정 연결 부위를 통해 서로 연결되어 있다. 화소 공통라인 패턴(EC)은 베젤 영역에 형성된 외부 공통라인에 접속되어 공통전압을 인가받고, 이 공통전압을 화소의 공통전극에 공급한다. 게이트 링크 라인(GLL)은 이웃한 화소들의 화소 공통라인 패턴들(EC) 사이에 형성된다. 도 11에서, 도면 부호 'SUB'는 하부 유리기판을, 도면 부호 'GI'는 게이트 절연막을, 도면 부호 'PAS'는 패시베이션막을 각각 지시한다.

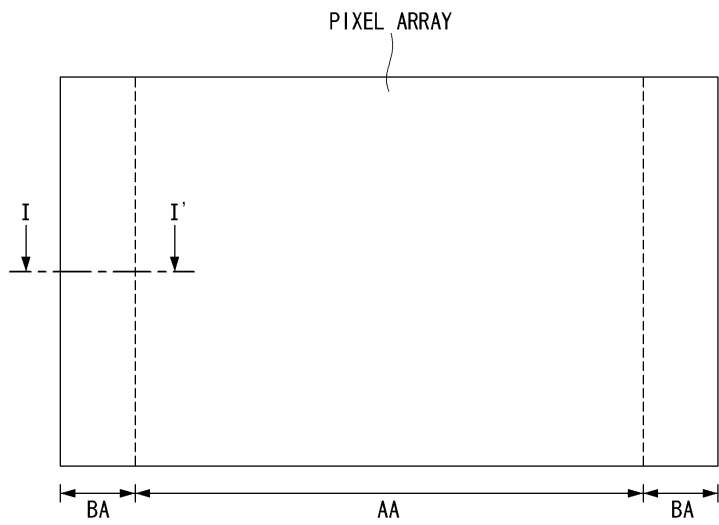
- [0044] 도 12는 본 발명의 다른 실시예에 따른 액정표시장치를 보여준다.
- [0045] 이 액정표시장치는 도 3과 비교하여 게이트 드라이버(GDRV)의 형성 방법만 다를 뿐 나머지 구성은 도 3과 실질적으로 동일하다. 도 12의 게이트 드라이버(GDRV)는 액정표시패널(10)의 일측(즉, 상측)에 배치된 데이터 드라이버(DDRV)와 마찬가지로 TAB(Tape Automated Bonding) 방식으로 형성되며, 게이트 TCP 상에 실장되는 다수의 게이트 드라이버 IC들(GIC#1~GIC#4)을 포함한다.
- [0046] 게이트 드라이버(GDRV)는 표시 영역(AA)을 사이에 두고 데이터 드라이버(DDRV)와 마주하도록 액정표시패널(10)의 타측(즉, 하측)에 배치된다. 게이트 드라이버(GDRV)를 구성하는 게이트 드라이버 IC들(GIC#1~GIC#4)의 총 채널 개수는 게이트라인들의 개수와 동일하다.
- [0047] 게이트 드라이버(GDRV)는 게이트 링크 라인들을 통해 게이트 라인들에 전기적으로 접속된다. 게이트 링크 라인들은 액정표시패널(10)에서 데이터 라인들 사이마다 형성되므로, 그 개수가 데이터 라인들의 개수와 실질적으로 동일하며, 게이트 라인들의 개수에 비해서는 많다.
- [0048] 이 실시예에서도 게이트 링크 라인들이 게이트라인들에 비해 많음에 착안하여 게이트 로드량이 가장 작은 제3 영역(도 8의 AR3)에서 게이트라인 대 게이트 링크 라인의 접속비를 1 : a(a는 1 이상의 자연수), 게이트 로드량이 중간인 제2 영역(도 8의 AR2)에서 게이트라인 대 게이트 링크 라인의 접속비를 1 : b(b는 a보다 큰 자연수), 그리고 게이트 로드량이 가장 큰 제1 영역(도 8의 AR1)에서 게이트라인 대 게이트 링크 라인의 접속비를 1 : c(c는 b보다 큰 자연수)로 한다.
- [0049] 예컨대, DRD 방식으로 1366(수평 해상도)×768(수직 해상도)를 구현하는 경우, 데이터라인의 개수는 2049[(1366×3)/2]이고, 게이트라인의 개수는 1536(768×2)이다. 게이트 링크 라인의 개수는 데이터라인의 개수와 동일하므로 게이트 링크 라인의 개수도 2049이다. 이때, 도 13과 같이 게이트 드라이버(GDRV)의 채널 1(CH1) ~ 채널 104(CH104) 각각은 3개의 게이트 링크 라인들에 공통으로 접속되어 제1 영역(AR1)의 게이트라인 1 ~ 게이트 라인 104에 순차적으로 스캔펄스를 인가한다. 그리고, 게이트 드라이버(GDRV)의 채널 105(CH105) ~ 채널 410(CH410) 각각은 2개의 게이트 링크 라인들에 공통으로 접속되어 제2 영역(AR2)의 게이트라인 105 ~ 게이트 라인 410에 순차적으로 스캔펄스를 인가한다. 또한, 게이트 드라이버(GDRV)의 채널 411(CH411) ~ 채널 1536(CH1536) 각각은 1개의 게이트 링크 라인에 개별 접속되어 제3 영역(AR3)의 게이트라인 411 ~ 게이트 라인 1536에 순차적으로 스캔펄스를 인가한다.
- [0050] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 게이트 드라이버를 액정표시패널의 하측에 배치하여 좌우 베젤 영역을 획기적으로 줄일 수 있다.
- [0051] 나아가, 본 발명은 DRD 구동을 채택하여 데이터 드라이버 IC의 개수를 감소시켜 제조 비용을 크게 줄임과 아울러, 게이트 링크 라인과 다른 신호라인 간 중첩을 최소화하여 기생 커패시턴스를 줄이고, 표시 위치별로 게이트 링크 라인과 게이트라인 간 접속비를 다르게 하여 게이트 로드 편차를 최소화함으로써 화질 불량을 미연에 방지할 수 있다.

부호의 설명

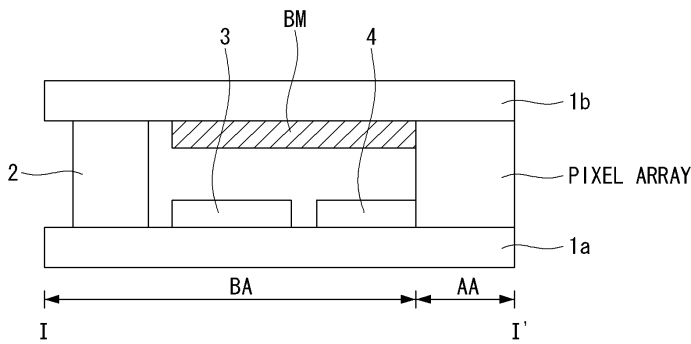
- [0052] 10 : 액정표시패널
15 : 콘택홀
20 : 실런트
40 : 외부 공통라인

도면

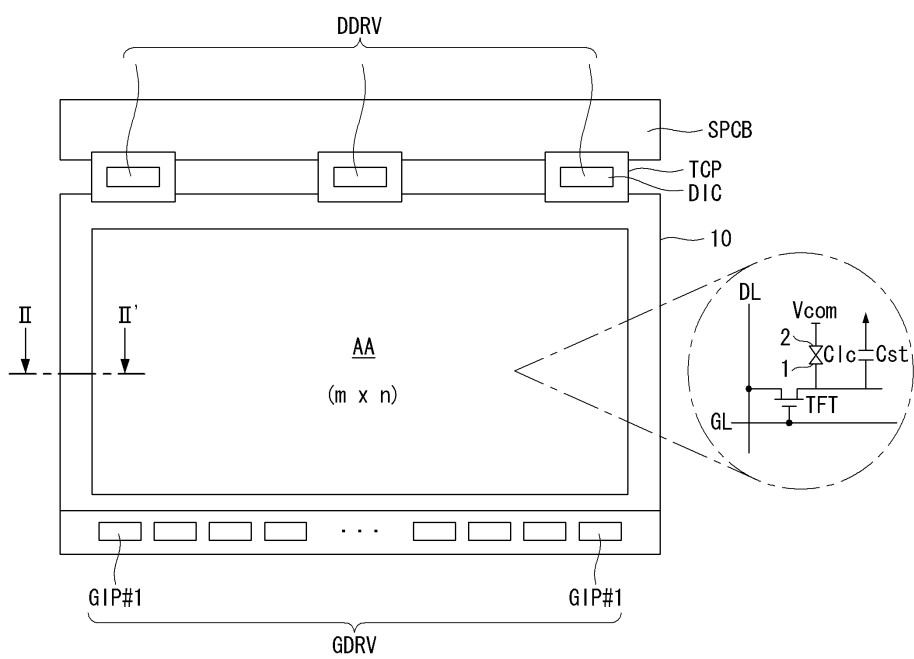
도면1



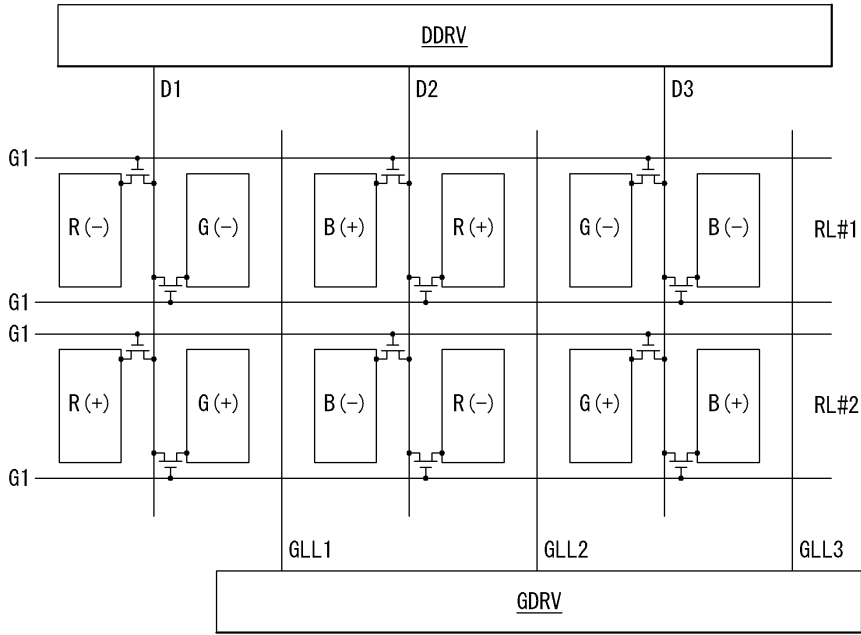
도면2



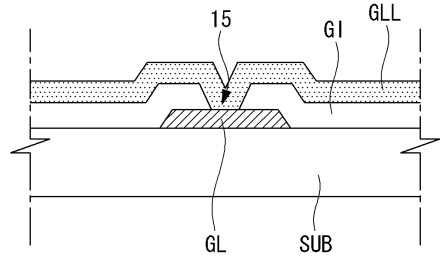
도면3



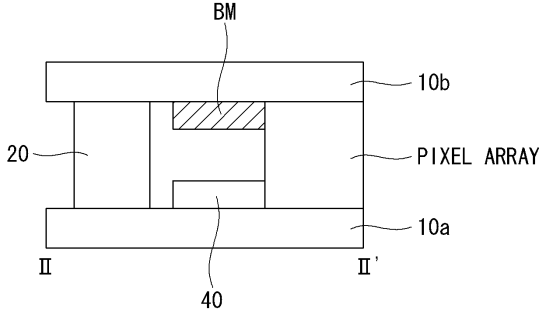
도면4



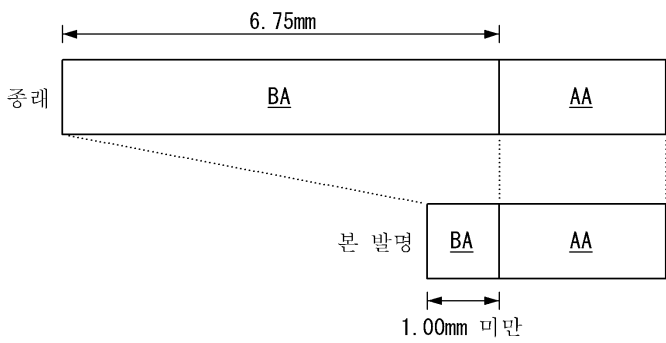
도면5



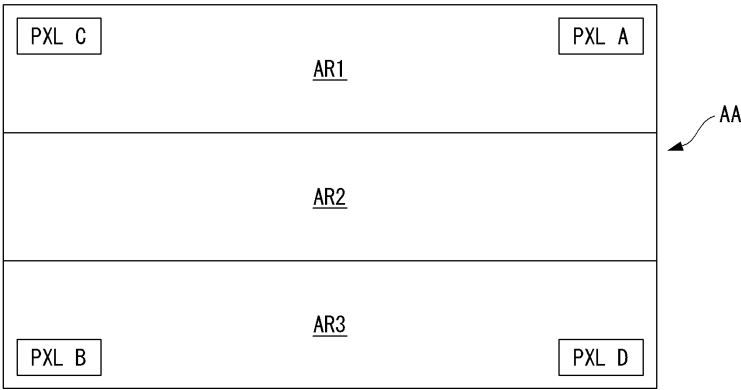
도면6



도면7

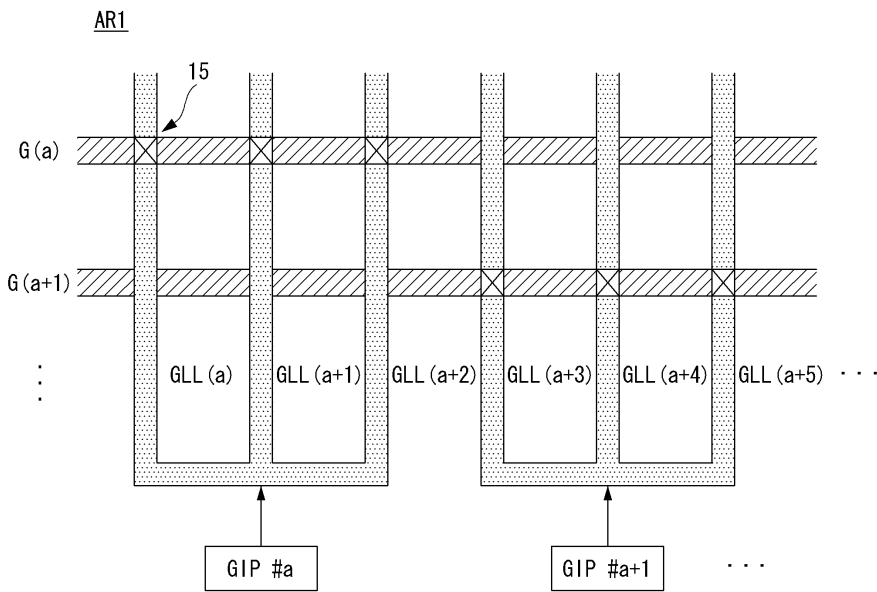


도면8

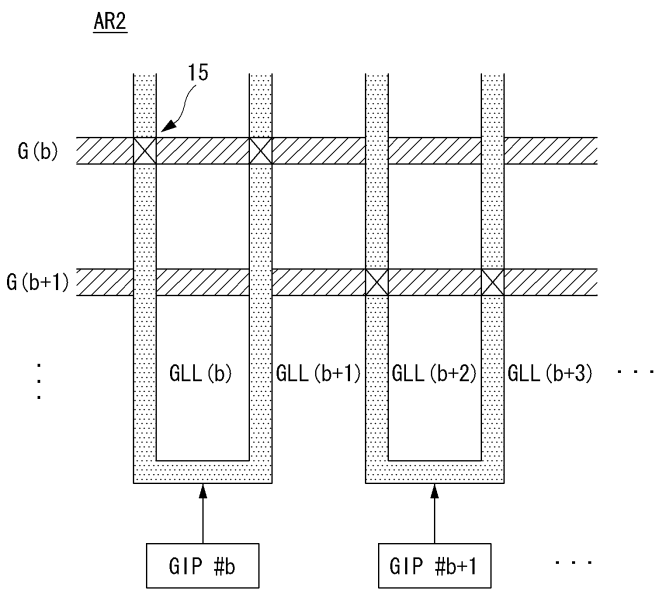


PXL A > PXL B > PXL C > PXL D
AR1 > AR2 > AR3

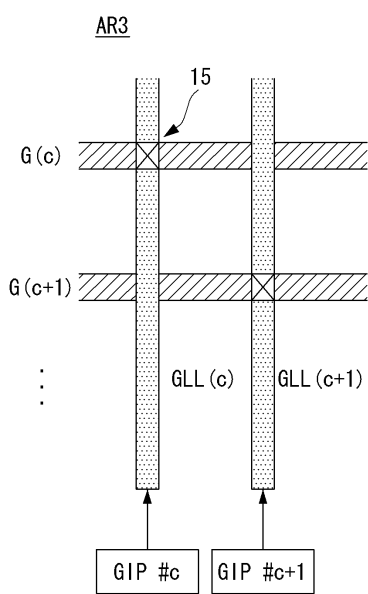
도면9a



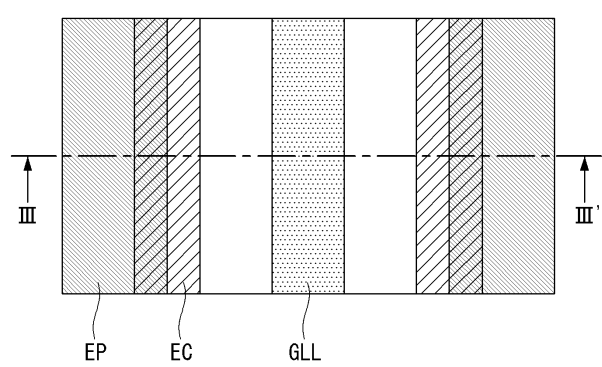
도면9b



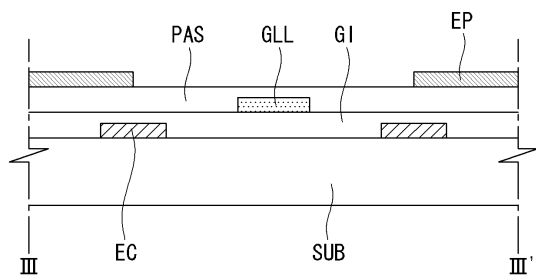
도면9c



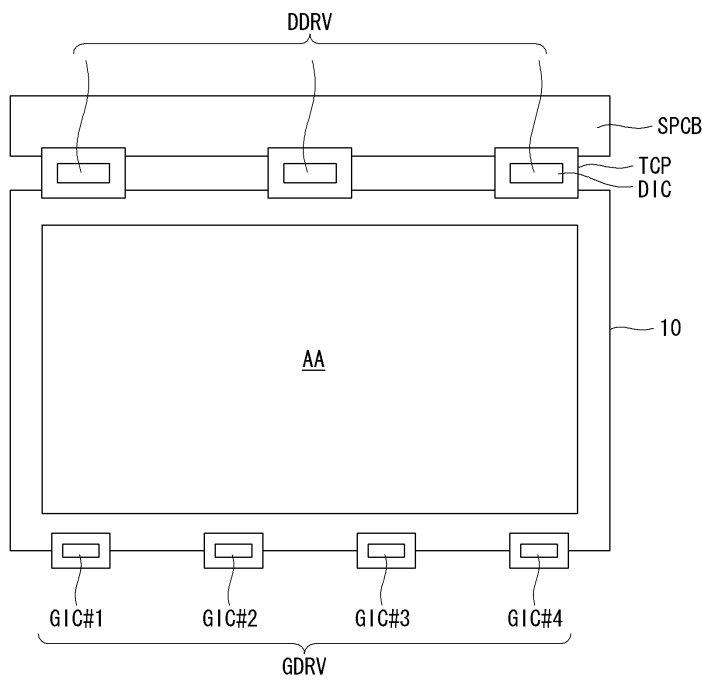
도면10



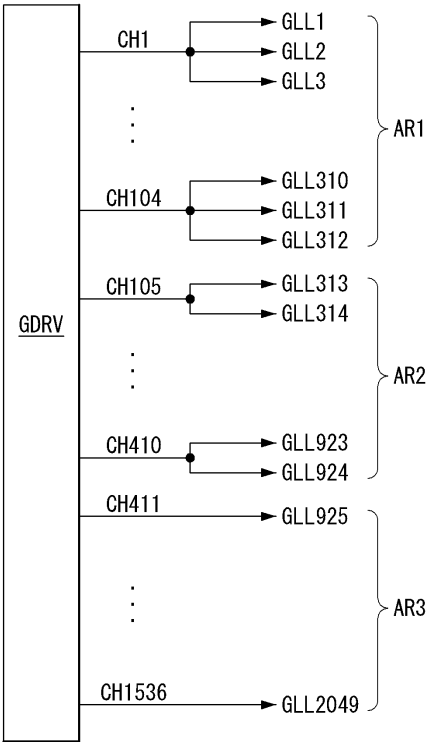
도면11



도면12



도면13



专利名称(译)	液晶显示器		
公开(公告)号	KR101746862B1	公开(公告)日	2017-06-13
申请号	KR1020110034429	申请日	2011-04-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG YOUNG MIN 강영민 JEONG HO YOUNG 정호영		
发明人	강영민 정호영		
IPC分类号	G02F1/133 G02F1/1343 G09G3/36		
CPC分类号	G02F1/136286 G02F1/13452 G02F1/1343 G09G3/3648 G09G3/3696		
其他公开文献	KR1020120116785A		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置，以降低制造成本和栅极负载差异。组成：液晶显示面板（10）具有显示区域。m / 2个栅极连接线布置在显示区域中。数据驱动器（DDRV）布置在液晶显示面板的一侧。数据驱动器将数据电压施加到数据线。栅极驱动器（GDRV）布置在液晶显示面板的另一侧。门驱动器面向数据驱动器。显示区域形成在栅极驱动器和数据驱动器之间。栅极驱动器通过栅极连接线向栅极线提供扫描脉冲。
COPYRIGHT KIPO 2013

