



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년01월15일

(11) 등록번호 10-1585258

(24) 등록일자 2016년01월07일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) *G02F 1/133* (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0095200

(22) 출원일자 2009년10월07일

심사청구일자 2014년09월30일

(65) 공개번호 10-2010-0040678

(43) 공개일자 2010년04월20일

(30) 우선권주장

1020080099404 2008년10월10일 대한민국(KR)

(56) 선행기술조사문헌

KR1020060050019 A

KR1020060111160 A

US20070158706 A1

US20070290227 A1

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

조용수

대구광역시 북구 대천로 101, 화성3차아파트 102
동 1005호 (동천동)

문교호

대구광역시 달서구 학산로 30, 월성보성타운
107-103 (월성동)

(뒷면에 계속)

(74) 대리인

김기문

전체 청구항 수 : 총 18 항

심사관 : 추장희

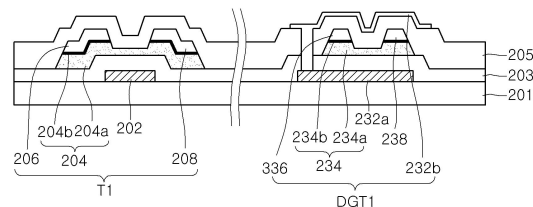
(54) 발명의 명칭 액정표시장치

(57) 요약

액정표시장치가 개시된다.

본 발명에 따른 액정표시장치는 게이트 전압이 출력되는 출력단을 듀얼 트랜지스터로 구성함으로써, 충/방전 시간을 빠르게 함으로써 액정의 응답속도를 향상시킬 수 있다.

대표도 - 도6



(72) 발명자

이철구

경기도 고양시 일산서구 대산로 141, 401동 1703호
(주엽동, 문촌마을)

최훈

인천 남구 소성로 120, 111동 902호 (학익동, 동아
풍림아파트)

한상국

광주광역시 서구 군분로236번길 6 (농성동)

명세서

청구범위

청구항 1

다수의 게이트라인과 다수의 데이터라인이 배열되어 화상을 표시하는 표시패널;

상기 표시패널에 내장되어 스타트 펄스에 시프트 되어 순차적으로 출력신호를 상기 다수의 게이트라인들에 공급하는 다수의 시프트 레지스터를 구비한 게이트 드라이버; 및

상기 표시패널의 데이터라인들에 상기 화상에 대응되는 데이터 신호를 공급하는 데이터 드라이버를 포함하고,

상기 각 시프트 레지스터는,

제1 노드 상의 전압에 응답하는 제1 및 제2 게이트 전극과, 클럭신호가 공급되는 제1 드레인 전극 및 게이트라인과 접속되어 상기 제1 노드 상의 전압에 따라 상기 제1 드레인 전극의 클럭신호를 선택하여 상기 게이트 라인으로 출력하는 제1 소스 전극으로 구성된 제1 듀얼 게이트 트랜지스터와, 제2 노드 상의 전압에 응답하는 제3 및 제4 게이트 전극과, 제1 전원전압이 공급되는 제2 소스 전극 및 상기 게이트 라인과 접속되어 상기 제2 노드 상의 전압에 따라 상기 제1 전원전압을 상기 게이트 라인으로 출력하는 제2 드레인 전극으로 구성된 제2 듀얼 게이트 트랜지스터를 포함하는 출력단; 및

상기 출력단을 제어하는 제어부;를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1 항에 있어서,

상기 제1 및 제2 게이트 전극은 서로 전기적으로 접속되고, 상기 제3 및 제4 게이트 전극은 서로 전기적으로 접속되는 것을 특징으로 하는 액정표시장치.

청구항 3

제1 항에 있어서,

상기 제1 듀얼 게이트 트랜지스터는,

기관 상에 배치된 상기 제1 게이트 전극;

상기 제1 게이트 전극이 배치된 기관 상에 배치된 제1 게이트 절연막;

상기 제1 게이트 절연막이 배치된 기관 상에 상기 제1 게이트 전극에 대응되도록 배치된 제1 반도체층;

상기 제1 반도체층 상에 서로 이격된 상기 제1 소스 전극 및 상기 제1 드레인 전극;

상기 제1 소스 전극 및 상기 제1 드레인 전극 상에 배치된 제1 보호층; 및

상기 제1 보호층 상에 상기 제1 반도체층과 대응되도록 배치되며 상기 제1 보호층 상의 제1 콘택홀을 통해 상기 제1 게이트 전극과 전기적으로 연결된 상기 제2 게이트 전극;을 포함하고,

상기 제2 듀얼 게이트 트랜지스터는,

상기 기관 상에 배치된 상기 제3 게이트 전극;

상기 제3 게이트 전극이 배치된 기관 상에 배치된 제2 게이트 절연막;상기 제2 게이트 절연막이 배치된 기관 상에 상기 제3 게이트 전극에 대응되도록 배치된 제2 반도체층;

상기 제2 반도체층 상에 서로 이격된 상기 제2 소스 전극 및 상기 제2 드레인 전극;

상기 제2 소스 전극 및 제2 드레인 전극 상에 배치된 제2 보호층; 및

상기 제2 보호층 상에 상기 제2 반도체층과 대응되도록 배치되며 상기 제2보호층 상의 제2 콘택홀을 통해 상기 제3 게이트 전극과 전기적으로 연결된 상기 제4 게이트 전극;을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제3 항에 있어서,

상기 제1 내지 제4 게이트 전극은 동일한 재질의 도전성 금속인 것을 특징으로 하는 액정표시장치.

청구항 5

제1 항에 있어서,

상기 제1 듀얼 게이트 트랜지스터는 상기 제1 노드 상의 전압에 응답하며 상기 게이트라인으로 출력된 출력신호를 충전하는 것을 특징으로 하는 액정표시장치.

청구항 6

제5 항에 있어서,

상기 제2 듀얼 게이트 트랜지스터는 상기 제2 노드 상의 전압에 응답하며 상기 제1 듀얼 게이트 트랜지스터에 의해 상기 게이트라인으로 출력된 출력신호를 방전하는 것을 특징으로 하는 액정표시장치.

청구항 7

제2 항에 있어서,

상기 제어부는 다수의 트랜지스터로 구성되며, 상기 다수의 트랜지스터들 중 적어도 하나 이상은 전기적으로 접속된 두 개의 게이트 전극을 포함하는 듀얼 게이트 트랜지스터로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 8

다수의 게이트라인과 다수의 데이터라인이 배열되어 화상을 표시하는 표시패널;

상기 표시패널에 내장되어 스타트 펄스에 시프트 되어 순차적으로 출력신호를 상기 다수의 게이트라인들에 공급하는 다수의 시프트 레지스터를 구비한 게이트 드라이버; 및

상기 표시패널의 데이터라인들에 상기 화상에 대응되는 데이터 신호를 공급하는 데이터 드라이버를 포함하고,

상기 각 시프트 레지스터는,

스타트 펄스에 제어되는 제1 게이트 전극과 게이트 하이 전압에 응답하는 제1 드레인 전극과 제1 노드로 상기 게이트 하이 전압을 제공하는 제1 및 제2 소스 전극으로 구성된 제1 듀얼 소스 트랜지스터와, 다음 시프트 레지스터의 출력신호에 제어되는 제2 게이트 전극과 제2 노드를 사이에 두고 상기 제1 듀얼 소스 트랜지스터의 제1 소스 전극과 접속된 제2 드레인 전극과, 게이트 로우 전압에 응답하는 제3 및 제4 소스 전극으로 구성된 제2 듀얼 소스 트랜지스터를 구비한 입력단;

상기 제1 노드 상의 전압에 응답하는 제3 및 제4 게이트 전극과, 클럭신호가 공급되는 제3 드레인 전극 및 상기 게이트라인과 접속되어 상기 제1 노드 상의 전압에 따라 상기 제3 드레인 전극의 클럭신호를 선택하여 상기 게이트 라인으로 출력하는 제5 소스 전극으로 구성된 제1 듀얼 게이트 트랜지스터와, 제3 노드 상의 전압에 응답하는 제5 및 제6 게이트 전극과, 제1 전원전압이 공급되는 제4 드레인 전극 및 상기 게이트 라인과 접속되어 상기 제3 노드 상의 전압에 따라 상기 제1 전원전압을 상기 게이트 라인으로 출력하는 제6 소스 전극으로 구성된 제2 듀얼 게이트 트랜지스터를 포함하는 출력단; 및

상기 입력단 및 출력단 사이에 위치하여 상기 출력단을 제어하는 제어부;를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8항에 있어서,

상기 제3 및 제4 게이트 전극은 서로 전기적으로 접속되고, 상기 제5 및 제6 게이트 전극은 서로 전기적으로 접속되는 것을 특징으로 하는 액정표시장치.

청구항 10

제9 항에 있어서,

상기 제어부는 다수의 트랜지스터로 구성되며, 상기 다수의 트랜지스터들 중 적어도 하나 이상은 전기적으로 접속된 두 개의 게이트 전극을 포함하는 듀얼 게이트 트랜지스터로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 11

제8 항에 있어서,

상기 제1 듀얼 게이트 트랜지스터는,

기관 상에 배치된 상기 제3 게이트 전극;

상기 제3 게이트 전극이 배치된 기관 상에 배치된 제1 게이트 절연막;

상기 제1 게이트 절연막이 배치된 기관 상에 상기 제3 게이트 전극에 대응되도록 배치된 제1 반도체층;

상기 제1 반도체층 상에 서로 이격된 상기 제5 소스 전극 및 상기 제3 드레인 전극;

상기 제5 소스 전극 및 상기 제3 드레인 전극 상에 배치된 제1 보호층; 및

상기 제1 보호층 상에 상기 제1 반도체층과 대응되도록 배치되며 상기 제1 보호층 상의 제1 콘택홀을 통해 상기 제3 게이트 전극과 전기적으로 연결된 상기 제4 게이트 전극;을 포함하고,

상기 제2 듀얼 게이트 트랜지스터는,

상기 기관 상에 배치된 상기 제5 게이트 전극;

상기 제5 게이트 전극이 배치된 기관 상에 배치된 제2 게이트 절연막;

상기 제2 게이트 절연막이 배치된 기관 상에 상기 제5 게이트 전극에 대응되도록 배치된 제2 반도체층;

상기 제2 반도체층 상에 서로 이격된 상기 제6 소스 전극 및 상기 제4 드레인 전극;

상기 제6 소스 전극 및 제4 드레인 전극 상에 배치된 제2 보호층; 및

상기 제2 보호층 상에 상기 제2 반도체층과 대응되도록 배치되며 상기 제2 보호층 상의 제2 콘택홀을 통해 상기 제5 게이트 전극과 전기적으로 연결된 상기 제6 게이트 전극;을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제11 항에 있어서,

상기 제3 내지 제6 게이트 전극은 동일한 재질의 도전성 금속인 것을 특징으로 하는 액정표시장치.

청구항 13

제8 항에 있어서,

상기 제1 듀얼 게이트 트랜지스터는 상기 제1 노드 상의 전압에 응답하며 상기 게이트라인으로 출력된 출력신호를 충전하는 것을 특징으로 하는 액정표시장치.

청구항 14

제13 항에 있어서,

상기 제2 듀얼 게이트 트랜지스터는 상기 제2 노드 상의 전압에 응답하며 상기 제1 듀얼 게이트 트랜지스터에 의해 상기 게이트라인으로 출력된 출력신호를 방전하는 것을 특징으로 하는 액정표시장치.

청구항 15

제8 항에 있어서,

상기 제1 및 제2 소스 전극은 서로 전기적으로 접속되고, 상기 제3 및 제4 소스 전극은 서로 전기적으로 접속되는 것을 특징으로 하는 액정표시장치.

청구항 16

제15 항에 있어서,

상기 제어부는 다수의 트랜지스터로 구성되며, 상기 다수의 트랜지스터들 중 적어도 하나 이상은 전기적으로 접속된 두 개의 소스 전극을 포함하는 듀얼 소스 트랜지스터로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 17

제8 항에 있어서,

상기 제1 듀얼 소스 트랜지스터는,

기관 상에 배치된 상기 제1 게이트 전극;

상기 제1 게이트 전극이 배치된 기관 상에 형성된 제1 게이트 절연막;

상기 제1 게이트 절연막이 배치된 기관 상에 상기 제1 게이트 전극에 대응되도록 배치된 제1 반도체층;

상기 제1 반도체층 상에 서로 이격된 상기 제1 소스 전극 및 상기 제1 드레인 전극;

상기 제1 소스 전극 및 상기 제1 드레인 전극 상에 배치된 제1 보호층; 및

상기 제1 보호층 상에 배치되며 상기 제1 보호층 상의 제1 콘택홀을 통해 상기 제1 소스 전극과 전기적으로 연결된 상기 제2 소스 전극;을 포함하고,

상기 제2 듀얼 소스 트랜지스터는,

상기 기관 상에 배치된 상기 제2 게이트 전극;

상기 제2 게이트 전극이 배치된 기관 상에 형성된 제2 게이트 절연막;

상기 제2 게이트 절연막이 배치된 기관 상에 상기 제2 게이트 전극에 대응되도록 배치된 제2 반도체층;

상기 제2 반도체층 상에 서로 이격된 상기 제3 소스 전극 및 상기 제2 드레인 전극;

상기 제3 소스 전극 및 상기 제2 드레인 전극 상에 배치된 제2 보호층; 및

상기 제2 보호층 상에 배치되며 상기 제2 보호층 상의 제2 콘택홀을 통해 상기 제3 소스 전극과 전기적으로 연결된 상기 제4 소스 전극;을 포함하는 액정표시장치.

청구항 18

제17 항에 있어서,

제1 내지 제4 소스 전극은 동일한 재질의 도전성 금속인 것을 특징으로 하는 액정표시장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 액정 응답속도를 향상시킬 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시장치 또는 유기전계발광장치와 같이 액티브 매트릭스(matrix) 형태로 배열된 화소들을 구동하여 화상을 표시하는 장치가 활발하게 연구되어 왔다.

[0003] 특히, 액정표시장치는 액티브 매트릭스 형태로 배열된 화소들에 화상 정보에 따른 데이터 신호를 개별적으로 공급하여, 액정층의 광투과율을 조절함으로써, 원하는 화상을 표시할 수 있도록 한 표시장치이다. 이러한 액정표시장치는 화소들이 매트릭스 형태로 배열된 액정패널과 상기 액정패널을 구동하기 위한 구동회로를 구비한다.

[0004] 액정패널에는 게이트라인들과 데이터라인들이 교차하여 배열되게 되고, 그 게이트라인과 데이터라인들의 교차점

에 화소영역들이 위치하게 된다. 이러한 화소영역에는 스위칭 소자인 박막트랜지스터(TFT)와, 상기 박막트랜지스터(TFT)에 연결된 화소전극이 구비되게 된다. 이때, 상기 박막트랜지스터(TFT)의 게이트전극과는 상기 게이트 라인에 연결되고, 소스전극과는 상기 데이터라인에 연결되며, 드레인전극과는 상기 화소전극에 연결되게 된다.

[0005] 구동회로는 게이트라인들에 스캔신호를 순차적으로 공급하기 위한 게이트 드라이버와, 데이터라인들에 데이터신호를 공급하기 위한 데이터 드라이버를 구비한다. 상기 게이트 드라이버는 스캔신호를 상기 게이트라인들에 순차적으로 공급하여 액정패널 상에 화소들이 1 라인분씩 선택 되도록 한다. 상기 데이터 드라이버는 게이트라인들이 순차적으로 선택될 때마다, 상기 데이터라인들에 데이터 신호를 공급한다. 이에 따라, 액정표시장치는 화소별로 인가되는 비디오 신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 액정층의 광투과율을 조절함으로써 화상을 표시한다.

[0006] 최근들어, 제조단가를 낮추기 위해 상기 게이트 드라이버와 상기 데이터 드라이버를 상기 액정패널 상에 내장한 내장형 액정표시장치가 개발되고 있다. 이러한 내장형 액정표시장치에서는 박막트랜지스터를 제조할 때, 게이트 드라이버가 동시에 제조되게 된다. 이때, 데이터 드라이버는 내장될 수도 있고 내장되지 않을 수도 있다.

[0007] 상기 액정표시장치가 대형화될수록 화면 크기의 증가에 따른 게이트라인들의 길이 증가로 인해 라인 저항이 증가하게 되고 이로인해 박막트랜지스터(TFT)의 충전율 저하로 인해 액정의 응답속도가 저하되는 문제가 발생한다. 또한, 액정의 응답속도를 향상시키기 위해 박막트랜지스터의 채널 영역을 증가시키려고 하면 내장형 액정표시장치이므로 면적이 제한되어 있어 박막트랜지스터의 충전율을 증가시키기 어렵다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명은 박막트랜지스터의 충/방전 시간을 빠르게 하여 액정의 응답속도를 향상시킬 수 있는 액정표시장치를 제공함에 그 목적이 있다.

과제 해결수단

[0009] 본 발명의 제1 실시예에 따른 액정표시장치는 다수의 게이트라인과 다수의 데이터라인이 배열되어 화상을 표시하는 표시패널과, 상기 표시패널에 내장되어 스타트 펄스에 시프트 되어 순차적으로 출력신호를 상기 다수의 게이트라인들에 공급하는 다수의 시프트 레지스터를 구비한 게이트 드라이버 및 상기 표시패널의 데이터라인들에 상기 화상에 대응되는 데이터 신호를 공급하는 데이터 드라이버를 포함하고, 상기 각 시프트 레지스터는, 제1 노드 상의 전압에 응답하는 제1 및 제2 게이트 전극과, 클럭신호가 공급되는 드레인 전극 및 상기 게이트라인과 접속되어 상기 제1 노드 상의 전압에 따라 상기 드레인 전극의 클럭신호를 선택하여 상기 게이트 라인으로 출력하는 소스 전극으로 구성된 제1 듀얼 게이트 트랜지스터와, 제2 노드 상의 전압에 응답하는 제1 및 제2 게이트 전극과, 제1 전원전압이 공급되는 드레인 전극 및 상기 게이트 라인과 접속되어 상기 제2 노드 상의 전압에 따라 상기 제1 전원전압을 상기 게이트 라인으로 출력하는 소스 전극으로 구성된 제2 듀얼 게이트 트랜지스터를 포함하는 출력단 및 상기 출력단을 제어하는 제어부를 구비한다.

[0010] 본 발명의 제2 실시예에 따른 액정표시장치는 다수의 게이트라인과 다수의 데이터라인이 배열되어 화상을 표시하는 표시패널과, 상기 표시패널에 내장되어 스타트 펄스에 시프트 되어 순차적으로 출력신호를 상기 다수의 게이트라인들에 공급하는 다수의 시프트 레지스터를 구비한 게이트 드라이버 및 상기 표시패널의 데이터라인들에 상기 화상에 대응되는 데이터 신호를 공급하는 데이터 드라이버를 포함하고, 상기 각 시프트 레지스터는, 스타트 펄스에 제어되는 게이트 전극과 게이트 하이 전압에 응답하는 드레인 전극과 제1 노드로 상기 게이트 하이 전압을 제공하는 제1 및 제2 소스 전극으로 구성된 제1 듀얼 소스 트랜지스터와, 다음 시프트 레지스터의 출력신호에 제어되는 게이트 전극과 제2 노드를 사이에 두고 상기 제1 듀얼 소스 트랜지스터의 제1 소스 전극과 접속된 드레인 전극과, 게이트 로우 전압에 응답하는 제1 및 제2 소스 전극으로 구성된 제2 듀얼 소스 트랜지스터를 구비한 입력단과, 상기 제1 노드 상의 전압에 응답하는 제1 및 제2 게이트 전극과, 클럭신호가 공급되는 드레인 전극 및 상기 게이트라인과 접속되어 상기 제1 노드 상의 전압에 따라 상기 드레인 전극의 클럭신호를 선택하여 상기 게이트 라인으로 출력하는 소스 전극으로 구성된 제1 듀얼 게이트 트랜지스터와, 제3 노드 상의 전압에 응답하는 제1 및 제2 게이트 전극과, 제1 전원전압이 공급되는 드레인 전극 및 상기 게이트 라인과 접속되어 상기 제3 노드 상의 전압에 따라 상기 제1 전원전압을 상기 게이트 라인으로 출력하는 소스 전극으로 구성된 제2 듀얼 게이트 트랜지스터를 포함하는 출력단 및 상기 입력단 및 출력단 사이에 위치하여 상기 출력단을 제어

하는 제어부를 구비한다.

효 과

[0011] 본 발명은 스캔신호가 출력되는 출력단을 구성하는 트랜지스터를 듀얼로 구성함으로써 스캔신호가 출력되는 출력단이 빠르게 구동되도록 하여 트랜지스터의 충/방전 시간을 빠르게 하여 액정의 응답속도를 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0012] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 설명하기로 한다.
- [0013] 도 1은 본 발명의 실시예에 따른 게이트 드라이버를 개략적으로 나타낸 도면이다.
- [0014] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 게이트 드라이버는 다수의 게이트라인(GL1 ~ GLn)과 대응되는 다수의 시프트 레지스터(ST1 ~ STn)를 포함한다.
- [0015] 상기 다수의 시프트 레지스터(ST1 ~ STn)는 클럭신호(CLK) 입력라인과 다음단에 위치하는 시프트 레지스터(ST)의 출력신호 입력라인 및 전단에 위치하는 시프트 레지스터(ST)의 출력신호 입력라인에 각각 접속된다.
- [0016] 제1 시프트 레지스터(ST1)는 클럭신호(CLK) 입력라인과 제2 시프트 레지스터(ST2)의 출력신호 입력라인 및 스타트 펄스(SP) 입력라인과 각각 접속된다.
- [0017] 도 2는 도 1에 도시된 제1 시프트 레지스터의 상세한 회로구성을 제1 실시예에 따라 나타낸 도면이다.
- [0018] 도 2에 도시된 바와 같이, 제1 실시예에 따른 제1 시프트 레지스터(ST1)에는 스타트 펄스(SP)와 클럭신호(CLK) 및 다음단의 시프트 레지스터인 제2 시프트 레지스터(ST2)의 출력신호가 각각 입력된다. 또한, 상기 제1 시프트 레지스터(ST1)에는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)이 각각 공급된다.
- [0019] 상기 제1 시프트 레지스터(ST1)는 제1 내지 제 7 트랜지스터(T1 ~ T7)를 포함하는 제어부와 제1 및 제2 듀얼 게이트 트랜지스터(DGT1, DGT2)를 포함하는 출력부(100)로 구성된다.
- [0020] 상기 제1 시프트 레지스터(ST1)의 제어부는 스타트 펄스(SP)에 응답하며 게이트 하이 전압(VGH) 입력라인과 제1 노드(Q) 사이에 접속된 제1 트랜지스터(T1)와, 제2 시프트 레지스터(ST2)의 출력신호에 응답하며 상기 제1 노드(Q)와 게이트 로우 전압(VGL)의 입력라인 사이에 접속된 제2 트랜지스터(T2)와, 제2 노드(QB) 상의 전압에 응답하며 상기 제1 트랜지스터(T1)의 소스 전극과 상기 게이트 로우 전압(VGL)의 입력라인 사이에 접속된 제3 트랜지스터(T3)를 포함한다.
- [0021] 또한, 상기 제1 시프트 레지스터(ST1)의 제어부는 상기 제2 시프트 레지스터(ST2)의 출력신호에 응답하며 상기 게이트 하이 전압(VGH) 입력라인과 제2 노드(QB)에 제공된 전압이 인가되는 노드 사이에 접속된 제 4 트랜지스터(T4)와, 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제2 노드(QB)에 제공된 전압이 인가되는 노드와 게이트 로우 전압(VGL) 입력라인 사이에 접속된 제5 트랜지스터(T5)를 더 포함한다.
- [0022] 상기 제4 트랜지스터(T4)는 상기 제2 시프트 레지스터(ST2)로부터 제공된 출력신호에 턴-온(turn-on) 되어 상기 제2 노드(QB)에 상기 게이트 하이 전압(VGH) 입력라인으로부터의 게이트 하이 전압(VGH)이 충전되게 한다. 상기 제2 노드(QB)에 제공된 게이트 하이 전압(VGH)에 의해 상기 제2 듀얼 게이트 트랜지스터(DGT2)가 턴-온 되어 출력전압(Vgout)을 로우(Low) 논리 상태로 만든다.
- [0023] 상기 제5 트랜지스터(T5)는 상기 제4 트랜지스터(T4)와 동일한 역할을 하지만 상기 제4 트랜지스터(T4)는 제2 시프트 레지스터(ST2)로부터 제공된 출력신호에 턴-온(turn-on) 되고, 상기 제5 트랜지스터(T5)는 제1 노드(Q)에 제공된 전압에 의해 턴-온(turn-on) 되는 점만 상이하다.
- [0024] 또한, 상기 제1 시프트 레지스터(ST1)의 제어부는 상기 게이트 하이 전압(VGH)에 응답하며 상기 게이트 하이 전압(VGH) 입력라인과 제2 노드(QB) 사이에 접속된 제6 트랜지스터(T6)와, 상기 스타트 펄스(SP)에 응답하며 상기 제2 노드(QB)와 게이트 로우 전압(VGL) 입력라인 사이에 접속된 제7 트랜지스터(T7)를 더 포함한다.
- [0025] 상기 제6 및 제7 트랜지스터(T6, T7)는 상기 출력부(100)에서 발생할 수 있는 노이즈 성분을 제거하는 바이어스 저항 역할을 한다.
- [0026] 상기 제1 시프트 레지스터(ST1)의 출력부(100)는 상기 제1 노드(Q) 상의 전압에 따라 상기 클럭신호(CLK)를 선

택하여 상기 제1 시프트 레지스터(ST1)와 대응되는 제1 게이트라인(GL1)으로 공급하는 제1 듀얼 게이트 트랜지스터(DGT1)와, 상기 제2 노드(QB) 상의 전압에 따라 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 출력신호를 방전하는 제2 듀얼 게이트 트랜지스터(DGT2)를 포함한다.

[0027] 상기 제1 듀얼 게이트 트랜지스터(DGT1)는 상기 제1 노드(Q)와 접속된 바텀 게이트 전극과, 상기 클럭신호(CLK) 입력라인과 접속된 드레인 전극과, 제1 게이트라인(GL1)과 접속된 소스 전극 및 상기 바텀 게이트 전극과 접속된 탑 게이트 전극으로 구성된다.

[0028] 상기 제2 듀얼 게이트 트랜지스터(DGT2)는 상기 제2 노드(QB)와 접속된 바텀 게이트 전극과, 상기 제1 게이트라인(GL1)과 접속된 드레인 전극과, 게이트 로우 전압(VGL) 입력라인과 접속된 소스 전극 및 상기 바텀 게이트 전극과 접속된 탑 게이트 전극으로 구성된다.

[0029] 도 3은 도 2의 제1 시프트 레지스터의 회로도의 구동전압을 나타낸 도면이다.

[0030] 도 2 및 도 3에 도시된 바와 같이, 제1 시프트 레지스터(ST1)에는 일정한 주기를 갖고 하이(High) 및 로우(Low) 상태의 펄스를 갖는 클럭신호(CLK)와, 상기 클럭신호(CLK)의 제1 하이(High) 펄스의 라이징 타임(rising time)에 폴링 타임(falling time)을 갖는 스타트 펄스(SP) 및 상기 클럭신호(CLK)의 제1 로우(Low) 펄스에 동기되어 하이(High) 펄스를 갖는 제2 시프트 레지스터의 출력신호(Vg-next)가 각각 입력된다.

[0031] 상기 하이(High) 상태의 스타트 펄스(SP)가 상기 제1 시프트 레지스터(ST1)에 입력되는 제1 구간에 상기 제1 시프트 레지스터(ST1)의 제1 트랜지스터(T1)가 턴-온(turn-on) 된다. 상기 제1 트랜지스터(T1)가 턴-온(turn-on) 되면, 게이트 하이 전압(VGH)이 상기 제1 트랜지스터(T1)의 소스 전극을 통해 제1 노드(Q1)로 공급된다.

[0032] 이와 동시에, 하이(High) 상태의 스타트 펄스(SP)에 의해 제7 트랜지스터(T7)가 턴-온(turn-on) 된다. 상기 제7 트랜지스터(T7)가 턴-온(turn-on) 되면 게이트 로우 전압(VGL) 입력라인으로부터 게이트 로우 전압(VGL)이 제2 노드(QB)에 충전된다.

[0033] 이어, 상기 스타트 펄스(SP)가 로우(Low) 상태가 되고 하이(High) 상태의 클럭신호(CLK)가 상기 제1 시프트 레지스터(ST1)에 입력되는 제2 구간에 상기 제1 시프트 레지스터(ST1)의 제1 듀얼 게이트 트랜지스터(DGT1)는 턴-온(turn-on) 된다.

[0034] 구체적으로, 상기 제1 듀얼 게이트 트랜지스터(DGT1)는 상기 제1 구간에서 제1 노드(Q)에 충전된 게이트 하이 전압(VGH)에 의해 상기 제2 구간에서 턴-온(turn-on) 된다. 상기 클럭신호(CLK)가 하이(High) 상태가 되면, 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 게이트와 소스 사이에 형성된 내부 캐패시터(Cgs) 등의 영향으로 부트스트래핑(Bootstrapping) 현상이 발생하여 상기 제1 노드(Q)는 상기 게이트 하이 전압(VGH)의 두배 정도까지의 전압을 충전하게 되어 확실한 하이(High) 상태가 된다.

[0035] 이에 따라, 상기 제1 듀얼 게이트 트랜지스터(DGT1)가 확실하게 턴-온(turn-on) 되어 하이(High) 상태의 클럭신호(CLK)를 상기 제1 시프트 레지스터(ST1)와 접속된 제1 게이트라인(GL1)의 출력신호(Vgout)로 상기 제1 게이트라인(GL1)으로 공급한다.

[0036] 상기 제2 구간 동안에 상기 제1 듀얼 게이트 트랜지스터(DGT1)가 턴-온(turn-on) 되어 상기 제1 게이트라인(GL1)으로 게이트 하이 전압(VGH)에 해당하는 출력신호(Vgout)가 공급된다.

[0037] 이어서, 로우(Low) 상태의 클럭신호(CLK)와 상기 제1 시프트 레지스터(ST1)의 다음단인 제2 시프트 레지스터(ST2)의 하이(High) 상태의 출력신호(Vg-next)가 상기 제1 시프트 레지스터(ST1)에 입력되는 제3 구간에 상기 제6 트랜지스터(T6)가 턴-온(turn-on) 된다.

[0038] 상기 제6 트랜지스터(T6)가 턴-온(turn-on)되어 게이트 하이 전압(VGH)이 상기 제2 노드(QB)에 충전된다. 상기 제2 노드(QB)에 게이트 하이 전압(VGH)이 충전됨에 따라 상기 제2 노드(QB) 상의 전압에 응답하는 제2 듀얼 게이트 트랜지스터(DGT2)가 턴-온(turn-on) 된다. 상기 제2 듀얼 게이트 트랜지스터(DGT2)가 턴-온(turn-on) 됨에 따라, 상기 턴-온(turn-on) 된 제2 듀얼 게이트 트랜지스터(DGT2)를 경유하여 게이트 로우 전압(VGL)이 상기 제1 시프트 레지스터(ST1)와 접속된 제1 게이트라인(GL1)으로 공급된다. 이로 인해, 상기 제3 구간에서 상기 제1 게이트라인(GL1)은 게이트 로우 전압(VGL)으로 충전된다.

[0039] 상기 제2 노드(QB)에 게이트 하이 전압(VGH)이 충전되면서 상기 제2 노드(QB)에 접속된 제3 트랜지스터(T3)가 턴-온(turn-on) 된다. 턴-온(turn-on) 된 제3 트랜지스터(T3)에 의해 제1 노드(Q)에 충전된 전압은 게이트 로우 전압(VGL) 입력라인으로부터의 게이트 로우 전압(VGL)으로 바뀌게 된다.

- [0040] 이와 같이, 상기 제3 구간에서 상기 제1 시프트 레지스터(ST1)의 제1 노드(Q)에는 게이트 로우 전압(VGL)이 공급되고, 제2 노드(QB)에는 게이트 하이 전압(VGH)이 공급되면서 상기 제2 듀얼 게이트 트랜지스터(DGT2)를 경유하여 상기 제1 게이트라인(GL1)으로 게이트 로우 전압(VGL)이 공급된다.
- [0041] 앞서 서술한 바와 같이, 상기 제1 및 제2 듀얼 게이트 트랜지스터(DGT1, DGT2)는 서로 전기적으로 접속된 바텀 게이트 전극과 탑 게이트 전극을 구비함으로써 바텀 게이트 전극만 구비한 일반적인 트랜지스터에 비해 충전 및 방전 시간이 빨라질 수 있다.
- [0042] 이때, 상기 출력부(100) 뿐만 아니라, 상기 제어부에 구비된 제1 내지 제7 트랜지스터(T1 ~ T7)들도 경우에 따라 탑 게이트 전극을 구비한 듀얼 게이트 트랜지스터로 형성될 수 있다. 상기 제1 시프트 레지스터(ST1)의 제어부에 구비된 제1 내지 제7 트랜지스터(T1 ~ T7) 중에 일부 또는 전부를 바텀 및 탑 게이트 전극을 구비한 듀얼 게이트 트랜지스터로 형성하게 되면 충전 및 방전 시간이 빨라지게 되어 게이트라인으로 신속하게 스캔 펄스를 제공할 수 있다.
- [0043] 도 4는 도 2의 시프트 레지스터의 제1 트랜지스터를 개략적으로 나타낸 도면이다.
- [0044] 도 2 및 도 4에 도시된 바와 같이, 제1 트랜지스터(T1)는 게이트 전극(202)과, 상기 게이트 전극(202) 상에 상기 게이트 전극(202)을 덮도록 형성된 게이트 절연막(도시하지 않음)과, 상기 게이트 절연막 상에 상기 게이트 전극(202)과 대응되도록 형성된 반도체층(204)과, 상기 반도체층(204) 상에 형성되어 일정 간격 이격되어 서로 마주보는 다수의 소스 및 드레인 전극들(206, 208)로 구성된다.
- [0045] 상기 다수의 소스 전극들(206)은 서로 전기적으로 연결되고 상기 다수의 드레인 전극들(208) 또한 서로 전기적으로 연결되어 있다. 또한, 상기 제1 트랜지스터(T1)의 게이트 전극(202) 상에는 인접한 트랜지스터(T1)와의 접속을 위한 다수의 컨택홀(210)이 형성되어 있다. 상기 반도체층(204) 상에 일정간격 이격된 소스 및 드레인 전극(206, 208)으로 인해 채널부가 형성된다.
- [0046] 도 5는 도 2의 시프트 레지스터의 제1 듀얼 게이트 트랜지스터를 개략적으로 나타낸 도면이다.
- [0047] 도 2 및 도 5에 도시된 바와 같이, 제1 듀얼 게이트 트랜지스터(DGT1)는 바텀 게이트 전극(232a)과, 상기 바텀 게이트 전극(232a)을 덮도록 형성된 게이트 절연막(도시하지 않음)과, 상기 게이트 절연막 상에 바텀 게이트 전극(232a)과 대응되도록 형성된 반도체층(234)과, 상기 반도체층(234) 상에 형성되어 일정간격 이격되어 서로 마주보는 다수의 소스 및 드레인 전극들(236, 238)과, 상기 소스 및 드레인 전극(236, 238) 상에 상기 소스 및 드레인 전극(236, 238)을 덮도록 형성된 보호층(도시하지 않음)과, 상기 보호층 및 게이트 절연층을 패터닝하여 상기 바텀 게이트 전극(232a) 상에 형성된 콘택홀(240)을 통해 상기 바텀 게이트 전극(232a)과 전기적으로 접속된 탑 게이트 전극(232b)으로 구성된다.
- [0048] 상기 다수의 소스 전극들(236)은 서로 전기적으로 연결되고 상기 다수의 드레인 전극들(238) 또한 서로 전기적으로 연결되어 있다. 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 바텀 게이트 전극(232a)과 탑 게이트 전극(232b)이 전기적으로 접속됨에 따라 상기 제1 듀얼 게이트 트랜지스터(DGT1)은 도 4의 제1 트랜지스터(T1)에 비해 턴-온/오프(On/Off) 특성이 향상된다.
- [0049] 도 6은 도 4의 제1 트랜지스터와 도 5의 제1 듀얼 게이트 트랜지스터의 단면을 나타낸 도면이다.
- [0050] 도 4 및 도 6에 도시된 바와 같이, 상기 제1 트랜지스터(T1)는 기판(201) 상에 형성된 게이트 전극(202)과, 상기 게이트 전극(202)이 형성된 기판(201) 상에 형성된 게이트 절연막(203)과, 상기 게이트 절연막(203)이 형성된 기판(201) 상에 상기 게이트 전극(202)과 대응되게 형성된 반도체층(204)과, 상기 반도체층(204)이 형성된 기판(201) 상에 서로 이격된 소스 및 드레인 전극(206, 208)과, 상기 소스 및 드레인 전극(206, 208)이 형성된 기판(201) 전면에 형성된 보호층(205)을 포함한다. 상기 반도체층(204)은 비정질 실리콘층인 액티브층(204a)과, 불순물 비정질 실리콘층인 오믹 콘택층(204b)으로 구성된다.
- [0051] 상기 제1 듀얼 게이트 트랜지스터(DGT1)는 기판(201) 상에 형성된 바텀 게이트 전극(232a)과, 상기 바텀 게이트 전극(232a)이 형성된 기판(201) 상에 형성된 게이트 절연막(203)과, 상기 게이트 절연막(203)이 형성된 기판(201) 상에 형성되며 액티브층(234a)과 오믹 콘택층(234b)으로 구성된 반도체층(234)과, 상기 반도체층(234)이 형성된 기판(201) 상에 서로 이격된 소스 및 드레인 전극(236, 238)과, 상기 소스 및 드레인 전극(236, 238)이 형성된 기판(201) 전면에 형성된 보호층(205)과, 상기 보호층(205)이 형성된 기판(201) 상에 콘택홀을 통해 상기 바텀 게이트 전극(232a)과 전기적으로 접속된 탑 게이트 전극(232b)으로 구성된다.
- [0052] 도 7a 내지 도 7e는 도 6에 도시된 제1 트랜지스터와 제1 듀얼 게이트 트랜지스터의 공정 순서를 나타낸 도면이

다.

- [0053] 도 7a에 도시된 바와 같이, 기판(201) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo) 등을 포함하는 도전성 금속 그룹 중 하나를 선택해서 증착하고 패터닝하여 제1 트랜지스터(T1)의 게이트 전극(202)과 제1 듀얼 게이트 트랜지스터(DGT1)의 바텀 게이트 전극(232a)을 형성한다.
- [0054] 이어서, 상기 게이트 전극(202)과 바텀 게이트 전극(232a)이 형성된 기판(201)에 도 7b에 도시된 바와 같이, 게이트 절연막(203)을 형성한다. 상기 게이트 절연막(203)은 질화 실리콘(SiNx)과 산화 실리콘(a-Si:H) 등이 포함된 무기절연물질 그룹 중 하나를 선택하여 상기 기판(201) 상에 증착하여 형성한다. 경우에 따라서 상기 게이트 절연막(203)은 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin) 등이 포함된 유기절연물질 중 하나를 증착하여 형성할 수 있다.
- [0055] 상기 게이트 절연막(203)이 형성된 기판(201) 상에 비정질 실리콘(a-Si:H)을 증착하여 형성하고, 마스크 공정을 통해 상기 비정질 실리콘(a-Si:H)을 패터닝하면 상기 패터닝된 비정질 실리콘은 제1 트랜지스터(T1) 및 제1 듀얼 게이트 트랜지스터(DGT1)의 액티브층(204a, 234a)이 된다.
- [0056] 상기 제1 트랜지스터(T1) 및 제1 듀얼 게이트 트랜지스터(DGT1)의 액티브층(204a, 234a)이 형성된 기판(201) 상에 불순물 비정질 실리콘(n+a-Si:H) 및 도전성 금속막을 순차적으로 증착하여 형성한다. 이어 마스크 공정을 통해 기판(201) 상에 형성된 상기 불순물 비정질 실리콘(n+a-Si:H) 및 도전성 금속막을 패터닝한다.
- [0057] 상기 패터닝된 불순물 비정질 실리콘(n+a-Si:H)은 제1 트랜지스터(T1) 및 제1 듀얼 게이트 트랜지스터(DGT1)의 오믹 콘택층(204b, 234b)이 되고, 상기 도전성 금속막은 상기 제1 트랜지스터(T1)의 소스 및 드레인 전극(206, 208) 및 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 소스 및 드레인 전극(236, 238)이 된다.
- [0058] 상기 제1 트랜지스터(T1)의 소스 및 드레인 전극(206, 208) 및 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 소스 및 드레인 전극(236, 238)은 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo) 등을 포함하는 도전성 금속 그룹 중 하나로 이루어질 수 있다.
- [0059] 상기 제1 트랜지스터(T1)의 소스 및 드레인 전극(206, 208)과 상기 제1 듀얼 게이트 트랜지스터(DGT1, DGT2)가 형성된 기판(201) 전면에도 도 7d에 도시된 바와 같이, 보호층(205)이 형성된다. 상기 보호층(205)은 외부로부터 유입되는 불순물 등으로부터 상기 제1 트랜지스터(T1)의 소스 및 드레인 전극(206, 208)과 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 소스 및 드레인 전극(236, 238)을 보호한다.
- [0060] 또한, 상기 보호층(205)은 상기 제1 트랜지스터(T1) 및 제1 듀얼 게이트 트랜지스터(DGT1)의 반도체층(204, 234)을 보호하는 역할을 한다. 이어서, 상기 보호층(205)이 형성된 기판(201) 상에 상기 바텀 게이트 전극(232a)의 일부분이 노출되도록 컨택홀(H)을 형성한다. 상기 보호층(205) 상에 컨택홀(H)을 형성함으로써 상기 바텀 게이트 전극(232a)의 일부분이 외부로 노출된다.
- [0061] 이어서, 상기 컨택홀(H)을 포함한 보호층(205)이 형성된 기판(201)에 도전성 금속막을 형성한다. 상기 도전성 금속막은 상기 일부분이 노출된 상기 바텀 게이트 전극(232a)과 접속된다. 상기 도전성 금속막은 상기 바텀 게이트 전극(232a)과 동일한 재질로 형성될 수 있다.
- [0062] 상기 기판(201) 전면에도 형성된 도전성 금속막은 마스크 공정을 통해 도 7e에 도시된 바와 같이, 패터닝된다. 상기 패터닝된 도전성 금속막은 상기 바텀 게이트 전극(232a)과 대응되는 위치에 형성된다. 즉, 상기 패터닝된 도전성 금속막은 상기 제1 트랜지스터(T1)에는 형성되지 않고 상기 제1 듀얼 게이트 트랜지스터(DGT1)에 형성된다. 상기 패터닝된 도전성 금속막은 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 탑 게이트 전극(232b)이 된다.
- [0063] 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 바텀 게이트 전극(232a)이 상기 탑 게이트 전극(232b)과 전기적으로 접속됨으로써 상기 바텀 게이트 전극(232a)으로 출력신호가 인가되면 상기 탑 게이트 전극(232b)에도 상기 출력신호가 인가된다. 따라서, 상기 전기적으로 접속된 바텀 및 탑 게이트 전극(232a, 232b)을 구비한 제1 듀얼 게이트 트랜지스터(DGT1)의 응답속도는 하나의 게이트 전극(202)만을 구비한 제1 트랜지스터(T1)의 응답속도보다 빠르게 된다.
- [0064] 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 바텀 게이트 전극(232a)과 탑 게이트 전극(232b)이 전기적으로 접속됨으로써 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 충전시간 및 방전시간을 제1 트랜지스터(T1)의 경우보다 앞당길 수 있다.

- [0065] 따라서, 상기 전기적으로 접속된 바텀 게이트 전극(232a)과 탑 게이트 전극(232b)을 구비한 듀얼 게이트 트랜지스터(DGT)를 제1 시프트 레지스터(ST1)의 출력부(100)에 구비하게 되면 종래의 경우보다 게이트라인(GL)으로 신속하게 스캔신호를 공급할 수 있다. 상기 게이트라인(GL)으로 신속하게 스캔신호가 공급됨에 따라 화소영역 상에서 상기 게이트라인(GL)과 접속된 박막트랜지스터(TFT)의 턴-온/오프(turn-on/off) 시간이 빨라져서 액정의 응답속도를 향상시킬 수 있다.
- [0066] 앞서 언급한 바와 같이, 상기 전기적으로 접속된 바텀 게이트 전극(232a)과 탑 게이트 전극(232b)을 구비한 듀얼 게이트 트랜지스터(DGT)를 제1 시프트 레지스터(ST1)의 출력부(100) 및 상기 출력부(100)를 제외한 제어부에도 구비하게 되면 종래의 경우보다 게이트라인(GL)으로 신속하게 스캔신호를 공급할 수 있다.
- [0067] 도 8은 일반 트랜지스터와 듀얼 게이트 트랜지스터의 충전/방전 시간을 비교한 그래프를 나타낸 도면이다.
- [0068] 도 8에 도시된 바와 같이, 듀얼 게이트 트랜지스터를 구비한 시프트 레지스터(ST)가 일반 트랜지스터를 구비한 시프트 레지스터(ST)에 비해 0.54us 정도의 충전시간을 단축시켜 게이트라인(GL)으로 출력신호(Vgout)를 출력한다. 또한, 듀얼 게이트 트랜지스터를 구비한 시프트 레지스터(ST)가 일반 트랜지스터를 구비한 시프트 레지스터(ST)에 비해 3.34us 정도의 방전시간을 단축시킨다.
- [0069] 도 8에 도시된 그래프는 실험 데이터이지만, 전기적으로 접속된 바텀 게이트 전극과 탑 게이트 전극을 구비한 듀얼 게이트 박막트랜지스터를 포함한 시프트 레지스터(ST)가 일반 트랜지스터를 포함한 시프트 레지스터에 비해 신속하게 출력신호(Vout)를 충전 및 방전하는 것을 알 수 있다.
- [0070] 따라서, 본 발명과 같이, 전기적으로 접속된 바텀 게이트 전극과 탑 게이트 전극을 구비한 듀얼 게이트 트랜지스터(DGT)를 시프트 레지스터(ST)의 출력단에 구비하게 되면 종래의 경우보다 게이트라인(GL)으로 신속하게 출력신호를 공급할 수 있다. 상기 게이트라인(GL)으로 신속하게 출력신호가 공급됨에 따라 화소영역 상에서 상기 게이트라인(GL)과 접속된 박막트랜지스터(TFT)의 턴-온/오프(turn-on/off) 시간이 빨라져서 액정의 응답속도를 향상시킬 수 있다.
- [0071] 도 9는 도 1에 도시된 제1 시프트 레지스터의 상세한 회로구성을 제2 실시예에 따라 나타낸 도면이다.
- [0072] 도 1 및 도 9에 도시된 바와 같이, 제2 실시예에 따른 제1 시프트 레지스터(ST1)에는 스타트 펄스(SP)와 클럭신호(CLK) 및 다음단의 시프트 레지스터인 제2 시프트 레지스터(ST2)의 출력신호가 각각 입력된다. 또한, 상기 제1 시프트 레지스터(ST1)에는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)이 각각 공급된다.
- [0073] 상기 제1 시프트 레지스터(ST1)는 제1 및 제2 듀얼 소스 트랜지스터(DST1, DST2)를 포함하는 입력부(200)와, 제1 내지 제5 트랜지스터(T1 ~ T5)를 포함하는 제어부 및 제1 및 제2 듀얼 게이트 트랜지스터(DGT1, DGT2)를 포함하는 출력부(100)로 구성된다.
- [0074] 상기 제1 시프트 레지스터(ST1)의 입력부(200)는 스타트 펄스(SP)에 응답하며 게이트 하이 전압(VGH) 입력라인과 제1 노드(Q) 사이에 접속된 제1 듀얼 소스 트랜지스터(DST1)와, 제2 시프트 레지스터(ST2)의 출력신호에 응답하며 상기 제1 노드(Q)와 게이트 로우 전압(VGL)의 입력라인 사이에 접속된 제2 듀얼 소스 트랜지스터(DST2)를 포함한다.
- [0075] 상기 제1 듀얼 소스 트랜지스터(DST1)는 스타트 펄스(SP) 입력라인과 접속된 게이트 전극과, 게이트 하이 전압(VGH) 입력라인과 접속된 드레인 전극과, 제1 노드(Q)에 접속된 바텀 소스 전극 및 상기 바텀 소스 전극과 접속된 탑 소스 전극으로 구성된다.
- [0076] 상기 제2 듀얼 소스 트랜지스터(DST2)는 제2 시프트 레지스터(ST1)의 출력신호 입력라인과 접속된 게이트 전극과, 상기 제1 노드(Q)에 접속된 드레인 전극과, 게이트 로우 전압(VGL) 입력라인과 접속된 바텀 소스 전극 및 상기 바텀 소스 전극과 접속된 탑 소스 전극으로 구성된다.
- [0077] 상기 제1 시프트 레지스터(ST1)의 제어부는 상기 제2 노드(QB) 상의 전압에 응답하며 상기 제1 듀얼 소스 트랜지스터(DST1)의 소스 전극과 상기 게이트 로우 전압(VGL)의 입력라인 사이에 접속된 제1 트랜지스터(T1)를 포함한다.
- [0078] 또한, 상기 제1 시프트 레지스터(ST1)의 제어부는 상기 제2 시프트 레지스터(ST2)의 출력신호에 응답하며 상기 게이트 하이 전압(VGH) 입력라인과 제2 노드(QB)에 제공된 전압이 인가되는 노드 사이에 접속된 제2 트랜지스터(T2)와, 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제2 노드(QB)에 제공된 전압이 인가되는 노드와 게이트 로우 전압(VGL) 입력라인 사이에 접속된 제3 트랜지스터(T3)를 더 포함한다.

- [0079] 상기 제2 트랜지스터(T2)는 상기 제2 시프트 레지스터(ST2)로부터 제공된 출력신호에 턴-온(turn-on) 되어 상기 제2 노드(QB)에 상기 게이트 하이 전압(VGH) 입력라인으로부터의 게이트 하이 전압(VGH)이 충전되게 한다. 상기 제2 노드(QB)에 제공된 게이트 하이 전압(VGH)에 의해 상기 제2 듀얼 게이트 트랜지스터(DGT2)가 턴-온 되어 출력전압(Vout)을 로우(Low) 논리 상태로 만들게 된다.
- [0080] 상기 제3 트랜지스터(T3)는 상기 제2 트랜지스터(T2)와 동일한 역할을 하지만 상기 제2 트랜지스터(T2)는 제2 시프트 레지스터(ST2)로부터 제공된 출력신호에 턴-온(turn-on) 되고, 상기 제3 트랜지스터(T3)는 제1 노드(Q)에 제공된 전압에 의해 턴-온(turn-on) 되는 점만 상이하다.
- [0081] 또한, 상기 제1 시프트 레지스터(ST1)의 제어부는 상기 게이트 하이 전압(VGH)에 응답하며 상기 게이트 하이 전압(VGH) 입력라인과 제2 노드(QB) 사이에 접속된 제4 트랜지스터(T4)와, 상기 스타트 펄스(SP)에 응답하며 상기 제2 노드(QB)와 게이트 로우 전압(VGL) 입력라인 사이에 접속된 제5 트랜지스터(T5)를 더 포함한다. 상기 제4 및 제5 트랜지스터(T4, T5)는 상기 출력부(100)에서 발생할 수 있는 노이즈 성분을 제거하는 바이어스 저항 역할을 한다.
- [0082] 상기 제1 시프트 레지스터(ST1)의 출력부(100)는 상기 제1 노드(Q) 상의 전압에 따라 상기 클럭신호(CLK)를 선택하여 상기 제1 시프트 레지스터(ST1)와 대응되는 제1 게이트라인(GL1)으로 공급하는 제1 듀얼 게이트 트랜지스터(DGT1)와, 상기 제2 노드(QB) 상의 전압에 따라 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 출력신호를 방전하는 제2 듀얼 게이트 트랜지스터(DGT2)를 포함한다.
- [0083] 상기 제1 듀얼 게이트 트랜지스터(DGT1)는 상기 제1 노드(Q)와 접속된 바텀 게이트 전극과, 상기 클럭신호(CLK) 입력라인과 접속된 드레인 전극과, 제1 게이트라인(GL1)과 접속된 소스 전극 및 상기 바텀 게이트 전극과 접속된 탑 게이트 전극으로 구성된다. 상기 제2 듀얼 게이트 트랜지스터(DGT2)는 상기 제2 노드(QB)와 접속된 바텀 게이트 전극과, 상기 제1 게이트라인(GL1)과 접속된 소스 전극과, 게이트 로우 전압(VGL) 입력라인과 접속된 드레인 전극 및 상기 바텀 게이트 전극과 접속된 탑 게이트 전극으로 구성된다.
- [0084] 상기 제1 및 제2 듀얼 게이트 트랜지스터(DGT1, DGT2)는 서로 전기적으로 접속된 바텀 게이트 전극과 탑 게이트 전극을 구비함으로써 바텀 게이트 전극만 구비한 일반적인 트랜지스터에 비해 충전 및 방전 시간이 빨라질 수 있다.
- [0085] 이때, 상기 출력부(100) 뿐만 아니라, 상기 제어부에 구비된 제1 내지 제5 트랜지스터(T1 ~ T5)들도 경우에 따라 탑 게이트 전극을 구비한 듀얼 게이트 트랜지스터로 형성될 수 있다. 상기 제1 시프트 레지스터(ST1)의 제어부에 구비된 제1 내지 제5 트랜지스터(T1 ~ T5) 중에 일부 또는 전부를 바텀 및 탑 게이트 전극을 구비한 듀얼 게이트 트랜지스터로 형성하게 되면 충전 및 방전 시간이 빨라지게 되어 게이트라인으로 신속하게 스캔 펄스를 제공할 수 있다.
- [0086] 상기 제1 시프트 레지스터(ST1)의 입력부(200)에 구비된 제1 및 제2 듀얼 소스 트랜지스터(DST1, DST2)는 전기적으로 접속된 바텀 소스 전극과 탑 소스 전극을 구비함으로써 소스 전극만을 구비한 일반적인 트랜지스터에 비해 턴-오프(Off) 시간이 빨라질 수 있다.
- [0087] 이때, 상기 입력부(200) 뿐만 아니라, 상기 제어부에 구비된 제1 내지 제5 트랜지스터(T1 ~ T5)들도 경우에 따라 탑 소스 전극을 구비한 듀얼 소스 트랜지스터로 형성될 수 있다. 상기 제1 시프트 레지스터(ST1)의 제어부에 구비된 제1 내지 제5 트랜지스터(T1 ~ T5) 중에 일부 또는 전부를 바텀 및 탑 소스 전극을 구비한 듀얼 소스 트랜지스터로 형성하게 되면 턴-오프(turn-off) 시간이 빨라질 수 있다.
- [0088] 도 10은 도 9의 제1 듀얼 소스 트랜지스터와 제1 듀얼 게이트 트랜지스터의 단면을 나타낸 도면이다.
- [0089] 도 10에 도시된 바와 같이, 상기 제1 듀얼 소스 트랜지스터(DST1)는 기판(301) 상에 형성된 게이트 전극(302)과, 상기 게이트 전극(302)이 형성된 기판(301) 상에 형성된 게이트 절연막(303)과, 상기 게이트 절연막(303)이 형성된 기판(301) 상에 상기 게이트 전극(302)과 대응되게 형성된 반도체층(304)과, 상기 반도체층(304)이 형성된 기판(301) 상에 서로 이격된 바텀 소스 및 드레인 전극(306a, 308)과, 상기 바텀 소스 및 드레인 전극(306a, 308)이 형성된 기판(301) 전면에 형성된 보호층(305)과, 상기 보호층(305)이 형성된 기판(301) 상에 컨택홀을 통해 상기 바텀 소스 전극(306a)과 전기적으로 접속된 탑 소스 전극(306b)을 포함한다.
- [0090] 이때, 상기 반도체층(304)은 비정질 실리콘층인 액티브층(304a)과, 불순물 비정질 실리콘층인 오믹 콘택층(304b)으로 구성된다.
- [0091] 상기 제1 듀얼 게이트 트랜지스터(DGT1)는 기판(301) 상에 형성된 바텀 게이트 전극(332a)과, 상기 바텀 게이트

전극(332a)이 형성된 기판(301) 상에 형성된 게이트 절연막(303)과, 상기 게이트 절연막(303)이 형성된 기판(301) 상에 형성되며 액티브층(334a)과 오믹 콘택층(334b)으로 구성된 반도체층(334)과, 상기 반도체층(334)이 형성된 기판(301) 상에 서로 이격된 소스 및 드레인 전극(336, 338)과, 상기 소스 및 드레인 전극(336, 338)이 형성된 기판(301) 전면에 형성된 보호층(305)과, 상기 보호층(305)이 형성된 기판(301) 상에 콘택홀을 통해 상기 바텀 게이트 전극(332a)과 전기적으로 접속된 탑 게이트 전극(332b)으로 구성된다.

[0092] 도 11a 내지 도 11e는 도 10에 도시된 제1 듀얼 소스 트랜지스터와 제1 듀얼 게이트 트랜지스터의 공정 순서를 나타낸 도면이다.

[0093] 도 11a에 도시된 바와 같이, 기판(301) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo) 등을 포함하는 도전성 금속 그룹 중 하나를 선택해서 증착하고 패터닝하여 제1 듀얼 소스 트랜지스터(DST1)의 게이트 전극(302)과 제1 듀얼 게이트 트랜지스터(DGT1)의 바텀 게이트 전극(332a)을 형성한다.

[0094] 이어서, 상기 게이트 전극(302)과 바텀 게이트 전극(332a)이 형성된 기판(301)에 도 11b에 도시된 바와 같이, 게이트 절연막(303)을 형성한다. 상기 게이트 절연막(303)은 질화 실리콘(SiNx)과 산화 실리콘(a-Si:H) 등이 포함된 무기절연물질 그룹 중 하나를 선택하여 상기 기판(301) 상에 증착하여 형성한다. 경우에 따라서 상기 게이트 절연막(303)은 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin) 등이 포함된 유기절연물질 중 하나를 증착하여 형성할 수 있다.

[0095] 상기 게이트 절연막(303)이 형성된 기판(301) 상에 비정질 실리콘(a-Si:H)을 증착하여 형성하고, 마스크 공정을 통해 상기 비정질 실리콘(a-Si:H)을 패터닝하면 상기 패터닝된 비정질 실리콘은 제1 듀얼 소스 트랜지스터(DST1) 및 제1 듀얼 게이트 트랜지스터(DGT1)의 액티브층(304a, 334a)이 된다.

[0096] 상기 제1 듀얼 소스 트랜지스터(DST1) 및 제1 듀얼 게이트 트랜지스터(DGT1)의 액티브층(304a, 334a)이 형성된 기판(301) 상에 불순물 비정질 실리콘(n+a-Si:H) 및 도전성 금속막을 순차적으로 증착하여 형성한다. 이어 마스크 공정을 통해 기판(301) 상에 형성된 상기 불순물 비정질 실리콘(n+a-Si:H) 및 도전성 금속막을 패터닝한다.

[0097] 상기 패터닝된 불순물 비정질 실리콘(n+a-Si:H)은 제1 듀얼 소스 트랜지스터(DST1) 및 제1 듀얼 게이트 트랜지스터(DGT1)의 오믹 콘택층(304b, 334b)이 되고, 상기 도전성 금속막은 상기 제1 듀얼 소스 트랜지스터(DST1)의 바텀 소스 및 드레인 전극(306a, 308) 및 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 소스 및 드레인 전극(336, 338)이 된다.

[0098] 상기 제1 듀얼 소스 트랜지스터(DST1)의 바텀 소스 및 드레인 전극(306a, 308) 및 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 소스 및 드레인 전극(336, 338)은 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo) 등을 포함하는 도전성 금속 그룹 중 하나로 이루어질 수 있다.

[0099] 상기 제1 듀얼 소스 트랜지스터(DST1)의 바텀 소스 및 드레인 전극(306a, 308)과 상기 제1 듀얼 게이트 트랜지스터(DGT1)가 형성된 기판(301) 전면에 도 11d에 도시된 바와 같이, 보호층(305)이 형성된다. 상기 보호층(305)은 외부로부터 유입되는 불순물 등으로부터 상기 제1 듀얼 소스 트랜지스터(DST1)의 바텀 소스 및 드레인 전극(306a, 308)과 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 소스 및 드레인 전극(336, 338)을 보호한다.

[0100] 또한, 상기 보호층(305)은 상기 제1 듀얼 소스 트랜지스터(DST1) 및 제1 듀얼 게이트 트랜지스터(DGT1)의 반도체층(304, 334)을 보호하는 역할을 한다.

[0101] 이어서, 상기 보호층(305)이 형성된 기판(301) 상에 상기 제1 듀얼 소스 트랜지스터(DST1)의 바텀 소스 전극(306a)의 일부분이 노출되도록 제1 콘택홀(H1)을 형성한다. 이와 동시에 상기 보호층(305)이 형성된 기판(301) 상에 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 바텀 게이트 전극(332a)의 일부분이 노출되도록 제2 콘택홀(H2)을 형성한다.

[0102] 상기 보호층(305) 상에 제1 및 제2 콘택홀(H1, H2)을 형성함으로써 상기 바텀 소스 전극(306a) 및 바텀 게이트 전극(332a)의 일부분이 외부로 노출된다.

[0103] 이어서, 상기 제1 및 제2 콘택홀(H1, H2)을 포함한 보호층(305)이 형성된 기판(301)에 도전성 금속막을 형성한다. 상기 도전성 금속막은 상기 제1 듀얼 소스 트랜지스터(DST1)의 일부분이 노출된 바텀 소스 전극(306a)과 접속되고, 상기 제1 듀얼 게이트 트랜지스터의 일부분이 노출된 바텀 게이트 전극(332a)과 접속된다.

[0104] 상기 기판(301) 전면에 형성된 도전성 금속막은 마스크 공정을 통해 도 11e에 도시된 바와 같이, 패터닝된다. 상기 패터닝된 도전성 금속막은 상기 바텀 소스 전극(306a)과 대응되는 위치에 형성된다. 이와 동시에 상기 패

터닝된 도전성 금속막은 상기 바텀 게이트 전극(332a)과 대응되는 위치에 형성된다. 상기 패터닝된 도전성 금속막은 각각 상기 제1 듀얼 소스 트랜지스터(DST1)의 탑 소스 전극(306b) 및 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 탑 게이트 전극(332b)이 된다.

[0105] 상기 제1 듀얼 게이트 트랜지스터(DGT1)의 바텀 게이트 전극(332a)이 상기 탑 게이트 전극(332b)과 전기적으로 접속됨으로써 상기 바텀 게이트 전극(332a)으로 출력신호가 인가되면 상기 탑 게이트 전극(332b)에도 상기 출력신호가 인가된다. 따라서, 상기 전기적으로 접속된 바텀 및 탑 게이트 전극(332a, 332b)을 구비한 제1 듀얼 게이트 트랜지스터(DGT1)의 응답속도는 하나의 게이트 전극만을 구비한 일반적인 트랜지스터의 응답속도보다 빠르다.

[0106] 상기 제1 듀얼 소스 트랜지스터(DST1)의 바텀 소스 전극(306a)이 상기 탑 소스 전극(306b)과 전기적으로 접속됨으로써 상기 바텀 소스 전극(306a)으로 제공된 데이터 신호가 상기 탑 소스 전극(306b)에도 인가된다. 따라서, 상기 전기적으로 접속된 바텀 및 탑 소스 전극(306a, 306b)을 구비한 제1 듀얼 소스 트랜지스터(DST1)의 응답속도 특히 턴-오프(turn-off) 속도가 하나의 소스 전극만을 구비한 일반적인 트랜지스터의 응답속도보다 빠르다.

[0107] 따라서, 상기 듀얼 게이트 트랜지스터(DGT)를 제1 시프트 레지스터(ST1)의 출력부(100)에 구비하고, 상기 듀얼 소스 트랜지스터(DST1)을 제1 시프트 레지스터(ST1)의 입력부(200)에 구비하면 종래의 경우보다 게이트라인(GL)으로 신속하게 스캔신호를 공급할 수 있다. 상기 게이트라인(GL)으로 신속하게 스캔신호가 공급됨에 따라 화소영역 상에서 상기 게이트라인(GL)과 접속된 박막트랜지스터(TFT)의 턴-온/오프(turn-on/off) 시간이 빨라져서 액정의 응답속도를 향상시킬 수 있다.

[0108] 앞서 언급한 바와 같이, 상기 전기적으로 접속된 바텀 게이트 전극(332a)과 탑 게이트 전극(332b)을 구비한 듀얼 게이트 트랜지스터(DGT)를 제1 시프트 레지스터(ST1)의 출력부(100) 및 상기 출력부(100)를 제외한 제어부에도 구비하게 되면 종래의 경우보다 게이트라인(GL)으로 신속하게 스캔신호를 공급할 수 있다.

[0109] 또한, 상기 전기적으로 접속된 바텀 소스 전극(306a)과 탑 소스 전극(306b)을 구비한 듀얼 소스 트랜지스터(DST)를 상기 제1 시프트 레지스터(ST1)의 입력부(200) 및 상기 입력부(200)를 제외한 제어부에도 구비하게 되면 종래의 경우보다 게이트라인(GL)으로 신속하게 스캔신호를 공급할 수 있다.

도면의 간단한 설명

[0110] 도 1은 본 발명의 실시예에 따른 게이트 드라이버를 개략적으로 나타낸 도면.

[0111] 도 2는 도 1에 도시된 제1 시프트 레지스터의 상세한 회로구성을 제1 실시예에 따라 나타낸 도면.

[0112] 도 3은 도 2의 제1 시프트 레지스터의 회로도의 구동전압을 나타낸 도면.

[0113] 도 4는 도 2의 시프트 레지스터의 제1 트랜지스터를 개략적으로 나타낸 도면.

[0114] 도 5는 도 2의 시프트 레지스터의 제1 듀얼 게이트 트랜지스터를 개략적으로 나타낸 도면.

[0115] 도 6은 도 4의 제1 트랜지스터와 도 5의 제1 듀얼 게이트 트랜지스터의 단면을 나타낸 도면.

[0116] 도 7a 내지 도 7e는 도 6에 도시된 제1 트랜지스터와 제1 듀얼 게이트 트랜지스터의 공정 순서를 나타낸 도면.

[0117] 도 8은 일반 트랜지스터와 듀얼 게이트 트랜지스터의 충/방전 시간을 비교한 그래프를 나타낸 도면.

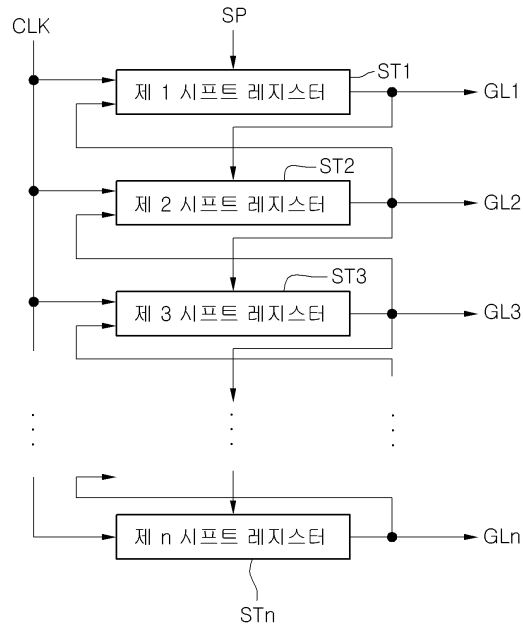
[0118] 도 9는 도 1에 도시된 제1 시프트 레지스터의 상세한 회로구성을 제2 실시예에 따른 나타낸 도면.

[0119] 도 10은 도 9의 제1 듀얼 소스 트랜지스터와 제1 듀얼 게이트 트랜지스터의 단면을 나타낸 도면.

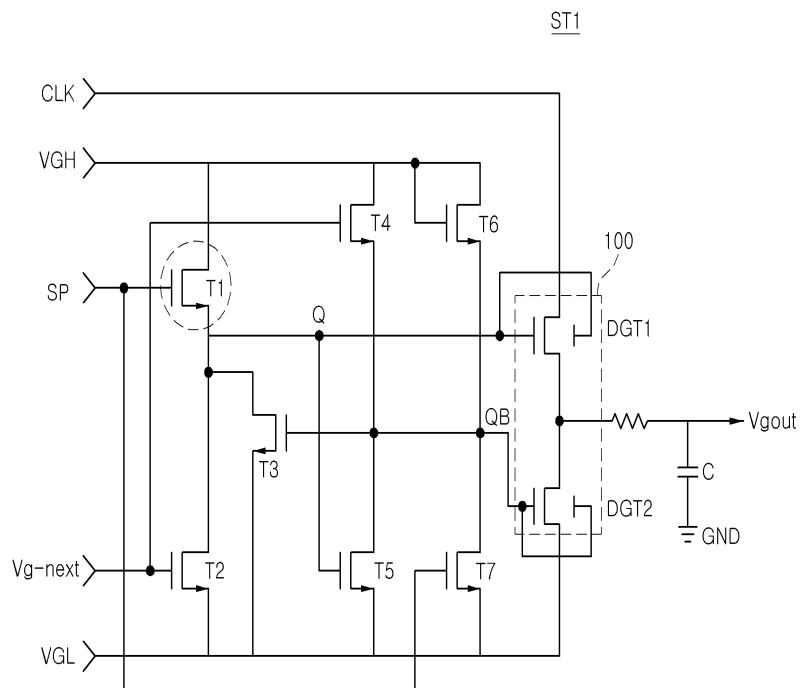
[0120] 도 11a 내지 도 11e는 도 10에 도시된 제1 듀얼 소스 트랜지스터와 제1 듀얼 게이트 트랜지스터의 공정 순서를 나타낸 도면.

도면

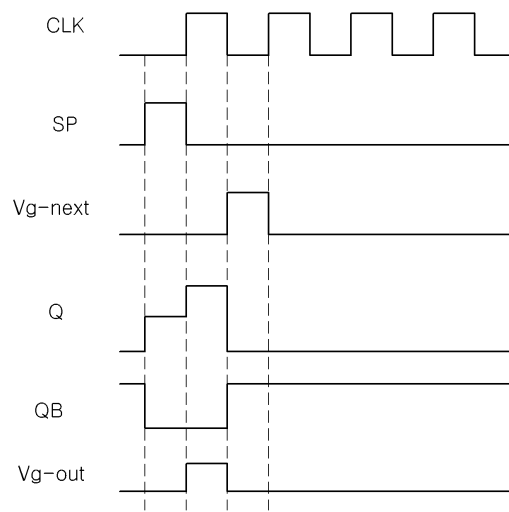
도면1



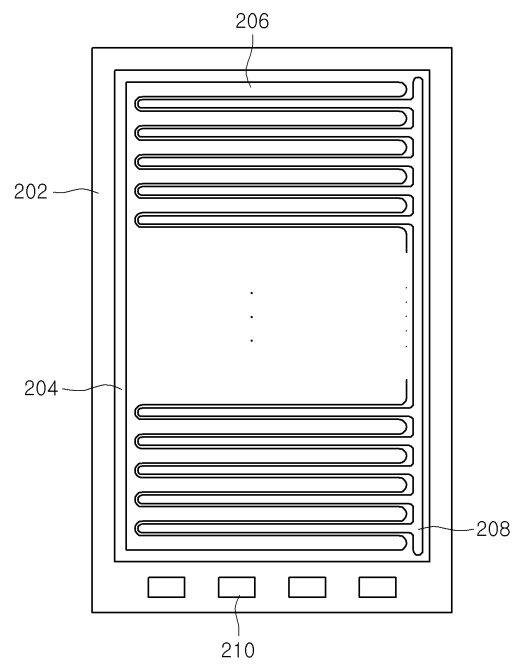
도면2



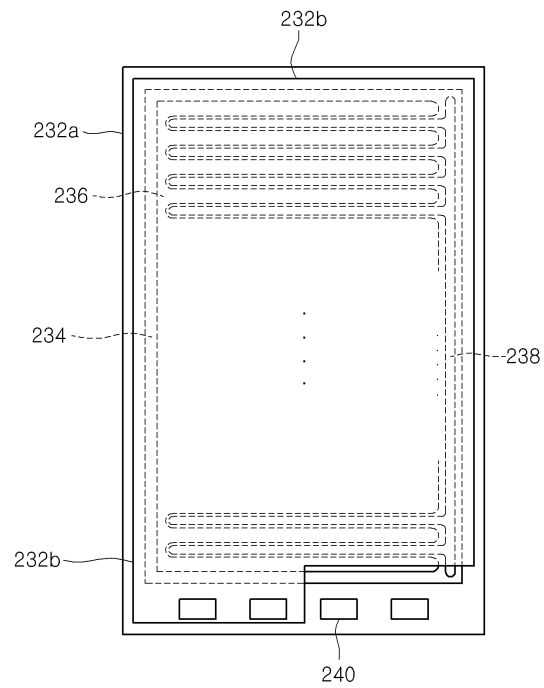
도면3



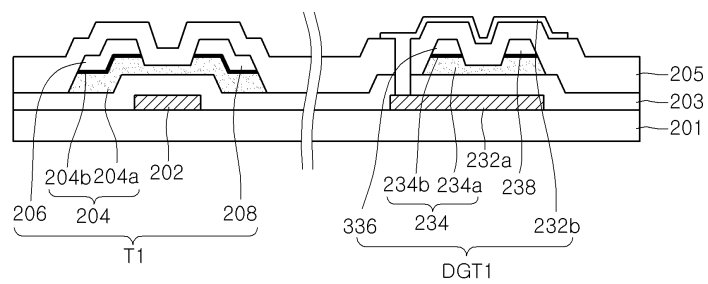
도면4



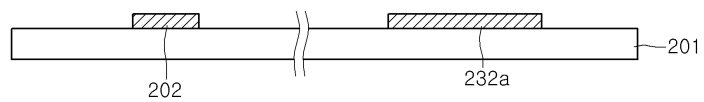
도면5



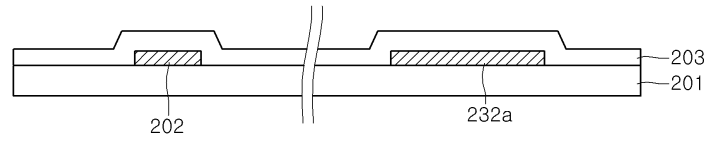
도면6



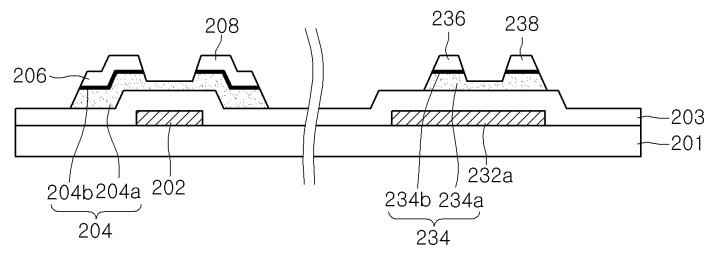
도면7a



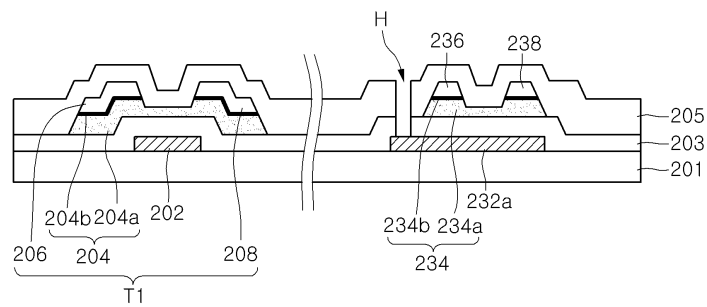
도면7b



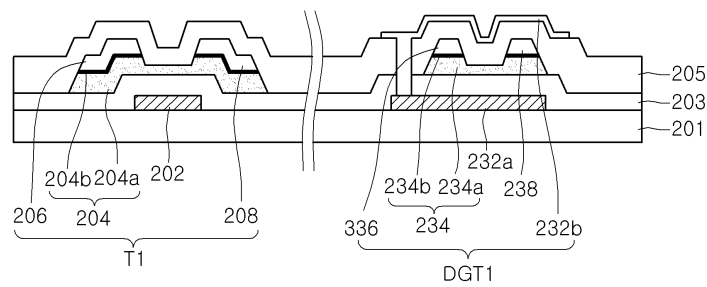
도면7c



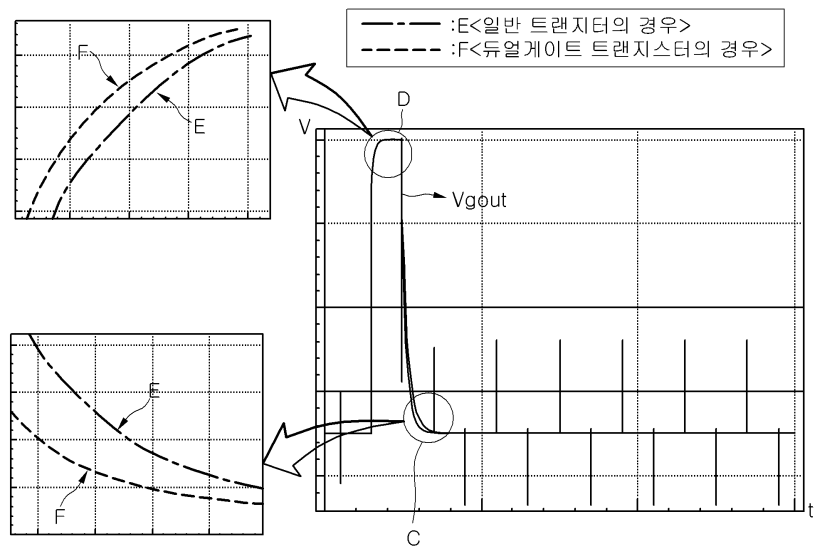
도면7d



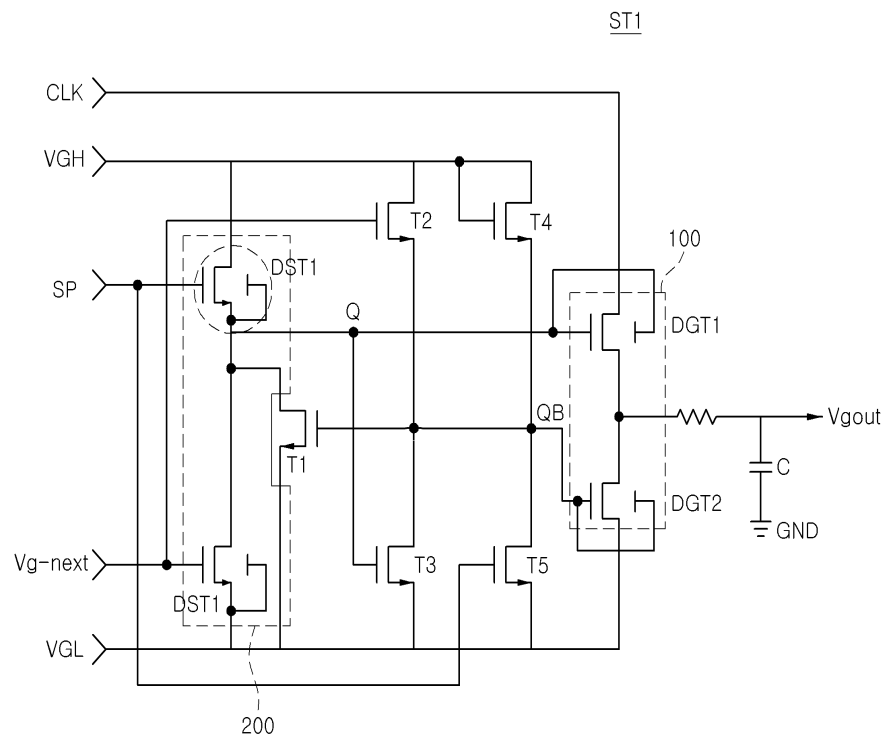
도면7e



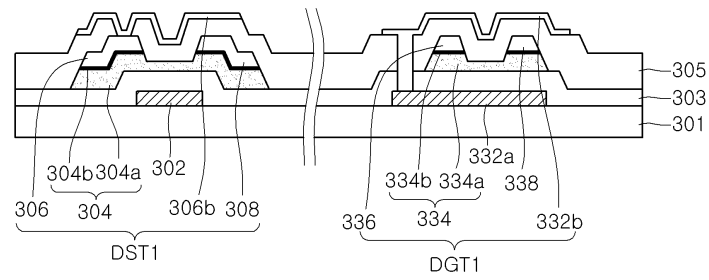
도면8



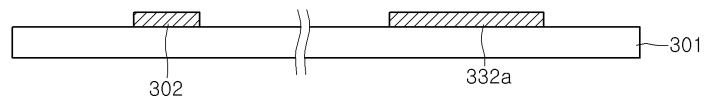
도면9



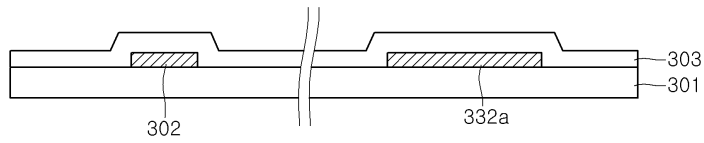
도면10



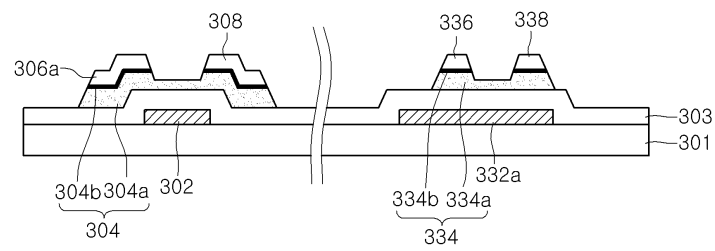
도면11a



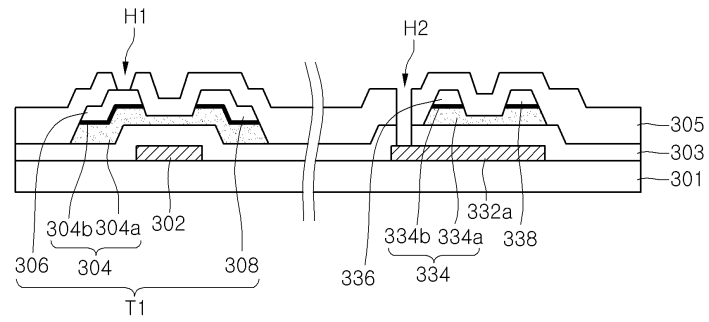
도면11b



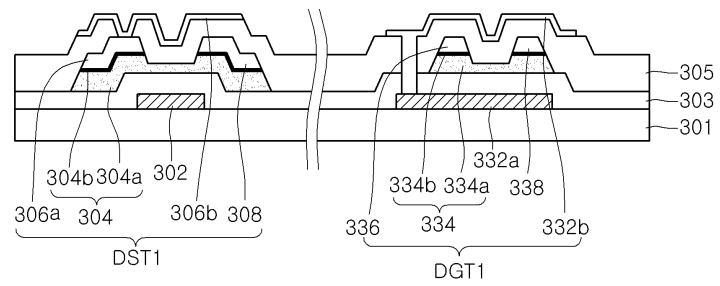
도면11c



도면11d



도면11e



专利名称(译)	液晶显示器		
公开(公告)号	KR101585258B1	公开(公告)日	2016-01-15
申请号	KR1020090095200	申请日	2009-10-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO YONG SOO 조용수 MOON KYO HO 문교호 LEE CHUL GU 이철구 CHOI HOON 최훈 HAN SANG KUG 한상국		
发明人	조용수 문교호 이철구 최훈 한상국		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G2320/0223 G09G2320/0252		
代理人(译)	KIM KI MOON		
优先权	1020080099404 2008-10-10 KR		
其他公开文献	KR1020100040678A		
外部链接	Espacenet		

摘要(译)

公开了一种液晶显示装置。根据本发明的液晶显示器可以通过配置输出端子以用双晶体管输出栅极电压来增加充电/放电时间，从而提高液晶的响应速度。

