



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년02월06일
(11) 등록번호 10-1490789
(24) 등록일자 2015년02월02일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2008-0129430
(22) 출원일자 2008년12월18일
심사청구일자 2013년11월12일
(65) 공개번호 10-2010-0070744
(43) 공개일자 2010년06월28일
(56) 선행기술조사문헌
JP10197894 A
JP2003005214 A
JP2004062146 A
KR1020080041089 A

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
이봉준
서울특별시 종로구 삼청로2길 29-1, 지층 (소격동)
이중환
경기도 안양시 동안구 달안로 62, 602동 1705호 (비산동, 셋별아파트)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 7 항

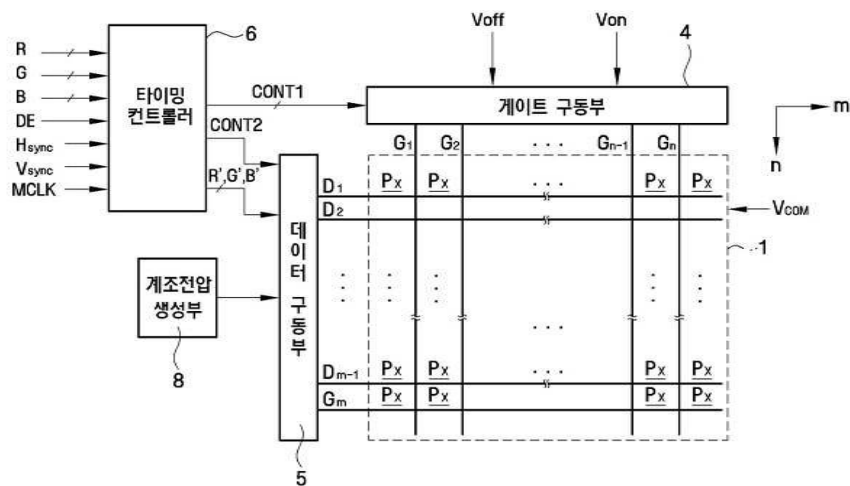
심사관 : 김민수

(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정 표시 장치가 제공된다. 액정 표시 장치는, 기관 상에 다수의 픽셀 들이 행렬 형태로 배열되어 이루어진 픽셀 어레이, 픽셀 어레이 중 제1 방향으로 인접하여 순차적으로 배치되고, 각각 제1 및 제2 스위칭 소자를 포함하는 제1 및 제2 픽셀, 제1 방향과 다른 제2 방향으로 연장되어 배치되고, 제1 스위칭 소자 및 제2 스위칭 소자와 공통으로 연결된 제1 공통 게이트 라인 및 제1 방향으로 연장되어 배치되고, 각각 제1 및 제2 스위칭 소자와 연결된 제1 및 제2 데이터 라인을 포함할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

기판 상에 다수의 픽셀 들이 행렬 형태로 배열되어 이루어진 픽셀 어레이;

상기 픽셀 어레이 중 제1 방향으로 인접하여 순차적으로 배치되고, 각각 제1 및 제2 스위칭 소자를 포함하는 제1 및 제2 픽셀;

상기 제1 방향과 다른 제2 방향으로 연장되어 배치되고, 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자와 공통으로 연결된 제1 공통 게이트 라인;

상기 기판 상에 배치된 제2 공통 게이트 라인;

상기 제1 방향으로 연장되어 배치되고, 각각 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자와 연결된 제1 및 제2 데이터 라인;

상기 기판 상에 배치된 제3 데이터 라인; 을 포함하고,

상기 제1 내지 제3 데이터 라인은 반복하여 상기 기판 상에 배치되며,

상기 제1 데이터 라인과 상기 제2 데이터 라인 사이에 제1 픽셀 행이 포함되도록 상기 제1 및 제2 데이터 라인이 배치되고, 상기 제2 및 제3 데이터 라인은 서로 마주보고 나란하게 배치되며, 상기 제3 데이터 라인과 상기 제1 데이터 라인 사이에 제2 픽셀 행이 포함되도록 상기 제3 및 제1 데이터 라인이 배치되고,

상기 제1 및 제2 공통 게이트 라인은 반복되어 상기 기판 상에 배치되며,

상기 제2 공통 게이트 라인은 상기 제1 공통 게이트 라인에 인접하고 나란하게 배치되며, 상기 제1 및 제2 공통 게이트 라인 사이에 상기 제2 픽셀이 위치하도록 배치되고,

상기 픽셀 어레이는 2×3 매트릭스 형태로 배열된 6개의 픽셀을 포함하며,

상기 제1 픽셀 행에는 상기 제1 방향으로 상기 제1 및 제2 픽셀과, 제3 스위칭 소자를 포함하는 제3 픽셀이 순

차적으로 배열되고,

상기 제2 픽셀 행에는 상기 제1 방향으로 제4 내지 제6 스위칭 소자를 각각 포함하는 제4 내지 제6 픽셀이 순차적으로 배열되고,

상기 제3 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제2 데이터 라인과 연결되고,

상기 제4 스위칭 소자는 상기 제1 공통 게이트 라인 및 상기 제3 데이터 라인과 연결되고,

상기 제5 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제3 데이터 라인과 연결되고,

상기 제6 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제1 데이터 라인과 연결되는 액정 표시 장치.

청구항 10

제9 항에 있어서,

상기 제1 내지 제3 데이터 라인의 각각에 제1 신호가 연속하여 2회 인가되고, 계속하여 제2 신호가 연속하여 2회 인가되는 것이 반복되는 액정 표시 장치.

청구항 11

제9 항에 있어서,

상기 제1 내지 제3 데이터 라인의 각각에 제1 신호와 제2 신호가 교대로 인가되는 액정 표시 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

기판 상에 다수의 픽셀 들이 행렬 형태로 배열되어 이루어진 픽셀 어레이;

상기 픽셀 어레이 중 제1 방향으로 인접하여 순차적으로 배치되고, 각각 제1 및 제2 스위칭 소자를 포함하는 제1 및 제2 픽셀;

상기 제1 방향과 다른 제2 방향으로 연장되어 배치되고, 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자와 공통으로 연결된 제1 공통 게이트 라인;

상기 기판 상에 배치된 제2 공통 게이트 라인;

상기 제1 방향으로 연장되어 배치되고, 각각 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자와 연결된 제1 및 제2 데이터 라인;

상기 기판 상에 배치된 제3 데이터 라인; 을 포함하고,

상기 제1 내지 제3 데이터 라인은 반복하여 상기 기판 상에 배치되며,

상기 제2 데이터 라인과 상기 제1 데이터 라인 사이에 제1 픽셀 행이 포함되도록 상기 제2 및 제1 데이터 라인이 배치되고, 상기 제1 데이터 라인과 상기 제3 데이터 라인 사이에 제2 픽셀 행이 포함되도록 상기 제1 및 제3 데이터 라인이 배치되며, 상기 제3 및 제2 데이터 라인은 서로 마주보고 나란하게 배치되고,

상기 제1 및 제2 공통 게이트 라인은 반복되어 상기 기판 상에 배치되며,

상기 제2 공통 게이트 라인은 상기 제1 공통 게이트 라인에 인접하고 나란하게 배치되며, 상기 제1 및 제2 공통 게이트 라인 사이에 상기 제2 픽셀이 위치하도록 배치되고,

상기 픽셀 어레이는 2×6 매트릭스 형태로 배열된 12개의 픽셀을 포함하되,

상기 제1 픽셀 행에는 상기 제1 방향으로 상기 제1 및 제2 픽셀과, 제3 내지 제6 스위칭 소자를 각각 포함하는

제3 내지 제6 픽셀이 순차적으로 배열되고,

상기 제2 픽셀 행에는 상기 제1 방향으로 제7 내지 제12 스위칭 소자를 각각 포함하는 제7 내지 제12 픽셀이 순차적으로 배열되고,

상기 제3 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제2 데이터 라인과 연결되고,

상기 제4 스위칭 소자는 상기 제1 공통 게이트 라인 및 상기 제2 데이터 라인과 연결되고,

상기 제5 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제2 데이터 라인과 연결되고,

상기 제6 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제1 데이터 라인과 연결되고,

상기 제7 스위칭 소자는 상기 제1 공통 게이트 라인 및 상기 제3 데이터 라인과 연결되고,

상기 제8 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제3 데이터 라인과 연결되고,

상기 제9 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제1 데이터 라인과 연결되고,

상기 제10 스위칭 소자는 상기 제1 공통 게이트 라인 및 상기 제1 데이터 라인과 연결되고,

상기 제11 스위칭 소자는 상기 제1 공통 게이트 라인 및 상기 제3 데이터 라인과 연결되고,

상기 제12 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제3 데이터 라인과 연결되는 액정 표시 장치.

청구항 15

제14 항에 있어서,

상기 제1 내지 제3 데이터 라인의 각각에 제1 신호와 제2 신호가 교대로 인가되는 액정 표시 장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

기판 상에 다수의 픽셀 들이 행렬 형태로 배열되어 이루어진 픽셀 어레이;

상기 픽셀 어레이 중 제1 방향으로 인접하여 순차적으로 배치되고, 각각 제1 및 제2 스위칭 소자를 포함하는 제1 및 제2 픽셀;

상기 제1 방향과 다른 제2 방향으로 연장되어 배치되고, 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자와 공통으로 연결된 제1 공통 게이트 라인;

상기 기판 상에 배치된 제2 공통 게이트 라인;

상기 제1 방향으로 연장되어 배치되고, 각각 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자와 연결된 제1 및 제2 데이터 라인;

상기 기판 상에 배치된 제3 데이터 라인; 을 포함하고,

상기 제1 내지 제3 데이터 라인은 반복하여 상기 기판 상에 배치되며,

상기 제1 데이터 라인과 상기 제2 데이터 라인 사이에 제1 픽셀 행이 포함되도록 상기 제1 및 제2 데이터 라인이 배치되고, 상기 제2 데이터 라인과 상기 제3 데이터 라인 사이에 제2 픽셀 행이 포함되도록 상기 제2 및 제3 데이터 라인이 배치되며, 상기 제3 및 제1 데이터 라인은 서로 마주보고 나란하게 배치되고,

상기 제1 및 제2 공통 게이트 라인은 반복되어 상기 기판 상에 배치되며,

상기 제2 공통 게이트 라인은 상기 제1 공통 게이트 라인에 인접하고 나란하게 배치되며, 상기 제1 및 제2 공통 게이트 라인 사이에 상기 제2 픽셀이 위치하도록 배치되고,

상기 픽셀 어레이는 2×6 매트릭스 형태로 배열된 12개의 픽셀을 포함하되,
 상기 제1 픽셀 행에는 상기 제1 방향으로 상기 제1 및 제2 픽셀과, 제3 내지 제6 스위칭 소자를 각각 포함하는 제3 내지 제6 픽셀이 순차적으로 배열되고,
 상기 제2 픽셀 행에는 상기 제1 방향으로 제7 내지 제12 스위칭 소자를 각각 포함하는 제7 내지 제12 픽셀이 순차적으로 배열되고,
 상기 제3 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제1 데이터 라인과 연결되고,
 상기 제4 스위칭 소자는 상기 제1 공통 게이트 라인 및 상기 제1 데이터 라인과 연결되고,
 상기 제5 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제1 데이터 라인과 연결되고,
 상기 제6 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제2 데이터 라인과 연결되고,
 상기 제7 스위칭 소자는 상기 제1 공통 게이트 라인 및 상기 제3 데이터 라인과 연결되고,
 상기 제8 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제2 데이터 라인과 연결되고,
 상기 제9 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제3 데이터 라인과 연결되고,
 상기 제10 스위칭 소자는 상기 제1 공통 게이트 라인 및 상기 제2 데이터 라인과 연결되고,
 상기 제11 스위칭 소자는 상기 제1 공통 게이트 라인 및 상기 제3 데이터 라인과 연결되고,
 상기 제12 스위칭 소자는 상기 제2 공통 게이트 라인 및 상기 제3 데이터 라인과 연결되는 액정 표시 장치.

청구항 19

제18 항에 있어서,
 상기 제1 내지 제3 데이터 라인의 각각에 제1 신호와 제2 신호가 교대로 인가되는 액정 표시 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 화상 품질이 우수한 액정 표시 장치에 관한 것이다.

배경기술

[0002] 액정 표시 장치(Liquid Crystal Display : LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display : FPD) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 영상을 표시하는 장치이다.

[0003] 액정 표시 장치를 구성하는 박막 트랜지스터 표시판은 주사 신호를 전달하는 게이트선과 화상 신호를 전달하는 데이터선이 교차하여 픽셀을 정의하고, 각각의 픽셀에는 게이트선 및 데이터선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 픽셀 전극이 형성되어 있다. 또한, 이러한 박막 트랜지스터를 포함하는 다수의 픽셀들이 박막 트랜지스터 표시판 상에 픽셀 어레이를 구성한다.

발명의 내용

해결하고자하는 과제

[0004] 일반적으로 액정 표시 장치의 데이터 구동부는 게이트 구동부에 비하여 상대적으로 고가이며, 고성능이 요구되므로 게이트 구동부와는 다르게 비정질 실리콘 박막트랜지스터를 사용하여 글래스에 직접 실장하는 것이 사실상 불가능하다. 또한, 사용되는 채널수에 비례하여 가격이 급격히 상승한다. 따라서, 제조 비용을 줄이기 위해서는 데이터 구동부의 개수 및/또는 채널수를 가능한 감소시켜야 하고, 게이트 구동부에 충분한 충전시간이 확보

될 수 있도록 픽셀 어레이가 설계된 액정 표시 장치가 필요하다.

- [0005] 본 발명이 해결하고자 하는 과제는, 데이터 구동부의 개수 및/또는 채널수를 가능한 감소시키고, 게이트 구동부에 충분한 충전시간이 확보될 수 액정 표시 장치를 제공하는 것이다.
- [0006] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- [0007] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 기판 상에 다수의 픽셀 들이 행렬 형태로 배열되어 이루어진 픽셀 어레이, 상기 픽셀 어레이 중 제1 방향으로 인접하여 순차적으로 배치되고, 각각 제1 및 제2 스위칭 소자를 포함하는 제1 및 제2 픽셀, 상기 제1 방향과 다른 제2 방향으로 연장되어 배치되고, 상기 제1 스위칭 소자 및 제2 스위칭 소자와 공통으로 연결된 제1 공통 게이트 라인 및 상기 제1 방향으로 연장되어 배치되고, 각각 제1 및 제2 스위칭 소자와 연결된 제1 및 제2 데이터 라인을 포함할 수 있다.
- [0008] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

- [0009] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.
- [0010] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0011] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.
- [0012] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0013] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들에 의한 액정 표시 장치에 대하여 상세히 설명한다.
- [0014] 도 1은 본 발명에 따른 액정 표시 장치의 블록도이다.
- [0015] 도 1을 참조하면, 액정 표시 장치는 박막 트랜지스터 표시판(1)과, 이에 연결된 게이트 구동부(4)와, 데이터 구동부(5)와, 데이터 구동부(5)에 연결된 게조 전압 생성부(8)와, 이들을 제어하는 타이밍 컨트롤러(6)를 포함한다.
- [0016] 박막 트랜지스터 표시판(1)은 등가 회로로 볼 때 복수의 표시 신호 라인(G1, ..., Gn 및 D1, ..., Dm)과 이에 연결되어 있으며, 다수의 픽셀(Px)들이 대략 행렬의 형태로 배열되어 이루어진 픽셀 어레이를 포함한다.
- [0017] 표시 신호 라인(G1, ..., Gn 및 D1, ..., Dm)은 게이트 신호를 전달하는 복수의 게이트 라인(G1, ..., Gn)과, 데이터 신호를 전달하는 데이터 라인(D1, ..., Dm)을 포함한다.
- [0018] 게이트 라인(G1, ..., Gn)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다. 데이터 라인(D1, ..., Dm)은

대략 행 방향으로 뻗어 있으며 서로가 거의 평행하다. 본 발명의 실시예들에 따른 액정 표시 장치의 박막 트랜지스터 표시판(1)의 상세한 구성은 후술하도록 한다.

- [0019] 제조 전압 생성부(8)는 픽셀의 투과율과 관련된 두 별의 복수 제조 전압을 생성한다. 두 별 중 한 별은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.
- [0020] 게이트 구동부(4)는 박막 트랜지스터 표시판(1)의 게이트 라인(G1, ..., Gn)에 연결되어 외부로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트 라인(G1, ..., Gn)에 인가한다.
- [0021] 데이터 구동부(5)는 박막 트랜지스터 표시판(1)의 데이터 라인(D1, ..., Dm)에 연결되어 제조 전압 생성부(8)로부터의 제조 전압을 선택하여 데이터 신호로서 픽셀에 인가하며 통상 복수의 집적 회로로 이루어진다.
- [0022] 타이밍 컨트롤러(6)는 게이트 구동부(4) 및 데이터 구동부(5) 등의 동작을 제어하는 제어 신호를 생성하여, 각 해당하는 제어 신호를 게이트 구동부(4) 및 데이터 구동부(5)에 제공한다.
- [0023] 그러면 이러한 액정 표시 장치의 표시 동작에 대하여 상세하게 설명한다.
- [0024] 타이밍 컨트롤러(6)는 외부의 그래픽 제어기(미도시)로부터 적색, 녹색 및 청색의 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 타이밍 컨트롤러(6)는 입력 제어 신호를 기초로 게이트 제어 신호(CONT1) 및 데이터 제어신호(CONT2) 등을 생성하고 영상 신호(R, G, B)를 박막 트랜지스터 표시판(1)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(4)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(R', G', B')는 데이터 구동부(5)로 내보낸다.
- [0025] 게이트 제어 신호(CONT1)는 게이트 온 펄스(게이트 온 전압 구간)의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클럭 신호(CPV) 및 게이트 온 펄스의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.
- [0026] 데이터 제어 신호(CONT2)는 영상 데이터(R', G', B')의 입력 시작을 지시하는 수평 동기 시작 신호(STH)와 데이터선(D1, ..., Dm)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 '공통 전압에 대한 데이터 전압의 극성'을 줄여 '데이터 전압의 극성'이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함한다.
- [0027] 데이터 구동부(5)는 타이밍 컨트롤러(6)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 픽셀에 대응하는 영상 데이터(R', G', B')를 차례로 입력받고, 제조 전압 생성부(8)로부터의 제조 전압 중 각 영상 데이터(R', G', B')에 대응하는 제조 전압을 선택함으로써, 영상 데이터(R', G', B')를 해당 데이터 전압으로 변환한다.
- [0028] 게이트 구동부(4)는 타이밍 컨트롤러(6)로부터의 수직 동기 시작 신호(STV) 및 게이트 클럭 신호(CPV)에 따라 1/2 H 주기를 갖는 게이트 온 전압(Von)을 게이트 라인(G1, ..., Gn)에 인가하여 이 게이트 라인(G1, ..., Gn)에 연결된 스위칭 소자(도2의 Q1, Q2 참조)를 턴온시킨다. 여기서, 게이트 온 전압(Von)은 게이트 라인(G1, ..., Gn)에 픽셀 행 방향으로 순서대로 인가될 수 있다.
- [0029] 게이트 라인(G1, ..., Gn)에 게이트 온 전압(Von)이 인가되어 이에 연결된 한 행의 스위칭 소자(Q1, Q2)가 턴온되어 있는 동안, 데이터 구동부(5)는 각 데이터 전압을 해당 데이터 라인(D1, ..., Dm)에 공급한다. 데이터 라인(D1, ..., Dm)에 공급된 데이터 전압은 턴온된 스위칭 소자(Q1, Q2)를 통해 해당 픽셀에 인가된다.
- [0030] 액정 분자들은 픽셀 전극(미도시)과 공통 전극(미도시)이 생성하는 전기장의 변화에 따라 그 배열을 바꾸고 이에 따라 액정층(미도시)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(미도시)에 부착된 편광자(미도시)에 의하여 빛의 투과율 변화로 나타난다.
- [0031] 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트 라인(G1, ..., Gn)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 픽셀에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 픽셀에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(5)에 인가되는 반전 신호(RVS)의 상태가 제어된다(이를 프레임 반전이라 한다). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터 라인을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(이를 라인 반전이라 한다), 한 픽셀행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(이를 도트 반전이라 한다).
- [0032] 한편, 이러한 본 발명의 실시예에 따른 박막 트랜지스터 표시판(1)은 한 쪽 또는 상하에 게이트 구동부(4)를 집적함으로써 박막 트랜지스터 표시판(1)의 크기가 커지는 것을 방지할 수 있다.

- [0033] 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판(1)의 등가 회로도이고, 도 3은 도 2에 도시된 액정 표시 장치의 픽셀 어레이(array)를 나타낸 것이다. 도 1 내지 도 3을 참조하여, 본 발명의 제1 실시예에 따른 액정 표시 장치에 대해 설명한다.
- [0034] 기관 상에 다수의 픽셀 들이 행렬 형태로 배열되어 이루어진 픽셀 어레이가 형성되어 있다.
- [0035] 픽셀 어레이 중 제1 방향(m)으로 인접하여 순차적으로 배치된 제1 및 제2 픽셀(도3의 P1, P2 참조)은 각각 각각 제1 및 제2 스위칭 소자(도 2의 Q1, Q2 참조)를 포함하고, 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 여기서, 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.
- [0036] 스위칭 소자(Q1, Q2)는 삼단자 소자로서, 그 게이트 전극 및 소스 전극은 각각 제1 공통 게이트 라인(11) 및 제1 또는 제2 데이터 라인(21, 22)에 연결되어 있으며, 드레인 전극은 액정 축전기(Clc) 및 유지 축전기(Cst)에 연결되어 있다. 여기서, 제1 및 제2 데이터 라인(21, 22)은 제1 방향(m)으로 연장되어 배치된다.
- [0037] 한편, 스위칭 소자(Q1, Q2)는 제1 방향(m)과 다른 제2 방향(n)으로 연장되어 배치된 제1 공통 게이트 라인(11)에 공통으로 연결되어 있다.
- [0038] 스위칭 소자(Q1, Q2)와 게이트 라인(11, 12) 및 데이터 라인(21, 22) 간의 연결 관계는 구체적으로 다음과 같다.
- [0039] 스위칭 소자(Q1, Q2)는 제1 공통 게이트 라인(11)을 중심으로 제1 방향으로 좌우에 순차적으로 배치되고, 제1 공통 게이트 라인(11)의 좌측에 위치한 스위칭 소자(Q1)는 제1 데이터 라인(21)에 소스 전극이 연결되고, 제1 공통 게이트 라인(11)의 우측에 위치한 스위칭 소자(Q2)는 제2 데이터 라인(22)에 소스 전극이 연결되어 하나의 픽셀 행을 이룬다. 또한 이와 반대의 경우도 가능하다. 즉, 제1 공통 게이트 라인(11)의 좌측에 위치한 스위칭 소자(Q1)는 제2 데이터 라인(22)에 소스 전극이 연결되고, 제1 공통 게이트 라인(11)의 우측에 위치한 스위칭 소자(Q2)는 제1 데이터 라인(21)에 소스 전극이 연결되어 하나의 픽셀 행을 이룰 수 있다.
- [0040] 한편, 도 3을 참조하면, 제1 및 제2 데이터 라인(21, 22)은 쌍을 이루어 상기 픽셀 어레이의 행마다 배치될 수 있다. 또한, 다수의 픽셀들 각각은 스위칭 소자(Q31 내지 Q36)를 포함한다. 이때, 픽셀 어레이의 하나의 픽셀 열에 위치하는 스위칭 소자(Q31, Q33, Q35 또는 Q32, Q34, Q36)들은 픽셀 행마다 제1 데이터 라인(21) 및 제2 데이터 라인(22)과 교대로 연결될 수 있다. 예를 들어, 제1 공통 게이트 라인(11)의 좌측의 픽셀 열을 보면, 제1 행에 위치하는 스위칭 소자(Q31)는 제1 데이터 라인(21)에 연결되고, 제2 행에 위치하는 스위칭 소자(Q33)는 제2 데이터 라인(22)에 연결되며, 제3 행에 위치하는 스위칭 소자(Q35)는 다시 제1 데이터 라인(21)에 연결된다. 한편, 제1 공통 게이트 라인(11)의 우측의 픽셀 열에 위치하는 스위칭 소자(Q32, Q34, Q36) 들은 상술한 예시와는 반대로 연결될 것이다. 즉, 제1 행에 위치하는 스위칭 소자(Q32)는 제2 데이터 라인(22)에 연결되고, 제2 행에 위치하는 스위칭 소자(Q34)는 제1 데이터 라인(21)에 연결되며, 제3 행에 위치하는 스위칭 소자(Q36)는 다시 제2 데이터 라인(22)에 연결된다. 한편, 이러한 픽셀 열의 연결관계는 반대의 경우도 가능하다.
- [0041] 액정 축전기(Clc)는 박막 트랜지스터 표시판(1)의 픽셀 전극과 컬러필터 표시판의 공통 전극을 두 단자로 하며 두 전극 사이의 액정층은 유전체로서 기능한다. 픽셀 전극은 스위칭 소자(Q1, Q2)에 연결되며, 공통 전극은 컬러필터 표시판의 전면에 형성되어 있고 공통 전압을 받는다.
- [0042] 유지 축전기(Cst)는 박막 트랜지스터 표시판(1)에 구비된 별개의 신호선(미도시)과 픽셀 전극이 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가될 수 있다. 또한, 유지 축전기는 픽셀 전극이 절연체를 매개로 바로 위의 전단 게이트 라인과 중첩되어 이루어질 수 있다.
- [0043] 한편, 픽셀 어레이가 형성된 기관은 장변과 단변을 가질 수 있다. 이때, 제1 방향(m)은 장변과 나란하고, 제2 방향(n) 단변과 나란할 수 있다. 이에 의해, 데이터 구동부(5)가 기관의 단변 측부에 설치될 수 있다.
- [0044] 픽셀 어레이를 이루는 제1 및 제2 픽셀(P1, P2)의 제2 방향(n)의 길이(a)가 제1 방향(m)의 길이(b)보다 더 길다.
- [0045] 픽셀 어레이는 상기 제1 방향(m, 픽셀 행 방향)으로 적색(R), 녹색(G) 및 청색(B)을 교대로 표시하고, 제2 방향(n, 픽셀 열 방향)으로 동일한 색상을 표시할 수 있다.
- [0046] 도 4a는 본 발명의 제2 실시예에 따른 액정 표시 장치의 픽셀 어레이(array)를 나타낸 것이고, 도 4b는 도 4a에 도시된 픽셀 어레이의 데이터 라인에 인가되는 신호가 2×1의 반전을 하는 것을 나타낸 것이고, 도 4c는 도 4a

에 도시된 픽셀 어레이의 데이터 라인에 인가되는 신호가 컬럼(column) 반전을 하는 것을 도시한 것이다. 도 4a 내지 4c를 참조하여, 본 발명의 제2 실시예에 따른 액정 표시 장치를 설명한다.

- [0047] 도 4a를 참조하면, 기판 상에 다수의 픽셀 들이 행렬 형태로 배열되어 이루어진 픽셀 어레이가 형성되고, 픽셀 어레이 중 제1 방향(m)으로 인접하여 순차적으로 배치된 제1 및 제2 픽셀(P1, P2)은 제1 및 제2 스위칭 소자(Q41, Q42)를 포함한다. 또한, 제1 공통 게이트 라인(11)이 제1 방향(m)과 다른 제2 방향(n)으로 연장되어 배치되고, 제1 스위칭 소자(Q41) 및 제2 스위칭(Q42) 소자와 공통으로 연결된다. 그리고, 제1 및 제2 데이터 라인(21, 22)이 제1 방향(m)으로 연장되어 배치되고, 각각 제1 및 제2 스위칭 소자(Q41, Q42)와 연결된다.
- [0048] 한편, 제2 실시예에 따른 액정 표시 장치는 기판 상에 제3 데이터 라인(23)을 더 포함할 수 있다. 제1 내지 제3 데이터 라인(21, 22, 23)은 기판 상에 반복하여 배치될 수 있다. 이때, 하나의 제1 데이터 라인(21)과 제2 및 제3 데이터 라인(22, 23)의 쌍이 교대로 행을 이루어 반복하여 배치될 수 있다.
- [0049] 특히, 픽셀 어레이에 포함된 6개의 픽셀이 2×3의 매트릭스 형태(도 4a의 A 참조)로 반복되어 배열될 수 있도록 제1 내지 제3 데이터 라인(21, 22, 23)은 다음과 같이 배치될 수 있다.
- [0050] 즉, 제1 데이터 라인(21)과 제2 데이터 라인(22) 사이에 제1 픽셀 행이 포함되도록 제1 및 제2 데이터 라인(21, 22)이 배치되고, 제2 및 제3 데이터 라인(22, 23)은 서로 마주보고 나란하게 배치되며, 제3 데이터 라인(23)과 제1 데이터 라인(21) 사이에 제2 픽셀 행이 포함되도록 제3 및 제1 데이터 라인(23, 21)이 배치된다. 여기서, A 부분의 제1 픽셀 행에는 P1, P2, P3의 픽셀이 포함되고, 제2 픽셀 행에는 P4, P5, P6가 포함될 수 있다.
- [0051] 한편, 제2 실시예에 따른 액정 표시 장치는 제2 공통 게이트 라인(12)을 더 포함할 수 있다. 제1 및 제2 공통 게이트 라인(11, 12)은 반복되어 기판 상에 배치될 수 있다. 이때, 제2 공통 게이트 라인(12)은 제1 공통 게이트 라인(11)에 인접하고 나란하게 배치되며, 제1 및 제2 공통 게이트 라인 사이(11, 12)에 제2 픽셀(P2)이 위치되도록 배치될 수 있다.
- [0052] 상술한 제1 내지 제3 데이터 라인(21, 22, 23)과 제1 및 제2 공통 게이트 라인(11, 12)의 배치에 의해, 도 4a에 표시된 A부분을 이루는 6개의 픽셀(P1 내지 P6)이 2×3의 매트릭스 형태로 배열될 수 있다. 제1 내지 제3 데이터 라인(21, 22, 23), 제1 및 제2 공통 게이트 라인(11, 12), 6개의 픽셀 각각에 포함된 스위칭 소자(Q41 내지 Q46)의 상세한 연결 관계는 다음과 같다.
- [0053] 제1 픽셀 행에는 제1 방향(m)으로 제1 및 제2 픽셀(P1, P2)과, 제3 스위칭 소자(Q43)를 포함하는 제3 픽셀(P3)이 순차적으로 배열된다. 그리고, 제2 픽셀 행에는 제1 방향(m)으로 제4 내지 제6 스위칭 소자(Q44 내지 Q46)를 각각 포함하는 제4 내지 제6 픽셀(P4 내지 P6)이 순차적으로 배열된다.
- [0054] 이때, 제3 스위칭 소자(Q43)는 제2 공통 게이트 라인(12) 및 제2 데이터 라인(22)과 연결되고, 제4 스위칭 소자(Q44)는 제1 공통 게이트 라인(11) 및 제3 데이터 라인(23)과 연결되고, 제5 스위칭 소자(Q45)는 제2 공통 게이트 라인(12) 및 제3 데이터 라인(23)과 연결되고, 제6 스위칭 소자(Q46)는 제2 공통 게이트 라인(12) 및 제1 데이터 라인(21)과 연결된다.
- [0055] 이러한 연결에 의해, 본 발명의 제2 실시예에 따른 액정 표시 장치의 픽셀 어레이는 전체적으로 상기와 같은 2×3의 매트릭스 형태가 반복될 수 있다.
- [0056] 도 4b를 참조하면, 제1 내지 제3 데이터 라인(21, 22, 23)의 각각에 제1 신호가 연속하여 2회 인가되고, 계속하여 제2 신호가 연속하여 2회 인가된다. 여기서, 제1 및 제2 신호는 데이터 전압의 극성을 반전 시키는 반전 신호(RVS)이다. 즉, 제1 신호는 (+)의 데이터 전압일 수 있고, 제2 신호는 (-)의 데이터 전압일 수 있다. 또는 그 반대일 수 있다.
- [0057] 예를 들어, 제1 신호가 (-)의 데이터 전압이고, 제2 신호가 (+)의 데이터 전압이라고 하면, 도 4b의 상측에 위치하는 제3 데이터 라인(23)에 제1 신호인 (-)의 데이터 전압이 연속하여 2회 인가된다. 계속하여, 제2 신호인 (+)의 데이터 전압이 연속하여 2회 인가된다. 이에 의해, 상측의 제3 데이터 라인(23)에 연결된 스위칭 소자(Q47 내지 Q48)들 중 선측에 위치하는 2개의 스위칭 소자(Q47, Q48)에는 제1 신호((-)의 데이터 전압)가 인가된다. 이에 의해, 선측에 위치하는 2개의 스위칭 소자(Q47, Q48)를 각각 포함하는 픽셀들은 (-)의 극성을 나타낸다. 또한, 후측에 위치하는 2개의 스위칭 소자(Q49, Q50)에는 제2 신호(+의 데이터 전압)가 인가된다. 이에 의해, 후측에 위치하는 2개의 스위칭 소자(Q49, Q50)를 각각 포함하는 픽셀들은 (+)의 극성을 나타낸다.
- [0058] 한편, 상측의 제3 데이터 라인(23)과 인접하는 제1 데이터 라인(21)에는 제3 데이터 라인에 인가되는 제1 신호 및 제2 신호의 극성과 반대가 되는 극성을 갖는 제1 신호 및 제2 신호가 인가된다. 즉, 제1 데이터 라인(21)에

는 제1 신호인 (+)의 데이터 전압이 연속하여 2회 인가되고, 계속하여, 제2 신호인 (-)의 데이터 전압이 연속하여 2회 인가된다.

[0059] 마찬가지로, 상기 제1 데이터 라인(21)에 인접한 제2 데이터 라인(22)에는 제1 데이터 라인(21)에 인가되는 제1 신호 및 제2 신호의 극성과 반대가 되는 극성을 갖는 제1 신호 및 제2 신호가 인가된다.

[0060] 상술한 2×3 매트릭스가 반복되는 픽셀 어레이와 데이터 신호를 2×1로 반전시키는 것에 의하여, 특정 픽셀 어레이에서 발생될 수 있는 극성 얼룩을 방지할 수 있다. 또한, 하나의 제1 데이터 라인(21)과 제2 및 제3 데이터 라인(22, 23)의 쌍이 교대로 행을 이루어 반복하여 배치됨에 따라 발생될 수 있는 가로줄 무늬의 시인이 방지될 수 있다.

[0061] 도 4c를 참조하면, 제1 내지 제3 데이터 라인(21, 22, 23)의 각각에 제1 신호와 제2 신호가 교대로 인가된다. 즉, 제1 데이터 라인(21)에 제1 신호가 인가되는 경우, 제2 데이터 라인(22)에는 제2 신호가, 제3 데이터 라인(23)에는 다시 제1 신호가 교대로 인가된다. 이에 의해, 제1 내지 제3 데이터 라인(21, 22, 23)에 인가되는 신호는 컬럼(column) 반전을 한다. 여기서, 제1 신호와 제2 신호는 상술한 바와 같다.

[0062] 예를 들어, 상측의 제3 데이터 라인(23)에 제1 신호가 (+)의 데이터 전압이라고 하면, 제3 데이터 라인(23)에 인접하는 제1 데이터 라인(21)에 제2 신호인 (-)의 데이터 전압이 인가된다. 또한, 제1 데이터 라인(21)에 인접하는 제2 데이터 라인(22)에는 다시 제1 신호인 (+)의 데이터 전압이 인가된다. 이와 반대인 경우도 가능하다.

[0063] 도 5a는 본 발명의 제3 실시예에 따른 액정 표시 장치의 픽셀 어레이(array)를 나타낸 것이고, 도 5b는 도 5a에 도시된 픽셀 어레이의 데이터 라인에 인가되는 신호가 컬럼(column) 반전을 하는 것을 도시한 것이다. 도 5a 및 5b를 참조하여, 본 발명의 제3 실시예에 따른 액정 표시 장치를 설명한다.

[0064] 도 5a를 참조하면, 기관 상에 다수의 픽셀 들이 행렬 형태로 배열되어 이루어진 픽셀 어레이가 형성되고, 픽셀 어레이 중 제1 방향(m)으로 인접하여 순차적으로 배치된 제1 및 제2 픽셀(P1, P2)은 제1 및 제2 스위칭 소자(Q501, Q502)를 포함한다. 또한, 제1 공통 게이트 라인(11)이 제1 방향(m)과 다른 제2 방향(n)으로 연장되어 배치되고, 제1 스위칭 소자(Q501) 및 제2 스위칭(Q502) 소자와 공통으로 연결된다. 그리고, 제1 및 제2 데이터 라인(21, 22)이 제1 방향(m)으로 연장되어 배치되고, 각각 제1 및 제2 스위칭 소자(Q501, Q502)와 연결된다.

[0065] 한편, 제3 실시예에 따른 액정 표시 장치는 기관 상에 제3 데이터 라인(23)을 더 포함할 수 있다. 제1 내지 제3 데이터 라인(21, 22, 23)은 기관 상에 반복하여 배치될 수 있다. 이때, 하나의 제1 데이터 라인(21)과 제3 및 제2 데이터 라인(23, 22)의 쌍이 교대로 행을 이루어 반복하여 배치될 수 있다.

[0066] 특히, 픽셀 어레이에 포함된 12개의 픽셀이 2×6의 매트릭스 형태(도 5a의 B 참조)로 반복되어 배열될 수 있도록 제1 내지 제3 데이터 라인(21, 22, 23)은 다음과 같이 배치될 수 있다.

[0067] 즉, 제2 데이터 라인(22)과 제1 데이터 라인(21) 사이에 제1 픽셀 행이 포함되도록 제2 및 제1 데이터 라인(22, 21)이 배치되고, 제1 데이터 라인(21)과 제3 데이터 라인(23) 사이에 제2 픽셀 행이 포함되도록 제1 및 제3 데이터 라인(21, 23)이 배치되며, 제3 및 제2 데이터 라인(23, 22)은 서로 마주보고 나란하게 배치된다. 여기서, B부분의 제1 픽셀 행에는 P1 내지 P6의 픽셀이 포함되고, 제2 픽셀 행에는 P7 내지 P12가 포함될 수 있다.

[0068] 한편, 제3 실시예에 따른 액정 표시 장치는 제2 공통 게이트 라인(12)을 더 포함할 수 있다. 제1 및 제2 공통 게이트 라인(11, 12)에 대한 사항은 제2 실시예에 설명한 사항과 동일하므로, 반복되는 설명은 생략하기로 한다.

[0069] 상술한 제1 내지 제3 데이터 라인(21, 22, 23)과 제1 및 제2 공통 게이트 라인(11, 12)의 배치에 의해, 도 5a에 표시된 B부분을 이루는 12개의 픽셀(P1 내지 P12)이 2×6의 매트릭스 형태로 배열될 수 있다. 제1 내지 제3 데이터 라인(21, 22, 23), 제1 및 제2 공통 게이트 라인(11, 12), 12개의 픽셀 각각에 포함된 스위칭 소자(Q501 내지 Q512)의 상세한 연결 관계는 다음과 같다.

[0070] 제1 픽셀 행에는 제1 방향(m)으로 제1 및 제2 픽셀(P1, P2)과, 제3 내지 제6 스위칭 소자(Q503 내지 Q506)를 각각 포함하는 제3 내지 제6 픽셀(P3 내지 P6)이 순차적으로 배열된다. 그리고, 제2 픽셀 행에는 제1 방향(m)으로 제7 내지 제12 스위칭 소자(Q507 내지 Q512)를 각각 포함하는 제7 내지 제12 픽셀(P7 내지 P12)이 순차적으로 배열된다.

[0071] 이때, 제3 스위칭 소자(Q503)는 제2 공통 게이트 라인(12) 및 제2 데이터 라인(22)과 연결되고, 제4 스위칭 소자(Q504)는 제1 공통 게이트 라인(11) 및 제2 데이터 라인(22)과 연결되고, 제5 스위칭 소자(Q505)는 제2 공통

게이트 라인(12) 및 제2 데이터 라인(22)과 연결되고, 제6 스위칭 소자(Q506)는 제2 공통 게이트 라인(12) 및 상기 제1 데이터 라인(21)과 연결되고, 제7 스위칭 소자는 제1 공통 게이트 라인(11) 및 제3 데이터 라인(23)과 연결되고, 제8 스위칭 소자(Q508)는 제2 공통 게이트 라인(12) 및 제3 데이터 라인(23)과 연결되고, 제9 스위칭 소자(Q509)는 제2 공통 게이트 라인(12) 및 상기 제1 데이터 라인(21)과 연결되고, 제10 스위칭 소자(Q510)는 제1 공통 게이트 라인(11) 및 제1 데이터 라인(21)과 연결되고, 제11 스위칭 소자(Q511)는 제1 공통 게이트 라인(11) 및 제3 데이터 라인(23)과 연결되고, 제12 스위칭 소자(Q512)는 제2 공통 게이트 라인(12) 및 제3 데이터 라인(23)과 연결된다.

[0072] 이러한 연결에 의해, 본 발명의 제3 실시예에 따른 액정 표시 장치의 픽셀 어레이는 전체적으로 상기와 같은 2×6의 매트릭스 형태가 반복될 수 있다.

[0073] 도 5b를 참조하면, 제1 내지 제3 데이터 라인(21, 22, 23)의 각각에 제1 신호와 제2 신호가 교대로 인가된다. 이에 대한 사항은 상술한 제2 실시예에 설명한 사항과 동일하므로, 반복되는 설명은 생략하기로 한다.

[0074] 도 6a는 본 발명의 제3 실시예의 제1 변형예에 따른 액정 표시 장치의 픽셀 어레이를 나타낸 것이고, 도 6b는 도 6a에 도시된 픽셀 어레이의 데이터 라인에 인가되는 신호가 컬럼(column) 반전을 하는 것을 도시한 것이다. 도 6a 및 6b를 참조하여, 본 발명의 제1 변형예에 따른 액정 표시 장치를 설명한다. 한편, 제1 변형예의 사항 중, 제3 실시예와 동일한 사항은 반복되는 설명이므로 생략하기로 한다. 이후에는 제1 변형예의 사항 중 제3 실시예와 동일한 사항에 한하여 설명하기로 한다.

[0075] 도 6a를 참조하면, 제1 변형예에 따른 액정 표시 장치는 기관 상에 제3 데이터 라인(23)을 더 포함할 수 있다. 특히, 픽셀 어레이에 포함된 12개의 픽셀이 2×6의 매트릭스 형태(도 6a의 C 참조)로 반복되어 배열될 수 있도록 제1 내지 제3 데이터 라인(21, 22, 23)은 다음과 같이 배치될 수 있다.

[0076] 즉, 제1 데이터 라인(21)과 제2 데이터 라인(22) 사이에 제1 픽셀 행이 포함되도록 제1 및 제2 데이터 라인(21, 22)이 배치되고, 제2 데이터 라인(22)과 제3 데이터 라인(23) 사이에 제2 픽셀 행이 포함되도록 제2 및 제3 데이터 라인(22, 23)이 배치되며, 제3 및 제1 데이터 라인(23, 21)은 서로 마주보고 나란하게 배치된다.

[0077] 제1 변형예에 따른 액정 표시 장치는 제2 공통 게이트 라인(12)을 더 포함할 수 있고, 이에 대한 사항은 상술한 제2 실시예에 설명한 사항과 동일하므로, 반복되는 설명은 생략하기로 한다.

[0078] 상술한 제1 내지 제3 데이터 라인(21, 22, 23)과 제1 및 제2 공통 게이트 라인(11, 12)의 배치에 의해, 도 6a에 표시된 C부분을 이루는 12개의 픽셀(P1 내지 P12)이 2×6의 매트릭스 형태로 배열될 수 있다. 제1 내지 제3 데이터 라인(21, 22, 23), 제1 및 제2 공통 게이트 라인(11, 12), 12개의 픽셀 각각에 포함된 스위칭 소자(Q601 내지 Q612)의 상세한 연결 관계는 다음과 같다.

[0079] 제1 픽셀 행에는 제1 방향(m)으로 제1 및 제2 픽셀(P1, P2)과, 제3 내지 제6 스위칭 소자(Q603 내지 Q606)를 각각 포함하는 제3 내지 제6 픽셀(P3 내지 P6)이 순차적으로 배열된다. 그리고, 제2 픽셀 행에는 제1 방향(m)으로 제7 내지 제12 스위칭 소자(Q607 내지 Q612)를 각각 포함하는 제7 내지 제12 픽셀(P7 내지 P12)이 순차적으로 배열된다.

[0080] 이때, 제3 스위칭 소자(Q603)는 제2 공통 게이트 라인(12) 및 제1 데이터 라인(21)과 연결되고, 제4 스위칭 소자(Q604)는 제1 공통 게이트 라인(11) 및 제1 데이터 라인(21)과 연결되고, 제5 스위칭 소자(Q605)는 제2 공통 게이트 라인(12) 및 제1 데이터 라인(21)과 연결되고, 제6 스위칭 소자(Q606)는 제2 공통 게이트 라인(12) 및 제2 데이터 라인(22)과 연결되고, 제7 스위칭 소자(Q607)는 제1 공통 게이트 라인(11) 및 제3 데이터 라인(23)과 연결되고, 제8 스위칭 소자(Q608)는 제2 공통 게이트 라인(12) 및 제2 데이터 라인(22)과 연결되고, 제9 스위칭 소자(Q609)는 제2 공통 게이트 라인(12) 및 제3 데이터 라인(23)과 연결되고, 제10 스위칭 소자(Q610)는 제1 공통 게이트 라인(11) 및 제2 데이터 라인(22)과 연결되고, 제11 스위칭 소자(Q611)는 제1 공통 게이트 라인(11) 및 제3 데이터 라인(23)과 연결되고, 제12 스위칭 소자(Q612)는 제2 공통 게이트 라인(12) 및 제3 데이터 라인(23)과 연결된다.

[0081] 이러한 연결에 의해, 본 발명의 제1 변형예에 따른 액정 표시 장치의 픽셀 어레이는 전체적으로 상기와 같은 2×6의 매트릭스 형태가 반복될 수 있다.

[0082] 도 6b를 참조하면, 제1 내지 제3 데이터 라인(21, 22, 23)의 각각에 제1 신호와 제2 신호가 교대로 인가된다. 이에 대한 사항은 상술한 제2 실시예에 설명한 사항과 동일하므로, 반복되는 설명은 생략하기로 한다.

[0083] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을

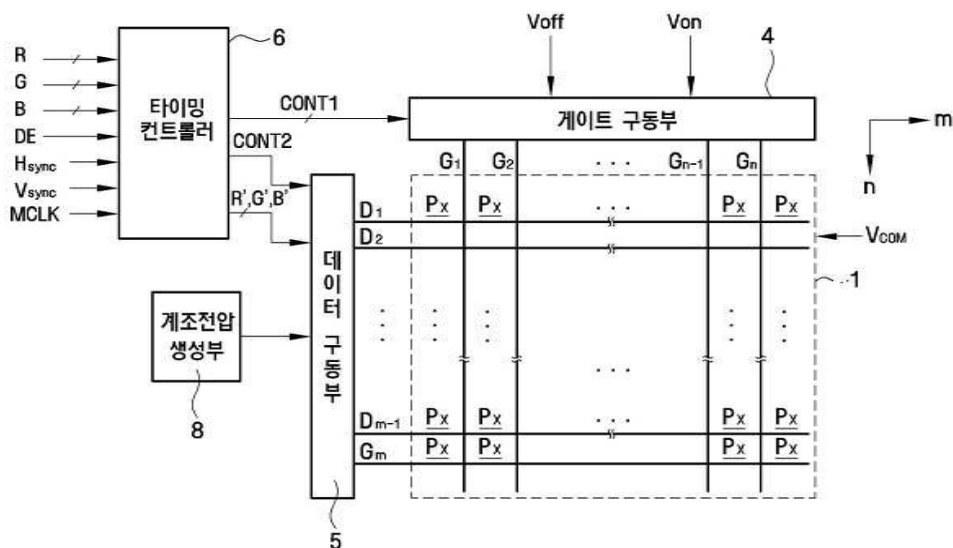
가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

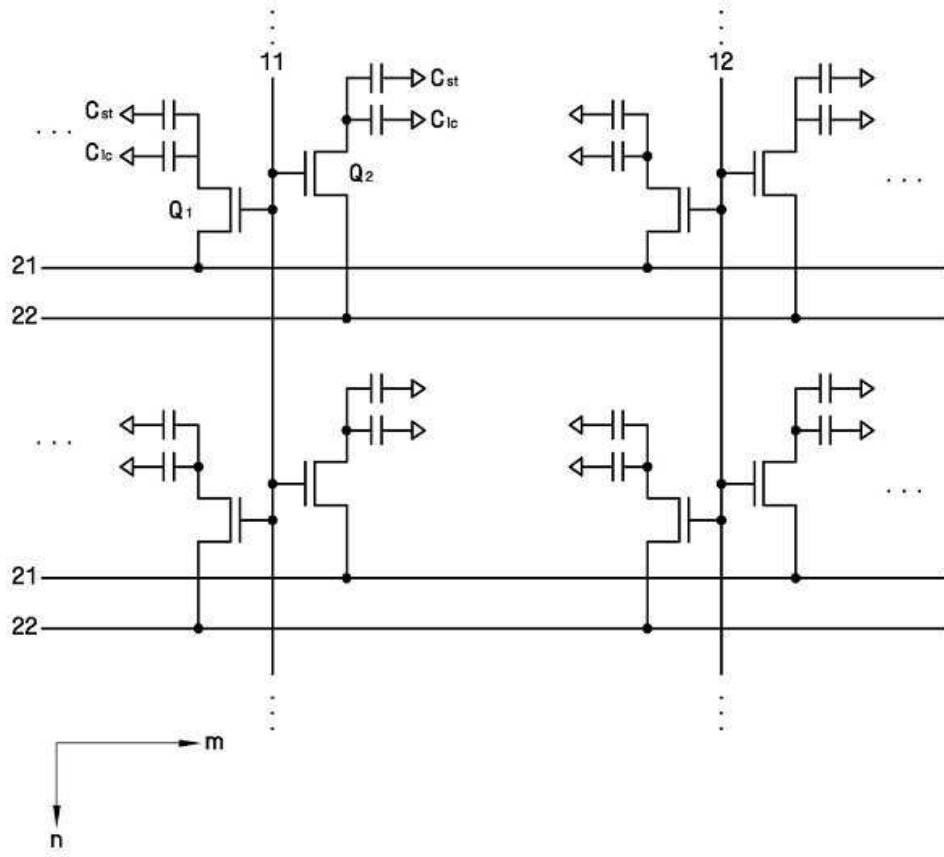
- [0084] 도 1은 본 발명에 따른 액정 표시 장치의 블록도이다.
- [0085] 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판(1)의 등가 회로도이다.
- [0086] 도 3은 도 2에 도시된 액정 표시 장치의 픽셀 어레이(array)를 나타낸 것이다.
- [0087] 도 4a는 본 발명의 제2 실시예에 따른 액정 표시 장치의 픽셀 어레이(array)를 나타낸 것이다.
- [0088] 도 4b는 도 4a에 도시된 픽셀 어레이의 데이터 라인에 인가되는 신호가 2×1의 반전을 하는 것을 나타낸 것이다.
- [0089] 도 4c는 도 4a에 도시된 픽셀 어레이의 데이터 라인에 인가되는 신호가 컬럼(column) 반전을 하는 것을 도시한 것이다.
- [0090] 도 5a는 본 발명의 제3 실시예에 따른 액정 표시 장치의 픽셀 어레이(array)를 나타낸 것이다.
- [0091] 도 5b는 도 5a에 도시된 픽셀 어레이의 데이터 라인에 인가되는 신호가 컬럼(column) 반전을 하는 것을 도시한 것이다.
- [0092] 도 6a는 본 발명의 제1 변형예에 따른 액정 표시 장치의 픽셀 어레이(array)를 나타낸 것이다.
- [0093] 도 6b는 도 6a에 도시된 픽셀 어레이의 데이터 라인에 인가되는 신호가 컬럼(column) 반전을 하는 것을 도시한 것이다.
- [0094] (도면의 주요부분에 대한 부호의 설명)
- [0095] 1: 박막 트랜지스터 표시판 4: 게이트 구동부
- [0096] 5: 데이터 구동부 6: 타이밍 컨트롤러
- [0097] 8: 계조 전압 생성부 11, 12: 제1 및 제2 공통 게이트라인
- [0098] 21, 22, 23: 제1 내지 제3 데이터 라인

도면

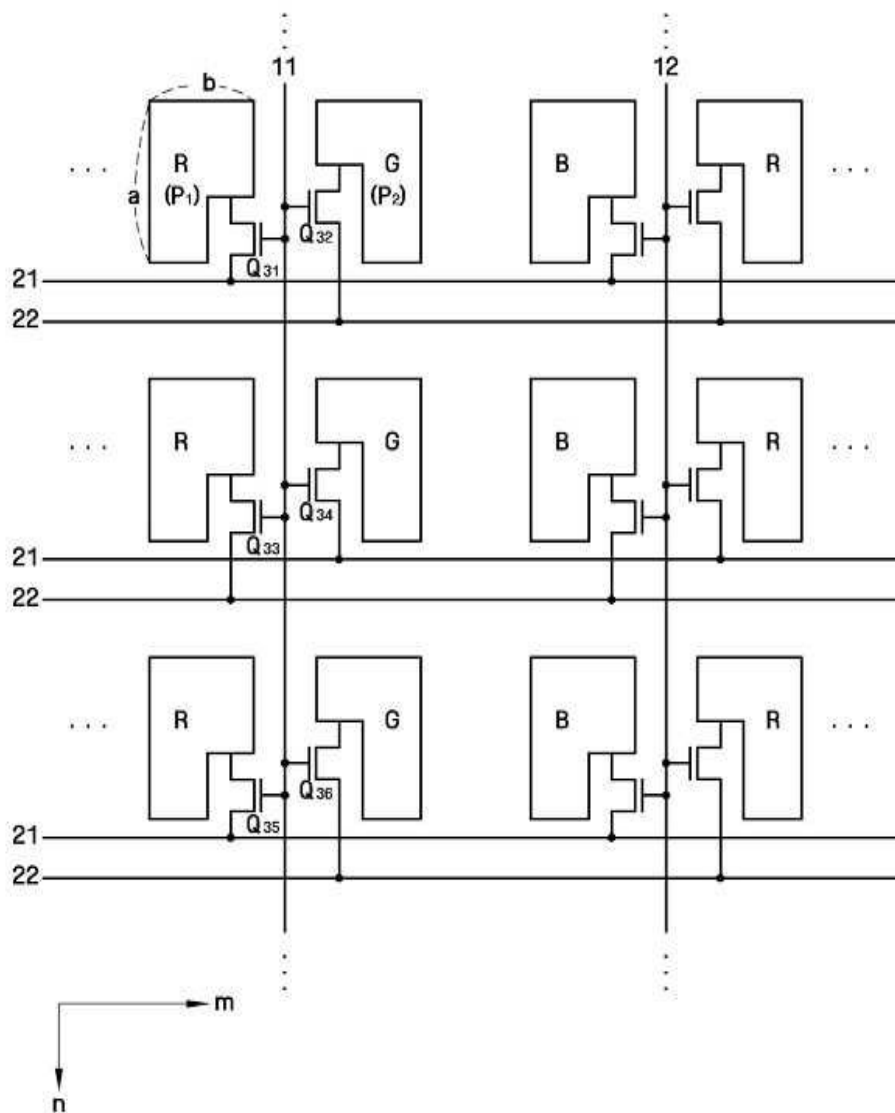
도면1



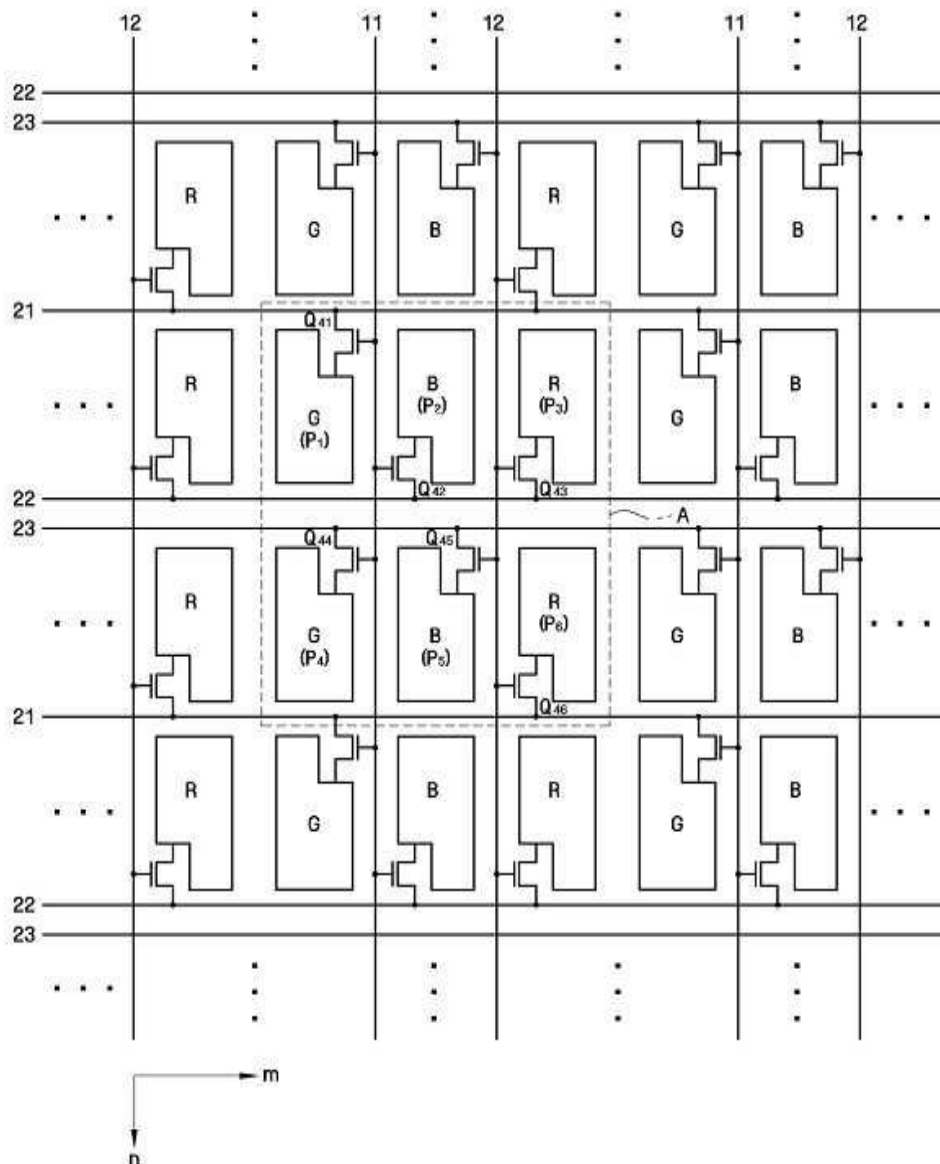
도면2



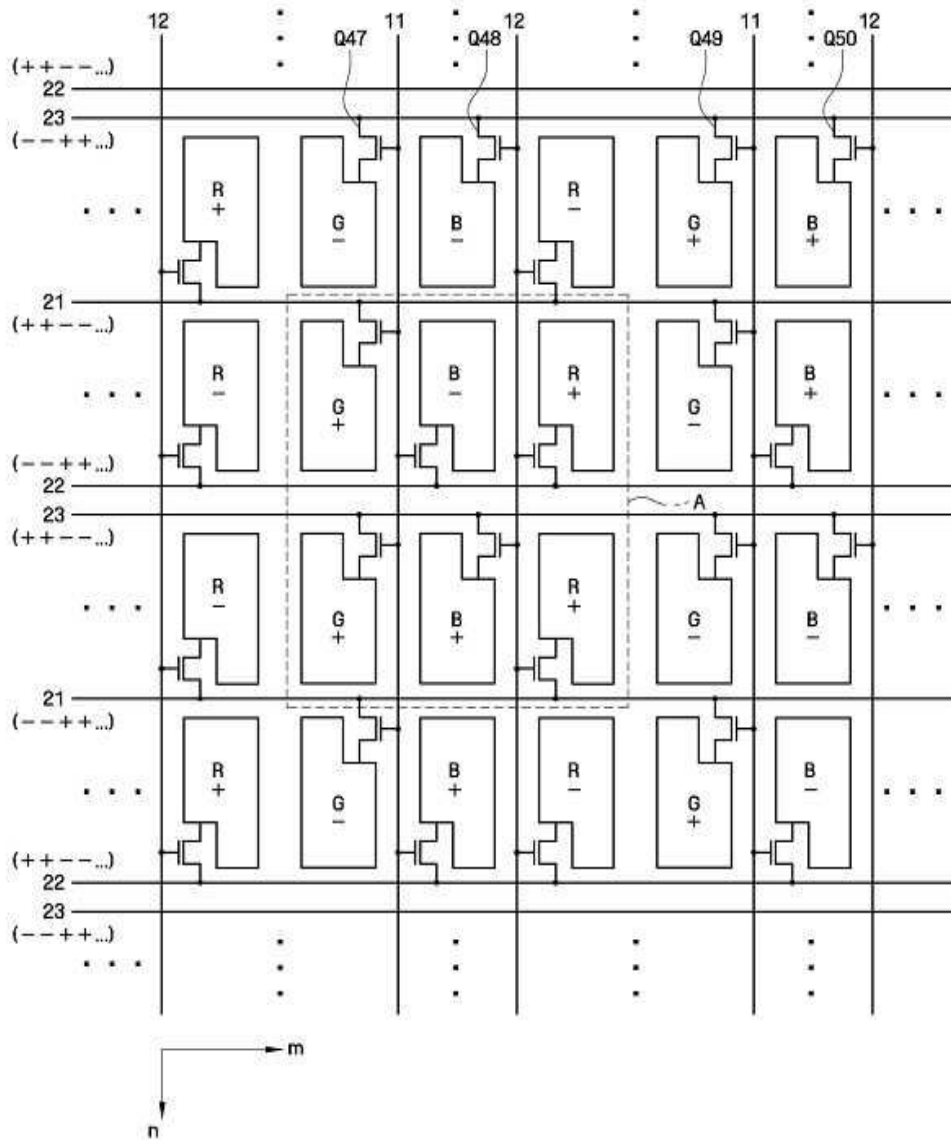
도면3



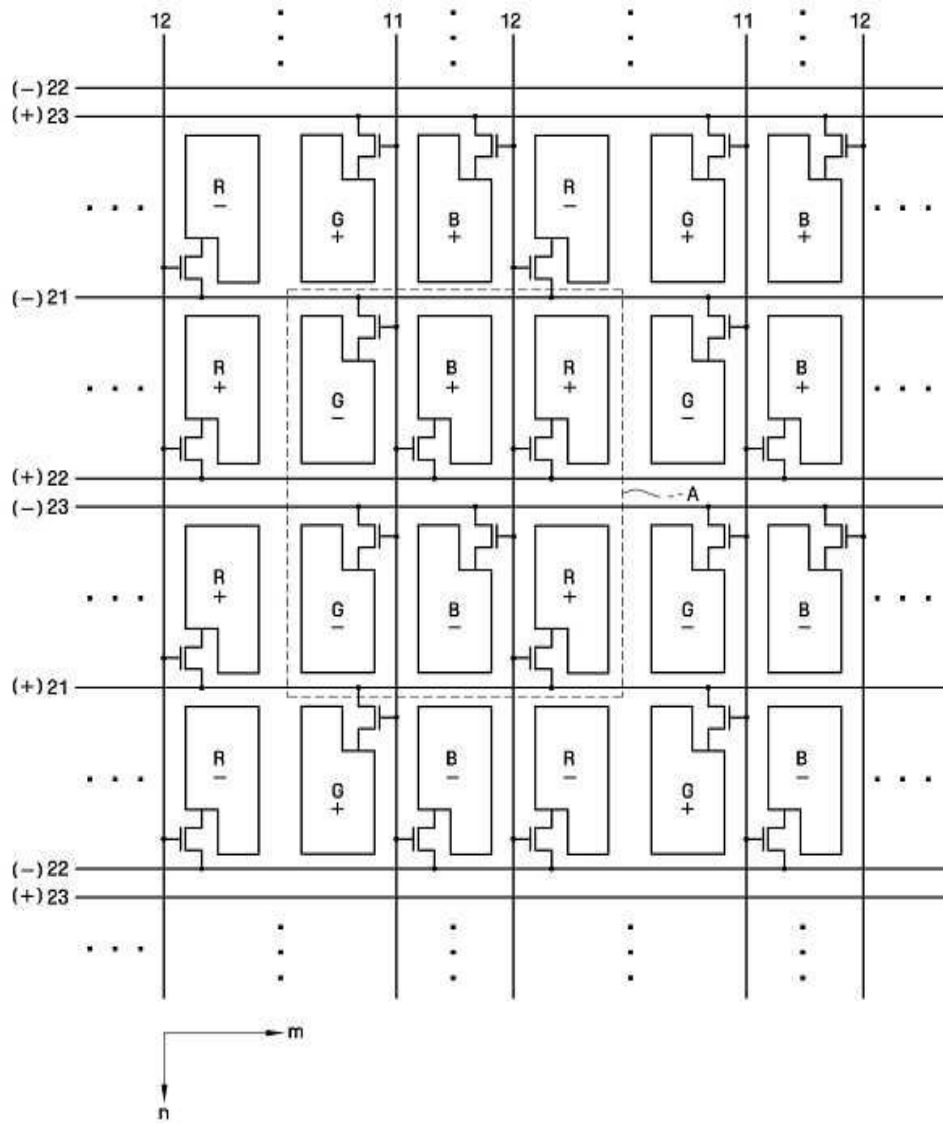
도면4a



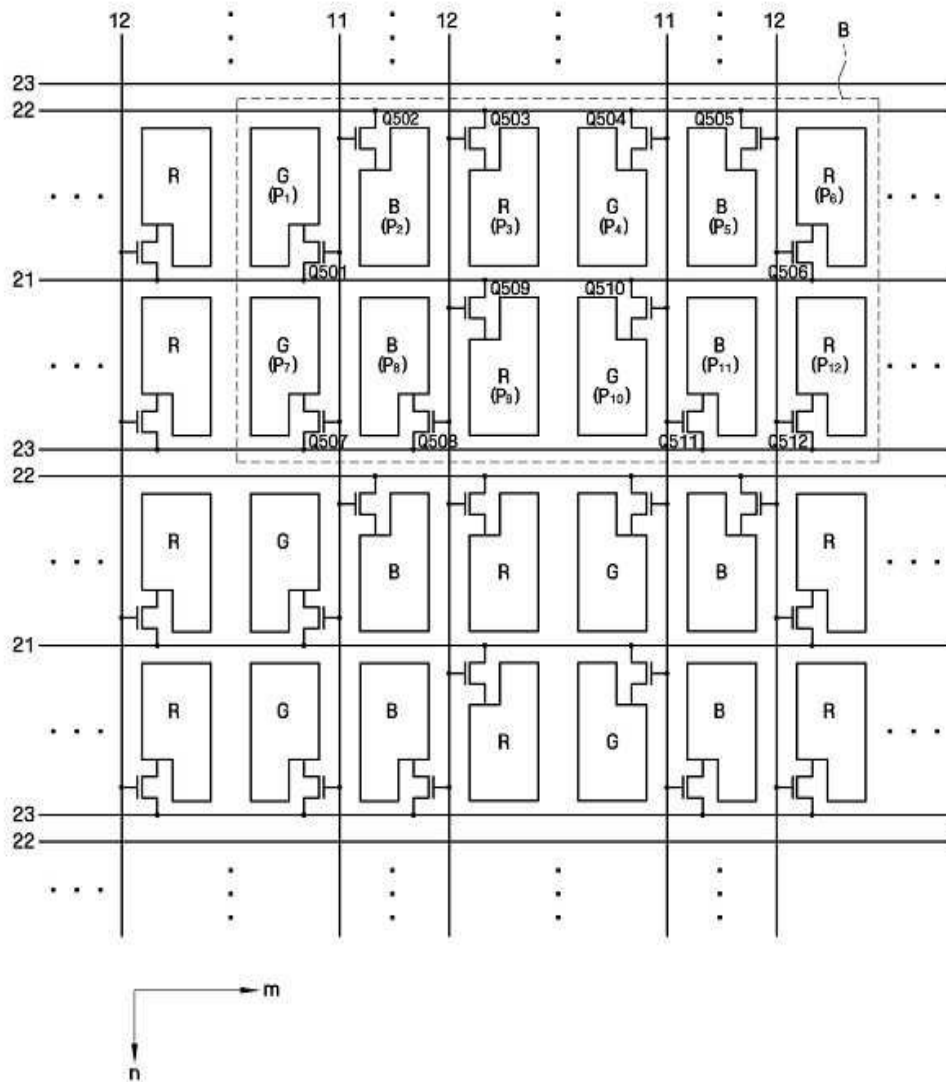
도면4b



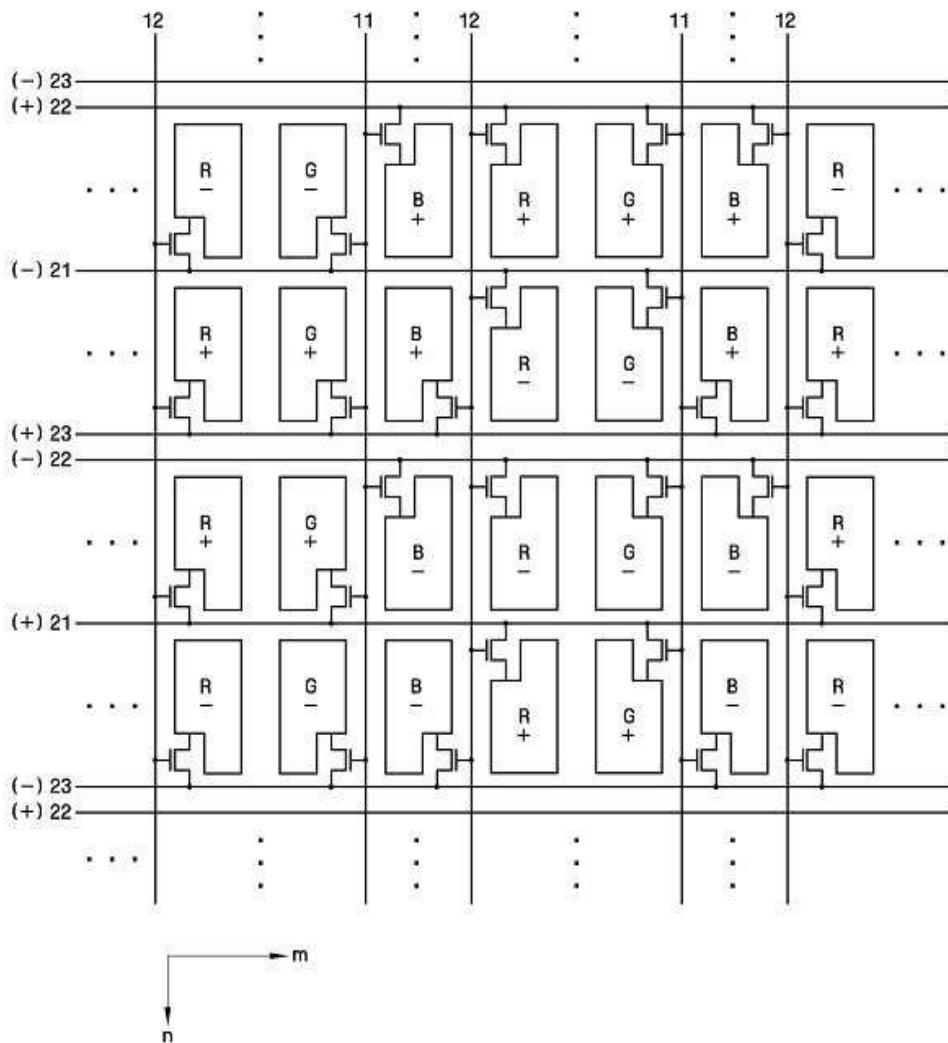
도면4c



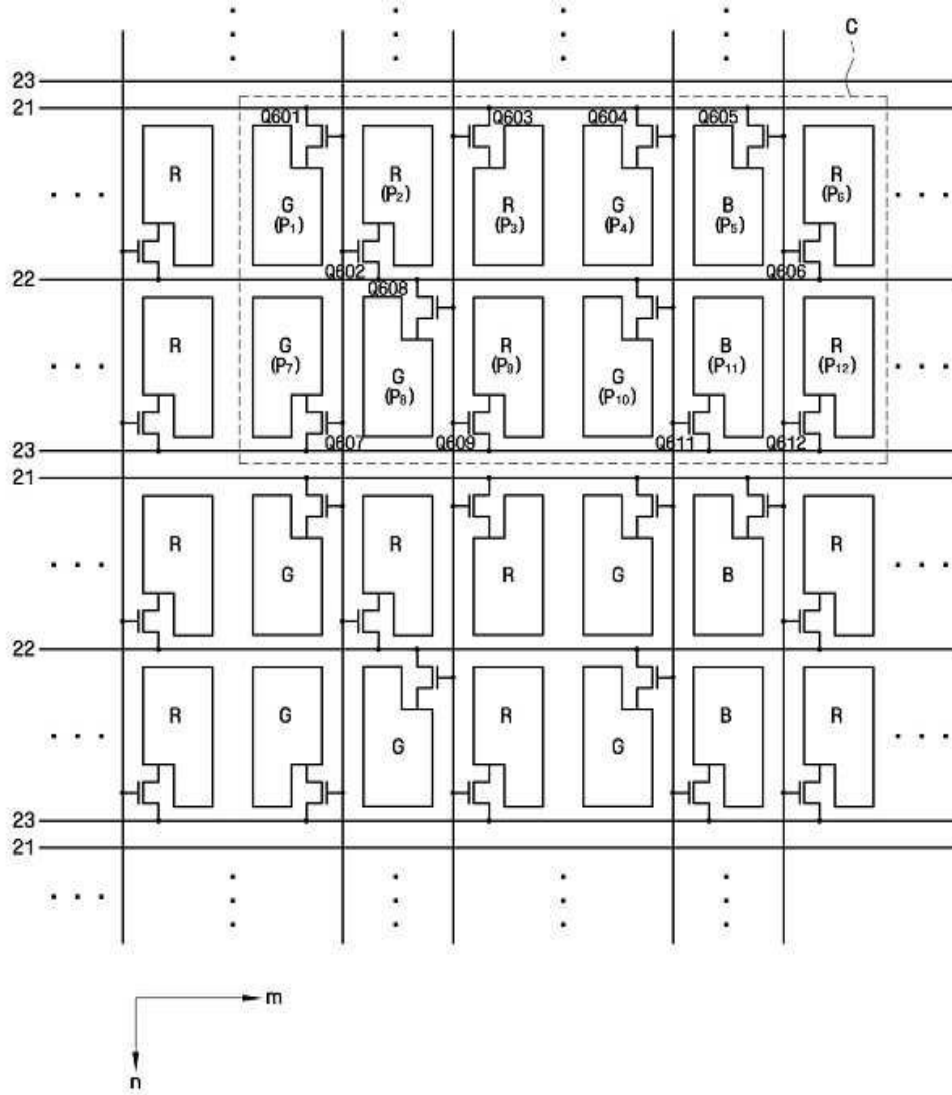
도면5a



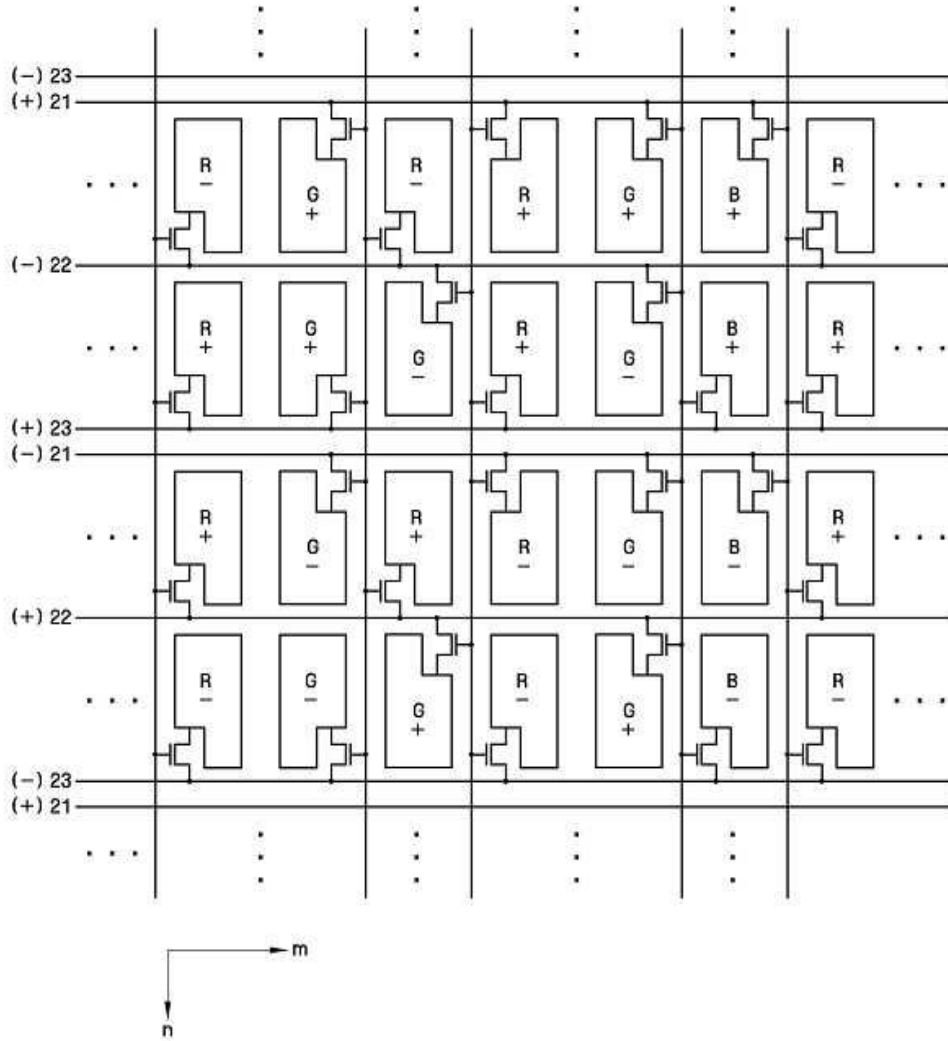
도면5b



도면6a



도면6b



专利名称(译)	液晶显示器		
公开(公告)号	KR101490789B1	公开(公告)日	2015-02-06
申请号	KR1020080129430	申请日	2008-12-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE BONG JUN 이봉준 LEE JONG HWAN 이중환		
发明人	이봉준 이중환		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G02F1/136286 G09G2310/0205 G09G3/3614 G09G3/3648 G09G2300/0426		
其他公开文献	KR1020100070744A		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置。液晶显示装置具有这样的结构，其中基板上的多个像素以矩阵形式顺序排列在单元阵列中，在像素阵列的第一方向上彼此相邻，并且第一和第二像素排列在第一和第二像素中，第一公共栅极线在另一第二方向上延伸并且共同连接到第一开关元件，以及第一公共栅极线在第一方向上延伸，并且第一和第二数据线中的每一个可以包括第一数据线。安排选择 包括开关元件 和第二个开关元件 第二开关元件

