



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월31일  
(11) 등록번호 10-1323477  
(24) 등록일자 2013년10월23일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0093299

(22) 출원일자 2009년09월30일

심사청구일자 2011년11월09일

(65) 공개번호 10-2011-0035531

(43) 공개일자 2011년04월06일

(56) 선행기술조사문헌

US07259821 B2\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박문기

경기도 안산시 단원구 광덕서로 19, 호수공원대림  
아파트 131동 703호 (고잔동)

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 8 항

심사관 : 이준석

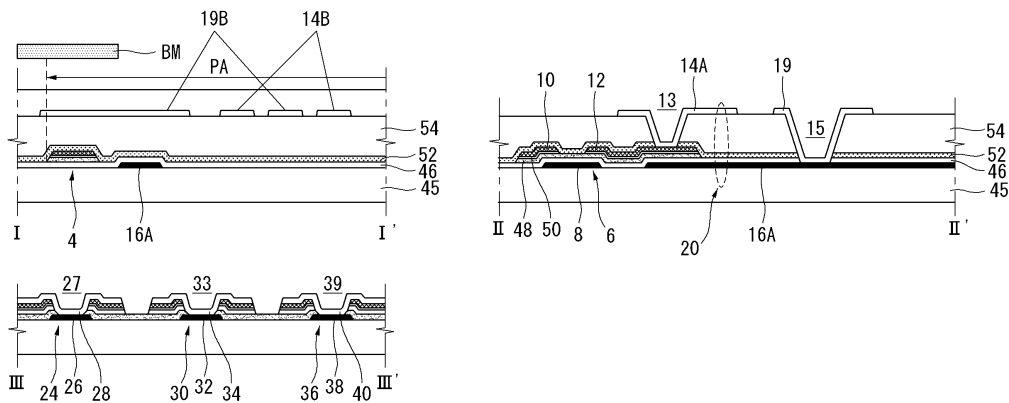
(54) 발명의 명칭 액정표시장치 및 그 제조 방법

(57) 요약

본 발명은 투과율을 높일 수 있는 액정표시장치에 관한 것이다.

이 액정표시장치는 제1 기판 상에 형성된 게이트 라인; 상기 게이트 라인과 절연되게 교차하여 화소 영역을 정의하는 데이터 라인; 상기 화소 영역을 부분적으로 둘러싸며, 상기 게이트 라인과 동일 공정으로 형성된 공통 라인; 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 TFT; 상기 공통 라인과 접속된 공통전극 수평부와, 상기 공통전극 수평부에서 신장된 핑거 형상의 공통전극 핑거부를 포함한 공통 전극; 및 상기 TFT와 접속되며, 상기 화소 영역에서 상기 공통 전극과 수평 전계를 이루는 화소 전극을 구비하고; 상기 공통전극 핑거부 일부는 저 유전율을 갖는 제1 보호막을 사이에 두고 상기 데이터 라인과 중첩된다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

제1 기판 상에 형성된 게이트 라인;

상기 게이트 라인과 절연되게 교차하여 화소 영역을 정의하는 데이터 라인;

상기 화소 영역을 부분적으로 둘러싸며, 상기 게이트 라인과 동일 공정으로 형성된 공통 라인;

상기 게이트 라인 및 데이터 라인의 교차부에 형성된 TFT;

상기 공통 라인과 접속된 공통전극 수평부와, 상기 공통전극 수평부에서 신장된 핑거 형상의 공통전극 핑거부를 포함한 공통 전극; 및

상기 TFT와 접속되며, 상기 화소 영역에서 상기 공통 전극과 수평 전계를 이루는 화소 전극을 구비하고;

상기 공통전극 핑거부 일부는 저 유전율을 갖는 제1 보호막을 사이에 두고 상기 데이터 라인과 중첩되고,

상기 화소 전극은 상기 TFT와 접속되는 화소전극 수평부와, 상기 공통전극 핑거부와 나란하도록 상기 화소전극 수평부에서 신장되는 핑거 형상의 화소전극 핑거부를 포함하고;

상기 공통전극 핑거부는 상기 데이터 라인과 중첩되는 제1 부분과, 상기 제1 부분 이외의 제2 부분을 포함하며;

상기 공통전극 핑거부의 제2 부분과 상기 화소전극 핑거부는 상기 제1 기판 상에 직접 접촉하는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 제1 보호막은 아크릴계 유기 화합물을 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 2 항에 있어서,

상기 데이터라인과 상기 제1 보호막 사이에 무기 절연 재질의 제2 보호막이 더 위치하는 것을 특징으로 하는 액정표시장치.

### 청구항 4

삭제

### 청구항 5

제 1 항에 있어서,

블랙 매트릭스를 가지며, 상기 제1 기판과 수직으로 대향하는 제2 기판을 더 구비하고;

상기 블랙 매트릭스는 상기 데이터라인을 덮는 반면, 상기 데이터라인과 나란한 상기 공통 라인을 덮지 않는 것을 특징으로 하는 액정표시장치.

### 청구항 6

제1 기판 상에 제1 도전패턴으로, 게이트 라인, 상기 게이트 라인에 접속되는 TFT의 게이트 전극, 및 상기 게이트 라인과 분리된 공통 라인을 형성하는 단계;

제2 도전패턴으로, 상기 게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인, 상기 데이터 라인에 접속된 TFT의 소스 전극, 및 상기 소스 전극과 대향하는 상기 TFT의 드레인 전극을 형성하는 단계;

저 유전율을 갖는 제1 보호막을 전면 도포한 후, 상기 제1 보호막을 패터닝하여 상기 공통 라인 일부 및 상기 드레인전극 일부를 노출시키는 단계;

제3 도전패턴으로, 상기 노출된 공통 라인에 접속되는 공통전극 수평부와, 상기 공통전극 수평부에서 신장된 핑

거 형상의 공통전극 핑거부를 포함한 공통 전극을 형성하는 단계; 및

상기 제3 도전패턴으로, 상기 화소 영역에서 상기 공통 전극과 대향하여 수평 전계를 이루도록, 상기 노출된 드레인전극에 접속되는 화소 전극을 형성하는 단계를 포함하고;

상기 공통전극 핑거부 일부는 상기 제1 보호막을 사이에 두고 상기 데이터 라인과 중첩되고,

상기 화소 전극은 상기 TFT와 접속되는 화소전극 수평부와, 상기 공통전극 핑거부와 나란하도록 상기 화소전극 수평부에서 신장되는 핑거 형상의 화소전극 핑거부를 포함하고;

상기 공통전극 핑거부는 상기 데이터 라인과 중첩되는 제1 부분과, 이 제1 부분 이외의 제2 부분을 포함하며;

상기 공통전극 핑거부의 제2 부분과 상기 화소전극 핑거부는 상기 제1 기관 상에 직접 접촉되는 것을 특징으로 하는 액정표시장치의 제조 방법.

## 청구항 7

제 6 항에 있어서,

상기 제1 보호막은 아크릴계 유기 화합물을 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

## 청구항 8

제 7 항에 있어서,

상기 데이터라인과 상기 제1 보호막 사이에 무기 절연 재질의 제2 보호막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

## 청구항 9

삭제

## 청구항 10

제 6 항에 있어서,

상기 제1 기관과 수직으로 대향하는 제2 기관 상에 블랙 매트릭스를 형성하는 단계를 더 포함하고;

상기 블랙 매트릭스는 상기 데이터라인을 덮도록 형성되는 반면, 상기 데이터라인과 나란한 상기 공통 라인을 덮지 않도록 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

## 명 세 서

### 발명의 상세한 설명

### 기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 화소의 투과율을 증가시킬 수 있도록 한 액정표시장치 및 그 제조 방법에 관한 것이다.

### 배 경 기 술

[0002] 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0003] 수직 전계형 액정표시장치는 상하부 기관에 대향하게 배치된 화소 전극과 공통 전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic, 이하, "TN") 모드의 액정을 구동시킨다. 수직 전계형 액정표시장치는 개구율이 큰 장점을 갖는 반면 시야각이 좁은 단점이 있다.

[0004] 수평 전계형 액정표시장치는 도 1과 같이 하부 기관(GLS)에 나란하게 배치된 화소 전극(Ep)과 공통 전극(Ec) 사이에 형성되는 수평 전계에 의해 인 플레인 스위치(In Plane Swich, 이하, "IPS") 모드의 액정을 구동시킨다.

수평 전계를 형성하기 위해, 화소 전극(Ep)과 공통 전극(Ec)은 동일 수평면 상에 형성된다. 화소 전극(Ep)은 TFT(Thin Film Transistor : 이하, "TFT"라 함)를 통해 데이터라인(DL)에 접속되어, 데이터라인(DL)으로부터 데이터전압을 공급받는다. 화소 전극(Ep)은 보호막(PAS)을 관통하여 TFT의 드레인전극에 접속된다. 공통 전극(Ec)은 보호막(PAS)과 게이트 절연막(GI)을 관통하여 하부 공통라인(VL)에 접속되어, 하부 공통라인(VL)으로부터 공통전압을 공급받는다.

[0005] 이러한 수평 전계형 액정표시장치에서, 보호막(PAS)은 통상 고 유전율 물질을 포함하므로, 보호막(PAS)을 사이에 두고 공통 전극(Ec)과 데이터라인(DL)이 중첩되는 경우 기생 컵(Cap)이 생성된다. 기생 컵은 데이터라인(DL)의 전위 변동을 공통 전극(Ec)에 반영하여 공통 전극(Ec)의 전위를 불안정하게 함으로써, 크로스토크를 유발시킬 수 있다. 기생 컵의 생성을 억제하기 위해, 종래 수평 전계형 액정표시장치에서는, 공통 전극(Ec)을 데이터라인(DL)과 일정거리(D) 만큼 이격시켜 형성한다.

[0006] 그런데, 공통 전극(Ec)과 데이터라인(DL) 간의 간격(D)이 커질수록, 화소 영역(PA)에서의 개구 블록 면적이 그만큼 줄어들고, 또한 상부 기관의 블랙 매트릭스(BM)가 하부 공통라인(VL)을 덮도록 화소 영역(PA) 안쪽으로 ΔW 만큼 연장되어 넓게 형성되어야 하므로, 화소의 투과율은 크게 감소한다.

## 발명의 내용

### 해결 하고자하는 과제

[0007] 따라서, 본 발명의 목적은 화소의 투과율을 증가시킬 수 있도록 한 액정표시장치 및 그 제조 방법을 제공하는 데 있다.

### 과제 해결수단

[0008] 상기 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 액정표시장치는 제1 기관 상에 형성된 게이트 라인; 상기 게이트 라인과 절연되게 교차하여 화소 영역을 정의하는 데이터 라인; 상기 화소 영역을 부분적으로 둘러싸며, 상기 게이트 라인과 동일 공정으로 형성된 공통 라인; 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 TFT; 상기 공통 라인과 접속된 공통전극 수평부와, 상기 공통전극 수평부에서 신장된 핑거 형상의 공통전극 핑거부를 포함한 공통 전극; 및 상기 TFT와 접속되며, 상기 화소 영역에서 상기 공통 전극과 수평 전계를 이루는 화소 전극을 구비하고; 상기 공통전극 핑거부 일부는 저 유전율을 갖는 제1 보호막을 사이에 두고 상기 데이터 라인과 중첩된다.

[0009] 상기 제1 보호막은 아크릴계 유기 화합물을 포함한다.

[0010] 이 액정표시장치에서, 상기 데이터라인과 상기 제1 보호막 사이에 무기 절연 재질의 제2 보호막이 더 위치한다.

[0011] 상기 화소 전극은 상기 TFT와 접속되는 화소전극 수평부와, 상기 공통전극 핑거부와 나란하도록 상기 화소전극 수평부에서 신장되는 핑거 형상의 화소전극 핑거부를 포함하고; 상기 공통전극 핑거부는 상기 데이터 라인과 중첩되는 제1 부분과, 이 제1 부분 이외의 제2 부분을 포함하며; 상기 공통전극 핑거부의 제2 부분과 상기 화소전극 핑거부는 상기 제1 기관 상에 직접 위치한다.

[0012] 이 액정표시장치는 블랙 매트릭스를 가지며, 상기 제1 기관과 수직으로 대향하는 제2 기관을 더 구비하고; 상기 블랙 매트릭스는 상기 데이터라인을 덮는 반면, 상기 데이터라인과 나란한 상기 공통 라인을 덮지 않는다.

[0013] 본 발명의 실시예에 따른 액정표시장치의 제조 방법은 제1 기관 상에 제1 도전패턴으로, 게이트 라인, 상기 게이트 라인에 접속되는 TFT의 게이트 전극, 및 상기 게이트 라인과 분리된 공통 라인을 형성하는 단계; 제2 도전패턴으로, 상기 게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인, 상기 데이터 라인과 접속된 TFT의 소스 전극, 및 상기 소스 전극과 대향하는 상기 TFT의 드레인 전극을 형성하는 단계; 저 유전율을 갖는 제1 보호막을 전면 도포한 후, 상기 제1 보호막을 패터닝하여 상기 공통 라인 일부 및 상기 드레인전극 일부를 노출시키는 단계; 제3 도전패턴으로, 상기 노출된 공통 라인에 접속되는 공통전극 수평부와, 상기 공통전극 수평부에서 신장된 핑거 형상의 공통전극 핑거부를 포함한 공통 전극을 형성하는 단계; 및 상기 제3 도전패턴으로, 상기 화소 영역에서 상기 공통 전극과 대향하여 수평 전계를 이루도록, 상기 노출된 드레인전극에 접속되는 화소 전극을 형성하는 단계를 포함하고; 상기 공통전극 핑거부 일부는 상기 제1 보호막을 사이에 두고 상기 데이터 라

인과 중첩된다.

## 효 과

- [0014] 본 발명에 따른 액정표시장치 및 그 제조 방법은 공통 전극과 데이터라인 사이에 저 유전율 물질을 포함하는 보호막을 형성하여 공통 전극과 데이터라인을 중첩시킨다. 그 결과, 화소 영역에서 개구 블럭 면적이 늘어남과 아울러, 블랙 매트릭스와 화소 영역 간 중첩 면적이 줄어들므로 화소의 투과율이 크게 증가된다.
- [0015] 나아가, 본 발명에 따른 액정표시장치 및 그 제조 방법은 상기 공통 전극과 데이터라인 간의 중첩 구조 상태에서, 공통 전극의 핑거부 일부와, 화소 전극의 핑거부를 기판 위에 직접 형성할 수 있다. 그 결과, 화소 영역에서 개구 블럭 면적이 늘어남과 아울러, 블랙 매트릭스와 화소 영역 간 중첩 면적이 줄어들고, 또한 개구 블럭들을 포함한 빛의 투과 영역 내에 게이트 절연막과 보호막들이 존재하지 않기 때문에, 화소의 투과율이 더욱 크게 증가된다.

## 발명의 실시를 위한 구체적인 내용

- [0016] 이하, 도 2 내지 도 7f를 참조하여 본 발명의 바람직한 실시예에 대해 설명하기로 한다. 이하의 실시예에서는, 4 마스크 공정을 통해 제조되는 IPS(In Plane Switching) 모드의 TFT 어레이 기판 및 그 제조 방법을 일 예로 하여 설명하겠지만, 본 발명의 기술적 사상은 이하에서 예시될 마스크 공정수에 제한되지 않는다.
- [0017] <제1 실시예>
- [0018] 도 2 내지 도 4f를 이용하여 본 발명의 제1 실시예를 설명한다. 제1 실시예에서는 공통 전극과 데이터라인 사이에 저 유전율 물질을 포함하는 보호막을 형성하여 공통 전극과 데이터라인을 중첩시킨다.
- [0019] 도 2는 본 발명의 제1 실시예에 따른 4 마스크 공정으로 형성되는 하부 기판 즉, TFT 어레이 기판의 평면도이고, 도 3은 도 2를 I-I', II-II' 및 III-III'에 따라 절취한 단면도이다.
- [0020] 도 2 및 도 3에 도시된 TFT 어레이 기판은, 기판(45) 위에 게이트 절연막(46)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 TFT(6)와, 이 교차 구조로 마련된 화소 영역(PA)에 수평 전계를 형성하도록 형성된 화소 전극(14) 및 공통 전극(19)과, 공통 전극(19)과 접속된 공통 라인(16)을 구비한다. 그리고, TFT 어레이 기판은 공통 라인(16)과 화소 전극(14)의 중첩부에 형성된 스토리지 캐패시터(20)와, 게이트 라인(2)과 접속된 게이트 패드(24)와, 데이터 라인(4)과 접속된 데이터 패드(33)와, 공통 라인(16)과 접속된 공통 패드(36)를 추가로 구비한다. 시야각에 따른 화상 왜곡을 방지하기 위해, 화상이 표시되는 화소 영역(PA)은 두 개의 도메인(D1,D2)로 분할된다. 제1 및 제2 도메인(D1,D2)을 구분짓는 도메인 경계선(B)을 기준으로 화소 전극(14) 및 공통 전극(19)은 휘어지며, 이때 전극들(14,19)이 도메인 경계선(B)에 수직한 법선(N)과 이루는 전극 각도( $\theta$ )는 각 도메인(D1,D2)에서 동일하다. 전극 각도( $\theta$ )는 초기 설계치에 의해 결정된다.
- [0021] 게이트 신호를 공급하는 게이트 라인(2)과 데이터 신호를 공급하는 데이터 라인(4)은 게이트 절연막(46)을 사이에 두고 교차 구조로 형성되어 화소 영역을 정의한다. 여기서, 게이트 라인(2)은 제1 도전패턴으로 형성되고, 데이터 라인(4)은 제2 도전패턴으로 형성된다.
- [0022] 공통 라인(16) 및 공통 전극(19)은 액정 구동을 위한 기준 전압(공통 전압)을 공급한다. 공통 라인(16)은 화소들이 배치된 표시 영역에서 화소 영역(PA)을 부분적으로 둘러싸도록 형성된 내부 공통 라인(16A)과, 표시 영역 밖의 비 표시 영역에서 내부 공통 라인(16A)들을 공통으로 연결하는 외부 공통 라인(16B)을 포함한다. 공통 라인(16)은 제1 도전패턴으로 형성된다.
- [0023] 공통 전극(19)은 게이트 라인(2)과 나란하게 형성됨과 아울러 게이트 절연막(46)과 제1 및 제2 보호막(52,54) (여기서, 제1 보호막(52)은 생략 가능)을 관통하는 제2 콘택홀(15)을 통해 내부 공통 라인(16A)에 접속되는 수평부(19A)와, 수평부(19A)에서 신장되는 핑거 형상의 핑거부(19B)를 구비한다. 핑거부(19B)는 보호막들(52,54)을 사이에 두고 데이터라인(4)과 중첩된다. 제2 보호막(54)은 저 유전율 물질을 포함하므로, 상기 중첩에 의한 기생 컵의 용량은 크게 줄어들 수 있다. 상기와 같이 공통 전극(19)의 핑거부(19B)를 데이터라인(4)과 중첩

시켜 형성하면, 화소 영역(PA)에서 개구 블럭(BL) 면적이 늘어난다. 이때, 상부 기관의 블랙 매트릭스(BM)는 데이터라인(4)을 덮고, 내부 공통라인(16A)을 덮지 않도록 형성된다. 즉, 화소 영역(PA) 안쪽으로 연장되는 블랙 매트릭스(BM)의 폭은 좁아진다. 개구 블럭(BL) 면적이 늘어나고 블랙 매트릭스(BM)가 좁게 형성되면, 결과적으로 화소의 투과율이 크게 증가된다. 한편, 핑거부(19B)는 내부 공통 라인(16A)과도 중첩된다. 공통 전극(19)은 제3 도전패턴으로 형성된다.

[0024] TFT(6)는 게이트 라인(2)의 게이트 신호에 응답하여 스위칭 됨으로써 데이터 라인(4)의 화소 신호(데이터 전압)를 화소 전극(14)에 충전시킨다. 이를 위하여, TFT(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(14)에 접속된 드레인 전극(12)을 구비한다. 또한, TFT(6)는 게이트 절연막(46)을 사이에 두고 게이트 전극(8) 및 내부 공통 라인(16A)과 중첩되면서 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(48), 소스 전극(10) 및 드레인 전극(12)과의 오믹 접촉을 위하여 채널을 제외한 활성층(48) 위에 형성된 오믹 접촉층(50)을 더 구비한다. 활성층(48) 및 오믹 접촉층(50)은 반도체 패턴으로 형성된다.

[0025] 화소 전극(14)은 화소 영역(PA)에서 공통 전극(19)과 나란히 대향하여 수평 전계를 형성한다. 화소 전극(14)은 보호막들(52,54)을 관통하는 제1 콘택홀(13)을 통해 TFT(6)의 드레인 전극(12)과 접속된다. 화소 전극(14)은 드레인 전극(12)과 접속되고 인접한 게이트 라인(2)과 나란하게 형성된 수평부(14A)와, 수평부(14A)에서 신장되며 화소 영역(PA)에서 공통 전극(19)의 핑거부(19B)와 나란하게 형성된 핑거 형상의 핑거부(14B)를 구비한다. 화소 전극(14)은 제3 도전패턴으로 형성된다.

[0026] 화소 전극(14)의 수평부(14A)는 게이트 절연막(46) 및 보호막들(52,54)을 사이에 두고 내부 공통 라인(16A)과 부분적으로 중첩되어 스토리지 캐패시터(20)를 구성한다. 스토리지 캐패시터(20)는 화소 전극(14)에 충전된 현재 프레임의 화소 신호를 다음 프레임의 화소 신호가 충전될 때까지 안정적으로 유지시킨다.

[0027] 게이트 라인(2)은 게이트 패드(24)를 통해 게이트 드라이버(미도시)와 접속된다. 게이트 패드(24)는 게이트 라인(2)으로부터 연장되는 게이트 패드 하부 전극(26)과, 게이트 절연막(46)을 관통하는 제3 콘택홀(27)을 통해 게이트패드 하부 전극(26)과 접속된 게이트 패드 상부 전극(28)을 포함한다. 게이트 패드 하부 전극(26)은 제1 도전패턴으로 형성되고, 게이트 패드 상부 전극(28)은 제3 도전패턴으로 형성된다.

[0028] 데이터 라인(4)은 데이터 패드(30)를 통해 데이터 드라이버(미도시)와 접속된다. 데이터 패드(30)는 데이터 라인(4)으로부터 연장되는 데이터 패드 하부 전극(32)과, 게이트 절연막(46)을 관통하는 제4 콘택홀(33)을 통해 데이터 패드 하부 전극(32)과 접속된 데이터 패드 상부 전극(34)을 포함한다. 데이터 패드 하부 전극(32)은 제1 도전패턴으로 형성되고, 데이터 패드 상부 전극(34)은 제3 도전패턴으로 형성된다.

[0029] 공통 라인(16)은 공통 패드(36)를 통해 외부의 기준 전압원(미도시)과 접속된다. 공통 패드(36)는 외부 공통 라인(16B)으로부터 연장되는 공통 패드 하부 전극(38)과, 게이트 절연막(46)을 관통하는 제5 콘택홀(39)을 통해 공통 패드 하부 전극(38)과 접속된 공통 패드 상부 전극(40)을 포함한다. 공통 패드 하부 전극(38)은 제1 도전패턴으로 형성되고, 공통 패드 상부 전극(40)은 제3 도전패턴으로 형성된다.

[0030] 화소 전극(14), 공통 전극(19), 및 패드 상부 전극들(28,34,40)을 구성하는 제3 도전패턴은 투명 도전막, 또는 금속막으로 형성될 수 있다. 또한, 제3 도전패턴은 외부광에 의한 눈부심을 방지할 수 있도록 저반사막을 추가로 포함할 수 있다.

[0031] 이러한 구성을 갖도록, 본 발명의 제1 실시예에 따른 TFT 기관의 제조 방법을 도 4a 내지 도 4f를 이용하여 순차적으로 설명하면 다음과 같다.

[0032] 도 4a를 참조하면, 제1 마스크 공정을 통해 하부 기관(45) 상에 게이트 라인(2), 게이트 전극(8), 게이트 패드 하부 전극(26), 데이터 패드 하부 전극(32), 공통 라인(16), 공통 패드 하부 전극(38)등을 포함하는 제1 도전패턴군이 형성된다.

[0033] 상세히 하면, 하부 기관(45) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 도전물질이 도포된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 제1 도전물질이 패터닝됨으로써 게이트라인(2), 게이트 전극(8), 게이트패드 하부 전극(26), 데이터 패드 하부 전극(32), 공통 라인(16), 공통 패드 하부 전극(38)등을 포함하는 제1 도전 패턴군이 형성된다. 여기서, 제1 도전물질로는 Cr, MoW, MoTi, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 이용될 수 있다.

[0034] 도 4b를 참조하면, 제1 도전 패턴군이 형성된 하부 기관(45) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이

트 절연막(46)이 도포된다. 게이트 절연막(46)의 재료로는  $\text{SiO}_x$ ,  $\text{SiN}_x$  등의 무기 절연 물질이 이용될 수 있다. 이어서, 제2 마스크 공정을 이용하여 게이트 절연막(46) 위에 활성층(48) 및 오믹 접촉층(50)을 포함하는 반도체 패턴과, 데이터 라인(4)과 소스전극(10) 및 드레인 전극(12)을 포함하는 제2 도전 패턴군이 형성된다.

[0035] 상세히 하면, 게이트 절연막(46)이 형성된 하부 기판(45) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 제2 도전물질이 순차적으로 도포된다. 여기서, 제2 도전물질로는 Cr, MoW, MoTi, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 이용될 수 있다. 이어서, 제2 도전물질 상에 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴을 형성한다. 제2 마스크로는 TFT의 채널부에 회절 노광부를 갖는 회절 노광 마스크 또는 반투과 마스크가 이용되며, 이 제2 마스크는 채널부의 포토레지스트 패턴이 다른 제2 도전 패턴군 부분의 포토레지스트 패턴보다 낮은 높이를 갖게 한다. 이어서, 포토레지스트 패턴을 이용한 습식 식각 공정으로 제2 도전물질이 패터닝됨으로써 데이터 라인(4), 소스 전극(10), 그 소스 전극(10)과 일체화된 드레인 전극(12), 패드부의 제2 도전층(4')을 포함하는 제2 도전 패턴군이 형성된다. 그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹 접촉층(50), 활성층(48), 데이터라인(4) 아래의 반도체층(49), 및 패드부의 제2 도전층(4') 아래의 반도체층(49)이 형성된다. 그리고, 산소( $\text{O}_2$ ) 플라즈마를 이용한 애싱(Ashing) 공정으로 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 제거된 후 건식 식각 공정으로 채널부의 소스/드레인 금속 패턴 및 오믹 접촉층(50)이 식각된다. 이에 따라, 채널부의 활성층(48)이 노출되어 소스전극(10)과 드레인 전극(12)이 분리된다.

[0036] 도 4c 및 도 4d를 참조하면, 제2 도전 패턴군이 형성된 하부 기판(45) 상에 제3 마스크 공정을 이용하여 제1 및 제2 보호막(52,54)과, 이 보호막들(52,54)을 관통하는 제1 내지 제5 콘택홀(13, 15, 27, 33, 39)이 형성된다.

[0037] 상세히 하면, 도 4c와 같이 제2 도전 패턴군이 형성된 하부 기판(45) 상에 PECVD 등의 증착 방법으로 제1 보호막(52)이 전면 도포된다. 제1 보호막(52)의 재료로는  $\text{SiO}_x$ ,  $\text{SiN}_x$  등의 무기 절연 물질이 이용될 수 있다. 제1 보호막(52)에 대한 형성 공정은 생략될 수 있다. 이어서, 제1 보호막(52)이 형성된 하부 기판(45) 상에 스핀 코팅, 슬릿 코팅 등의 코팅 방법으로 제2 보호막(54)이 전면 형성된다. 제2 보호막(54)은 유전율이 작은 재료, 예컨대 아크릴(acryl)계 유기 화합물등을 포함한다. 이러한 제2 보호막(54)은 그 하부의 데이터라인(4)과 그 상부의 공통 전극(19)이 서로 중첩될 때, 기생 컵의 용량을 줄이는 역할을 한다. 이어서, 제3 마스크를 통한 포토리소그래피 공정으로, 제1 및 제2 콘택홀(13,15)이 형성될 부분과, 패드들(24,30,36)이 형성될 부분에서 제2 보호막(54)이 제거된다.

[0038] 이어서, 제2 보호막(54) 패턴을 이용한 건식 식각 공정을 통해 도 4d와 같이 제1 내지 제5 콘택홀(13,21,27,33,39)이 형성된다. 제1 콘택홀(13)은 보호막들(52,54)을 관통하여 TFT의 드레인 전극(12)을 노출시키고, 제2 콘택홀(15)은 보호막들(52,54)과 게이트 절연막(46)을 관통하여 내부 공통라인(16A)을 노출시킨다. 제3 콘택홀(27)은 게이트 절연막(46)을 관통하여 게이트 패드 하부 전극(26)을 노출시키고, 제4 콘택홀(33)은 게이트 절연막(46)을 관통하여 데이터 패드 하부 전극(32)을 노출시키며, 제5 콘택홀(39)은 게이트 절연막(46)을 관통하여 공통 패드 하부 전극(38)을 노출시킨다.

[0039] 도 4e 및 도 4f를 참조하면, 콘택홀들(13,21,27,33,39)이 형성된 하부 기판(45) 상에 제4 마스크 공정을 이용하여 화소 전극(14), 공통 전극(19), 게이트 패드 상부 전극(28), 데이터 패드 상부 전극(34) 및 공통 패드 상부 전극(40)을 포함하는 제3 도전 패턴군이 형성된다.

[0040] 상세히 하면, 도 4e와 같이 콘택홀들(13,15,27,33,39)을 포함하는 보호막들(52,54)이 형성된 하부 기판(45) 상에 스퍼터링 등의 증착 방법으로 제3 도전물질(56)이 도포된다. 제3 도전물질(56)로는 ITO, IZO, TO 등의 투명 도전물질 또는, Cr, MoW, MoTi, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등의 금속물질이 이용될 수 있다. 제3 도전물질(56)은 나이트라이드(Nitride) 계열의 물질 또는, 옥사이드(Oxide) 계열의 물질로 이루어진 저반사 물질을 더 포함할 수 있다. 이어서, 제3 도전물질(56) 상에 제3 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴(58)을 형성한다.

[0041] 이어서, 이 포토레지스트 패턴(58)을 이용한 습식 식각 공정으로 제3 도전물질(56)이 패터닝됨으로써 도 4f와 같이 화소 전극(14), 공통 전극(19), 게이트 패드 상부 전극(28), 데이터 패드 상부 전극(34) 및 공통 패드 상부 전극(40)을 포함하는 제3 도전 패턴군이 형성된다. 화소 전극(14)은 제1 콘택홀(13)에서 TFT의 드레인 전극(12)과 전기적으로 접속된다. 공통 전극(19)은 제2 콘택홀(15)에서 내부 공통 라인(16A)과 전기적으로 접속된다. 게이트 패드 상부 전극(28)은 제3 콘택홀(27)에서 게이트 패드 하부 전극(26)과 전기적으로 접속된다. 데이터 패드 상부 전극(34)은 제4 콘택홀(33)에서 데이터 하부 전극(32)과 전기적으로 접속된다. 공통 패드 상부

전극(40)은 제5 콘택홀(39)에서 공통 패드 하부 전극(38)과 전기적으로 접속된다.

[0042] 이와 같이, 본 발명의 제1 실시예에 따른 액정표시장치 및 그 제조 방법에서는 공통 전극과 데이터라인 사이에 저 유전율 물질을 포함하는 보호막을 형성하여 공통 전극과 데이터라인을 중첩시킨다. 그 결과, 화소 영역에서 개구 블럭 면적이 늘어남과 아울러, 블랙 매트릭스와 화소 영역 간 중첩 면적이 줄어들므로 화소의 투과율이 크게 증가된다.

[0043] <제2 실시예>

[0044] 도 5 내지 도 7f를 이용하여 본 발명의 제2 실시예를 설명한다. 제2 실시예에서는 공통 전극과 데이터라인 사이에 저 유전율 물질을 포함하는 보호막을 형성하여 공통 전극과 데이터라인을 중첩시키고 아울러, 공통 전극의 핑거부 일부와, 화소 전극의 핑거부를 기판 상에 직접 형성한다.

[0045] 도 5는 본 발명의 제2 실시예에 따른 4 마스크 공정으로 형성되는 하부 기판 즉, TFT 어레이 기판의 평면도이고, 도 6은 도 5를 IV-IV', V-V', 및 VI-VI'에 따라 절취한 단면도이다.

[0046] 도 5 및 도 6에 도시된 TFT 어레이 기판은, 기판(145) 위에 게이트 절연막(146)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부마다 형성된 TFT(106)와, 이 교차 구조로 마련된 화소 영역(PA)에 수평 전계를 형성하도록 형성된 화소 전극(114) 및 공통 전극(119)과, 공통 전극(119)과 접속된 공통 라인(116)을 구비한다. 그리고, TFT 어레이 기판은 공통 라인(116)과 화소 전극(114)의 중첩부에 형성된 스토리지 캐패시터(120)와, 게이트 라인(102)과 접속된 게이트 패드(124)와, 데이터 라인(104)과 접속된 데이터 패드(133)와, 공통 라인(116)과 접속된 공통 패드(136)를 추가로 구비한다. 시야각에 따른 화상 왜곡을 방지하기 위해, 화상이 표시되는 화소 영역(PA)은 두 개의 도메인들(D1,D2)로 분할된다. 제1 및 제2 도메인(D1,D2)을 구분짓는 도메인 경계선(B)을 기준으로 화소 전극(114) 및 공통 전극(119)은 휘어지며, 이때 전극들(114,119)이 도메인 경계선(B)에 수직한 법선(N)과 이루는 전극 각도( $\theta$ )는 각 도메인(D1,D2)에서 동일하다. 전극 각도( $\theta$ )는 초기 설계치에 의해 결정된다.

[0047] 게이트 신호를 공급하는 게이트 라인(102)과 데이터 신호를 공급하는 데이터 라인(104)은 게이트 절연막(146)을 사이에 두고 교차 구조로 형성되어 화소 영역(PA)을 정의한다. 여기서, 게이트 라인(102)은 제1 도전패턴으로 형성되고, 데이터 라인(104)은 제2 도전패턴으로 형성된다.

[0048] 공통 라인(116) 및 공통 전극(119)은 액정 구동을 위한 기준 전압(공통 전압)을 공급한다. 공통 라인(116)은 화소들이 배치된 표시 영역에서 화소 영역(PA)을 부분적으로 둘러싸도록 형성된 내부 공통 라인(116A)과, 표시 영역 밖의 비 표시 영역에서 내부 공통 라인(116A)들을 공통으로 연결하는 외부 공통 라인(116B)을 포함한다. 공통 라인(116)은 제1 도전패턴으로 형성된다.

[0049] 공통 전극(119)은 게이트 라인(102)과 나란하게 형성됨과 아울러 게이트 절연막(146)과 제1 및 제2 보호막(152,154)(여기서, 제1 보호막(152)은 생략 가능)을 관통하는 제2 콘택홀(115)을 통해 내부 공통 라인(116A)에 접속되는 수평부(119A)와, 수평부(119A)에서 신장되는 핑거 형상의 핑거부(119B)를 구비한다. 핑거부(119B)는 보호막들(152,154)을 사이에 두고 데이터라인(104)과 중첩된다. 제2 보호막(154)은 저 유전율 물질을 포함하므로, 상기 중첩에 의한 기생 컵의 용량은 크게 줄어들 수 있다. 상기와 같이 공통 전극(119)의 핑거부(119B)를 데이터라인(104)과 중첩시켜 형성하면, 화소 영역(PA)에서 개구 블럭(BL) 면적이 늘어난다. 이때, 상부 기판의 블랙 매트릭스(BM)는 데이터라인(104)을 덮고, 내부 공통라인(116A)을 덮지 않도록 형성된다. 즉, 화소 영역(PA) 안쪽으로 연장되는 블랙 매트릭스(BM)의 폭은 좁아진다. 개구 블럭(BL) 면적이 늘어나고 블랙 매트릭스(BM)가 좁게 형성되면, 결과적으로 화소의 투과율이 크게 증가된다.

[0050] 한편, 핑거부(119B)는 게이트 절연막(146)과 보호막들(152,154) 상에서 데이터라인(104)과 중첩되는 제1 부분 이외에, 제2 부분을 포함한다. 핑거부(119B)의 제2 부분은 기판(145) 위에 직접 형성된다. 수평부(119A)는 게이트 절연막(146)과 보호막들(152,154) 상에 형성된다. 공통 전극(119)은 제3 도전패턴으로 형성된다.

[0051] TFT(106)는 게이트 라인(102)의 게이트 신호에 응답하여 스위칭 됨으로써 데이터 라인(104)의 화소 신호(데이터 전압)를 화소 전극(114)에 충전시킨다. 이를 위하여, TFT(106)는 게이트 라인(102)에 접속된 게이트 전극(108)과, 데이터 라인(104)에 접속된 소스 전극(110)과, 화소 전극(114)에 접속된 드레인 전극(112)을 구비한다. 또한, TFT(106)는 게이트 절연막(146)을 사이에 두고 게이트 전극(108) 및 내부 공통 라인(116A)과 중첩되면서 소스 전극(110)과 드레인 전극(112) 사이에 채널을 형성하는 활성층(148), 소스 전극(110) 및 드레인 전극(112)

2)과의 오믹 접촉을 위하여 채널을 제외한 활성층(148) 위에 형성된 오믹 접촉층(150)을 더 구비한다. 활성층(148) 및 오믹 접촉층(150)은 반도체 패턴으로 형성된다.

[0052] 화소 전극(114)은 화소 영역(PA)에서 공통 전극(119)과 나란히 대향하여 수평 전계를 형성한다. 화소 전극(114)은 보호막들(152,154)을 관통하는 제1 콘택홀(13)을 통해 TFT(106)의 드레인 전극(112)과 접속된다. 화소 전극(114)은 드레인 전극(112)과 접속되고 인접한 게이트 라인(102)과 나란하게 형성된 수평부(114A)와, 수평부(114A)에서 신장되며 화소 영역(PA)에서 공통 전극(119)의 핑거부(119B)와 나란하게 형성된 핑거 형상의 핑거부(114B)를 구비한다. 핑거부(114B)는 상기 공통 전극(119)의 핑거부(119B) 일부와 함께, 기판(145) 위에 직접 형성된다. 그 결과, 개구 블록(BL)들을 포함한 빛의 투과 영역 내에 게이트 절연막(146)과 보호막들(152,154)이 존재하지 않기 때문에, 화소의 투과율은 더욱 크게 증가된다. 화소 전극(114)은 제3 도전패턴으로 형성된다.

[0053] 화소 전극(114)의 수평부(114A)는 게이트 절연막(146) 및 보호막들(152,154)을 사이에 두고 내부 공통 라인(116A)과 부분적으로 중첩되어 스토리지 캐패시터(120)를 구성한다. 스토리지 캐패시터(120)는 화소 전극(114)에 충전된 현재 프레임의 화소 신호를 다음 프레임의 화소 신호가 충전될 때까지 안정적으로 유지시킨다.

[0054] 게이트 라인(102)은 게이트 패드(124)를 통해 게이트 드라이버(미도시)와 접속된다. 게이트 패드(124)는 게이트 라인(102)으로부터 연장되는 게이트 패드 하부 전극(126)과, 게이트 절연막(146)을 관통하는 제3 콘택홀(127)을 통해 게이트패드 하부 전극(126)과 접속된 게이트 패드 상부 전극(128)을 포함한다. 게이트 패드 하부 전극(126)은 제1 도전패턴으로 형성되고, 게이트 패드 상부 전극(128)은 제3 도전패턴으로 형성된다.

[0055] 데이터 라인(104)은 데이터 패드(130)를 통해 데이터 드라이버(미도시)와 접속된다. 데이터 패드(130)는 데이터 라인(104)으로부터 연장되는 데이터 패드 하부 전극(132)과, 게이트 절연막(146)을 관통하는 제4 콘택홀(133)을 통해 데이터 패드 하부 전극(132)과 접속된 데이터 패드 상부 전극(134)을 포함한다. 데이터 패드 하부 전극(132)은 제1 도전패턴으로 형성되고, 데이터 패드 상부 전극(134)은 제3 도전패턴으로 형성된다.

[0056] 공통 라인(116)은 공통 패드(136)를 통해 외부의 기준 전압원(미도시)과 접속된다. 공통 패드(136)는 외부 공통 라인(116B)으로부터 연장되는 공통 패드 하부 전극(138)과, 게이트 절연막(146)을 관통하는 제5 콘택홀(139)을 통해 공통 패드 하부 전극(138)과 접속된 공통 패드 상부 전극(140)을 포함한다. 공통 패드 하부 전극(138)은 제1 도전패턴으로 형성되고, 공통 패드 상부 전극(140)은 제3 도전패턴으로 형성된다.

[0057] 화소 전극(114), 공통 전극(119), 및 패드 상부 전극들(128,134,140)을 구성하는 제3 도전패턴은 투명 도전막, 또는 금속막으로 형성될 수 있다. 또한, 제3 도전패턴은 외부광에 의한 눈부심을 방지할 수 있도록 저반사막을 추가로 포함할 수 있다.

[0058] 이러한 구성을 갖도록, 본 발명의 제2 실시예에 따른 TFT 기판의 제조 방법을 도 7a 내지 도 7f를 이용하여 순차적으로 설명하면 다음과 같다.

[0059] 도 7a를 참조하면, 제1 마스크 공정을 통해 하부 기판(145) 상에 게이트 라인(102), 게이트 전극(108), 게이트 패드 하부 전극(126), 데이터 패드 하부 전극(132), 공통 라인(116), 공통 패드 하부 전극(138)등을 포함하는 제1 도전 패턴군이 형성된다.

[0060] 상세히 하면, 하부 기판(145) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 도전물질이 도포된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 제1 도전물질이 패터닝됨으로써 게이트라인(102), 게이트 전극(108), 게이트패드 하부 전극(126), 데이터 패드 하부 전극(132), 공통 라인(116), 공통 패드 하부 전극(138)등을 포함하는 제1 도전 패턴군이 형성된다. 여기서, 제1 도전물질로는 Cr, MoW, MoTi, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 이용될 수 있다.

[0061] 도 7b를 참조하면, 제1 도전 패턴군이 형성된 하부 기판(145) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(146)이 도포된다. 게이트 절연막(146)의 재료로는 SiO<sub>x</sub>, SiN<sub>x</sub> 등의 무기 절연 물질이 이용될 수 있다. 이어서, 제2 마스크 공정을 이용하여 게이트 절연막(146) 위에 활성층(148) 및 오믹 접촉층(150)을 포함하는 반도체 패턴과, 데이터 라인(104)과 소스전극(110) 및 드레인 전극(112)을 포함하는 제2 도전 패턴군이 형성된다.

[0062] 상세히 하면, 게이트 절연막(146)이 형성된 하부 기판(145) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 제2 도전물질이 순차적으로 도포된다. 여기서, 제2 도전물질로는 Cr, MoW, MoTi, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 이용될 수 있다. 이어서, 제2 도전물

질 상에 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴을 형성한다. 제2 마스크로는 TFT의 채널부에 회절 노광부를 갖는 회절 노광 마스크 또는 반투과 마스크가 이용되며, 이 제2 마스크는 채널부의 포토레지스트 패턴이 다른 제2 도전 패턴군 부분의 포토레지스트 패턴보다 낮은 높이를 갖게 한다. 이어서, 포토레지스트 패턴을 이용한 습식 식각 공정으로 제2 도전물질이 패터닝됨으로써 데이터 라인(104), 소스 전극(110), 그 소스 전극(110)과 일체화된 드레인 전극(112), 패드부의 제2 도전층(4')을 포함하는 제2 도전 패턴군이 형성된다. 그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹 접촉층(150), 활성층(148), 데이터라인(104) 아래의 반도체층(49), 및 패드부의 제2 도전층(4') 아래의 반도체층(49)이 형성된다. 그리고, 산소(O2) 플라즈마를 이용한 애싱(Ashing) 공정으로 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 제거된 후 건식 식각 공정으로 채널부의 소스/드레인 금속 패턴 및 오믹 접촉층(150)이 식각된다. 이에 따라, 채널부의 활성층(148)이 노출되어 소스전극(110)과 드레인 전극(112)이 분리된다.

- [0063] 도 7c 및 도 7d를 참조하면, 제2 도전 패턴군이 형성된 하부 기판(145) 상에 제3 마스크 공정을 이용하여 제1 및 제2 보호막(152,154)과, 이 보호막들(152,154)을 관통하는 제1 내지 제5 콘택홀(13, 15, 27, 33, 39)이 형성된다.
- [0064] 상세히 하면, 도 7c와 같이 제2 도전 패턴군이 형성된 하부 기판(145) 상에 PECVD 등의 증착 방법으로 제1 보호막(152)이 전면 도포된다. 제1 보호막(152)의 재료로는 SiO<sub>x</sub>, SiN<sub>x</sub> 등의 무기 절연 물질이 이용될 수 있다. 제1 보호막(152)에 대한 형성 공정은 생략될 수 있다. 이어서, 제1 보호막(152)이 형성된 하부 기판(145) 상에 스핀 코팅, 슬릿 코팅 등의 코팅 방법으로 제2 보호막(154)이 전면 형성된다. 제2 보호막(154)은 유전율이 작은 재료, 예컨대 아크릴(acryl)계 유기 화합물등을 포함한다. 이러한 제2 보호막(154)은 그 하부의 데이터라인(104)과 그 상부의 공통 전극(119)이 서로 중첩될 때, 기생 컵의 용량을 줄이는 역할을 한다. 이어서, 제3 마스크를 통한 포토리소그래피 공정으로, 제1 및 제2 콘택홀(113,115)이 형성될 부분과, 패드들(124,130,136)이 형성될 부분과, 개구 블럭(BL)들을 포함한 빛의 투과 영역에서 제2 보호막(154)이 제거된다.
- [0065] 이어서, 제2 보호막(154) 패턴을 이용한 건식 식각 공정을 통해 도 7d와 같이 제1 내지 제5 콘택홀(113,121,127,133,139)이 형성된다. 제1 콘택홀(113)은 보호막들(152,154)을 관통하여 TFT의 드레인 전극(112)을 노출시키고, 제2 콘택홀(115)은 보호막들(152,154)과 게이트 절연막(146)을 관통하여 내부 공통라인(116A)을 노출시킨다. 제3 콘택홀(127)은 게이트 절연막(146)을 관통하여 게이트 패드 하부 전극(126)을 노출시키고, 제4 콘택홀(133)은 게이트 절연막(146)을 관통하여 데이터 패드 하부 전극(132)을 노출시키며, 제5 콘택홀(139)은 게이트 절연막(146)을 관통하여 공통 패드 하부 전극(138)을 노출시킨다.
- [0066] 도 7e 및 도 7f를 참조하면, 콘택홀들(113,121,127,133,139)이 형성된 하부 기판(145) 상에 제4 마스크 공정을 이용하여 화소 전극(114), 공통 전극(119), 게이트 패드 상부 전극(128), 데이터 패드 상부 전극(134) 및 공통 패드 상부 전극(140)을 포함하는 제3 도전 패턴군이 형성된다.
- [0067] 상세히 하면, 도 7e와 같이 콘택홀들(113,115,127,133,139)을 포함하는 보호막들(152,154)이 형성된 하부 기판(145) 상에 스퍼터링 등의 증착 방법으로 제3 도전물질(156)이 도포된다. 제3 도전물질(156)로는 ITO, IZO, TO 등의 투명 도전물질 또는, Cr, MoW, MoTi, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등의 금속물질이 이용될 수 있다. 제3 도전물질(156)은 나이트 라이드(Nitride) 계열의 물질 또는, 옥사이드(Oxide) 계열의 물질로 이루어진 저반사 물질을 더 포함할 수 있다. 이어서, 제3 도전물질(156) 상에 제3 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴(158)을 형성한다.
- [0068] 이어서, 이 포토레지스트 패턴(158)을 이용한 습식 식각 공정으로 제3 도전물질(156)이 패터닝됨으로써 도 7f와 같이 화소 전극(114), 공통 전극(119), 게이트 패드 상부 전극(128), 데이터 패드 상부 전극(134) 및 공통 패드 상부 전극(140)을 포함하는 제3 도전 패턴군이 형성된다. 화소 전극(114)은 제1 콘택홀(113)에서 TFT의 드레인 전극(112)과 전기적으로 접속된다. 공통 전극(119)은 제2 콘택홀(115)에서 내부 공통 라인(116A)과 전기적으로 접속된다. 게이트 패드 상부 전극(128)은 제3 콘택홀(127)에서 게이트 패드 하부 전극(126)과 전기적으로 접속된다. 데이터 패드 상부 전극(134)은 제4 콘택홀(133)에서 데이터 하부 전극(132)과 전기적으로 접속된다. 공통 패드 상부 전극(140)은 제5 콘택홀(139)에서 공통 패드 하부 전극(138)과 전기적으로 접속된다. 화소 전극(114)의 핑거부(114B)와, 공통 전극(119)의 일부 핑거부(119B)는 기판(145) 위에 직접 형성된다. 그 결과, 개구 블럭(BL)들을 포함한 빛의 투과 영역 내에 게이트 절연막(146)과 보호막들(152,154)이 존재하지 않기 때문에, 화소의 투과율은 더욱 크게 증가된다.
- [0069] 이와 같이, 본 발명의 제2 실시예에 따른 액정표시장치 및 그 제조 방법에서는 공통 전극과 데이터라인 사이에

저 유전율 물질을 포함하는 보호막을 형성하여 공통 전극과 데이터라인을 중첩시킨다. 그 결과, 화소 영역에서 개구 블럭 면적이 늘어남과 아울러, 블랙 매트릭스와 화소 영역 간 중첩 면적이 줄어들므로 화소의 투과율이 크게 증가된다. 아울러, 본 발명의 제2 실시예에 따른 액정표시장치 및 그 제조 방법에서는 공통 전극의 핑거부 일부와, 화소 전극의 핑거부를 기판 위에 직접 형성한다. 그 결과, 개구 블럭들을 포함한 빛의 투과 영역 내에 게이트 절연막과 보호막들이 존재하지 않기 때문에, 화소의 투과율이 더욱 크게 증가된다.

[0070] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## 도면의 간단한 설명

[0071] 도 1은 종래 액정표시장치에서 데이터라인과 공통 전극이 이격되어 형성되는 것을 보여주는 도면.

[0072] 도 2는 본 발명의 제1 실시예에 따른 TFT 어레이 기판의 평면도.

[0073] 도 3은 도 2를 I-I', II-II' 및 III-III'에 따라 절취한 단면도.

[0074] 도 4a 내지 도 4f는 본 발명의 제1 실시예에 따른 TFT 기판의 제조 방법을 순차적으로 보여주는 단면도들.

[0075] 도 5는 본 발명의 제2 실시예에 따른 TFT 어레이 기판의 평면도.

[0076] 도 6은 도 5를 IV-IV', V-V', 및 VI-VI'에 따라 절취한 단면도.

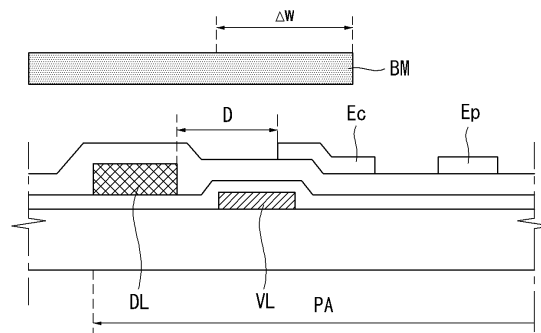
[0077] 도 7a 내지 도 7f는 본 발명의 제2 실시예에 따른 TFT 기판의 제조 방법을 순차적으로 보여주는 단면도들.

[0078] < 도면의 주요 부분에 대한 부호의 설명 >

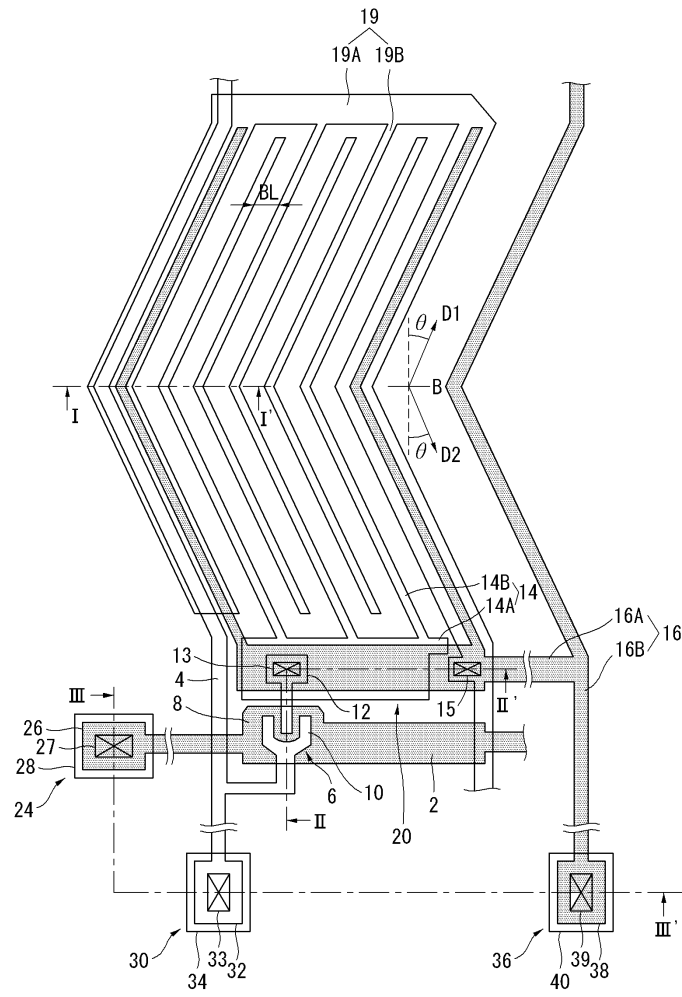
|                                 |              |
|---------------------------------|--------------|
| [0079] 2 : 게이트 라인               | 4 : 데이터 라인   |
| [0080] 6 : TFT                  | 8 : 게이트 전극   |
| [0081] 10 : 소스 전극               | 12 : 드레인 전극  |
| [0082] 13, 15, 27, 33, 39 : 콘택홀 | 14 : 화소 전극   |
| [0083] 16 : 공통 라인               | 19 : 공통 전극   |
| [0084] 20 : 스토리지 캐패시터           | 24 : 게이트 패드  |
| [0085] 30 : 데이터 패드              | 36 : 공통 패드   |
| [0086] 45 : 기판                  | 46 : 게이트 절연막 |
| [0087] 48 : 활성층                 | 50 : 오믹접촉층   |
| [0088] 52 : 제1 보호막              | 54 : 제2 보호막  |

## 도면

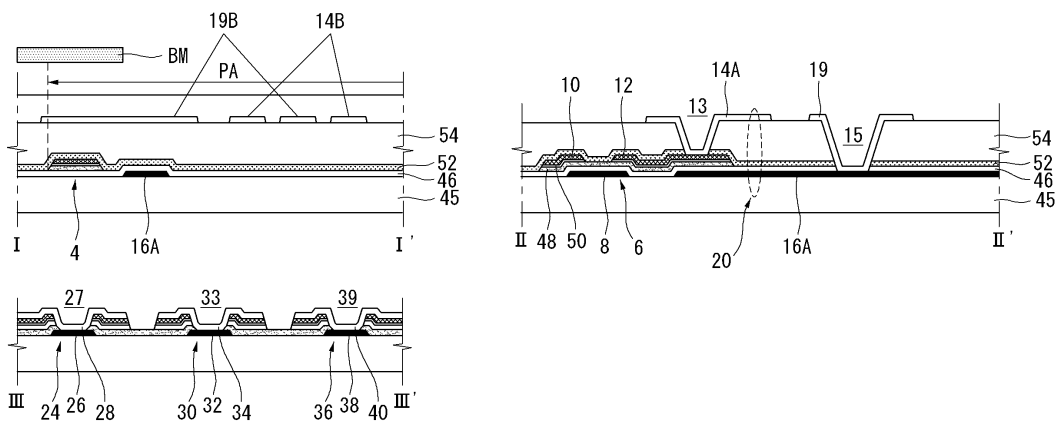
### 도면1



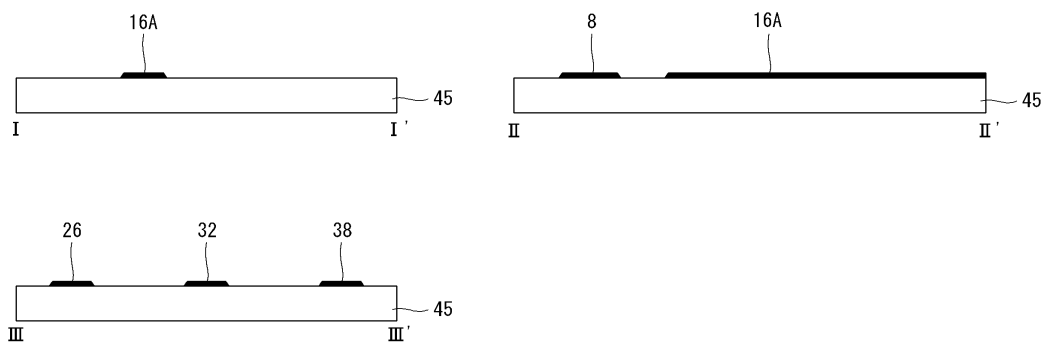
도면2



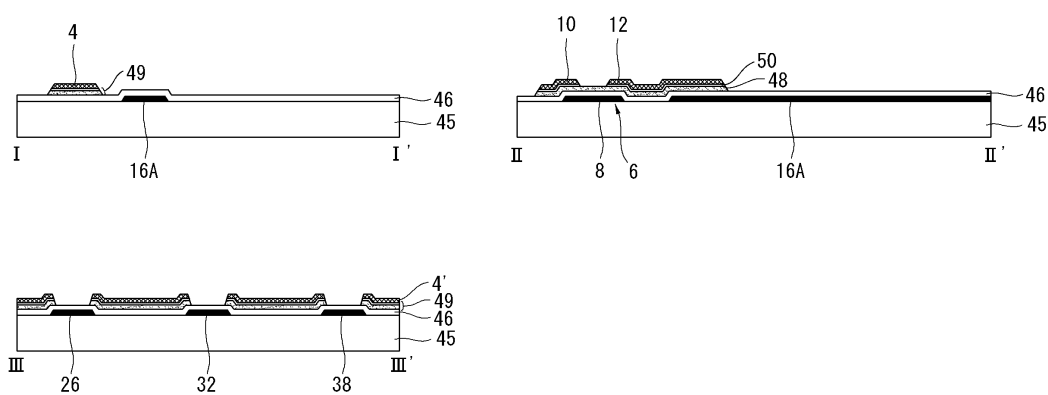
도면3



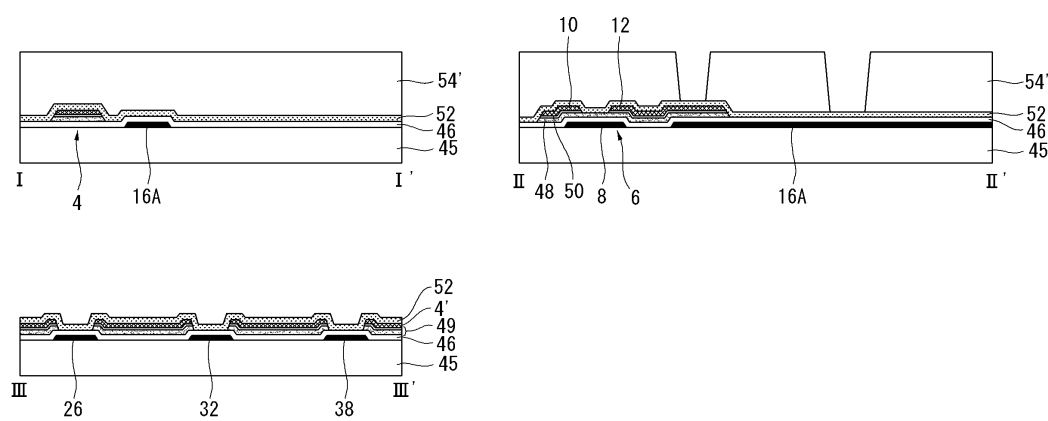
도면4a



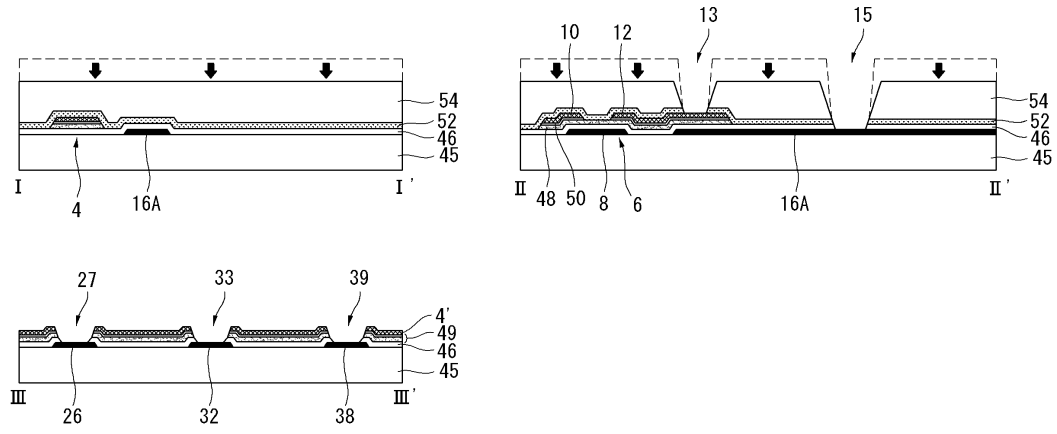
도면4b



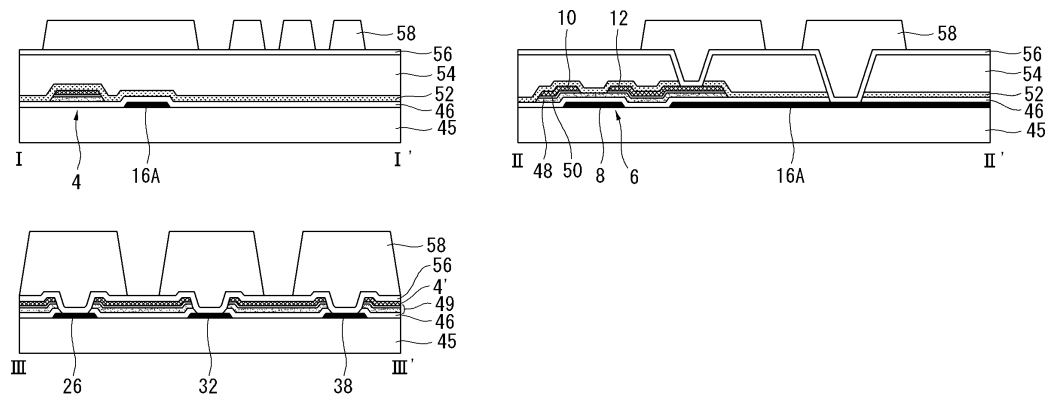
도면4c



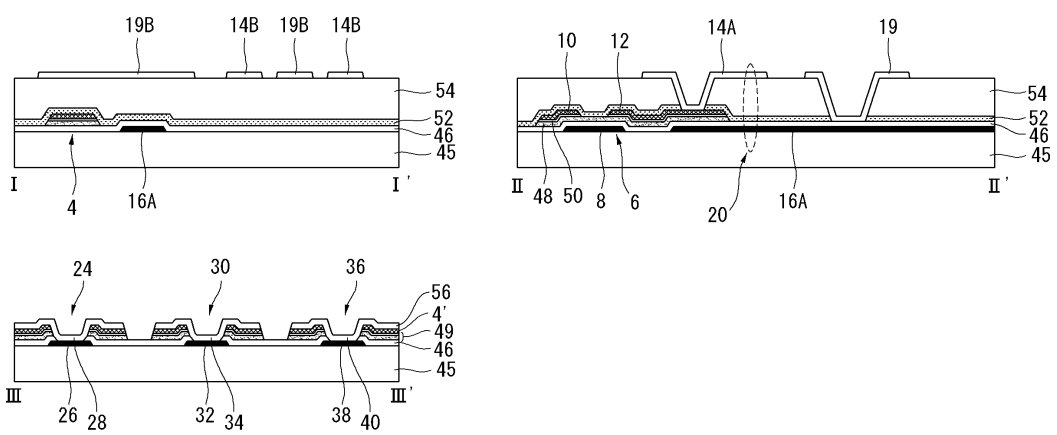
도면4d



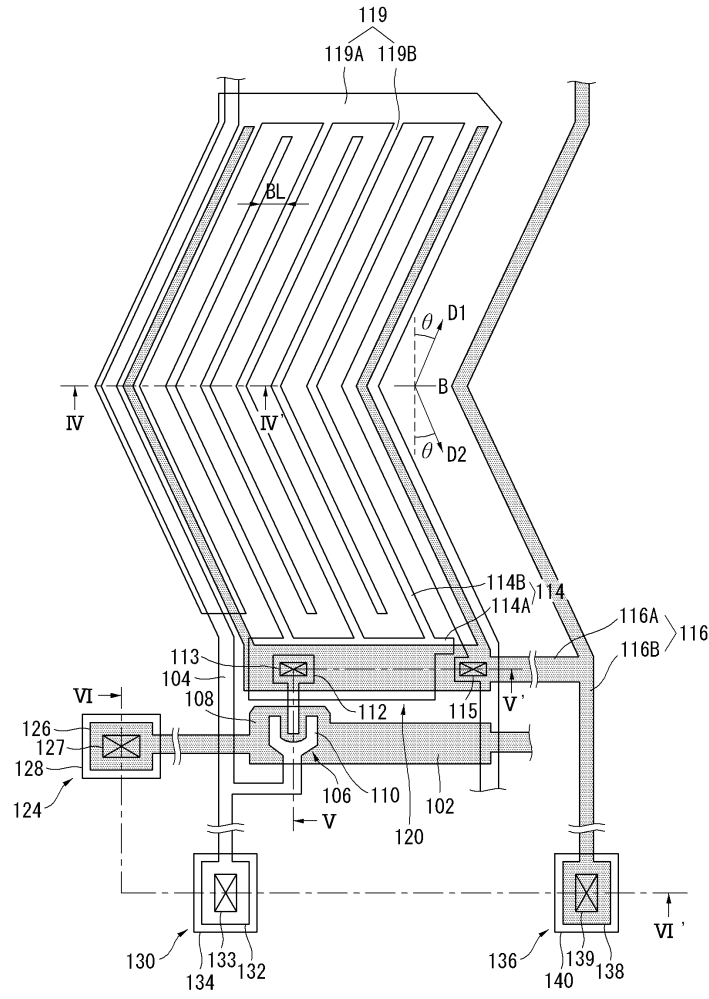
도면4e



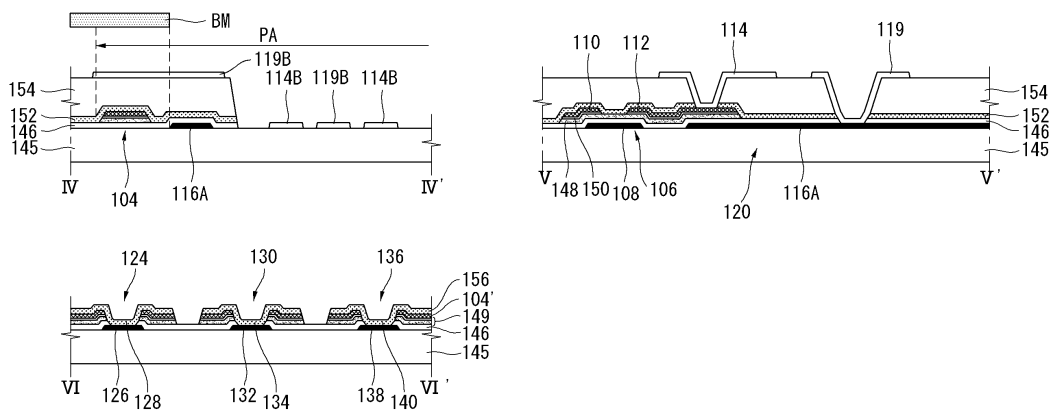
도면4f



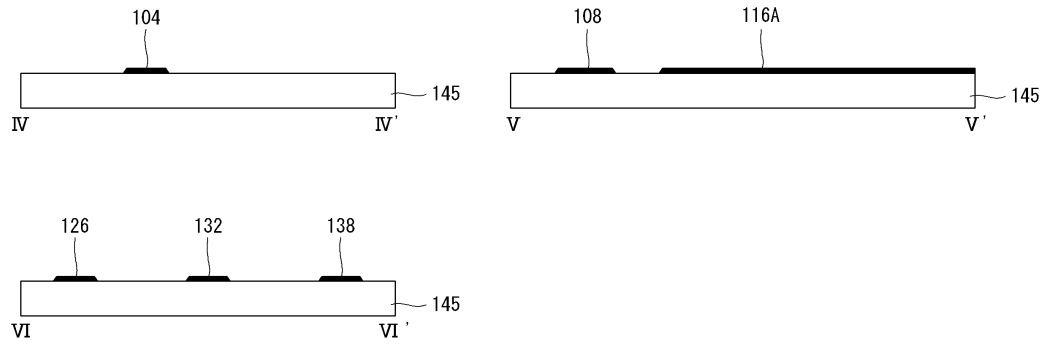
도면5



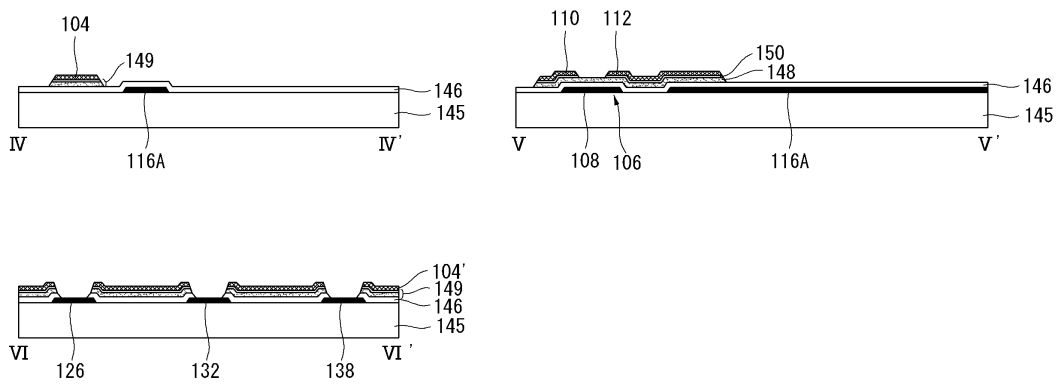
도면6



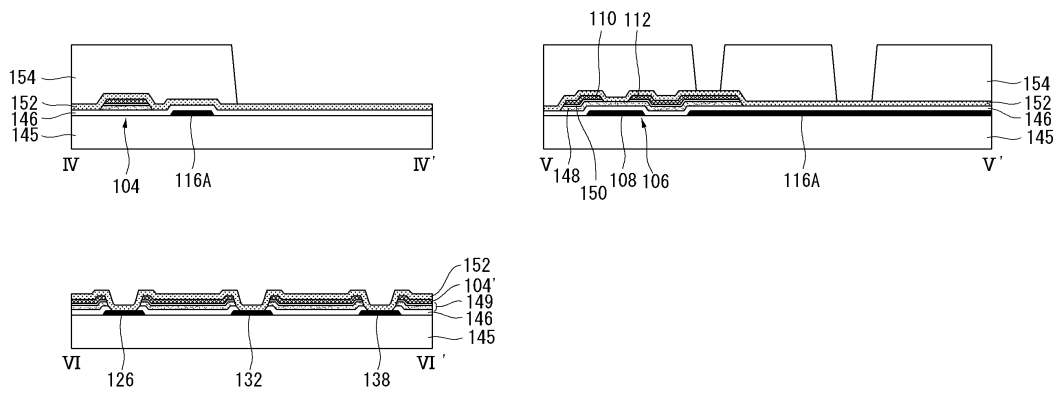
도면7a



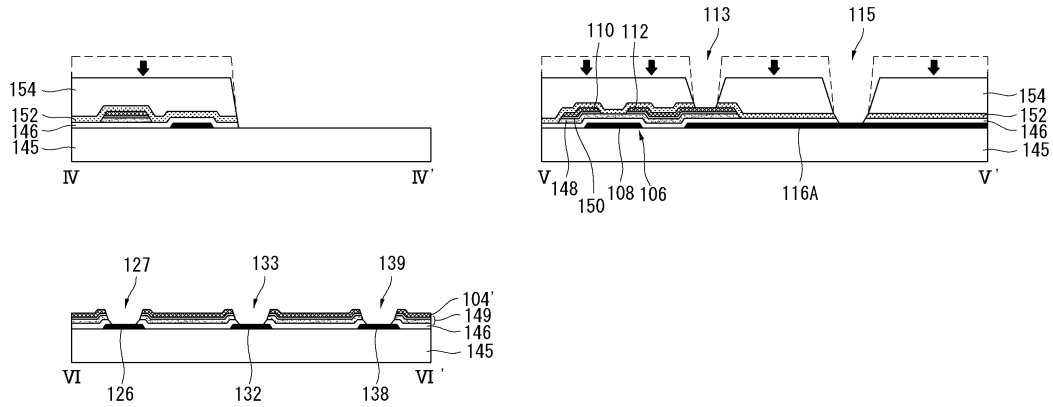
도면7b



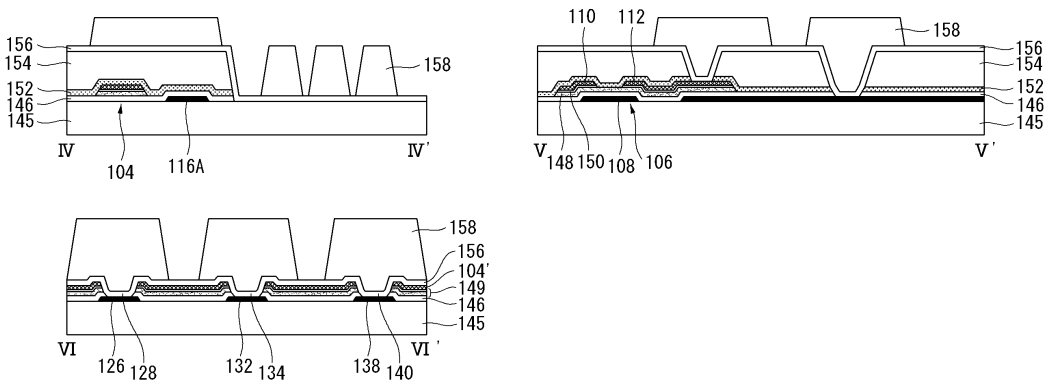
도면7c



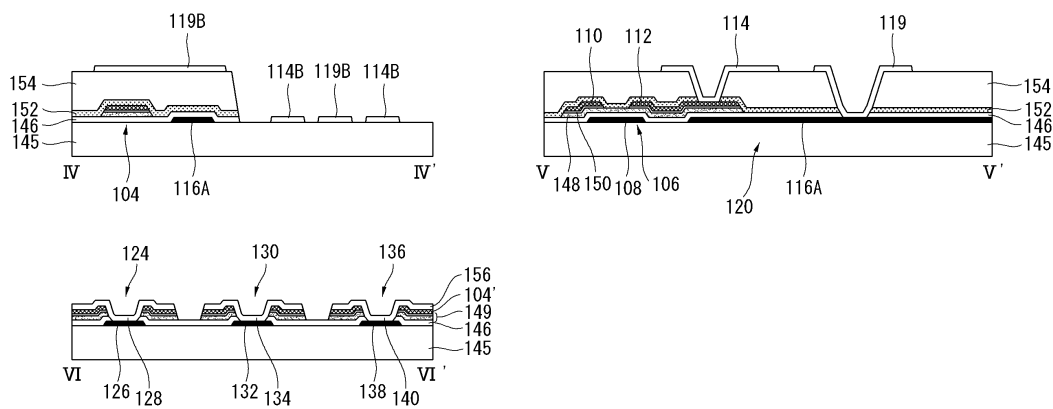
도면7d



도면7e



도면7f



|                |                                                            |         |            |
|----------------|------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：液晶显示装置及其制造方法                                            |         |            |
| 公开(公告)号        | <a href="#">KR101323477B1</a>                              | 公开(公告)日 | 2013-10-31 |
| 申请号            | KR1020090093299                                            | 申请日     | 2009-09-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                   |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                  |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                  |         |            |
| [标]发明人         | PARK MUN GI                                                |         |            |
| 发明人            | PARK MUN GI                                                |         |            |
| IPC分类号         | G02F1/1343 G02F1/136                                       |         |            |
| CPC分类号         | G02F1/136227 G02F1/1362 G02F1/1333 G02F1/1343 G02F1/134363 |         |            |
| 其他公开文献         | KR1020110035531A                                           |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                  |         |            |

#### 摘要(译)

液晶显示装置技术领域本发明涉及能够提高透射率的液晶显示装置。该液晶显示装置包括形成在第一基板上的栅极线;跨越栅极线的数据线以限定像素区域;公共线部分地围绕像素区域并且以与栅极线相同的工艺形成; TFT形成在栅极线和数据线的交叉处;公共电极包括连接到公共线的公共电极水平部分和从公共电极水平部分延伸的指状公共电极指状部分;并且像素电极连接到TFT并且在像素区域中具有与公共电极的水平电场;公共电极指状部分与数据线重叠,其间插入有介电常数低的第一保护膜。

