



(72) 발명자

**최대정**

경기 과주시 월릉면 덕은리 정다운마을 588번지  
103동 1310호

**최상훈**

서울특별시 마포구 토정로 167, 한진해모로아파트  
106동 1702호 (창전동)

**이재균**

경기도 수원시 장안구 정자천로189번길 47, 풍림2  
차 412동 404호 (정자동)

## 특허청구의 범위

### 청구항 1

표시영역 내에서 화소들이 매트릭스 형태로 배치되고 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

상기 표시영역 밖의 비표시영역에 형성되고 다수의 입력부들을 통해 공통전압이 인가되는 테두리 공통라인;

서브화소들 각각의 가장자리 영역을 따라 형성되어 서로 전기적으로 접속되는 다수의 메쉬 구조들을 이루며, 상기 서브화소들의 공통전극에 접속되는 화소공통라인 패턴; 및

수평으로 인접한 상기 화소들 사이마다 상기 데이터라인들과 나란한 방향으로 형성되고 상기 테두리 공통라인에 전기적으로 접속되어 상기 공통전압을 상기 화소공통라인 패턴에 인가하는 다수의 세로 공통라인들을 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 데이터라인들을 구동하기 위한 다수의 데이터 드라이브 IC들을 더 구비하고;

상기 다수의 입력부들은, 상기 데이터 드라이브 IC들 각각의 좌우측 터미널에 접속되는 다수의 공통전압 입력패드들을 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 1 항에 있어서,

상기 테두리 공통라인 및 상기 화소공통라인 패턴은 상기 게이트라인들과 동일 금속패턴으로 형성되고;

상기 세로 공통라인들은 상기 데이터라인들과 동일 금속패턴으로 형성되는 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 1 항에 있어서,

상기 테두리 공통라인을 노출시키는 제1 콘택홀과 상기 세로 공통라인을 노출시키는 제2 콘택홀을 통해 상기 테두리 공통라인과 세로 공통라인을 전기적으로 접속시키는 연결패턴을 더 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 5

제 2 항에 있어서,

상기 화소들 각각에는 두개의 게이트라인들과 두개의 데이터라인들이 할당되는 것을 특징으로 하는 액정표시장치.

### 청구항 6

제 5 항에 있어서,

상기 화소들은,

제1 게이트라인, 및 상기 제1 게이트라인과 수직으로 인접한 제2 게이트라인 사이에서 상기 제1 및 제2 게이트라인에 지그재그로 접속되는 제1 색 서브화소, 제2 색 서브화소, 및 제3 색 서브화소를 포함하는 제1 화소; 및

상기 제2 게이트라인과 수직으로 인접한 제3 게이트라인, 및 상기 제3 게이트라인과 수직으로 인접하는 제4 게이트라인 사이에서 상기 제3 및 제4 게이트라인에 지그재그로 접속되는 제1 색 서브화소, 제2 색 서브화소, 및 제3 색 서브화소를 포함하여 상기 제1 화소에 수직으로 인접되게 형성되는 제2 화소를 구비하고;

상기 두개의 데이터라인들 중 제1 데이터라인은 상기 제1 및 제2 화소 각각의 상기 제1 색 서브화소와 제2 색 서브화소 사이에 형성되고, 상기 두개의 데이터라인들 중 제2 데이터라인은 상기 제1 및 제2 화소 각각의 상기

제2 색 서브화소와 제3 색 서브화소 사이에 형성되는 것을 특징으로 하는 액정표시장치.

**청구항 7**

제 6 항에 있어서,

상기 제1 화소에서, 상기 제1 및 제3 색 서브화소는 상기 제2 게이트라인에 접속되고, 상기 제2 색 서브화소는 상기 제1 게이트라인에 접속되며;

상기 제2 화소에서, 상기 제1 및 제3 색 서브화소는 상기 제3 게이트라인에 접속되고, 상기 제2 색 서브화소는 상기 제4 게이트라인에 접속되는 것을 특징으로 하는 액정표시장치.

**청구항 8**

제 7 항에 있어서,

상기 제1 및 제2 화소 각각의 제1 색 서브화소는,

상기 데이터라인들에 경사지도록 형성되는 다수의 제1 핑거부들과, 상기 제1 핑거부들을 연결하기 위해 제1 세로 공통라인 및 상기 화소공통라인 패턴에 부분적으로 중첩되는 제1 접속부를 포함하는 제1 공통전극; 및

상기 데이터라인들과 경사지도록 형성되어 상기 제1 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제2 핑거부들과, 상기 제2 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩되는 제2 접속부를 포함하는 제1 화소전극을 구비하고;

상기 제1 공통전극은 제1 공통전극 콘택홀을 통해 상기 제1 세로 공통라인에 접속되고, 제2 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속되는 것을 특징으로 하는 액정표시장치.

**청구항 9**

제 7 항에 있어서,

상기 제1 및 제2 화소 각각의 제2 색 서브화소는,

상기 데이터라인들과 경사지도록 형성되는 다수의 제3 핑거부들과, 상기 제3 핑거부들을 연결하기 위해 상기 화소공통라인 패턴에 부분적으로 중첩되는 제3 접속부를 포함하는 제2 공통전극; 및

상기 데이터라인들과 경사지도록 형성되어 상기 제3 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제4 핑거부들과, 상기 제4 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩되는 제4 접속부를 포함하는 제2 화소전극을 구비하고;

상기 제2 공통전극은 제3 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속되는 것을 특징으로 하는 액정표시장치.

**청구항 10**

제 7 항에 있어서,

상기 제1 및 제2 화소 각각의 제3 색 서브화소는,

상기 데이터라인들과 경사지도록 형성되는 다수의 제5 핑거부들과, 상기 제5 핑거부들을 연결하기 위해 제2 세로 공통라인 및 상기 화소공통라인 패턴에 부분적으로 중첩되는 제5 접속부를 포함하는 제3 공통전극; 및

상기 데이터라인들과 경사지도록 형성되어 상기 제5 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제6 핑거부들과, 상기 제6 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩되는 제6 접속부를 포함하는 제3 화소전극을 구비하고;

상기 제3 공통전극은 제4 공통전극 콘택홀을 통해 상기 제2 세로 공통라인에 접속되고, 제5 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속되는 것을 특징으로 하는 액정표시장치.

**청구항 11**

제 7 항에 있어서,

상기 제1 및 제2 화소 각각의 제1 색 서브화소는,

상기 데이터라인들에 나란히 형성되는 다수의 제1 핑거부들과, 상기 제1 핑거부들을 연결하기 위해 제1 세로 공통라인 및 상기 화소공통라인 패턴에 부분적으로 중첩되는 제1 접속부를 포함하는 제1 공통전극; 및

상기 데이터라인들에 나란히 형성되어 상기 제1 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제2 핑거부들과, 상기 제2 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩되는 제2 접속부를 포함하는 제1 화소전극을 구비하고;

상기 제1 공통전극은 제1 공통전극 콘택홀을 통해 상기 제1 세로 공통라인에 접속되고, 제2 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속되는 것을 특징으로 하는 액정표시장치.

### 청구항 12

제 11 항에 있어서,

상기 제1 및 제2 화소 각각의 제2 색 서브화소는,

상기 데이터라인들에 나란히 형성되는 다수의 제3 핑거부들과, 상기 제3 핑거부들을 연결하기 위해 상기 화소공통라인 패턴에 부분적으로 중첩되는 제3 접속부를 포함하는 제2 공통전극; 및

상기 데이터라인들에 나란히 형성되어 상기 제3 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제4 핑거부들과, 상기 제4 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩되는 제4 접속부를 포함하는 제2 화소전극을 구비하고;

상기 제2 공통전극은 제3 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속되는 것을 특징으로 하는 액정표시장치.

### 청구항 13

제 12 항에 있어서,

상기 제1 및 제2 화소 각각의 제3 색 서브화소는,

상기 데이터라인들에 나란히 형성되는 다수의 제5 핑거부들과, 상기 제5 핑거부들을 연결하기 위해 제2 세로 공통라인 및 상기 화소공통라인 패턴에 부분적으로 중첩되는 제5 접속부를 포함하는 제3 공통전극; 및

상기 데이터라인들에 나란히 형성되어 상기 제5 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제6 핑거부들과, 상기 제6 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩되는 제6 접속부를 포함하는 제3 화소전극을 구비하고;

상기 제3 공통전극은 제4 공통전극 콘택홀을 통해 상기 제2 세로 공통라인에 접속되고, 제5 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속되는 것을 특징으로 하는 액정표시장치.

### 청구항 14

제 13 항에 있어서,

상기 제1 색 서브화소 내에서, 상기 제1 세로 공통라인을 노출시키는 제1 공통라인 콘택홀과 상기 화소공통라인 패턴을 노출시키는 제2 공통라인 콘택홀을 통해 상기 제1 세로 공통라인과 상기 화소공통라인 패턴을 전기적으로 접속시키는 제1 투명전극패턴을 더 구비하고;

상기 제3 색 서브화소 내에서, 상기 제2 세로 공통라인을 노출시키는 제3 공통라인 콘택홀과 상기 화소공통라인 패턴을 노출시키는 제4 공통라인 콘택홀을 통해 상기 제2 세로 공통라인과 상기 화소공통라인 패턴을 전기적으로 접속시키는 제2 투명전극패턴을 더 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 15

제 7 항에 있어서,

상기 게이트라인들에 공급되는 스캔펄스는 1/2 수평기간을 폭으로 순차적으로 발생되며;

상기 데이터 드라이브 IC는 상기 스캔펄스의 발생에 동기하여 상기 데이터라인들에 공급되는 데이터전압의 극성

을 반전시키는 것을 특징으로 하는 액정표시장치.

**청구항 16**

제 7 항에 있어서,

상기 게이트라인들 중 기수번째 게이트라인들에 공급되는 스캔펄스는 전반부 1/2 프레임기간 동안 1/2 수평기간을 폭으로 순차적으로 발생되고, 우수번째 게이트라인들에 공급되는 스캔펄스는 후반부 1/2 프레임기간 동안 1/2 수평기간을 폭으로 순차적으로 발생되며;

상기 데이터 드라이브 IC는 첫번째 기수 스캔펄스와 첫번째 우수 스캔펄스의 발생에 동기하여 상기 데이터라인들에 공급되는 데이터전압의 극성을 반전시키는 것을 특징으로 하는 액정표시장치.

**명세서**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 공통전압의 왜곡을 줄일 수 있는 액정표시장치에 관한 것이다.

**배경 기술**

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

[0003] 이러한 액정표시장치에서, 화소전극에는 데이터전압이 인가되고 그 화소전극과 대향하는 공통전극에는 공통전압이 인가된다. 공통전극들은 공통라인에 병렬 접속된다. 액정셀들은 화소전극과 공통전극에 인가되는 전압에 의해 구동된다.

[0004] 그런데 공통전압은 공통라인의 구조에 따른 라인저항 또는 면내 편차로 인하여 왜곡되기가 쉽다. 예컨대, 공통라인이 수평라인 수(수직 해상도)만큼 형성되고 그 공통라인이 게이트라인과 나란한 방향으로 형성되는 액정표시장치는 스캔펄스에 의해 1 수평라인의 화소들에 동시에 데이터전압이 인가되므로 그 화소들에 대향하는 공통라인의 로드(Load)가 커질 수 밖에 없다. 공통라인의 로드는 공통라인의 라인저항과 기생용량의 곱으로 정의되는 RC 딜레이(Delay) 량에 의존하므로, RC 딜레이(Delay) 량을 줄이기 위해서는 공통라인의 라인저항을 줄일 필요가 있다. 그러나, 종래 액정표시장치는 도 1과 같이 단지 두 군데의 입력부를 통해 공통전압(Vcom)을 공급받는 공통라인의 구조를 취하므로 라인저항을 줄이는데 한계가 있다. 그 결과 종래 액정표시장치에서 공통전압(Vcom)은 일정한 값으로 유지되지 못하고, 도 2a와 같이 스캔펄스(SP) 또는 데이터전압(Vdat)에 영향받아 출렁이게 된다. 이러한 공통전압(Vcom)의 리플(Ripple) 현상은 도 3a와 같이 특정 데이터패턴이 표시될 때 수평 크로스토크(Crosstalk)를 유발하는 주 요인이 된다.

[0005] 또한, 종래 액정표시장치에서는 도 1과 같은 공통라인의 구조로 인해 패널의 좌우측 영역으로부터 패널의 중간 영역으로 갈수록 라인저항이 증가되므로, 도 2b와 같은 공통전압(Vcom)의 면내 편차가 야기된다. 이러한 공통전압(Vcom)의 면내 편차는 도 3b와 같은 상하 휘도차 및 플리커(Flicker)를 유발할 뿐만 아니라, 패널 내에 DC 성분을 축적시켜 잔상등을 유발한다. 공통라인의 저항을 줄이기 위하여, 대부분의 액정표시장치에서는 패널의 가장자리 즉, 화소 어레이의 밖의 비표시영역에 형성된 공통라인의 선폭을 넓게 하고 있지만 그 비표시영역의 면적도 한계가 있어 공통라인의 저항을 줄이기가 어렵고 공통라인의 위치에 따라 저항 편차가 비교적 크다.

[0006] 또한, 종래 액정표시장치에서는 공통라인이 수평라인 수만큼 형성되므로 화소 어레이의 개구율을 높여 휘도를 증가시키는 데 한계가 있다.

**발명의 내용**

**해결 하고자하는 과제**

- [0007] 따라서, 본 발명의 목적은 공통라인의 배치를 최적화하여 공통전압의 왜곡을 줄일 수 있도록 한 액정표시장치를 제공하는데 있다.
- [0008] 본 발명의 다른 목적은 공통라인의 배치를 최적화하여 화소 어레이의 개구율을 높이도록 한 액정표시장치를 제공하는데 있다.

**과제 해결수단**

- [0009] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 표시영역 내에서 화소들이 매트릭스 형태로 배치되고 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 상기 표시영역 밖의 비표시영역에 형성되고 다수의 입력부들을 통해 공통전압이 인가되는 테두리 공통라인; 상기 서브화소들 각각의 가장자리 영역을 따라 형성되어 서로 전기적으로 접속되는 다수의 메쉬 구조들을 이루며, 상기 서브화소들의 공통전극에 접속되는 화소공통라인 패턴; 및 수평으로 인접한 상기 화소들 사이마다 상기 데이터라인들과 나란한 방향으로 형성되고 상기 테두리 공통라인에 전기적으로 접속되어 상기 공통전압을 상기 화소공통라인 패턴에 인가하는 다수의 세로 공통라인들을 구비한다.
- [0010] 이 액정표시장치는 상기 데이터라인들을 구동하기 위한 다수의 데이터 드라이브 IC들을 더 구비하고; 상기 다수의 입력부들은, 상기 데이터 드라이브 IC들 각각의 좌우측 터미널에 접속되는 다수의 공통전압 입력패드들을 포함한다.
- [0011] 상기 테두리 공통라인 및 상기 화소공통라인 패턴은 상기 게이트라인들과 동일 금속패턴으로 형성되고; 상기 세로 공통라인들은 상기 데이터라인들과 동일 금속패턴으로 형성된다.
- [0012] 이 액정표시장치는 상기 테두리 공통라인을 노출시키는 제1 콘택홀과 상기 세로 공통라인을 노출시키는 제2 콘택홀을 통해 상기 테두리 공통라인과 세로 공통라인을 전기적으로 접속시키는 연결패턴을 더 구비한다.
- [0013] 상기 화소들 각각에는 두개의 게이트라인들과 두개의 데이터라인들이 할당된다.
- [0014] 상기 화소들은, 제1 게이트라인, 및 상기 제1 게이트라인과 수직으로 인접한 제2 게이트라인 사이에서 상기 제1 및 제2 게이트라인에 지그재그로 접속되는 제1 색 서브화소, 제2 색 서브화소, 및 제3 색 서브화소를 포함하는 제1 화소; 및 상기 제2 게이트라인과 수직으로 인접한 제3 게이트라인, 및 상기 제3 게이트라인과 수직으로 인접하는 제4 게이트라인 사이에서 상기 제3 및 제4 게이트라인에 지그재그로 접속되는 제1 색 서브화소, 제2 색 서브화소, 및 제3 색 서브화소를 포함하여 상기 제1 화소에 수직으로 인접되게 형성되는 제2 화소를 구비하고; 상기 두개의 데이터라인들 중 제1 데이터라인은 상기 제1 및 제2 화소 각각의 상기 제1 색 서브화소와 제2 색 서브화소 사이에 형성되고, 상기 두개의 데이터라인들 중 제2 데이터라인은 상기 제1 및 제2 화소 각각의 상기 제2 색 서브화소와 제3 색 서브화소 사이에 형성된다.
- [0015] 상기 제1 화소에서, 상기 제1 및 제3 색 서브화소는 상기 제2 게이트라인에 접속되고, 상기 제2 색 서브화소는 상기 제1 게이트라인에 접속되며; 상기 제2 화소에서, 상기 제1 및 제3 색 서브화소는 상기 제3 게이트라인에 접속되고, 상기 제2 색 서브화소는 상기 제4 게이트라인에 접속된다.
- [0016] 상기 제1 및 제2 화소 각각의 제1 색 서브화소는, 상기 데이터라인들에 경사지도록 형성되는 다수의 제1 핑거부들과, 상기 제1 핑거부들을 연결하기 위해 제1 세로 공통라인 및 상기 화소공통라인 패턴에 부분적으로 중첩되는 제1 접속부를 포함하는 제1 공통전극; 및 상기 데이터라인들과 경사지도록 형성되어 상기 제1 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제2 핑거부들과, 상기 제2 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩되는 제2 접속부를 포함하는 제1 화소전극을 구비하고; 상기 제1 공통전극은 제1 공통전극 콘택홀을 통해 상기 제1 세로 공통라인에 접속되고, 제2 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속된다.
- [0017] 상기 제1 및 제2 화소 각각의 제2 색 서브화소는, 상기 데이터라인들과 경사지도록 형성되는 다수의 제3 핑거부들과, 상기 제3 핑거부들을 연결하기 위해 상기 화소공통라인 패턴에 부분적으로 중첩되는 제3 접속부를 포함하는 제2 공통전극; 및 상기 데이터라인들과 경사지도록 형성되어 상기 제3 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제4 핑거부들과, 상기 제4 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩

되는 제4 접속부를 포함하는 제2 화소전극을 구비하고; 상기 제2 공통전극은 제3 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속된다.

[0018] 상기 제1 및 제2 화소 각각의 제3 색 서브화소는, 상기 데이터라인들과 경사지도록 형성되는 다수의 제5 핑거부들과, 상기 제5 핑거부들을 연결하기 위해 제2 세로 공통라인 및 상기 화소공통라인 패턴에 부분적으로 중첩되는 제3 공통전극; 및 상기 데이터라인들과 경사지도록 형성되어 상기 제5 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제6 핑거부들과, 상기 제6 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩되는 제6 접속부를 포함하는 제3 화소전극을 구비하고; 상기 제3 공통전극은 제4 공통전극 콘택홀을 통해 상기 제2 세로 공통라인에 접속되고, 제5 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속된다.

[0019] 상기 제1 및 제2 화소 각각의 제1 색 서브화소는, 상기 데이터라인들에 나란히 형성되는 다수의 제1 핑거부들과, 상기 제1 핑거부들을 연결하기 위해 제1 세로 공통라인 및 상기 화소공통라인 패턴에 부분적으로 중첩되는 제1 접속부를 포함하는 제1 공통전극; 및 상기 데이터라인들에 나란히 형성되어 상기 제1 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제2 핑거부들과, 상기 제2 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩되는 제2 접속부를 포함하는 제1 화소전극을 구비하고; 상기 제1 공통전극은 제1 공통전극 콘택홀을 통해 상기 제1 세로 공통라인에 접속되고, 제2 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속된다.

[0020] 상기 제1 및 제2 화소 각각의 제2 색 서브화소는, 상기 데이터라인들에 나란히 형성되는 다수의 제3 핑거부들과, 상기 제3 핑거부들을 연결하기 위해 상기 화소공통라인 패턴에 부분적으로 중첩되는 제3 접속부를 포함하는 제2 공통전극; 및 상기 데이터라인들에 나란히 형성되어 상기 제3 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제4 핑거부들과, 상기 제4 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩되는 제4 접속부를 포함하는 제2 화소전극을 구비하고; 상기 제2 공통전극은 제3 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속된다.

[0021] 상기 제1 및 제2 화소 각각의 제3 색 서브화소는, 상기 데이터라인들에 나란히 형성되는 다수의 제5 핑거부들과, 상기 제5 핑거부들을 연결하기 위해 제2 세로 공통라인 및 상기 화소공통라인 패턴에 부분적으로 중첩되는 제5 접속부를 포함하는 제3 공통전극; 및 상기 데이터라인들에 나란히 형성되어 상기 제5 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제6 핑거부들과, 상기 제6 핑거부들을 연결하며 상기 화소공통라인 패턴과 부분적으로 중첩되는 제6 접속부를 포함하는 제3 화소전극을 구비하고; 상기 제3 공통전극은 제4 공통전극 콘택홀을 통해 상기 제2 세로 공통라인에 접속되고, 제5 공통전극 콘택홀을 통해 상기 화소공통라인 패턴에 접속된다.

[0022] 상기 제1 색 서브화소 내에서, 상기 제1 세로 공통라인을 노출시키는 제1 공통라인 콘택홀과 상기 화소공통라인 패턴을 노출시키는 제2 공통라인 콘택홀을 통해 상기 제1 세로 공통라인과 상기 화소공통라인 패턴을 전기적으로 접속시키는 제1 투명전극패턴을 더 구비하고; 상기 제3 색 서브화소 내에서, 상기 제2 세로 공통라인을 노출시키는 제3 공통라인 콘택홀과 상기 화소공통라인 패턴을 노출시키는 제4 공통라인 콘택홀을 통해 상기 제2 세로 공통라인과 상기 화소공통라인 패턴을 전기적으로 접속시키는 제2 투명전극패턴을 더 구비한다.

[0023] 상기 게이트라인들에 공급되는 스캔펄스는 1/2 수평기간을 폭으로 순차적으로 발생되며; 상기 데이터 드라이브 IC는 상기 스캔펄스의 발생에 동기하여 상기 데이터라인들에 공급되는 데이터전압의 극성을 반전시킨다.

[0024] 상기 게이트라인들 중 기수번째 게이트라인들에 공급되는 스캔펄스는 전반부 1/2 프레임기간 동안 1/2 수평기간을 폭으로 순차적으로 발생되고, 우수번째 게이트라인들에 공급되는 스캔펄스는 후반부 1/2 프레임기간 동안 1/2 수평기간을 폭으로 순차적으로 발생되며; 상기 데이터 드라이브 IC는 첫번째 기수 스캔펄스와 첫번째 우수 스캔펄스의 발생에 동기하여 상기 데이터라인들에 공급되는 데이터전압의 극성을 반전시킨다.

### 효 과

[0025] 본 발명에 따른 액정표시장치는 공통전압을 공급하기 위한 입력부를 늘림과 아울러 데이터라인 방향으로 형성되는 세로 공통라인과 각 서브화소내에서 메쉬 구조를 이루는 화소공통라인 패턴을 포함한 공통라인을 형성함으로써, 공통전압의 면내 편차 감소, 공통라인 저항값 감소, 및 공통라인의 로드 분산등을 통해 종래 공통전압의 왜곡에 따른 크로스토크, 플리커, DC 잔상등과 같은 화질 불량을 크게 경감시킬 수 있다.

[0026] 나아가, 본 발명에 따른 액정표시장치는 공통전압이 공급되는 세로 공통라인을 서브화소들 사이가 아닌 화소들

사이마다 하나씩 형성하고, 인접하는 서브화소들에서 이를 공유하는 구조를 취하므로, 종래 가로 공통라인 구조에 비해 개구율이 10 % 이상 증가하여 휘도 향상에 크게 이바지할 수 있다.

[0027] 더 나아가, 본 발명에 따른 액정표시장치는 하나의 화소당 두개의 데이터라인과 두개의 게이트라인을 할당하여 데이터라인의 갯수를 종래의 2/3로 줄임으로써, 데이터라인이 줄어든 만큼 데이터 드라이브 IC의 갯수를 줄일 수 있어 제조비용을 크게 절감할 수 있다.

[0028] 더 나아가, 본 발명에 따른 액정표시장치는 전반부 1/2 프레임기간 동안 순차적으로 구동되는 기수번째 스캔라인들과 후반부 1/2 프레임기간 동안 순차적으로 구동되는 우수번째 스캔라인들을 이용함으로써, 데이터 드라이버 IC에서 1/2 프레임기간을 주기로 데이터전압의 극성을 반전시키더라도 액정표시패널에 표시될 때는 이 데이터전압이 도트 인버전 방식으로 반전되도록 할 수 있다. 이에 따라, 본 발명에 따른 액정표시장치는 데이터 드라이브 IC내에서 발생하는 데이터전압의 극성 변화 횟수를 반으로 감소시킴으로써 트랜지션 변화폭에 따른 로드를 줄여 데이터 드라이브 IC 내에서의 발열 및 소비전력을 크게 줄일 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0029] 이하, 도 4 내지 도 17을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0030] 도 4는 본 발명의 실시예에 따른 액정표시장치를 보여준다.

[0031] 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13), 및 공통전압 발생부(14)를 구비한다.

[0032] 액정표시패널(10)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널(10)은 2m/3 개의 데이터라인들(D1 내지 D2m/3)과 2n 개의 게이트라인들(G1 내지 G2n)의 교차 구조에 의해 매트릭스 형태로 배치된 m×n 개의 액정셀(C1c)들을 포함한다. 수평 방향으로 인접한 R 서브화소, G 서브화소 및 B 서브화소를 포함하는 하나의 화소를 구동하기 위해, 각 화소마다 두 개의 게이트라인들과 두 개의 데이터라인들이 할당된다.

[0033] 액정표시패널(10)의 하부 유리기관에는 데이터라인들(D1 내지 D2m/3), 게이트라인들(G1 내지 G2n), TFT들, TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동되는 액정셀(C1c), 및 스토리지 커패시터(Cst) 등이 형성된다. 공통라인은 하부 유리기관의 가장자리(비표시영역)에 형성되는 테두리 공통라인과, 데이터라인들(D1 내지 D2m/3)과 나란한 방향으로 형성되어 테두리 공통라인에 연결되는 세로 공통라인들과, 서브화소의 가장자리 영역을 따라 메쉬(Mesh) 구조로 형성되어 세로 공통라인들에 연결되는 화소공통라인 패턴들을 포함한다. 공통라인은 공통전압 발생부(14)의 출력단에 전기적으로 접속되고 공통전극들(2)은 공통라인에 연결된다. 한편, 공통라인은 공통전극(2)에 연결됨과 아울러 화소 어레이에서 스토리지 온 커먼(Storage on common) 방식의 스토리지 커패시터(Cst)를 형성할 수 있다. 이 경우에 공통라인은 하부 유리기관 상에서 절연막을 사이에 두고 화소전극들과 중첩된다.

[0034] 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다.

[0035] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.

[0036] 액정표시패널(10)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 계면에 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0037] 타이밍 콘트롤러(11)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블 신호(Data Enable), 도트클럭신호(DCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12), 및 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 데이터 타이밍 제어신호(DDC)와 게이트 타이밍 제어신호(GDC)를 포함한다. 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 스캔펄스가 발생되도록 스캔이 시작되는 라인을 포함한다. 게이트 쉬프트 클럭신호(GSC)는 게이트 구동회로(13)로 하여금 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키도록 게이트 구동회로(13)를 제어한다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(13)의 출력을 제어한다. 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock,

SSC), 극성제어신호(Polarity : POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 서브화소를 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(12) 내에서 데이터의 래치동작을 포함한다. 극성제어신호(POL)는 데이터 구동회로(12)로부터 출력되는 아날로그 비디오 데이터전압의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 소스 드라이브 IC의 출력을 제어한다.

[0038] 데이터 구동회로(12)는 다수의 데이터 드라이브 IC들을 포함한다. 데이터 드라이브 IC 각각은 타이밍 콘트롤러(11)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한 후에, 아날로그 정극성/부극성 데이터전압으로 변환하여 데이터라인들(D1 내지 D2m/3)에 공급한다. 또한, 데이터 드라이브 IC 각각은 좌우측 두 개의 더미 채널들을 이용하여 공통전압 발생부(14)로부터의 공통전압(Vcom)을 공통라인에 공급한다.

[0039] 게이트 구동회로(13)는 다수의 게이트 드라이브 IC들을 포함한다. 게이트 드라이브 IC들은 타이밍 콘트롤러(11)의 제어 하에 스캔펄스를 게이트라인들(G1 내지 G2n)에 공급한다.

[0040] 공통전압 발생부(14)는 공통전압(Vcom)을 발생시킨다. 이 공통전압(Vcom)은 각각의 데이터 드라이브 IC를 경유하여 공통라인에 인가된다.

[0041] 도 5는 본 발명의 실시예에 따른 공통라인을 보여 주는 평면도이다. 도 6은 도 5에 도시된 공통라인의 일부와 데이터라인들의 일부를 보여 주는 평면도이다. 그리고, 도 7은 도 6을 I-I', II-II' 및 III-III'을 따라 절취하여 공통라인(20)의 단면 구조를 보여준다. 도 7에서, 도면부호 '41'은 하부 유리기판을, 도면부호 '43'은 게이트절연막을, 도면부호 '47'은 보호막을 각각 나타낸다.

[0042] 도 5 내지 도 7을 참조하면, 공통라인(20)은 기관의 가장자리에서 비교적 두꺼운 선폭으로 형성되는 테두리 공통라인(21)과, 세로 방향으로 길게 형성되는 다수의 세로 공통라인(22)들과, 각 서브화소 내에서 메쉬 구조로 형성되어 서로 전기적으로 접속된 다수의 화소공통라인 패턴들을 구비한다. 화소공통라인 패턴들에 대해서는 도 8 내지 도 12를 통해 상세히 후술한다.

[0043] 세로 공통라인(22)들은 다수의 제1 세로 공통라인들(22a)과 다수의 제2 세로 공통라인들(22b)을 포함한다. 세로 공통라인들(22a, 22b)은 데이터라인들과 나란한 방향으로 형성되며, 화소 어레이에서 개구율을 증가시키기 위해 RGB 세개의 서브화소들로 이루어지는 제1 화소와 이 제1 화소에 수평으로 이웃한 제2 화소의 사이마다 형성된다.

[0044] 제1 세로 공통라인들(22a) 각각은 Vcom 패드(24)와 연결된다. 제1 세로 공통라인(22a)들 각각은 제1 및 제2 공통라인 콘택홀(50a, 50b)을 통해 테두리 공통라인(21)에 전기적으로 접속된다. 제1 공통라인 콘택홀(50a)에서, 제1 세로 공통라인(22a)과 중첩되지 않은 테두리 공통라인(21)의 일부는 제1 연결패턴(49a)에 접속된다. 제2 공통라인 콘택홀(50b)에서, 테두리 공통라인(21)과 중첩되는 제1 세로 공통라인(22a)의 일부는 제1 연결패턴(49a)에 접속된다. 제1 연결패턴(49a)은 투명전극 재질을 가질 수 있다.

[0045] 제2 세로 공통라인들(22b) 각각은 제3 및 제4 공통라인 콘택홀(51a, 51b)을 통해 테두리 공통라인(21)에 전기적으로 접속된다. 제3 공통라인 콘택홀(51a)에서, 제2 세로 공통라인(22b)과 중첩되지 않은 테두리 공통라인(21)의 일부는 제2 연결패턴(49b)에 접속된다. 제4 공통라인 콘택홀(51b)에서, 테두리 공통라인(21)과 중첩되지 않은 제2 세로 공통라인(22b)의 일부는 제2 연결패턴(49b)에 접속된다. 제2 연결패턴(49b)은 투명전극 재질을 가질 수 있다.

[0046] Vcom 패드(24)는 Vcom 콘택홀(25)을 통해 제1 세로 공통라인(22a)에 접속된다. Vcom 콘택홀(25)에서, 제1 세로 공통라인(22a)은 제3 연결패턴(49c)에 접속된다. 제3 연결패턴(49c)은 투명전극 재질을 가질 수 있다.

[0047] Vcom 패드(24)는 데이터 드라이브 IC(D-IC)의 양측 두개의 더미채널들에 접속되도록 각 데이터 드라이브 IC(D-IC)마다 두개씩 할당된다. Vcom 패드(24)는 데이터 드라이브 IC(D-IC)를 경유하여 공급되는 공통전압(Vcom)을 공통라인(20)에 전달한다. 한편, Vcom 패드(24)는 공통전압 발생부(14)의 출력단자에 접속되어 공통전압 발생부(14)로부터의 공통전압(Vcom)을 데이터 드라이브 IC(D-IC)를 거치지 않고 공통라인(20)에 전달할 수도 있다. 본 발명의 Vcom 패드(24)수는 종래 2개에 비해 그 숫자가 크게 증가하므로, 공통전압(Vcom)을 공급하는 입력부의 수가 그 만큼 증가되어 공통전압(Vcom)의 면내 편차를 획기적으로 줄일 수 있으며, 공통라인의 저항값을 크게 줄일 수 있다.

[0048] 테두리 공통라인(21)의 폭(W<sub>1</sub>)은 공통라인(20)의 저항을 줄이기 위하여 세로 공통라인(22)의 폭(W<sub>1</sub>)에 비해 두껍게 형성된다. 세로 공통라인(22) 각각의 폭(W<sub>2</sub>)은 화소 어레이에서 개구율의 저하를 줄이기 위하여 데이터라인

의 폭에 비해 얇게 형성됨이 바람직하다.

- [0049] 이와 같이, 본 발명에 따른 액정표시장치는 비교적 선풍이 넓은 테두리 공통라인(21)과 그에 연결되는 데이터라인 방향의 세로 공통라인(22)들을 포함한 공통라인(20)을 형성함으로써 공통라인의 로드를 분산시킴으로써 공통전압의 왜곡을 줄일 수 있다. 예컨대, 종래에는 공통라인이 게이트라인 방향으로 형성되기 때문에, 스캔펄스에 의해 1 수평라인이 스캐닝될 때 하나의 공통라인이 1 수평라인의 모든 서브화소들에 인가되는 데이터전압에 의해 영향을 받을 수 밖에 없지만, 본 발명에서는 1 수평라인이 스캐닝될 때 3개의 서브화소들에 인가되는 데이터전압만이 세로 공통라인(22)에 영향을 주기 때문에 공통라인(20)의 로드가 크게 분산된다.
- [0050] 또한, 본 발명에 따른 액정표시장치는 공통전압(Vcom)을 공통라인(20)에 인가하기 위한 입력부의 갯수를 늘려 공통전압(Vcom)의 면내 편차를 획기적으로 줄일 수 있으며, 공통라인(20)의 저항값을 크게 줄일 수 있다.
- [0051] 한편, 본 발명의 세로 공통라인(22)은 개구율 저하를 고려하여 서브화소들 사이가 아닌 화소들 사이마다 하나씩 형성되고, 세로 공통라인(22)들에 공급되는 공통전압(Vcom)은 도 8과 같이 각 서브화소내에서 메쉬 구조를 이루는 화소공통라인 패턴(23)에 인가된다.
- [0052] 도 8은 세로 공통라인(22)들과 화소공통라인 패턴(23)이 형성된 도 4의 액정표시패널(10) 일부를 간략하게 보여준다.
- [0053] 도 8을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 데이터라인의 수를 감소시켜 데이터 드라이브 IC의 숫자를 줄이기 위해, R 서브화소, G 서브화소, 및 B 서브화소를 포함하는 하나의 화소(P)를 두개의 데이터라인들과 두개의 게이트라인들을 이용하여 구동시킨다. 이를 위해, 기수번째 수평라인에 배치된 화소(P)들은 각각 자신에게 할당된 두개의 데이터라인들 중 첫번째 데이터라인을 공유 데이터라인으로 이용하고, 우수번째 수평라인에 배치된 화소(P)들은 각각 자신에게 할당된 두개의 데이터라인들 중 두번째 데이터라인을 공유 데이터라인으로 이용한다. 예컨대, 제1 수평라인에 배치된 특정 화소에서 R 서브화소와 G 서브화소는 제1 데이터라인(D1)을 공유하고, 제2 수평라인에 배치된 화소들 중 상기 특정 화소와 수직으로 인접한 화소에서, G 서브화소와 B 서브화소는 제2 데이터라인(D2)을 공유한다. 그리고, 어느 한 화소에서 RGB 서브화소들과 각각 접속되는 TFT들은 두개의 게이트라인들 사이에서 지그재그로 접속된다. 따라서, 제1 수평라인에 배치된 특정 화소에서, G 서브화소는 제1 게이트라인(G1)으로부터의 스캔펄스에 응답하여 제1 데이터라인(D1)으로부터의 제1 데이터전압을 충전하고, R 서브화소는 제2 게이트라인(G2)으로부터의 스캔펄스에 응답하여 제1 데이터라인(D1)으로부터의 제2 데이터전압을 충전하며, B 서브화소는 제2 게이트라인(G2)으로부터의 스캔펄스에 응답하여 제2 데이터라인(D2)으로부터의 제3 데이터전압을 충전한다. 또한, 제2 수평라인에 배치된 화소들 중 상기 특정 화소와 수직으로 인접한 화소에서, R 서브화소는 제3 게이트라인(G3)으로부터의 스캔펄스에 응답하여 제1 데이터라인(D1)으로부터의 제4 데이터전압을 충전하고, B 서브화소는 제3 게이트라인(G3)으로부터의 스캔펄스에 응답하여 제2 데이터라인(D2)으로부터의 제5 데이터전압을 충전하고, G 서브화소는 제4 게이트라인(G4)으로부터의 스캔펄스에 응답하여 제2 데이터라인(D2)으로부터의 제6 데이터전압을 충전한다.
- [0054] 세로 공통라인(22)은 데이터라인과 동일한 금속패턴으로 두개의 데이터라인들마다 한개씩 형성된다. 화소공통라인 패턴(23)은 게이트라인과 동일한 금속패턴으로 서브화소의 가장자리 영역마다 형성되어 각 서브화소에서 메쉬 구조를 이루며, 세로 공통라인(22)으로부터의 공통전압(Vcom)을 각 서브화소의 공통전극들에 공급한다. 이를 위해, 화소공통라인 패턴(23)은 콘택홀을 통해 공통전극 및 세로 공통라인(22)에 접속된다.
- [0055] 도 9는 도 8에 도시된 화소(P)에 대한 일 예로서 수평 IPS 구동모드로 동작되는 화소를 보여준다. 도 10은 도 9를 IV-IV' 및 V-V'을 따라 절취하여 각 서브화소에서 세로 공통라인(22), 화소공통라인 패턴(23), 및 공통전극간의 접속 단면 구조를 보여준다. 도 10에서, 도면부호 '41'은 하부 유리기판을, 도면부호 '43'은 게이트절연막을, 도면부호 '47'은 보호막을 각각 나타낸다.
- [0056] 도 9 및 도 10을 참조하면, 각 서브화소는 메쉬 구조를 이루는 화소공통라인 패턴(23)을 포함하여 서로 수평 방향으로 대향하는 공통전극과 화소전극간의 전위차에 의해 구동된다. 이를 위해, R 서브화소의 공통전극(Ec1)은 데이터라인들과 경사지도록 형성되는 다수의 제1 핑거부들과, 제1 핑거부들을 연결하기 위해 세로 공통라인(22) 및 화소공통라인 패턴(23)에 중첩되며 데이터라인들에 나란히 형성되는 제1 접속부를 포함하고, R 서브화소의 화소전극(Ep1)은 데이터라인들과 경사지도록 형성되어 상기 제1 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제2 핑거부들과, 다수의 제2 핑거부들을 연결하며 화소공통라인 패턴(23)과 부분적으로 중첩되도록 형성되는 제2 접속부를 포함한다. R 서브화소의 공통전극(Ec1)은 제1 공통전극 콘택홀(81a)을 통해 세로 공통라인(22)에 접속되고, 제2 공통전극 콘택홀(81b)를 통해 화소공통라인 패턴(23)에 접속된다. R 서브화소의 화

소전극(Ep1)은 제1 드레인 콘택홀(DCT1)을 통해 제1 TFT(TFT1)에 접속된다. 제1 TFT(TFT1)는 제2 게이트라인(G2)으로부터의 스캔펄스에 응답하여 제1 데이터라인(D1)으로부터의 제2 데이터전압을 R 서브화소의 화소전극(Ep1)에 공급한다. 제2 접속부와 화소공통라인 패턴(23)의 중첩 영역에는 제2 데이터전압을 한 프레임 동안 유지하기 위한 제1 스토리지 커패시터(Cst1)가 형성된다.

[0057] G 서브화소의 공통전극(Ec2)은 데이터라인들과 경사지도록 형성되는 다수의 제3 핑거부들과, 제3 핑거부들을 연결하기 위해 화소공통라인 패턴(23)에 중첩되며 데이터라인들에 나란히 형성되는 제3 접속부를 포함하고, G 서브화소의 화소전극(Ep2)은 데이터라인들과 경사지도록 형성되어 상기 제3 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제4 핑거부들과, 다수의 제4 핑거부들을 연결하며 화소공통라인 패턴(23)과 부분적으로 중첩되게 형성되는 제4 접속부를 포함한다. G 서브화소의 공통전극(Ec2)은 제3 공통전극 콘택홀(82)을 통해 화소공통라인 패턴(23)에 접속된다. G 서브화소의 화소전극(Ep2)은 제2 드레인 콘택홀(DCT2)을 통해 제2 TFT(TFT1)에 접속된다. 제2 TFT(TFT2)는 제1 게이트라인(G1)으로부터의 스캔펄스에 응답하여 제1 데이터라인(D1)으로부터의 제1 데이터전압을 G 서브화소의 화소전극(Ep2)에 공급한다. 제4 접속부와 화소공통라인 패턴(23)의 중첩 영역에는 제1 데이터전압을 한 프레임 동안 유지하기 위한 제2 스토리지 커패시터(Cst2)가 형성된다.

[0058] B 서브화소의 공통전극(Ec3)은 데이터라인들과 경사지도록 형성되는 다수의 제5 핑거부들과, 제5 핑거부들을 연결하기 위해 세로 공통라인(22) 및 화소공통라인 패턴(23)에 중첩되며 데이터라인들에 나란히 형성되는 제5 접속부를 포함하고, B 서브화소의 화소전극(Ep3)은 데이터라인들과 경사지도록 형성되어 상기 제5 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제6 핑거부들과, 다수의 제6 핑거부들을 연결하며 화소공통라인 패턴(23)과 부분적으로 중첩되게 형성되는 제6 접속부를 포함한다. B 서브화소의 공통전극(Ec3)은 제4 공통전극 콘택홀(83a)을 통해 세로 공통라인(22)에 접속되고, 제5 공통전극 콘택홀(83b)를 통해 화소공통라인 패턴(23)에 접속된다. 제4 공통전극 콘택홀(83a) 및 제5 공통전극 콘택홀(83b)은 각각 제1 공통전극 콘택홀(81a) 및 제2 공통전극 콘택홀(81b)과 실질적으로 동일한 구성을 갖는다. B 서브화소의 화소전극(Ep3)은 제3 드레인 콘택홀(DCT3)을 통해 제3 TFT(TFT3)에 접속된다. 제3 TFT(TFT3)는 제2 게이트라인(G2)으로부터의 스캔펄스에 응답하여 제2 데이터라인(D2)으로부터의 제3 데이터전압을 B 서브화소의 화소전극(Ep3)에 공급한다. 제6 접속부와 화소공통라인 패턴(23)의 중첩 영역에는 제3 데이터전압을 한 프레임 동안 유지하기 위한 제3 스토리지 커패시터(Cst3)가 형성된다.

[0059] 도 11은 도 8에 도시된 화소(P)에 대한 다른 예로서 수퍼 IPS 구동모드로 동작되는 화소를 보여준다. 도 12는 도 11을 VI-VI', VII-VII', VIII-VIII', IX-IX' 및 X-X'을 따라 절취하여 각 서브화소에서 세로 공통라인(22), 화소공통라인 패턴(23), 및 공통전극간의 접속 단면 구조를 보여준다. 도 12에서, 도면부호 '41'은 하부 유리기판을, 도면부호 '43'은 게이트절연막을, 도면부호 '47'은 보호막을, 도면부호 'ACT'는 반도체층을 각각 나타낸다.

[0060] 도 11 및 도 12를 참조하면, 각 서브화소는 메쉬 구조를 이루는 화소공통라인 패턴(23)을 포함하여 서로 수평 방향으로 대향하는 공통전극과 화소전극간의 전위차에 의해 구동된다. 이를 위해, R 서브화소의 공통전극(Ec1)은 데이터라인들과 나란하게 형성되는 다수의 제1 핑거부들과, 제1 핑거부들을 연결하기 위해 세로 공통라인(22) 및 화소공통라인 패턴(23)과 부분적으로 중첩되며 게이트라인들에 나란히 형성되는 제1 접속부를 포함하고, R 서브화소의 화소전극(Ep1)은 데이터라인들에 나란히 형성되어 상기 제1 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제2 핑거부들과, 다수의 제2 핑거부들을 연결하며 화소공통라인 패턴(23)과 부분적으로 중첩되게 형성되는 제2 접속부를 포함한다. R 서브화소의 공통전극(Ec1)은 제1 공통전극 콘택홀(101)을 통해 세로 공통라인(22)에 접속되고, 제2 공통전극 콘택홀(102)를 통해 화소공통라인 패턴(23)에 접속된다. 화소공통라인 패턴(23)은 공통전압(Vcom)을 더 안정적으로 공급받기 위해 제1 및 제2 공통라인 콘택홀(103a, 103b)과 제1 투명전극패턴(104)을 통해 세로 공통라인(22)에 제차 접속된다. R 서브화소의 화소전극(Ep1)은 제1 드레인 콘택홀(DCT1)을 통해 제1 TFT(TFT1)에 접속된다. 제1 TFT(TFT1)는 제2 게이트라인(G2)으로부터의 스캔펄스에 응답하여 제1 데이터라인(D1)으로부터의 제2 데이터전압을 R 서브화소의 화소전극(Ep1)에 공급한다. 제2 접속부와 화소공통라인 패턴(23)의 중첩 영역에는 제2 데이터전압을 한 프레임 동안 유지하기 위한 제1 스토리지 커패시터(Cst1)가 형성된다.

[0061] G 서브화소의 공통전극(Ec2)은 데이터라인들과 나란하게 형성되는 다수의 제3 핑거부들과, 제3 핑거부들을 연결하기 위해 화소공통라인 패턴(23)과 부분적으로 중첩되며 게이트라인들에 나란히 형성되는 제3 접속부를 포함하고, G 서브화소의 화소전극(Ep2)은 데이터라인들에 나란히 형성되어 상기 제3 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제4 핑거부들과, 다수의 제4 핑거부들을 연결하며 화소공통라인 패턴(23)과 부분적으로 중첩되게 형성되는 제4 접속부를 포함한다. G 서브화소의 공통전극(Ec2)은 제3 공통전극 콘택홀(105)을 통해 화소공통라인 패턴(23)에 접속된다. G 서브화소의 화소전극(Ep2)은 제2 드레인 콘택홀(DCT2)을 통해 제2

TFT(TFT2)에 접속된다. 제2 TFT(TFT2)는 제1 게이트라인(G1)으로부터의 스캔펄스에 응답하여 제1 데이터라인(D1)으로부터의 제1 데이터전압을 G 서브화소의 화소전극(Ep2)에 공급한다. 제4 접속부와 화소공통라인 패턴(23)의 중첩 영역에는 제1 데이터전압을 한 프레임 동안 유지하기 위한 제2 스토리지 커패시터(Cst2)가 형성된다.

[0062] B 서브화소의 공통전극(Ec3)은 데이터라인들과 나란하게 형성되는 다수의 제5 핑거부들과, 제5 핑거부들을 연결하기 위해 세로 공통라인(22) 및 화소공통라인 패턴(23)과 부분적으로 중첩되며 게이트라인들에 나란히 형성되는 제5 접속부를 포함하고, B 서브화소의 화소전극(Ep3)은 데이터라인들에 나란히 형성되어 상기 제5 핑거부들과 동일 평면상에서 대향 구조를 이루는 다수의 제6 핑거부들과, 다수의 제6 핑거부들을 연결하며 화소공통라인 패턴(23)과 부분적으로 중첩되게 형성되는 제6 접속부를 포함한다. B 서브화소의 공통전극(Ec3)은 제4 공통전극 콘택홀(106)을 통해 세로 공통라인(22)에 접속되고, 제5 공통전극 콘택홀(107)을 통해 화소공통라인 패턴(23)에 접속된다. 제4 공통전극 콘택홀(106) 및 제5 공통전극 콘택홀(107)은 각각 제1 공통전극 콘택홀(101) 및 제2 공통전극 콘택홀(102)과 실질적으로 실질적으로 동일한 구성을 갖는다. 화소공통라인 패턴(23)은 공통전압(Vcom)을 더 안정적으로 공급받기 위해 제3 및 제4 공통라인 콘택홀(108a,108b)과 제2 투명전극패턴(109)을 통해 세로 공통라인(22)에 재차 접속된다. 제3 및 제4 공통라인 콘택홀(108a,108b)은 각각 제1 및 제2 공통라인 콘택홀(103a,103b)과 실질적으로 동일한 구성을 가지며, 제1 투명전극패턴(104)은 제2 투명전극패턴(109)과 실질적으로 동일한 구성을 가진다. B 서브화소의 화소전극(Ep3)은 제3 드레인 콘택홀(DCT3)을 통해 제3 TFT(TFT3)에 접속된다. 제3 TFT(TFT3)는 제2 게이트라인(G2)으로부터의 스캔펄스에 응답하여 제2 데이터라인(D2)으로부터의 제2 데이터전압을 B 서브화소의 화소전극(Ep3)에 공급한다. 제6 접속부와 화소공통라인 패턴(23)의 중첩 영역에는 제3 데이터전압을 한 프레임 동안 유지하기 위한 제3 스토리지 커패시터(Cst3)가 형성된다.

[0063] 이러한 본 발명의 다른 실시예에 따른 화소(P)를 갖는 액정표시패널은 본 발명의 일 실시예에 따른 화소(P)를 갖는 액정표시패널에 비해 스토리지 커패시터가 형성되는 영역이 넓다. 따라서, 본 발명의 일 실시예에 따른 화소(P)를 갖는 액정표시패널이 모니터등과 소형 액정표시장치에 적용될 수 있다면, 본 발명의 다른 실시예에 따른 화소(P)를 갖는 액정표시패널은 TV등과 같은 대형 액정표시장치에 적용됨이 적합하다.

[0064] 도 13은 도 8에 도시된 액정표시패널(10)의 일 구동예를 보여준다. 도 14는 도 13과 같은 구동에 필요한 스캔펄스의 구동 타이밍과, 이 스캔펄스에 동기되는 데이터라인의 충전 극성 변화를 보여준다.

[0065] 도 13 및 도 14를 참조하면, 제1 내지 제8 게이트라인(G1 내지 G8)에 공급되는 스캔펄스(SP1 내지 SP8)는 대략 1/2 수평기간(1/2 H)을 폭으로 순차적으로 발생된다. 그리고, 데이터 드라이브 IC는 이 스캔펄스의 발생에 동기하여 대략 1/2 수평기간(1/2 H)을 주기로 제1 내지 제4 데이터라인들(D1 내지 D4)에 공급되는 데이터전압들의 극성을 도트 인버전 방식으로 반전시킨다. 데이터 드라이브 IC로부터 동시에 발생하는 데이터전압들이(++--)와 같은 제1 극성패턴을 갖는다고 가정할 때, 제1 내지 제4 데이터라인들(D1 내지 D4)에 공급되는 데이터전압들의 극성은 기수번째 스캔펄스들(SP1, SP3, SP5, SP7)이 발생하는 기간 동안에 제1 극성패턴을 띠게 되는 반면, 우수번째 스캔펄스들(SP2, SP4, SP6, SP8)이 발생하는 기간 동안에(--++)와 같이 제1 극성패턴과 반대되는 제2 극성패턴을 띠게 된다. 따라서, 지그재그로 접속되는 TFT들을 통해 액정표시패널(10)에 표시되는 데이터전압은 수평 및 수직으로 인접한 서브화소들간에 그 극성이 반전되게 된다.

[0066] 도 15는 도 8에 도시된 액정표시패널(10)의 다른 구동예를 보여준다. 도 16은 도 15와 같은 구동을 위한 게이트 구동회로(13)의 일 예를 보여준다. 그리고, 도 17은 도 16을 통해 발생하는 스캔펄스의 구동 타이밍과, 이 스캔펄스에 동기되는 데이터라인의 충전 극성 변화를 보여준다.

[0067] 도 15 내지 도 17을 참조하면, 기수번째 게이트라인(G1, G3, G5, G7)에 공급되는 스캔펄스(SP1, SP3, SP5, SP7)는 전반부 1/2 프레임기간 동안 대략 1/2 수평기간(1/2 H)을 폭으로 순차적으로 발생된다. 이어서, 우수번째 게이트라인(G2, G4, G6, G8)에 공급되는 스캔펄스(SP2, SP4, SP6, SP8)는 후반부 1/2 프레임기간 동안 대략 1/2 수평기간(1/2 H)을 폭으로 순차적으로 발생된다. 이를 위해, 게이트 구동회로(13)는 액정표시패널(10)의 좌우측 비표시 영역에 형성되는 제1 및 제2 게이트 드라이브 IC(13a, 13b)를 포함할 수 있다. 제1 및 제2 게이트 드라이브 IC(13a, 13b)는 각각 GIP(Gate In Panel) 방식으로 액정표시패널(10)내의 TFT들과 동일한 공정을 통해 형성되는 쉬프트 레지스터 어레이로 구성된다. 제1 및 제2 게이트 드라이브 IC(13a, 13b)를 구성하는 쉬프트 레지스터 어레이는 각각 8개의 스캔펄스를 발생하기 위한 제1 내지 제8 스테이지(S1 내지 S8)를 포함한다. 여기서, 기수번째 스캔펄스들(SP1, SP3, SP5, SP7)을 순차적으로 발생시킨 후 우수번째 스캔펄스들(SP2, SP4, SP6, SP8)을 순차적으로 발생시키기 위해, 중속적으로 접속된 기수번째 스테이지들(S1, S3, S5, S7)은 타이밍 콘트롤러(11)로부터

의 게이트 스타트 펄스에 응답하여 순차적으로 동작하며, 종속적으로 접속된 우수번째 스테이지들(S2,S4,S6,S8)은 기수번째 마지막 스테이지(S7)로터의 출력에 응답하여 순차적으로 동작한다.

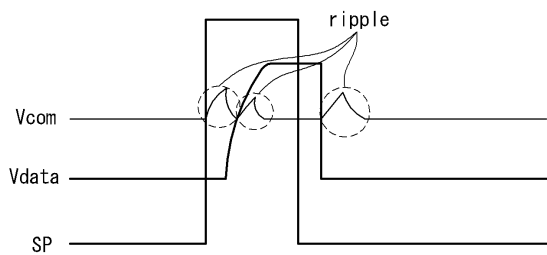
- [0068] 데이터 드라이브 IC는 제1 기수 스캔펄스(SP1)와 제1 우수 스캔펄스(SP2)의 발생에 동기하여 대략 1/2 프레임기간을 주기로 제1 내지 제4 데이터라인들(D1 내지 D4)에 공급되는 데이터전압들의 극성을 프레임 인버전 방식으로 반전시킨다. 데이터 드라이브 IC로부터 동시에 발생하는 데이터전압들이 (++--)와 같은 제1 극성패턴을 갖는다고 가정할 때, 제1 내지 제4 데이터라인들(D1 내지 D4)에 공급되는 데이터전압들의 극성은 기수번째 스캔펄스들(SP1,SP3,SP5,SP7)이 발생하는 전반부 1/2 프레임기간 동안에 제1 극성패턴을 띠게 되는 반면, 우수번째 스캔펄스들(SP2,SP4,SP6,SP8)이 발생하는 후반부 1/2 프레임기간 동안에 (--++)과 같이 제1 극성패턴과 반대되는 제2 극성패턴을 띠게 된다. 따라서, 지그재그로 접속되는 TFT들을 통해 액정표시패널(10)에 표시되는 데이터전압은 수평 및 수직으로 인접한 서브화소들간에 그 극성이 반전되게 된다.
- [0069] 이와 같은 액정표시패널(10)의 다른 구동에는 도 13 및 도 14의 액정표시패널(10)의 일 구동예에 비해 데이터 드라이브 IC내에서 발생하는 데이터전압의 극성 변화 횟수를 반으로 감소시킴으로써 데이터 드라이브 IC의 로드를 줄여 발열 및 소비전력을 줄일 수 있다.
- [0070] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 공통전압을 공급하기 위한 입력부를 늘림과 아울러 데이터라인 방향으로 형성되는 세로 공통라인과 각 서브화소내에서 메쉬 구조를 이루는 화소공통라인 패턴을 포함한 공통라인을 형성함으로써, 공통전압의 면내 편차 감소, 공통라인 저항값 감소, 및 공통라인의 로드 분산등을 통해 종래 공통전압의 왜곡에 따른 크로스토크, 플리커, DC 잔상등과 같은 화질 불량을 크게 경감시킬 수 있다.
- [0071] 나아가, 본 발명에 따른 액정표시장치는 공통전압이 공급되는 세로 공통라인을 서브화소들 사이가 아닌 화소들 사이마다 하나씩 형성하고, 인접하는 서브화소들에서 이를 공유하는 구조를 취하므로, 종래 가로 공통라인 구조에 비해 개구율을 10 % 이상 증가시켜 휘도 향상에 크게 이바지할 수 있다.
- [0072] 더 나아가, 본 발명에 따른 액정표시장치는 하나의 화소당 두개의 데이터라인과 두개의 게이트라인을 할당하여 데이터라인의 갯수를 종래의 2/3로 줄임으로써, 데이터라인이 줄어든 만큼 데이터 드라이브 IC의 갯수를 줄일 수 있어 제조비용을 크게 절감할 수 있다.
- [0073] 더 나아가, 본 발명에 따른 액정표시장치는 전반부 1/2 프레임기간 동안 순차적으로 구동되는 기수번째 스캔라인들과 후반부 1/2 프레임기간 동안 순차적으로 구동되는 우수번째 스캔라인들을 이용함으로써, 데이터 드라이브 IC에서 1/2 프레임기간을 주기로 데이터전압의 극성을 반전시키더라도 액정표시패널에 표시될 때는 이 데이터전압이 도트 인버전 방식으로 반전되도록 할 수 있다. 이에 따라, 본 발명에 따른 액정표시장치는 데이터 드라이브 IC내에서 발생하는 데이터전압의 극성 변화 횟수를 반으로 감소시킴으로써 트랜지션 변화폭에 따른 로드를 줄여 데이터 드라이브 IC 내에서의 발열 및 소비전력을 크게 줄일 수 있다.
- [0074] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**도면의 간단한 설명**

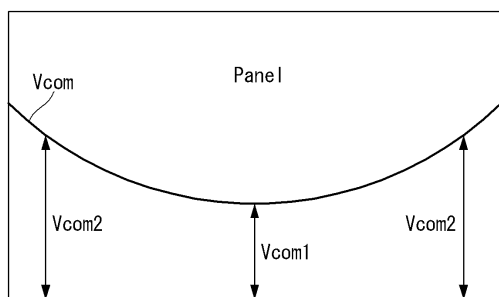
- [0075] 도 1은 종래 공통라인의 접속 구조를 보여주는 도면.
- [0076] 도 2a는 종래 공통전압의 라인저항으로 인해 리플이 발생하는 것을 보여주는 도면.
- [0077] 도 2b는 종래 공통전압의 면내 편차를 보여주는 도면.
- [0078] 도 3a는 종래 공통전압의 불안정으로 인해 크로스토크가 발생하는 것을 보여주는 도면.
- [0079] 도 3b는 종래 공통전압의 불안정으로 인해 면내 상하 휘도차가 발생하는 것을 보여주는 도면.
- [0080] 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블럭도.
- [0081] 도 5는 본 발명의 실시예에 따른 공통라인을 보여 주는 평면도.
- [0082] 도 6은 도 5에 도시된 공통라인의 일부와 데이터라인들을 보여 주는 평면도.
- [0083] 도 7은 도 6을 I-I', II-II' 및 III-III'을 따라 절취하여 공통라인의 단면 구조를 보여주는 단면도.
- [0084] 도 8은 세로 공통라인들과 화소공통라인 패턴이 형성된 도 4의 액정표시패널일부를 간략하게 보여주는 도면.



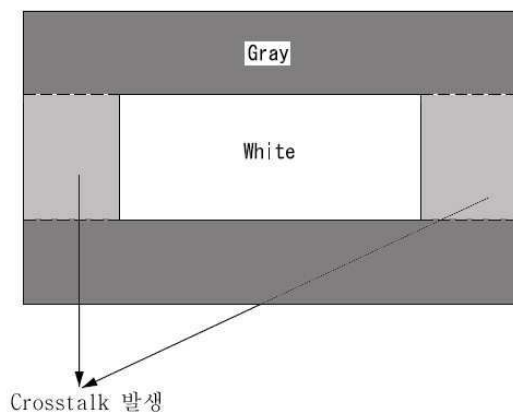
도면2a



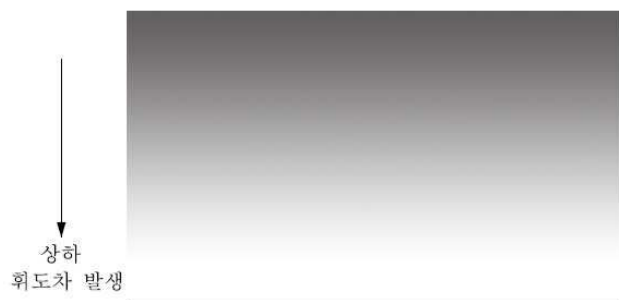
도면2b



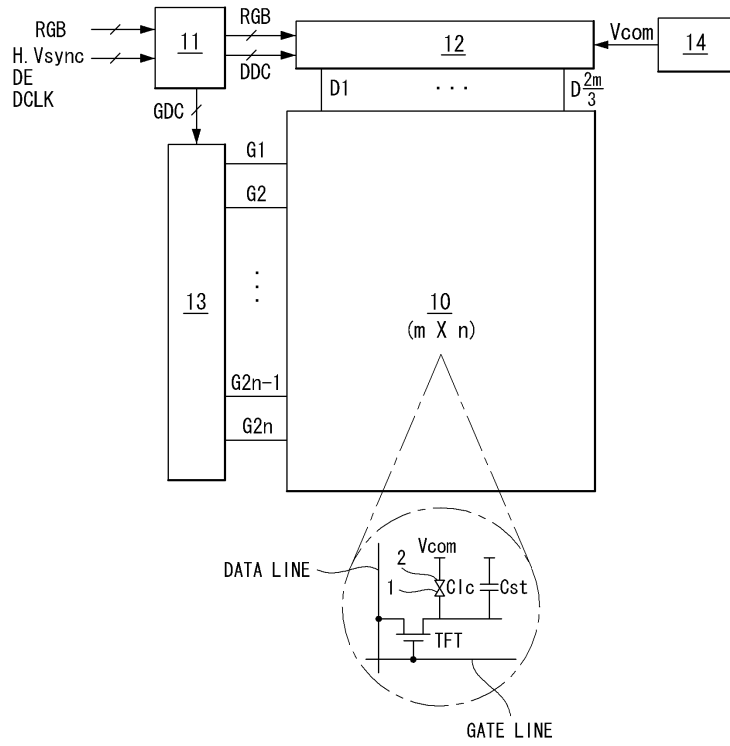
도면3a



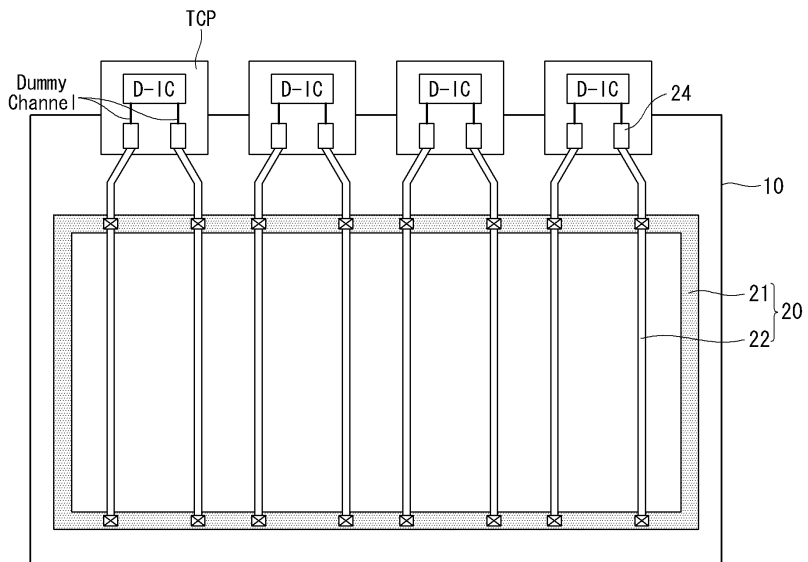
도면3b



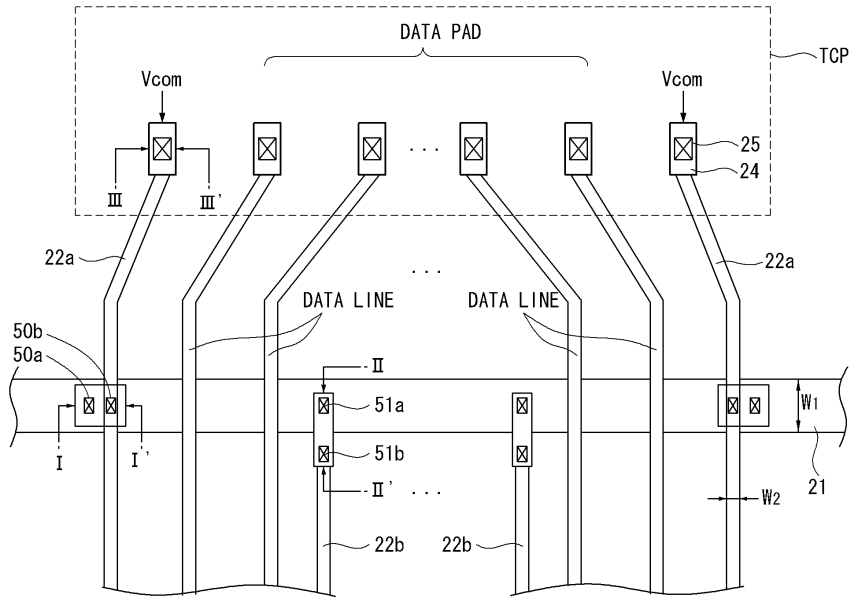
도면4



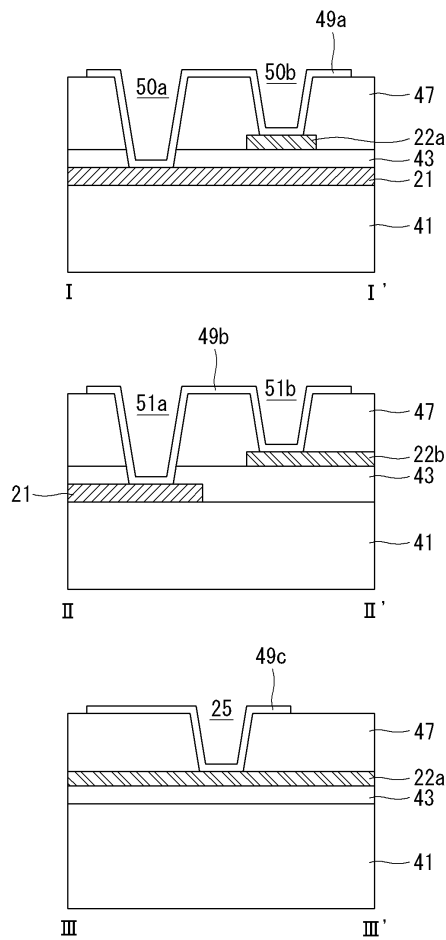
도면5



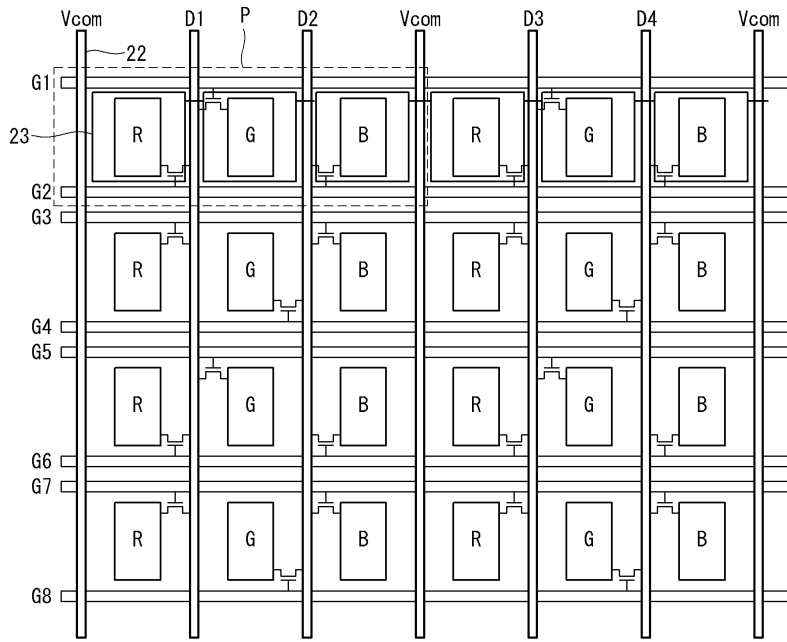
도면6



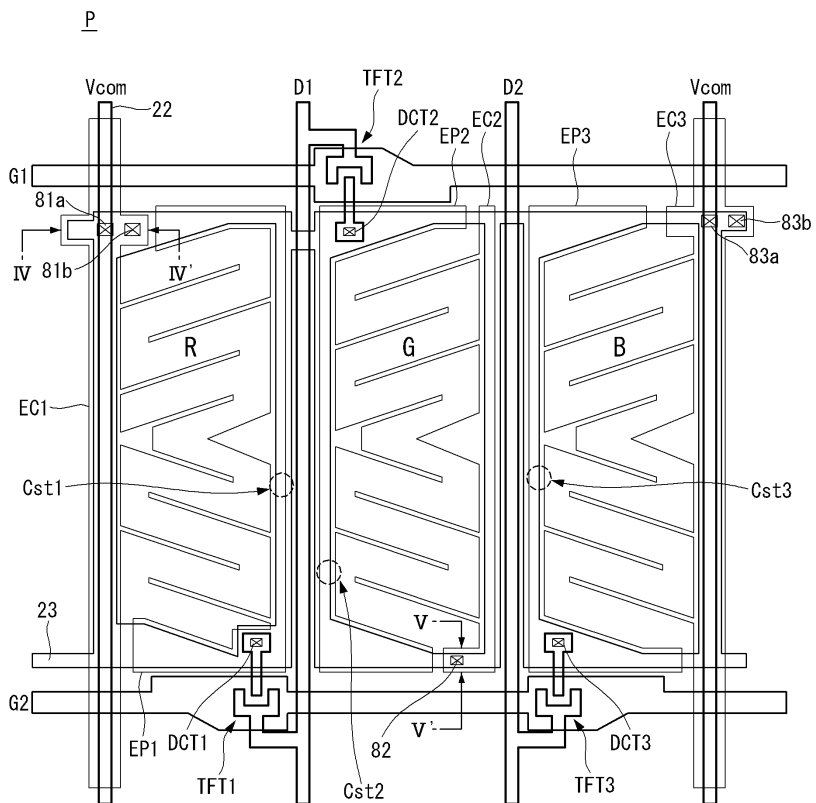
도면7



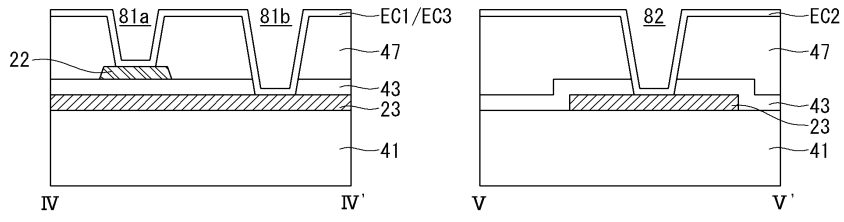
도면8



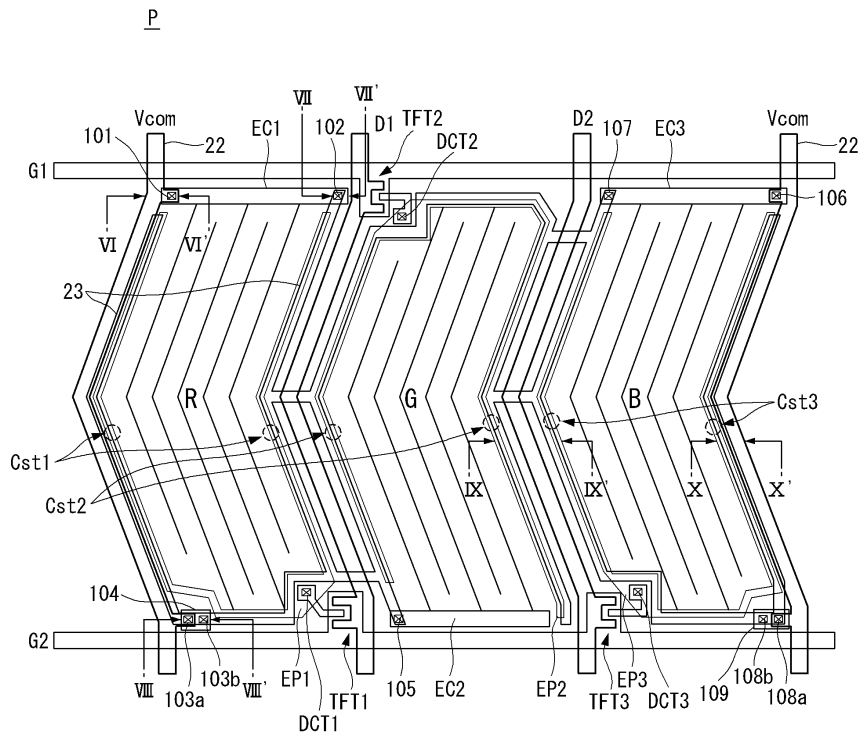
도면9



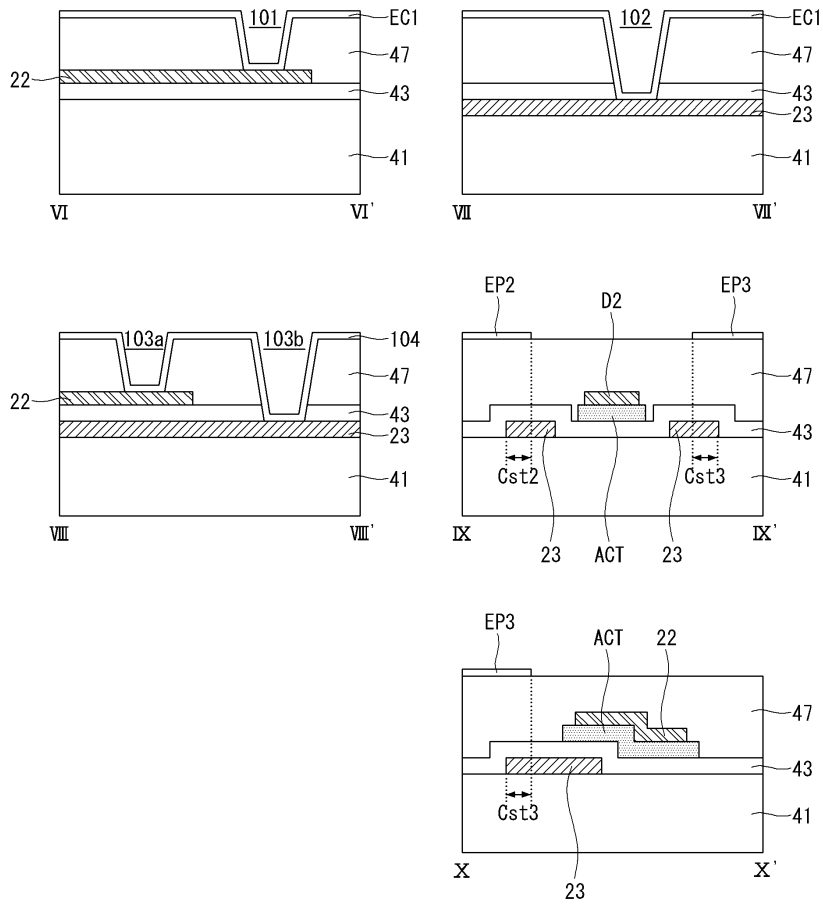
도면10



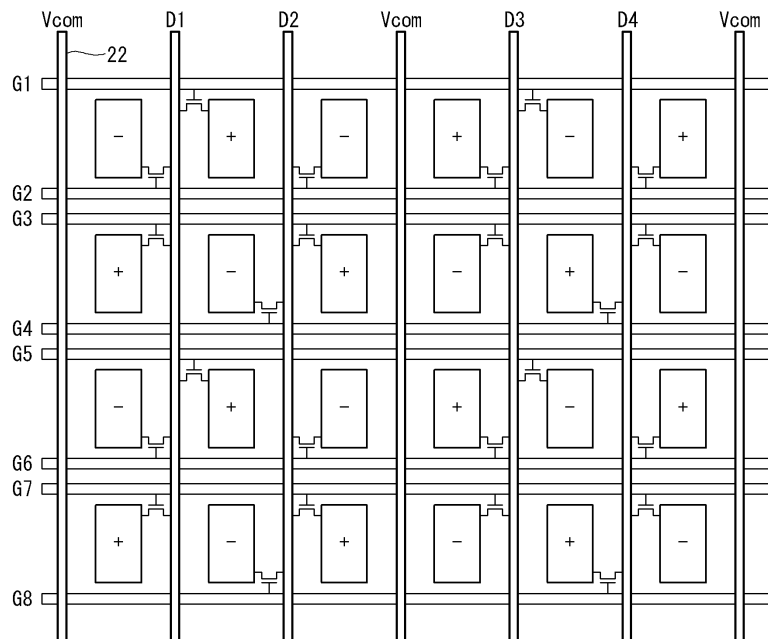
도면11



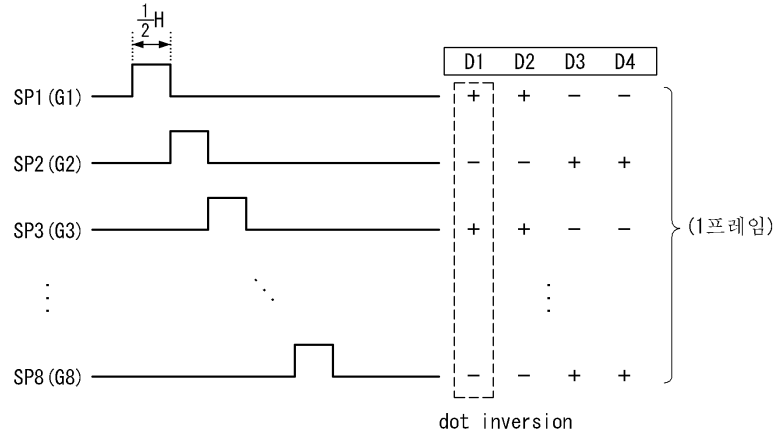
도면12



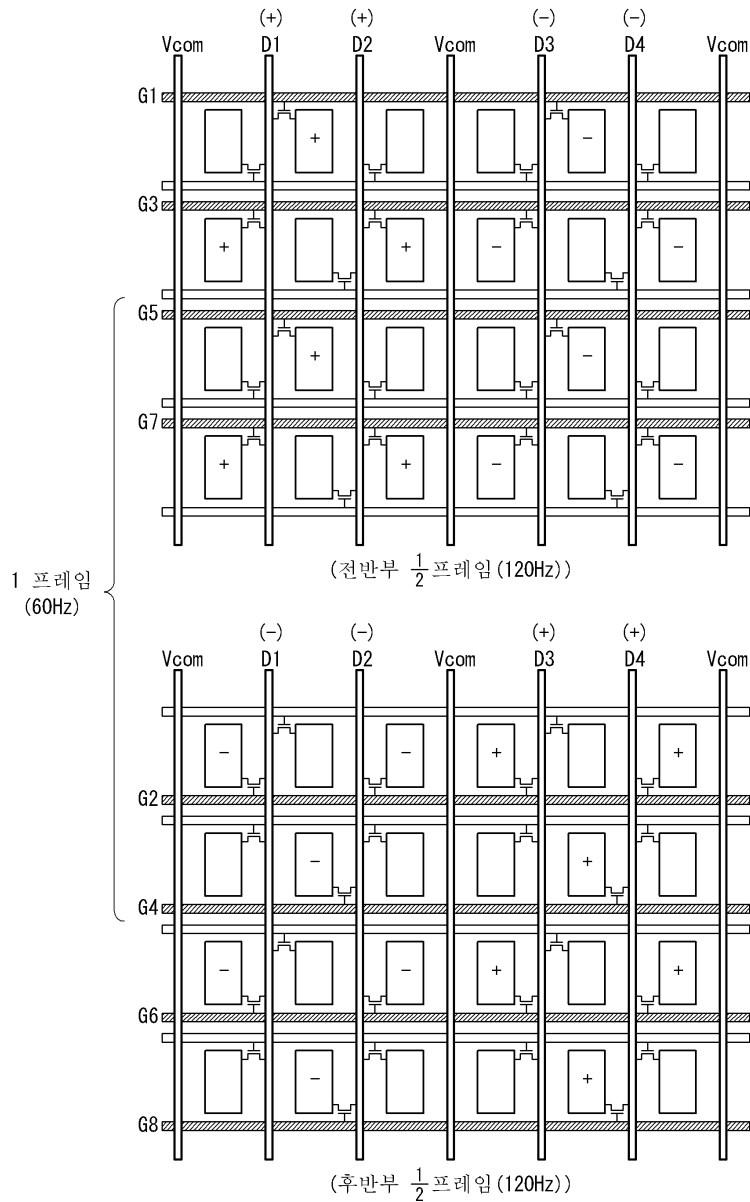
도면13



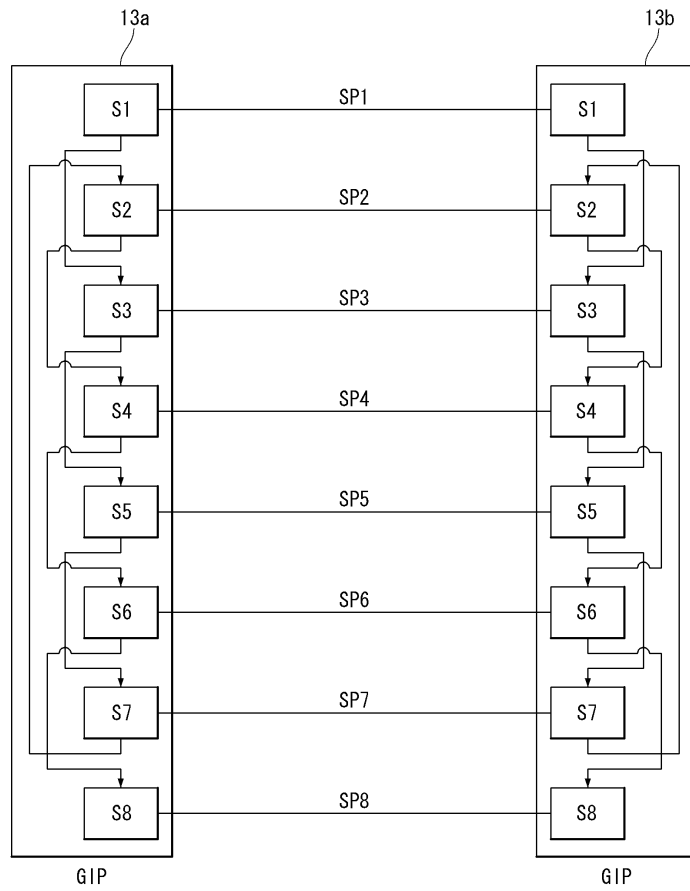
도면14



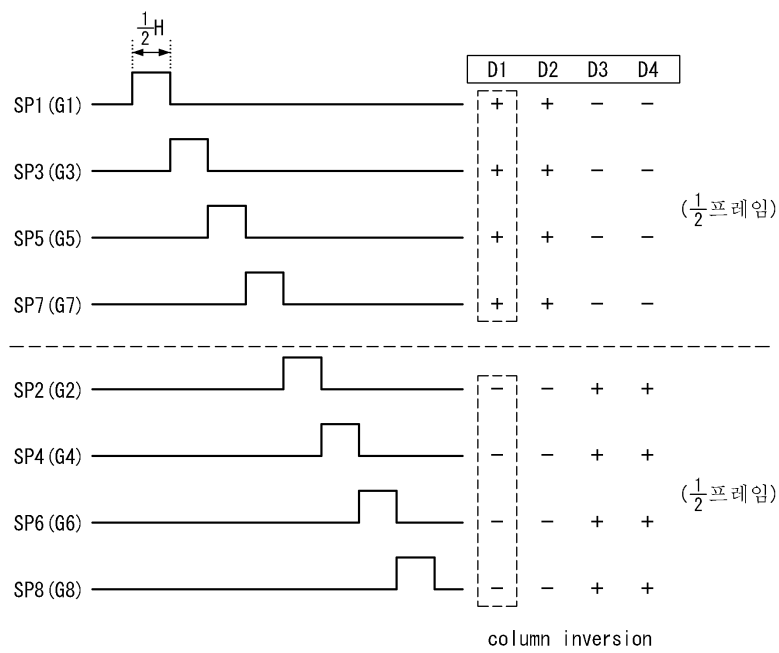
도면15



도면16



도면17



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR101295878B1</a>	公开(公告)日	2013-08-12
申请号	KR1020080107355	申请日	2008-10-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH JAE YOUNG 오재영 SHIN DONG SU 신동수 CHOI DAE JUNG 최대정 CHOI SANG HUN 최상훈 LEE JAE KYUN 이재균		
发明人	오재영 신동수 최대정 최상훈 이재균		
IPC分类号	G02F1/133 G02F1/1343 G02F1/1345		
CPC分类号	G09G3/3614 G02F1/134363 G02F1/1345 G02F1/136286 G02F2201/121 G09G2300/0426 G09G2300/0439		
其他公开文献	KR1020100048265A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

液晶显示装置技术领域本发明涉及能够降低公共电压的畸变的液晶显示装置。液晶显示装置包括液晶显示面板，其中像素以矩阵形式布置在显示区域内，并且多条数据线和多条栅极线彼此交叉；框架公共线形成在显示区域外的非显示区域中，并且通过多个输入部分向其施加公共电压；像素公共线图案连接到子像素的公共电极，像素公共线图案沿着每个子像素的边缘区域形成并且彼此电连接；以及多条垂直公共线，其形成在与数据线平行的方向上并且电连接到水平地彼此相邻的像素之间的边缘公共线，并且将公共电压施加到像素公共线图案。 专利号10-1295878

