



등록특허 10-2061873



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년01월03일

(11) 등록번호 10-2061873

(24) 등록일자 2019년12월26일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2013-0070794

(22) 출원일자 2013년06월20일

심사청구일자 2018년04월17일

(65) 공개번호 10-2014-0147955

(43) 공개일자 2014년12월31일

(56) 선행기술조사문헌

KR1020080023659 A*

(뒷면에 계속)

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

남대현

경기 고양시 일산동구 경의로 333, 511동 706호
(마두동, 백마마을5단지아파트)

양준영

경기도 부천시 상동로 57 2407동 1303호 (상동,
행복한마을)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 12 항

심사관 : 박정근

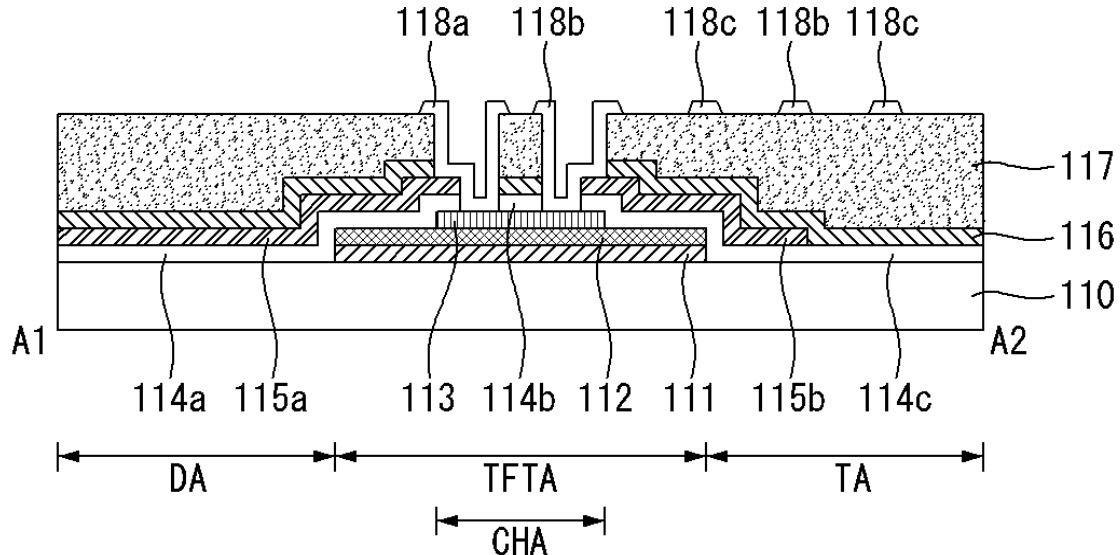
(54) 발명의 명칭 액정표시장치와 이의 제조방법

(57) 요약

본 발명은 하부 기관; 하부 기관 상에 형성된 게이트전극, 게이트전극 상에 형성된 제1절연막, 제1절연막 상에 형성된 산화물층, 산화물층 상에 형성되고 산화물층의 중앙 영역에 아일랜드 형상으로 위치하는 채널 영역 부분과 산화물층의 일측과 타측으로 분리된 소오스 드레인 영역 부분을 포함하는 에치 스톱퍼, 산화물층의 일측과 타

(뒷면에 계속)

대표도 - 도15



측으로 분리된 주변 부분의 에치 스톱퍼 상에 형성된 소오스전극 및 드레인전극을 포함하는 박막 트랜지스터; 박막 트랜지스터 상에 형성되고 산화물층의 일측과 소오스전극의 일부 및 산화물층의 타측과 드레인전극의 일부를 노출하는 제2절연막; 제2절연막 상에 형성되고 산화물층의 일측과 소오스전극의 일부 및 산화물층의 타측과 상기 드레인전극의 일부를 노출하는 제3절연막; 및 제3절연막 상에 형성되고 산화물층의 일측과 소오스전극의 일부를 전기적으로 연결하는 제1투명전극, 제1투명전극과 분리되며 산화물층의 타측과 드레인전극의 일부를 전기적으로 연결하는 제2투명전극을 갖는 투명전극을 포함하는 액정표시장치를 제공한다.

(56) 선행기술조사문헌

KR1020130054772 A*

KR1020130013042 A*

KR1020080002196 A*

KR1020080001181 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

하부 기판;

상기 하부 기판 상에 형성된 게이트전극, 상기 게이트전극 상에 형성된 제1절연막, 상기 제1절연막 상에 형성된 산화물층, 상기 산화물층 상에 형성되고 상기 산화물층의 중앙 영역에 아일랜드 형상으로 위치하는 채널 영역 부분과 상기 산화물층의 일측과 타측으로 분리된 소오스 드레인 영역 부분을 포함하는 에치 스톱퍼, 상기 산화물층의 일측과 타측으로 분리된 주변 부분의 에치 스톱퍼 상에 형성된 소오스전극 및 드레인전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터 상에 형성되고 상기 산화물층의 일측과 상기 소오스전극의 일부 및 상기 산화물층의 타측과 상기 드레인전극의 일부를 노출하는 제2절연막;

상기 제2절연막 상에 형성되고 상기 산화물층의 일측과 상기 소오스전극의 일부 및 상기 산화물층의 타측과 상기 드레인전극의 일부를 노출하는 제3절연막; 및

상기 제3절연막 상에 형성되고 상기 산화물층의 일측과 상기 소오스전극의 일부를 전기적으로 연결하는 제1투명전극, 상기 제1투명전극과 분리되며 상기 산화물층의 타측과 상기 드레인전극의 일부를 전기적으로 연결하는 제2투명전극을 갖는 투명전극을 포함하고,

상기 산화물층은 상기 게이트전극 및 상기 제1절연막보다 작게 패턴되어 돌출된 형태로 존재하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 투명전극은

투과 영역 상에서 상기 제2투명전극과 이격하며 구분된 제3투명전극을 포함하고,

상기 제2투명전극은 화소전극으로 정의되고, 상기 제3투명전극은 공통전극으로 정의되며, 상기 화소전극과 상기 공통전극은 비중첩하는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 제2투명전극은 화소전극으로 정의되고, 상기 화소전극과 전계를 형성하는 공통전극은 상기 하부 기판과 합착되는 상부 기판 상에 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

하부 기판 상에 형성된 게이트전극, 상기 게이트전극 상에 형성된 제1절연막, 상기 제1절연막 상에 형성된 산화물층, 상기 산화물층 상에 형성되고 상기 산화물층의 중앙 영역에 아일랜드 형상으로 위치하는 채널 영역 부분과 상기 산화물층의 일측과 타측으로 분리된 소오스 드레인 영역 부분을 포함하는 에치 스톱퍼, 상기 산화물층의 일측과 타측으로 분리된 주변 부분의 에치 스톱퍼 상에 형성된 소오스전극 및 드레인전극을 포함하는 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 상에 형성되고 상기 산화물층의 일측과 상기 소오스전극의 일부 및 상기 산화물층의 타측과 상기 드레인전극의 일부를 노출하는 제2절연막 및 제3절연막을 형성하는 단계; 및

상기 제3절연막 상에 형성되고 상기 산화물층의 일측과 상기 소오스전극의 일부를 전기적으로 연결하는 제1투명전극, 상기 제1투명전극과 분리되며 상기 산화물층의 타측과 상기 드레인전극의 일부를 전기적으로 연결하는 제2투명전극을 갖는 투명전극을 형성하는 단계를 포함하고,

상기 산화물층은 상기 게이트전극 및 상기 제1절연막보다 작게 패턴되어 돌출된 형태로 존재하는 액정표시장치의 제조방법.

청구항 5

제4항에 있어서,

상기 투명전극은

투과 영역 상에서 상기 제2투명전극과 이격하며 구분된 제3투명전극을 포함하고,

상기 제2투명전극은 화소전극으로 정의되고, 상기 제3투명전극은 공통전극으로 정의되며, 상기 화소전극과 상기 공통전극은 비중첩하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제4항에 있어서,

상기 제2투명전극은 화소전극으로 정의되고, 상기 화소전극과 전계를 형성하는 공통전극은 상기 하부 기판과 합착되는 상부 기판 상에 형성된 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제4항에 있어서,

상기 박막 트랜지스터를 형성하는 단계는

상기 하부 기판 상에 채널 영역을 포함하는 박막 트랜지스터 영역, 데이터라인 영역 및 투과 영역을 각각 정의하고, 상기 하부 기판 상에 게이트금속, 상기 제1절연막, 상기 산화물층 및 제1포토레지스트를 순차적으로 형성하는 단계와,

상기 하부 기판 상에 제1마스크를 얼라인하고 상기 박막 트랜지스터 영역 상에서 아일랜드 형태를 갖도록 상기 제1포토레지스트를 노광 및 현상하고 상기 제1포토레지스트를 이용하여 상기 게이트금속, 상기 제1절연막 및 상기 산화물층을 아일랜드 형상으로 형성하는 단계와,

상기 산화물층을 덮도록 상기 하부 기판 상에 예치 스톱퍼, 소오스 드레인금속 및 제2포토레지스트를 순차적으로 형성하는 단계와,

상기 하부 기판 상에 제2마스크를 얼라인하고 상기 제2포토레지스트를 노광 및 현상하고 상기 제2포토레지스트를 이용하여 상기 소오스 드레인금속을 상기 채널 영역을 기준으로 분리하고 상기 소오스전극 및 상기 드레인전극을 형성하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 8

제7항에 있어서,

상기 제2절연막 및 상기 제3절연막을 형성하는 단계는

상기 소오스전극 및 상기 드레인전극을 덮도록 상기 하부 기판 상에 상기 제2절연막, 상기 제3절연막 및 제3포토레지스트를 순차적으로 형성하는 단계와,

상기 하부 기판 상에 제3마스크를 얼라인하고 상기 제3포토레지스트를 노광 및 현상하고 상기 제3포토레지스트

를 이용하여 상기 채널 영역의 중앙에 아일랜드 형상의 구조물을 형성함과 동시에 상기 아일랜드 형상의 구조물의 일측과 타측으로 상기 산화물층, 상기 소오스전극 및 상기 드레인전극의 일부를 노출하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 9

제8항에 있어서,

상기 투명전극을 형성하는 단계는

상기 제3절연막을 덮도록 상기 하부 기판 상에 상기 투명전극 및 제4포토레지스트를 순차적으로 형성하는 단계와,

상기 하부 기판 상에 제4마스크를 얼라인하고 상기 제4포토레지스트를 노광 및 현상하고 상기 제4포토레지스트를 이용하여 상기 투명전극을 분리하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 10

제9항에 있어서,

상기 투명전극을 분리하는 단계는

소오스 영역을 통해 노출된 상기 산화물층의 일측과 상기 소오스전극을 전기적으로 연결하는 제1투명전극, 상기 드레인 영역을 통해 노출된 상기 산화물층의 타측과 상기 드레인전극을 전기적으로 연결하는 제2투명전극 및 상기 투과 영역 상에서 상기 제2투명전극과 이격 구분된 제3투명전극으로 구분되도록 상기 투명전극을 분리하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11

제1항에 있어서,

상기 박막 트랜지스터의 채널 길이는 상기 채널 영역보다 더 짧은 액정표시장치.

청구항 12

제1항에 있어서,

상기 에치 스톱퍼의 채널 영역 부분 상에 위치하는 소오스 드레인금속과 상기 소오스 드레인 금속 상에 위치하는 제3절연막은 동일한 아일랜드 형상을 갖는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치와 이의 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계 발광소자(Organic Light Emitting Diodes: OLED) 및 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다.

[0003] 앞서 설명된 평판 표시장치 중에는 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장

치가 널리 사용되고 있다. 액정표시장치는 액정표시패널에 포함된 화소전극과 공통전극에 걸리는 전계로 액정층의 배열 방향을 조절하여 백라이트유닛으로부터 입사된 광을 출사하는 방식으로 영상을 표시한다. 액정표시장치는 액정표시패널에 포함된 박막 트랜지스터, 화소전극 및 공통전극 등의 구조에 따라 다양한 구동 방식으로 구분되어 제작된다.

- [0004] 한편, 산화물 박막 트랜지스터를 기반으로 액정표시장치를 제조할 경우, 소오스 드레인금속을 습식 식각 시 그 하부에 위치하는 산화물이 손상되는 문제가 있었다. 이와 같이 산화물이 손상되는 문제를 방지하기 위해, 종래에는 에치 스톱퍼(Etch Stopper)를 이용하는 방식이 제안된바 있다. 그런데, 종래 제안된 방식은 에치 스톱퍼를 적용함에 따라 마스크 공정의 증가(대략 6 마스크 공정 요구되었음)를 초래하였다. 또한, 종래 제안된 방식은 에치 스톱퍼의 길이 증가로 채널 길이(Channel Length)를 10 μ m 이하로 구현하기 어려웠다.

발명의 내용

해결하려는 과제

- [0005] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 박막 트랜지스터를 구성하는 산화물층, 소오스전극 및 드레인전극 간의 콘택 구조를 변경하여 에치 스톱퍼를 이용하면서도 마스크 공정을 기존 대비 절감할 수 있는 액정표시장치와 이의 제조방법을 제공하는 것이다.

과제의 해결 수단

- [0006] 상술한 과제 해결 수단으로 본 발명은 하부 기판; 하부 기판 상에 형성된 게이트전극, 게이트전극 상에 형성된 제1절연막, 제1절연막 상에 형성된 산화물층, 산화물층 상에 형성되고 산화물층의 중앙 영역에 아일랜드 형상으로 위치하는 채널 영역 부분과 산화물층의 일측과 타측으로 분리된 소오스 드레인 영역 부분을 포함하는 에치 스톱퍼, 산화물층의 일측과 타측으로 분리된 주변 부분의 에치 스톱퍼 상에 형성된 소오스전극 및 드레인전극을 포함하는 박막 트랜지스터; 박막 트랜지스터 상에 형성되고 산화물층의 일측과 소오스전극의 일부 및 산화물층의 타측과 드레인전극의 일부를 노출하는 제2절연막; 제2절연막 상에 형성되고 산화물층의 일측과 소오스전극의 일부 및 산화물층의 타측과 상기 드레인전극의 일부를 노출하는 제3절연막; 및 제3절연막 상에 형성되고 산화물층의 일측과 소오스전극의 일부를 전기적으로 연결하는 제1투명전극, 제1투명전극과 분리되며 산화물층의 타측과 드레인전극의 일부를 전기적으로 연결하는 제2투명전극을 갖는 투명전극을 포함하는 액정표시장치를 제공한다.
- [0007] 투명전극은 투과 영역 상에서 제2투명전극과 이격하며 구분된 제3투명전극을 포함하고, 제2투명전극은 화소전극으로 정의되고, 제3투명전극은 공통전극으로 정의되며, 화소전극과 공통전극은 비중첩할 수 있다.
- [0008] 제2투명전극은 화소전극으로 정의되고, 화소전극과 전계를 형성하는 공통전극은 하부 기판과 합착되는 상부 기판 상에 형성될 수 있다.
- [0009] 다른 측면에서 본 발명은 하부 기판 상에 형성된 게이트전극, 게이트전극 상에 형성된 제1절연막, 제1절연막 상에 형성된 산화물층, 산화물층 상에 형성되고 산화물층의 중앙 영역에 아일랜드 형상으로 위치하는 채널 영역 부분과 산화물층의 일측과 타측으로 분리된 소오스 드레인 영역 부분을 포함하는 에치 스톱퍼, 산화물층의 일측과 타측으로 분리된 주변 부분의 에치 스톱퍼 상에 형성된 소오스전극 및 드레인전극을 포함하는 박막 트랜지스터를 형성하는 단계; 박막 트랜지스터 상에 형성되고 산화물층의 일측과 소오스전극의 일부 및 산화물층의 타측과 드레인전극의 일부를 노출하는 제2절연막 및 제3절연막을 형성하는 단계; 및 제3절연막 상에 형성되고 산화물층의 일측과 소오스전극의 일부를 전기적으로 연결하는 제1투명전극, 제1투명전극과 분리되며 산화물층의 타측과 드레인전극의 일부를 전기적으로 연결하는 제2투명전극을 갖는 투명전극을 형성하는 단계를 포함하는 액정표시장치의 제조방법을 제공한다.
- [0010] 투명전극은 투과 영역 상에서 제2투명전극과 이격하며 구분된 제3투명전극을 포함하고, 제2투명전극은 화소전극으로 정의되고, 제3투명전극은 공통전극으로 정의되며, 화소전극과 공통전극은 비중첩할 수 있다.
- [0011] 제2투명전극은 화소전극으로 정의되고, 화소전극과 전계를 형성하는 공통전극은 하부 기판과 합착되는 상부 기판 상에 형성될 수 있다.
- [0012] 박막 트랜지스터를 형성하는 단계는 하부 기판 상에 채널 영역을 포함하는 박막 트랜지스터 영역, 데이터라인 영역 및 투과 영역을 각각 정의하고, 하부 기판 상에 게이트금속, 제1절연막, 산화물층 및 제1포토리소그래피를 순차적으로 형성하는 단계와, 하부 기판 상에 제1마스크를 얼라인하고 박막 트랜지스터 영역 상에 아일랜드 형

태를 갖도록 제1포토레지스트를 노광 및 현상하고 제1포토레지스트를 이용하여 게이트금속, 제1절연막, 산화물층을 아일랜드 형상으로 형성하는 단계와, 산화물층을 덮도록 하부 기판 상에 에치 스톱퍼, 소오스 드레인금속 및 제2포토레지스트를 순차적으로 형성하는 단계와, 하부 기판 상에 제2마스크를 얼라인하고 제2포토레지스트를 노광 및 현상하고 제2포토레지스트를 이용하여 소오스 드레인금속을 채널 영역을 기준으로 분리하고 소오스전극 및 드레인전극을 형성하는 단계를 포함할 수 있다.

[0013] 제2절연막 및 제3절연막을 형성하는 단계는 소오스전극 및 드레인전극을 덮도록 하부 기판 상에 제2절연막, 제3절연막 및 제3포토레지스트를 순차적으로 형성하는 단계와, 하부 기판 상에 제3마스크를 얼라인하고 제3포토레지스트를 노광 및 현상하고 제3포토레지스트를 이용하여 채널 영역의 중앙에 아일랜드 형상의 구조물을 형성함과 동시에 아일랜드 형상의 구조물의 일측과 타측으로 산화물층, 소오스전극 및 드레인전극의 일부를 노출하는 단계를 포함할 수 있다.

[0014] 투명전극을 형성하는 단계는 제3절연막을 덮도록 하부 기판 상에 투명전극 및 제4포토레지스트를 순차적으로 형성하는 단계와, 하부 기판 상에 제4마스크를 얼라인하고 제4포토레지스트를 노광 및 현상하고 제4포토레지스트를 이용하여 투명전극을 분리하는 단계를 포함할 수 있다.

[0015] 투명전극을 분리하는 단계는 소오스 영역을 통해 노출된 산화물층의 일측과 소오스전극을 전기적으로 연결하는 제1투명전극, 드레인 영역을 통해 노출된 산화물층의 타측과 드레인전극을 전기적으로 연결하는 제2투명전극 및 투과 영역 상에서 제2투명전극과 이격 구분된 제3투명전극으로 구분되도록 투명전극을 분리할 수 있다.

발명의 효과

[0016] 본 발명은 박막 트랜지스터를 구성하는 산화물층, 소오스전극 및 드레인전극 간의 콘택 구조를 변경하여 에치 스톱퍼를 이용하면서도 4 마스크 공정으로 액정표시장치를 제조할 수 있는 효과가 있다. 또한, 본 발명은 에치 스톱퍼의 길이가 증가하더라도 마스크를 이용하여 채널 길이를 자유롭게 변경할 수 있는 액정표시장치를 제조할 수 있는 효과가 있다. 또한, 본 발명은 산화물 박막 트랜지스터를 기반으로 소자의 성능을 향상시킬 수 있는 액정표시장치를 제조할 수 있는 효과가 있다.

도면의 간단한 설명

[0017] 도 1은 액정표시장치를 개략적으로 나타낸 블록도.
 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로 구성도.
 도 3은 본 발명의 실시예에 따른 서브 픽셀의 평면도.
 도 4 내지 도 15는 도 3에 도시된 A1-A2 영역의 단면 구조를 기반으로 하는 공정 흐름도들.
 도 16은 도 15에 도시된 박막 트랜지스터 영역의 평면도.
 도 17은 본 발명의 제2실시예에 따른 서브 픽셀의 평면도.
 도 18 내지 도 29는 도 17에 도시된 A1-A2 영역의 단면 구조를 기반으로 하는 공정 흐름도들.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0019] <제1실시예>

[0020] 도 1은 액정표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로 구성도이다.

[0021] 도 1 및 도 2에 도시된 바와 같이, 액정표시장치에는 타이밍제어부(130), 게이트구동부(140), 데이터구동부(150), 액정패널(160) 및 백라이트유닛(170)이 포함된다.

[0022] 타이밍제어부(130)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK), 데이터신호(DATA)를 공급받는다. 타이밍제어부(130)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호 등의 타이밍신호를 이용하여 데이터구동부(150)와 게이트구동부(140)의 동작 타이밍을 제어한다. 타이밍제어부(130)는 1 수평기간의 데이터 인에이블 신호를 카운트하여 프레임기간을

판단할 수 있으므로 외부로부터 공급되는 수직 동기신호와 수평 동기신호는 생략될 수 있다.

- [0023] 타이밍제어부(130)에서 생성되는 제어신호들에는 게이트구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(150)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함될 수 있다. 게이트 타이밍 제어신호(GDC)에는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등이 포함된다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트신호가 발생하는 게이트 드라이브 IC(Integrated Circuit)에 공급된다.
- [0024] 게이트 시프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다. 데이터 타이밍 제어신호(DDC)에는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등이 포함된다. 타이밍제어부(130)는 데이터 타이밍 제어신호(DDC)와 함께 데이터신호(DATA)를 데이터구동부(150)에 공급한다.
- [0025] 게이트구동부(140)는 타이밍제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트구동부(140)는 게이트라인들(GL)을 통해 액정패널(160)에 게이트신호를 공급한다. 게이트구동부(140)는 IC 형태로 형성되거나 액정패널(160)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0026] 데이터구동부(150)는 타이밍제어부(130)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터신호(DATA)를 샘플링하고 래치하며 감마 기준전압으로 변환하여 출력한다. 데이터구동부(150)는 데이터라인들(DL)을 통해 액정패널(160)에 데이터신호(DATA)를 공급한다. 데이터구동부(150)는 IC 형태로 형성된다.
- [0027] 액정패널(160)은 박막 트랜지스터 등이 형성된 하부 기판, 컬러필터 등이 형성된 상부 기판 그리고 이들 사이에 위치하는 액정층으로 구성된다. 하부 기판과 하부 기판의 내부 상층부에는 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다. 하부 기판의 하부면에는 하부 편광판이 부착되고, 상부 기판의 상부면에는 상부 편광판이 부착된다. 또한, 액정패널(160)은 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다.
- [0028] 액정패널(160)은 게이트구동부(140)로부터 공급된 게이트신호와 데이터구동부(150)로부터 공급된 데이터신호(DATA)에 대응하여 영상을 표시한다. 액정패널(160)은 백라이트유닛(170)을 통해 제공된 광을 제어하는 서브 픽셀들이 포함된다. 하나의 서브 픽셀(SP)에는 박막 트랜지스터(TFT), 스토리지 커패시터(Cst) 및 액정층(Clc)이 포함된다.
- [0029] 박막 트랜지스터(TFT)의 게이트전극은 게이트라인(GL1)에 연결되고 소오스전극은 데이터라인(DL1)에 연결된다. 스토리지 커패시터(Cst)는 박막 트랜지스터(TFT)의 드레인전극에 일단이 연결되고 공통전압라인(Vcom)에 타단이 연결된다. 액정층(Clc)은 박막 트랜지스터(TFT)의 드레인전극에 연결된 화소전극(1)과 공통전극(2, Vcom) 사이에 형성된다.
- [0030] 백라이트유닛(170)은 액정패널(160)에 빛을 제공한다. 백라이트유닛(170)은 발광다이오드(이하 LED), LED를 구동하는 LED구동부, LED로부터 출사된 광을 면광원으로 변환시키는 도광판, 도광판으로부터 출사된 광을 집광 및 확산하는 광학시트류 등이 포함된다. 백라이트유닛(170)은 LED뿐만 아니라 다른 광원을 이용하는 방식으로 액정패널(160)에 빛을 제공할 수 있다.
- [0031] 이하, 액정패널(160)에 형성된 서브 픽셀을 참조하여 본 발명을 구체화한다.
- [0032] 도 3은 본 발명의 실시예에 따른 서브 픽셀의 평면도이다.
- [0033] 도 3에 도시된 바와 같이, 본 발명의 제1실시예에 따른 서브 픽셀은 IPS(In Plane Switching) 모드 또는 FFS(Fringe Field Switching) 모드로 구현된다. 서브 픽셀은 수직 방향(y)으로 배치된 제1데이터라인(DL1), 수평 방향(x)으로 배치된 제1게이트라인(GL1)에 의해 정의된다. 제1데이터라인(DL1)은 도시된 바와 같이 서브 픽셀의 중앙 영역을 기준으로 기울어진 부등호(<) 형상을 갖는다.
- [0034] 서브 픽셀은 제1데이터라인(DL1)과 제1게이트라인(GL1)에 연결된 박막 트랜지스터(TFT)를 갖는다. 박막 트랜지스터(TFT)의 반도체층은 산화물(Oxide)로 이루어진다. 서브 픽셀은 박막 트랜지스터(TFT)의 드레인전극에 연결된 화소전극(Pixel)과 공통전압라인에 연결된 공통전극(Vcom)을 갖는다.
- [0035] 화소전극(Pixel)과 공통전극(Vcom)은 도시된 바와 같이 서브 픽셀의 중앙 영역을 기준으로 기울어진 부등호(<)

형상을 갖는 핑거부를 갖는다. 화소전극(Pixel)과 공통전극(Vcom)은 하부 기판 상에 형성된다. 화소전극(Pixel)과 공통전극(Vcom)의 핑거부는 서브 픽셀의 투과 영역(TA) 내에서 동일한 층에 형성된다. 화소전극(Pixel)과 공통전극(Vcom)의 핑거부는 서브 픽셀의 투과 영역(TA) 내에서 비중첩하도록 상호 이격하며 구분되어 형성된다.

[0036] 위의 설명 및 도시된 도면에서는 제1데이터라인(DL1), 화소전극(Pixel) 및 공통전극(Vcom)이 부등호(<) 형상과 유사하게 기울어진 경사를 갖는 것을 일례로 하였다. 그러나, 이는 하나의 예시일뿐 제1데이터라인(DL1), 화소전극(Pixel) 및 공통전극(Vcom)은 직선 형상을 가질 수 있다.

[0037] 한편, 산화물 박막 트랜지스터를 기반으로 횡전계 모드의 액정표시장치는 아몰포스 실리콘(a-Si) 박막 트랜지스터를 기반보다 전류 이동도가 10배 이상 높기 때문에 고해상도 충전에 유리한 이점이 있다. 하지만, 산화물 반도체층의 경우, 금속층과의 식각 선택비가 없어 식각액에 노출되면 제거되거나 분자 구조가 손상되므로 박막 트랜지스터의 특성을 저하 시킨다. 이를 개선하기 위해 종래 제안된 방식은 소오스 드레인금속을 습식 식각 시 그 하부에 위치하는 산화물이 손상되는 문제를 방지하기 위해 에치 스톱퍼(Etch Stopper)를 이용하였다. 그런데, 종래 제안된 방식은 에치 스톱퍼를 이용함에 따라 마스크 공정의 증가(대략 6 마스크 공정 요구되었음)를 초래하였다. 또한, 종래 제안된 방식은 산화물층, 소오스전극 및 드레인전극 간의 마진 확보에 기인한 에치 스톱퍼의 길이 증가로 채널 길이(Channel Length)를 10 μ m 이하로 구현하기 어려웠다.

[0038] 본 발명의 제1실시예는 위와 같은 문제를 해결하기 위해, 에치 스톱퍼를 사용하면서도 마스크 공정을 절감하고 또한 채널 길이를 10 μ m 이하로 구현하여 소자의 성능을 향상시킬 수 있는 구조 및 방법을 하기와 같이 제안한다.

[0039] 이하, 도 3에 도시된 A1-A2 영역의 단면 구조를 기반으로 본 발명의 제1실시예를 구체화한다.

[0040] 도 4 내지 도 15는 도 3에 도시된 A1-A2 영역의 단면 구조를 기반으로 하는 공정 흐름도들이고, 도 16은 도 15에 도시된 박막 트랜지스터 영역의 평면도이다.

[0041] [제1마스크 공정: 도 3, 도 4 내지 도 8 참조]

[0042] 하부 기판(110) 상에 채널 영역(CHA)을 포함하는 박막 트랜지스터 영역(TFTA), 데이터라인 영역(DA) 및 투과 영역(TA)을 각각 정의하고, 하부 기판(110) 상에 게이트금속(111)을 형성한다. 게이트금속(111)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 형성될 수 있다.

[0043] 게이트금속(111) 상에 제1절연막(112), 산화물층(113) 및 제1포토리저스트(PR1)를 순차적으로 적층하여 형성한다. 절연막(112)은 실리콘 산화막(SiO_x)이나 실리콘 질화막(SiN_x) 등으로 선택된다.

[0044] 하부 기판(110) 상에 제1마스크(M1)를 얼라인하고 노광 및 현상한다. 제1마스크(M1)는 하프톤 마스크로 선택된다. 제1마스크(M1)는 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)에 대응하여 차단부(NOPN)를 갖고 그 주위로 반투과부(HOPN)를 가지며, 데이터라인 영역(DA) 및 투과 영역(TA)에 대응하여 폴투과부(FOPN)를 갖는 것을 이용한다. 제1마스크(M1)를 제거하고 제1포토리저스트(PR1)를 현상하면, 이는 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)이 그 주변 영역보다 돌출된 형상을 갖게 된다.

[0045] 제1포토리저스트(PR1)를 이용하여 하부 기판(110)을 식각하고 박막 트랜지스터 영역(TFTA)만 제외하고 나머지 데이터라인 영역(DA) 및 투과 영역(TA)에 위치하는 게이트금속(111), 제1절연막(112) 및 산화물층(113)을 제거한다. 이로 인하여, 게이트금속(111), 제1절연막(112) 및 산화물층(113)은 박막 트랜지스터 영역(TFTA)에 대응되는 부분만 존재하게 된다. 박막 트랜지스터 영역(TFTA)에 대응되는 부분에 존재하는 게이트금속(111)은 박막 트랜지스터의 게이트전극이 된다.

[0046] 제1포토리저스트(PR1)를 에싱(ashing)하여 제1포토리저스트(PR1)의 단차(높이)를 낮춘다. 제1포토리저스트(PR1)를 에싱하면 이는 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)만 존재하고 나머지에 해당하는 박막 트랜지스터 영역(TFTA)의 주변 영역은 제거된다.

[0047] 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)에 잔존하는 제1포토리저스트(PR1)를 이용하여 산화물층(113)을 패터닝하고 제1포토리저스트(PR1)를 제거한다. 이로써, 산화물층(113)은 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)에만 존재하게 된다. 이후, 잔존하는 제1포토리저스트(PR1)를 제거한다.

[0048] [제2마스크 공정: 도 3, 도 9 내지 도 11 참조]

- [0049] 산화물층(113)을 덮도록 하부 기판(110)의 전면 상에 에치 스톱퍼(114)(Etch Stopper), 소오스 드레인금속(115) 및 제2포토레지스트(PR2)를 순차적으로 적층하여 형성한다. 소오스 드레인금속(115)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 형성될 수 있다.
- [0050] 하부 기판(110) 상에 제2마스크(M2)를 얼라인하고 노광 및 현상한다. 제2마스크(M2)는 포토 마스크로 선택된다. 제2마스크(M2)는 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)보다 좁은 영역에 대응하여 투과부(OPN)를 갖고 데이터라인 영역(DA)을 차단하는 차단부(NOPN)를 갖고 투과 영역(TA)의 일부에 대응하여 투과부(OPN)를 갖는 것을 이용한다. 제2포토레지스트(PR2)를 이용하여 하부 기판(110)을 식각하면 소오스 드레인금속(115)은 소오스전극(115a)과 드레인전극(115b)으로 분리된다. 이후, 잔존하는 제2포토레지스트(PR2)를 제거한다.
- [0051] [제3마스크 공정: 도 3, 도 12 및 도 13 참조]
- [0052] 소오스전극(115a)과 드레인전극(115b)을 덮도록 하부 기판(110)의 전면 상에 제2절연막(116), 제3절연막(117) 및 제3포토레지스트(PR3)를 순차적으로 적층하여 형성한다. 제2절연막(116)은 실리콘 산화막(SiO₂)이나 실리콘 질화막(SiN_x) 등으로 선택된다. 제3절연막(117)은 제2절연막(116)과 달리 표면을 평탄화하기 위한 재료 예컨대 폴리 아크릴레이트(Pac) 등과 같은 유기막으로 선택된다.
- [0053] 하부 기판(110) 상에 제3마스크(M3)를 얼라인하고 노광 및 현상한다. 제3마스크(M3)는 포토 마스크로 선택된다. 제3마스크(M3)는 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)보다 좁은 영역에 대응하여 차단부(NOPN)를 갖고 채널 영역(CHA)과 인접하는 소오스전극(115a)과 드레인전극(115b)에 대응하여 투과부(OPN)를 갖고 나머지 영역인 데이터라인 영역(DA) 및 투과 영역(TA)을 차단하는 차단부(NOPN)를 갖는 것을 이용한다.
- [0054] 제3포토레지스트(PR3)를 이용하여 제2 및 제3절연막(116, 117)을 식각하면, 제3절연막(117)에는 채널 영역(CHA)의 일측에 인접하여 소오스전극(115a)의 일부를 노출하는 소오스 영역(SA)과 채널 영역(CHA)의 타측에 인접하여 드레인전극(115b)의 일부를 노출하는 드레인 영역(DA)이 형성된다. 소오스 영역(SA)과 드레인 영역(DA)은 콘택홀이 된다. 이때, 채널 영역(CHA)에 위치하는 산화물층(113)의 일측 및 타측의 일부 또한 소오스 영역(SA)과 드레인 영역(DA)을 통해 각각 노출된다. 이로 인하여, 에치 스톱퍼(114a, 114b, 114c)는 소오스 영역(SA), 채널 영역(CHA) 및 드레인 영역(DA)에 대응하여 각각 분리된다. 여기서, 채널 영역(CHA)의 중앙 영역 상에 위치하는 에치 스톱퍼(114b)는 아일랜드 형상으로 존재하게 되고, 이와 분리된 에치 스톱퍼(114a, 114c)는 하부 기판(110)의 전면에 존재하게 된다. 이후, 잔존하는 제3포토레지스트(PR3)를 제거한다.
- [0055] [제4마스크 공정: 도 3, 도 14 및 도 15 참조]
- [0056] 소오스 영역(SA), 채널 영역(CHA) 및 드레인 영역(DA)을 포함하는 하부 기판(110)의 전면에 투명전극(118) 및 제4포토레지스트(PR4)를 순차적으로 적층하여 형성한다. 이때, 투명전극(118)의 일부는 소오스 영역(SA) 및 드레인 영역(DA)에 형성된 공간(콘택홀)을 채우는 형태로 형성된다. 투명전극(118)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), ZnO(Zinc Oxide), IGZO(Indium Gallium Zinc Oxide)나 그래핀(graphene) 등과 같은 투명도전막으로 선택된다. 투명전극(118)은 이후의 공정을 통해 도 3과 같은 화소전극(Pixel)과 공통전극(Vcom)이 된다.
- [0057] 하부 기판(110) 상에 제4마스크(M4)를 얼라인하고 노광 및 현상한다. 제4마스크(M4)는 포토 마스크로 선택된다. 제4마스크(M4)는 박막 트랜지스터 영역(TFTA)에 대응하여 차단부(NOPN)를 갖되 채널 영역(CHA)의 중앙 영역에 대응하여 투과부(OPN)를 갖고, 투과 영역(TA)에 대응하여 투과부(OPN)와 차단부(NOPN)가 교번하는 것을 이용한다.
- [0058] 제4포토레지스트(PR4)를 이용하여 투명전극(118)을 식각하면, 투명전극(118)은 소오스 영역(SA), 채널 영역(CHA), 드레인 영역(DA) 및 투과 영역(TA) 상에서 상호 분리된다. 소오스 영역(SA) 상에 위치하는 제1투명전극(118a)은 소오스전극(115a)과 산화물층(113)의 일측을 전기적으로 연결한다. 채널 영역(CHA) 상에 위치하는 제2 및 제3투명전극(118a, 118b)은 소오스전극(115a) 부분과 드레인전극(115b) 부분으로 분리된다. 드레인 영역(DA) 상에 위치하는 제2투명전극(118b)은 드레인전극(115b)과 산화물층(113)의 타측을 전기적으로 연결한다.
- [0059] 투과 영역(TA) 상에 위치하는 제2 및 제3투명전극(118b, 118c) 중 하나는 드레인전극(115b)과 전기적으로 연결된 화소전극(118b, Pixel)이 되고, 남은 하나는 공통전압라인과 전기적으로 연결된 공통전극(118c, Vcom)이 된

다. 즉, 투과 영역(TA) 상에 위치하는 제2 및 제3투명전극(118b, 118c)은 화소전극(118b)과 공통전극(118c)의 평거부가 된다. 이후, 잔존하는 제4포토레지스트(PR4)를 제거한다.

[0060] 한편, 앞서 설명된 구조는 도 16에 도시된 바와 같이 채널 영역(CHA)에 아일랜드 형상의 구조물을 두고 그 주변(소오스 및 드레인 영역)을 패터닝으로써 채널 길이(CL)를 채널 영역(CHA)보다 더 짧게 형성할 수 있다. 그 결과, 본 발명의 제1실시예는 마스크의 구조에 따라 채널 길이(CL)를 $6\mu\text{m}$ 이하까지 구현 가능한 효과가 있다.

[0061] <제2실시예>

[0062] 도 17은 본 발명의 제2실시예에 따른 서브 픽셀의 평면도이다.

[0063] 도 17에 도시된 바와 같이, 본 발명의 제2실시예에 따른 서브 픽셀은 TN(Twisted Nematic) 모드로 구현된다. 서브 픽셀은 수직 방향(y)으로 배치된 제1데이터라인(DL1), 수평 방향(x)으로 배치된 제1게이트라인(GL1)에 의해 정의된다. 제1데이터라인(DL1)은 직선으로 배선된 형상을 갖는다.

[0064] 서브 픽셀은 제1데이터라인(DL1)과 제1게이트라인(GL1)에 연결된 박막 트랜지스터(TFT)를 갖는다. 박막 트랜지스터(TFT)의 반도체층은 산화물(Oxide)로 이루어진다. 서브 픽셀은 박막 트랜지스터(TFT)의 드레인전극에 연결된 화소전극(Pixel)과 공통전압라인에 연결된 공통전극(Vcom)을 갖는다.

[0065] 화소전극(Pixel)은 서브 픽셀의 투과 영역(TA) 내에 위치하도록 하부 기판 상에 판 형상으로 형성되는 반면 공통전극(Vcom)은 상부 기판의 전면에 판 형상으로 형성된다. 여기서, 공통전극(Vcom)은 그 형상을 보여주기 위해 평면 상에 그 일부를 도시한 것임을 참조한다.

[0066] 한편, 산화물 박막 트랜지스터를 기반으로 횡전계 모드의 액정표시장치는 아몰포스 실리콘(a-Si) 박막 트랜지스터를 기반보다 전류 이동도가 10배 이상 높기 때문에 고해상도 충전에 유리한 이점이 있다. 하지만, 종래 제안된 방식은 소오스 드레인금속을 습식 식각 시 그 하부에 위치하는 산화물이 손상되는 문제나 에치 스톱퍼(Etch Stopper)를 이용함에 따라 마스크 공정의 증가(대략 6 마스크 공정 요구되었음)를 초래하였다. 또한, 종래 제안된 방식은 에치 스톱퍼의 길이 증가로 채널 길이(Channel Length)를 $10\mu\text{m}$ 이하로 구현하기 어려웠다.

[0067] 본 발명의 제2실시예는 위와 같은 문제를 해결하기 위해, 에치 스톱퍼를 사용하면서도 마스크 공정을 절감하고 또한 채널 길이를 $10\mu\text{m}$ 이하로 구현하여 소자의 성능을 향상시킬 수 있는 구조 및 방법을 하기와 같이 제안한다.

[0068] 이하, 도 17에 도시된 A1-A2 영역의 단면 구조를 기반으로 본 발명의 제2실시예를 구체화한다. 다만, TN 모드에 사용되는 공통전극(Vcom)의 경우 상부 기판 상에 형성되고 이의 구조 및 이를 형성하는 방법은 주지관용의 기술에 해당하므로 이에 대한 구체적인 설명은 생략한다.

[0069] 도 18 내지 도 29는 도 17에 도시된 A1-A2 영역의 단면 구조를 기반으로 하는 공정 흐름도들이다.

[0070] [제1마스크 공정: 도 17, 도 18 내지 도 22 참조]

[0071] 하부 기판(110) 상에 채널 영역(CHA)을 포함하는 박막 트랜지스터 영역(TFTA), 데이터라인 영역(DA) 및 투과 영역(TA)을 각각 정의하고, 하부 기판(110) 상에 게이트금속(111)을 형성한다. 게이트금속(111)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 형성될 수 있다.

[0072] 게이트금속(111) 상에 제1절연막(112), 산화물층(113) 및 제1포토레지스트(PR1)를 순차적으로 적층하여 형성한다. 절연막(112)은 실리콘 산화막(SiO_x)이나 실리콘 질화막(SiN_x) 등으로 선택된다.

[0073] 하부 기판(110) 상에 제1마스크(M1)를 얼라인하고 노광 및 현상한다. 제1마스크(M1)는 하프톤 마스크로 선택된다. 제1마스크(M1)는 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)에 대응하여 차단부(NOPN)를 갖고 그 주위로 반투과부(HOPN)를 가지며, 데이터라인 영역(DA) 및 투과 영역(TA)에 대응하여 폴투과부(FOPN)를 갖는 것을 이용한다. 제1마스크(M1)를 제거하고 제1포토레지스트(PR1)를 현상하면, 이는 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)이 그 주변 영역보다 돌출된 형상을 갖게 된다.

[0074] 제1포토레지스트(PR1)를 이용하여 하부 기판(110)을 식각하고 박막 트랜지스터 영역(TFTA)만 제외하고 나머지 데이터라인 영역(DA) 및 투과 영역(TA)에 위치하는 게이트금속(111), 제1절연막(112) 및 산화물층(113)을 제거한다. 이로 인하여, 게이트금속(111), 제1절연막(112) 및 산화물층(113)은 박막 트랜지스터 영역(TFTA)에 대응되는 부분만 존재하게 된다. 박막 트랜지스터 영역(TFTA)에 대응되는 부분에 존재하는 게이트금속(111)은 박막

트랜지스터의 게이트전극이 된다.

- [0075] 제1포토레지스트(PR1)를 에싱(ashing)하여 제1포토레지스트(PR1)의 단차(높이)를 낮춘다. 제1포토레지스트(PR1)를 에싱하면 이는 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)만 존재하고 나머지에 해당하는 박막 트랜지스터 영역(TFTA)의 주변 영역은 제거된다.
- [0076] 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)에 잔존하는 제1포토레지스트(PR1)를 이용하여 산화물층(113)을 패터닝하고 제1포토레지스트(PR1)를 제거한다. 이로써, 산화물층(113)은 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)에만 존재하게 된다. 이후, 잔존하는 제1포토레지스트(PR1)를 제거한다.
- [0077] [제2마스크 공정: 도 17, 도 23 내지 도 25 참조]
- [0078] 산화물층(113)을 덮도록 하부 기판(110)의 전면 상에 에치 스톱퍼(114)(Etch Stopper), 소오스 드레인금속(115) 및 제2포토레지스트(PR2)를 순차적으로 적층하여 형성한다. 소오스 드레인금속(115)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 형성될 수 있다.
- [0079] 하부 기판(110) 상에 제2마스크(M2)를 얼라인하고 노광 및 현상한다. 제2마스크(M2)는 포토 마스크로 선택된다. 제2마스크(M2)는 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)보다 좁은 영역에 대응하여 투과부(OPN)를 갖고 데이터라인 영역(DA)을 차단하는 차단부(NOPN)를 갖고 투과 영역(TA)의 일부에 대응하여 투과부(OPN)를 갖는 것을 이용한다. 제2포토레지스트(PR2)를 이용하여 하부 기판(110)을 식각하면 소오스 드레인금속(115)은 소오스전극(115a)과 드레인전극(115b)으로 분리된다. 이후, 잔존하는 제2포토레지스트(PR2)를 제거한다.
- [0080] [제3마스크 공정: 도 17, 도 26 및 도 27 참조]
- [0081] 소오스전극(115a)과 드레인전극(115b)을 덮도록 하부 기판(110)의 전면 상에 제2절연막(116), 제3절연막(117) 및 제3포토레지스트(PR3)를 순차적으로 적층하여 형성한다. 제2절연막(116)은 실리콘 산화막(SiO₂)이나 실리콘 질화막(SiN_x) 등으로 선택된다. 제3절연막(117)은 제2절연막(116)과 달리 표면을 평탄화하기 위한 재료 예컨대 폴리 아크릴레이트(Pac) 등과 같은 유기막으로 선택된다.
- [0082] 하부 기판(110) 상에 제3마스크(M3)를 얼라인하고 노광 및 현상한다. 제3마스크(M3)는 포토 마스크로 선택된다. 제3마스크(M3)는 박막 트랜지스터 영역(TFTA)의 중앙 영역에 위치하는 채널 영역(CHA)보다 좁은 영역에 대응하여 차단부(NOPN)를 갖고 채널 영역(CHA)과 인접하는 소오스전극(115a)과 드레인전극(115b)에 대응하여 투과부(OPN)를 갖고 나머지 영역인 데이터라인 영역(DA) 및 투과 영역(TA)을 차단하는 차단부(NOPN)를 갖는 것을 이용한다.
- [0083] 제3포토레지스트(PR3)를 이용하여 제2 및 제3절연막(116, 117)을 식각하면, 제3절연막(117)에는 채널 영역(CHA)의 일측에 인접하여 소오스전극(115a)의 일부를 노출하는 소오스 영역(SA)과 채널 영역(CHA)의 타측에 인접하여 드레인전극(115b)의 일부를 노출하는 드레인 영역(DA)이 형성된다. 소오스 영역(SA)과 드레인 영역(DA)은 콘택홀이 된다. 이때, 채널 영역(CHA)에 위치하는 산화물층(113)의 일측 및 타측의 일부 또한 소오스 영역(SA)과 드레인 영역(DA)을 통해 각각 노출된다. 이로 인하여, 에치 스톱퍼(114a, 114b, 114c)는 소오스 영역(SA), 채널 영역(CHA) 및 드레인 영역(DA)에 대응하여 각각 분리된다. 여기서, 채널 영역(CHA)의 중앙 영역 상에 위치하는 에치 스톱퍼(114b)는 아일랜드 형상으로 존재하게 되고, 이와 분리된 에치 스톱퍼(114a, 114c)는 하부 기판(110)의 전면 상에 존재하게 된다. 이후, 잔존하는 제3포토레지스트(PR3)를 제거한다.
- [0084] [제4마스크 공정: 도 17, 도 28 및 도 29 참조]
- [0085] 소오스 영역(SA), 채널 영역(CHA) 및 드레인 영역(DA)을 포함하는 하부 기판(110)의 전면 상에 투명전극(118) 및 제4포토레지스트(PR4)를 순차적으로 적층하여 형성한다. 이때, 투명전극(118)의 일부는 소오스 영역(SA) 및 드레인 영역(DA)에 형성된 공간(콘택홀)을 채우는 형태로 형성된다. 투명전극(118)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), ZnO(Zinc Oxide), IGZO(Indium Gallium Zinc Oxide)나 그래핀(graphene) 등과 같은 투명도전막으로 선택된다. 투명전극(118)은 이후의 공정을 통해 도 17과 같은 화소전극(Pixel)과 공통전극(Vcom)이 된다.
- [0086] 하부 기판(110) 상에 제4마스크(M4)를 얼라인하고 노광 및 현상한다. 제4마스크(M4)는 포토 마스크로 선택된다. 제4마스크(M4)는 박막 트랜지스터 영역(TFTA) 및 투과 영역(TA)에 대응하여 차단부(NOPN)를 갖고 데이터라인 영

역(DA)에 대응하여 투과부(OPN)를 갖는 것을 이용한다.

[0087] 제4포토레지스트(PR4)를 이용하여 투명전극(118)을 식각하면, 투명전극(118)은 소오스 영역(SA) 및 채널 영역(CHA) 상에서 상호 분리된다. 소오스 영역(SA) 상에 위치하는 제1투명전극(118a)은 소오스전극(115a)과 산화물층(113)의 일측을 전기적으로 연결한다. 채널 영역(CHA) 상에 위치하는 제1 및 제2투명전극(118a, 118b)은 소오스전극(115a) 부분과 드레인전극(115b) 부분으로 분리된다. 드레인 영역(DA) 상에 위치하는 제2투명전극(118b)은 드레인전극(115b)과 산화물층(113)의 타측을 전기적으로 연결한다. 투과 영역(TA) 상에 위치하는 제2투명전극(118b)은 드레인전극(115b)과 전기적으로 연결된 화소전극(118b)이 된다. 이후, 잔존하는 제4포토레지스트(PR4)를 제거한다.

[0088] 이상 본 발명은 박막 트랜지스터를 구성하는 산화물층, 소오스전극 및 드레인전극 간의 콘택 구조를 변경하여 에치 스톱퍼를 이용하면서도 4 마스크 공정(중래 대비 마스크 공정의 수를 2개 절감)으로 액정표시장치를 제조할 수 있는 효과가 있다. 또한, 본 발명은 에치 스톱퍼의 길이가 증가하더라도 마스크를 이용하여 채널 길이를 자유롭게 변경할 수 있는 액정표시장치를 제조할 수 있는 효과가 있다. 또한, 본 발명은 산화물 박막 트랜지스터를 기반으로 소자의 성능을 향상시킬 수 있는 액정표시장치를 제조할 수 있는 효과가 있다.

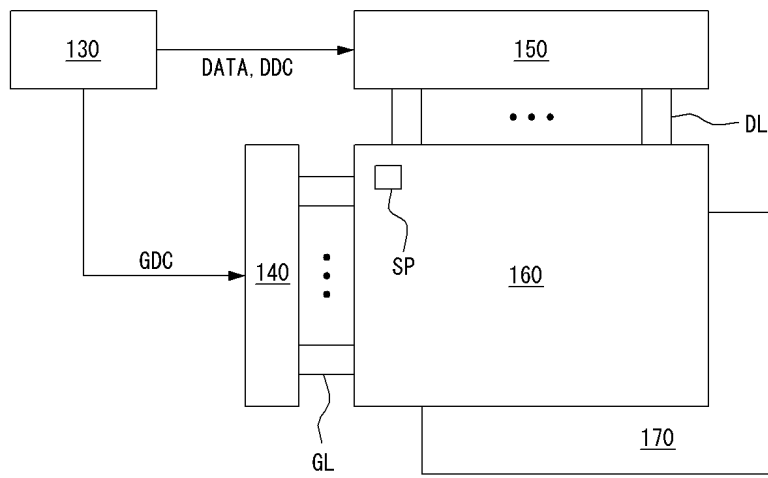
[0089] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

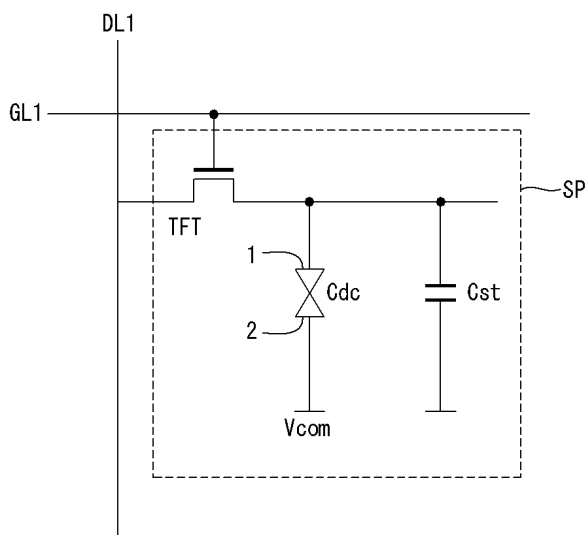
[0090] 130: 타이밍 제어부 140: 게이트구동부
150: 데이터구동부 160: 액정패널
170: 백라이트유닛 110: 하부 기판
DA: 데이터라인 영역 CHA: 채널 영역
TFTA: 박막 트랜지스터 영역 TA: 투과 영역
113: 산화물층 Pixel, 1, 118b: 화소전극
Vcom, 2, 118c: 공통전극 M1 ~ M4: 제1 내지 제4마스크
PR1 ~ PR4: 제1 내지 제4포토레지스트

도면

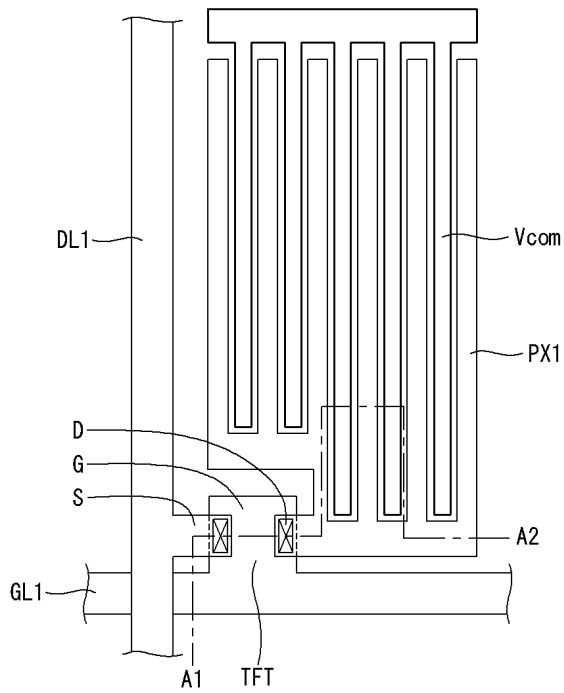
도면1



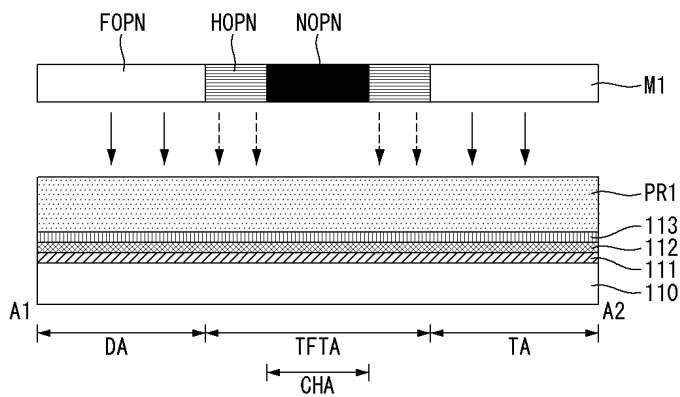
도면2



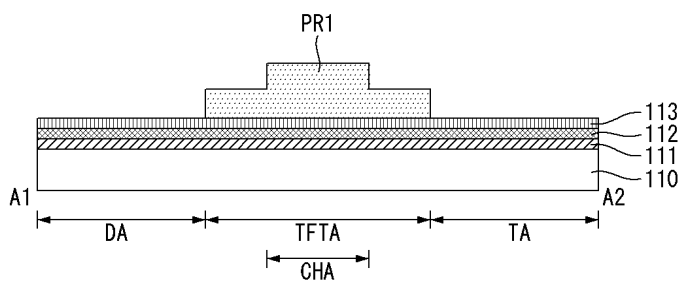
도면3



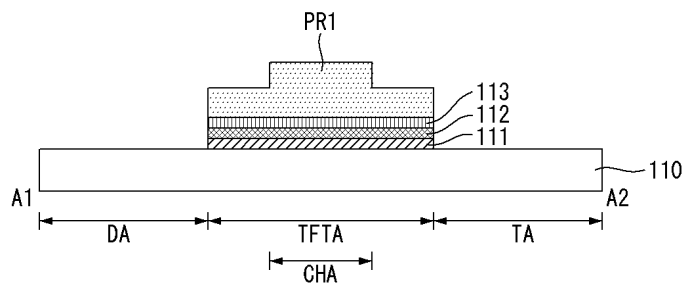
도면4



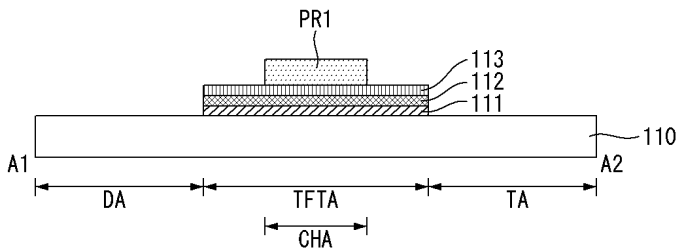
도면5



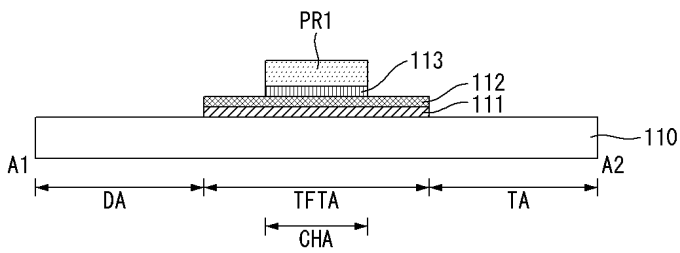
도면6



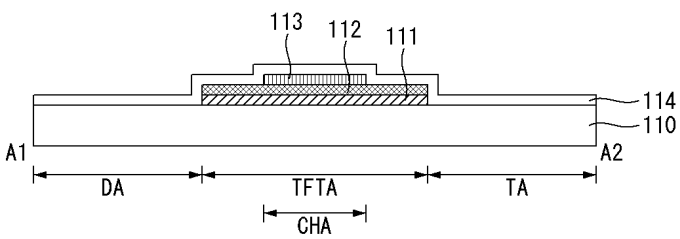
도면7



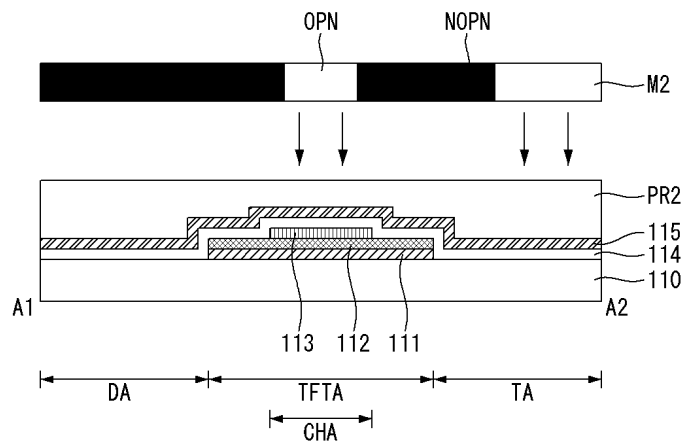
도면8



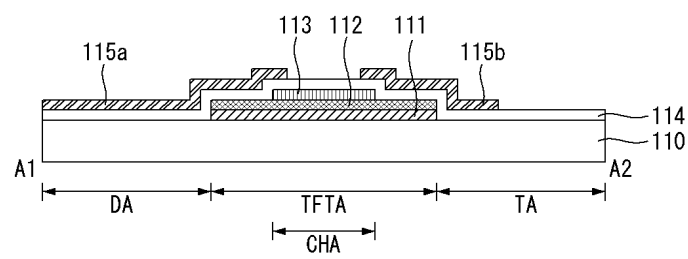
도면9



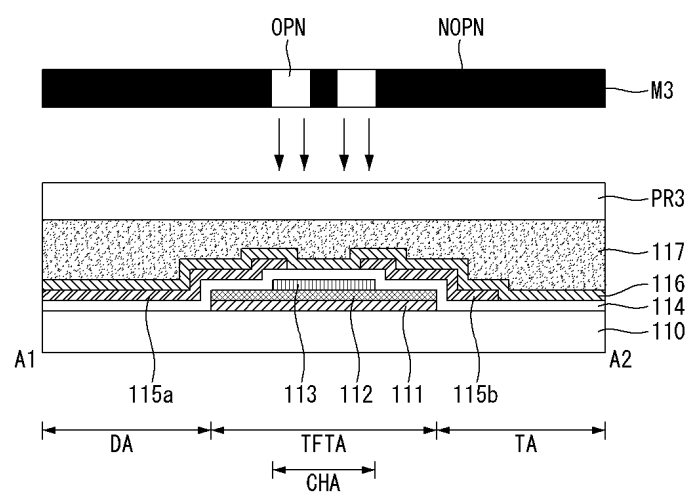
도면10



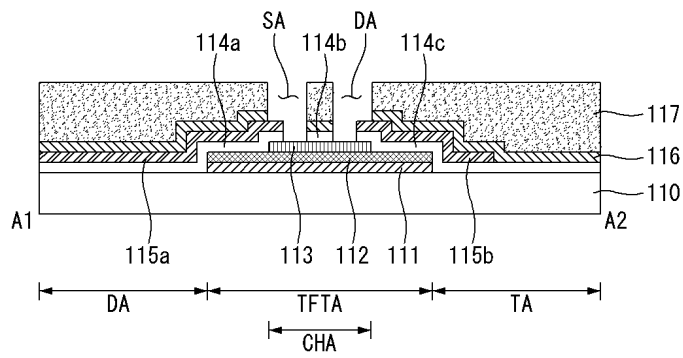
도면11



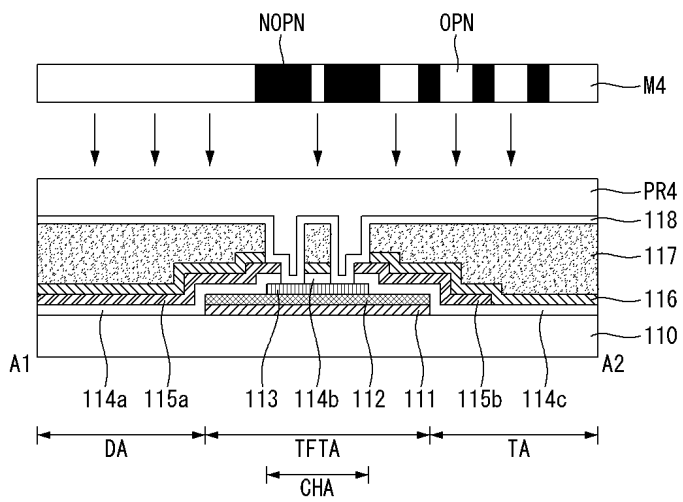
도면12



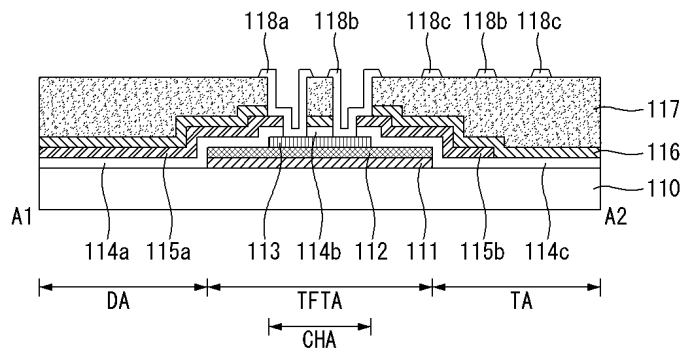
도면13



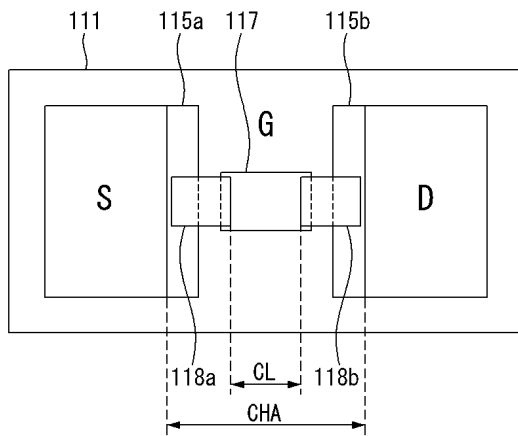
도면14



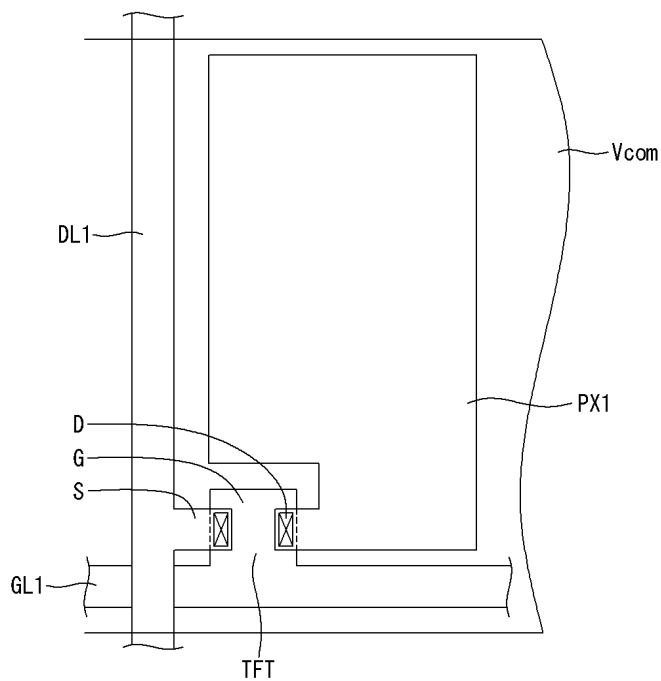
도면15



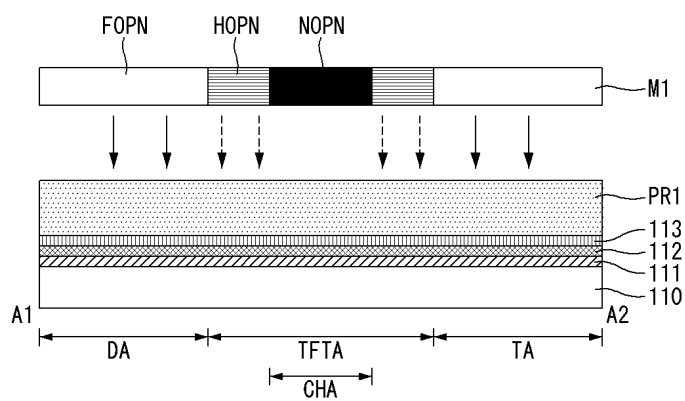
도면16



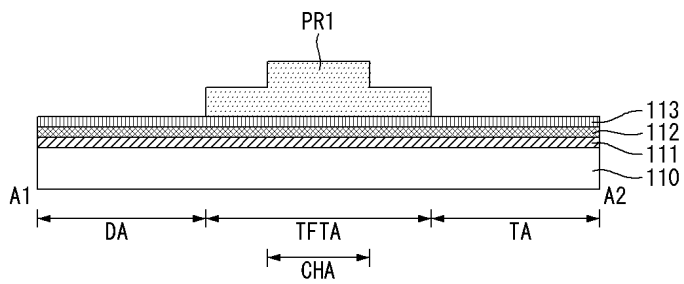
도면17



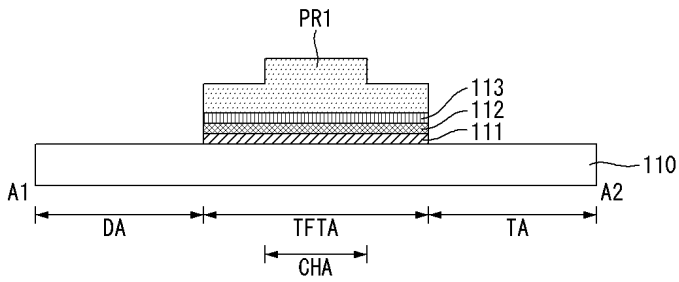
도면18



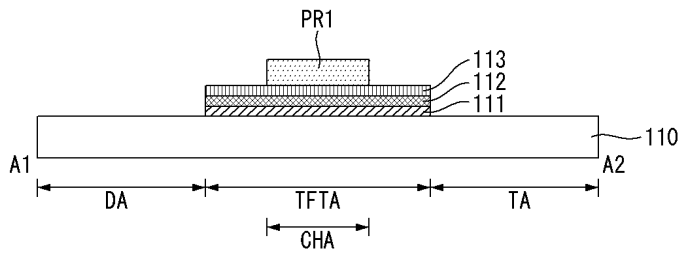
도면19



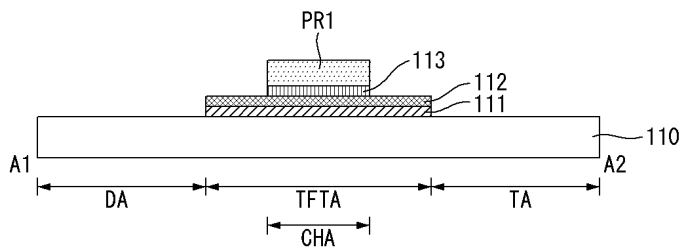
도면20



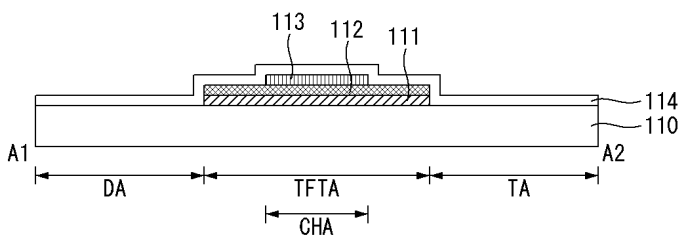
도면21



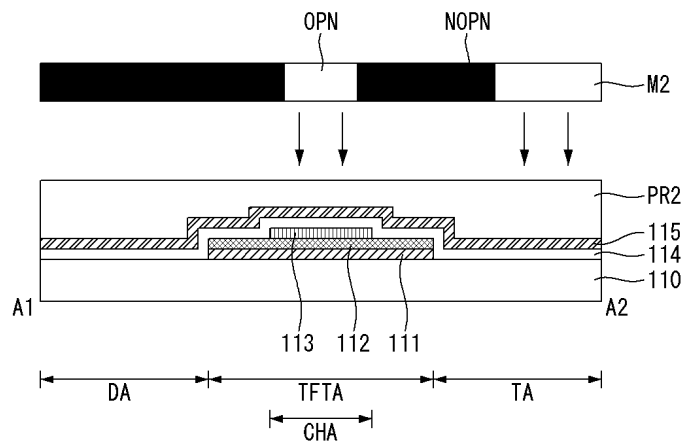
도면22



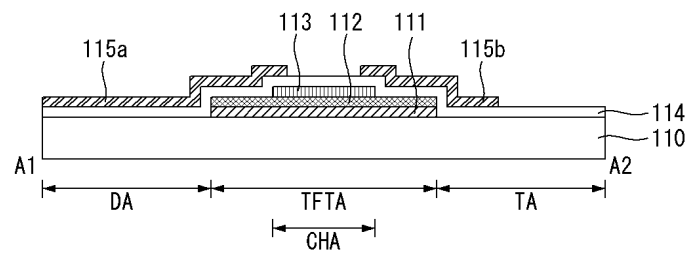
도면23



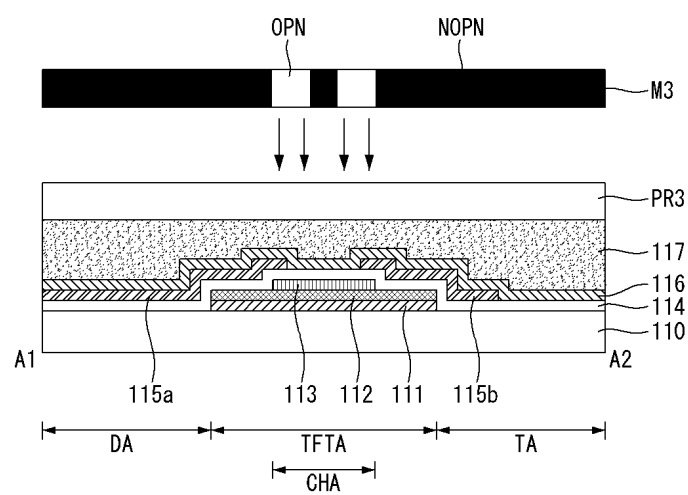
도면24



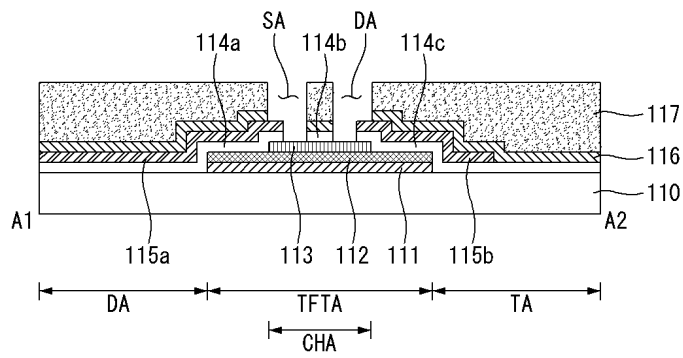
도면25



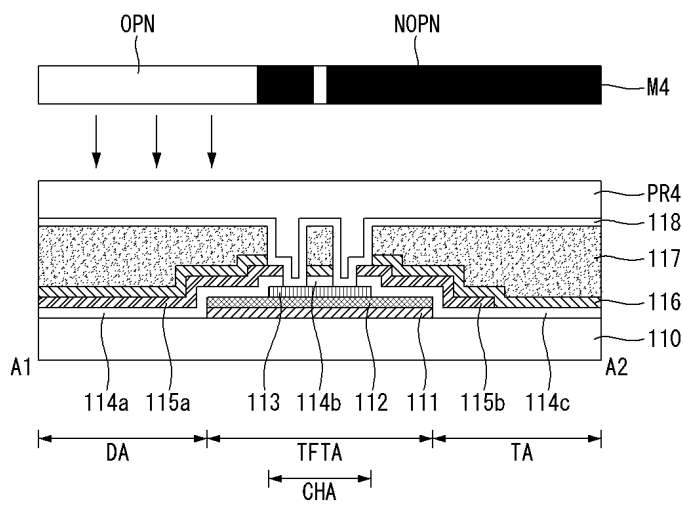
도면26



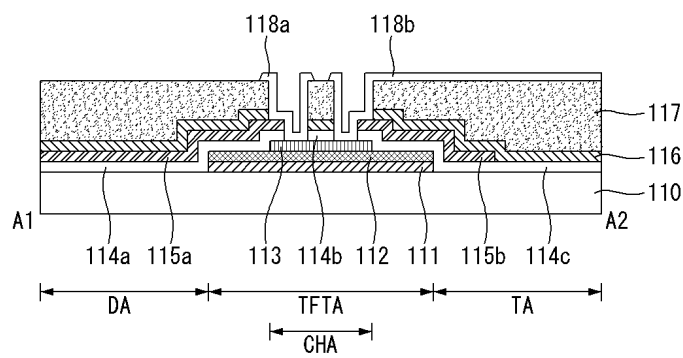
도면27



도면28



도면29



专利名称(译)	液晶显示装置及其制造方法相同		
公开(公告)号	KR102061873B1	公开(公告)日	2020-01-03
申请号	KR1020130070794	申请日	2013-06-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	남대현 양준영		
发明人	남대현 양준영		
IPC分类号	G02F1/136 G02F1/1343		
CPC分类号	G02F1/136227 G02F1/1368 G02F2001/136231 G02F2201/12		
审查员(译)	朴贞根		
其他公开文献	KR1020140147955A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，其包括下部基板。薄膜晶体管（TFT），包括形成在下基板上的栅电极，形成在栅电极上的第一绝缘层，形成在第一绝缘层上的氧化物层，形成在氧化物层上并包括沟道区的蚀刻停止层 位于岛的一部分位于氧化物层的中心区域中，并且将源极和漏极区域部分分成氧化物层的一侧和另一侧，将源极和漏极分别形成在蚀刻停止层的边缘部分上，将其分开 氧化物层的一侧和另一侧；第二绝缘层形成在TFT上，并暴露氧化物层的一侧和源电极的一部分，以及氧化物层的另一侧和漏电极的一部分；第三绝缘层，形成在第二绝缘层上，并暴露氧化物层的一侧和源电极的一部分，暴露于氧化物层的另一侧和漏电极的一部分；透明电极，其具有形成在第三绝缘层上并电连接氧化物层的一侧和源极电极的一部分的第一透明电极以及电连接氧化物层的另一侧和氧化物电极的一部分的第二透明电极。漏电极。

