



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0079565
(43) 공개일자 2018년07월11일

(51) 국제특허분류(Int. Cl.)
G02F 1/1339 (2006.01) G02F 1/1335 (2006.01)
G02F 1/1362 (2006.01)
(52) CPC특허분류
G02F 1/1339 (2013.01)
G02F 1/133512 (2013.01)
(21) 출원번호 10-2016-0183948
(22) 출원일자 2016년12월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이재석
경상북도 구미시 인동26길 65 108동 206호 (진평동, 미래주공아파트)
(74) 대리인
특허법인(유한)유일하이스트

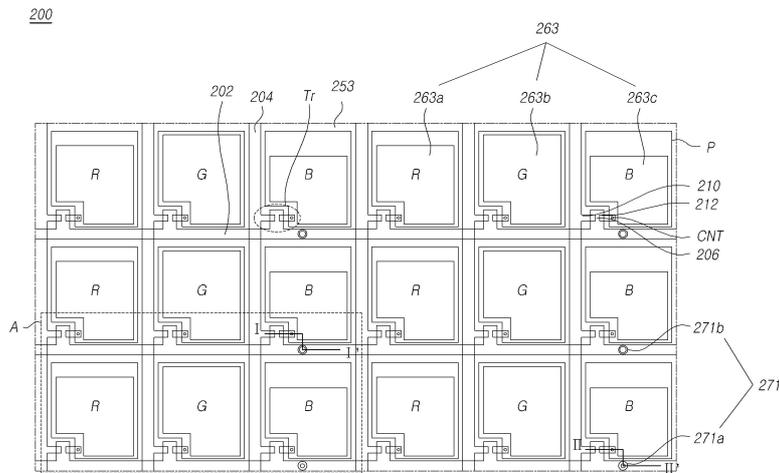
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 명세서에서는 서로 대향하는 제1 기판 및 제2 기판, 제1 기판 상에 복수의 게이트 라인 및 데이터 라인이 교차하는 복수의 화소영역에 각각 배치되는 복수의 박막트랜지스터, 제2 기판 상에 상기 복수의 화소영역에 대응하여 복수의 개구부를 포함하는 블랙매트릭스, 제2 기판 상에 블랙매트릭스의 복수의 개구부에 위치하는 제1색층과 제2색층, 제3색층을 포함하며 제1색층과 제2색층, 제3색층이 위치하는 개구부들 중 적어도 하나의 개구부의 개구면적이 상대적으로 작은 컬러필터 및 제2 기판 상의 블랙매트릭스 상에 배치되는 컬럼 스페이서를 포함하는 액정표시장치를 제공한다.

대표도



(52) CPC특허분류

G02F 1/1362 (2013.01)

G02F 2001/13396 (2013.01)

명세서

청구범위

청구항 1

서로 대향하는 제1 기관 및 제2 기관;

상기 제1 기관 상에 복수의 게이트 라인 및 데이터 라인이 교차하는 복수의 화소영역에 각각 배치되는 복수의 박막트랜지스터;

상기 제2 기관 상에 상기 복수의 화소영역에 대응하여 복수의 개구부를 포함하는 블랙매트릭스;

상기 제2 기관 상에 상기 블랙매트릭스의 상기 복수의 개구부에 위치하는 제1색층과 제2색층, 제3색층을 포함하며 상기 제1색층과 상기 제2색층, 상기 제3색층이 위치하는 개구부들 중 적어도 하나의 개구부의 개구 면적이 상대적으로 작은 컬러필터; 및

상기 제2 기관 상의 상기 블랙매트릭스 상에 배치되는 컬럼 스페이서를 포함하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 제1 기관 상의 상기 복수의 화소영역에 각각 배치되며 상기 복수의 박막 트랜지스터와 연결되는 복수의 화소전극을 포함하며,

상기 복수의 화소전극은 동일한 액정표시장치.

청구항 3

제1항에 있어서,

상기 컬럼 스페이서는 상기 개구 면적이 상대적으로 작은 개구부와 인접하여 상기 블랙매트릭스 상에 상기 제1 기관 상의 박막트랜지스터가 위치하지 않은 영역에 배치되는 액정표시장치.

청구항 4

제1항에 있어서,

상기 제1색층과 상기 제2색층, 상기 제3색층이 위치하는 개구부들의 개구 면적은 서로 다르고,

상기 컬럼 스페이서는 상기 개구 면적이 가장 작은 개구부와 인접하여 상기 블랙매트릭스 상에 상기 제1 기관 상의 박막트랜지스터가 위치하지 않은 영역에 배치되는 액정표시장치.

청구항 5

제3항에 있어서,

상기 컬럼 스페이서는 상기 제1 기관 상의 게이트 라인이 위치하는 영역에 배치되는 액정표시장치.

청구항 6

제3항에 있어서,

상기 컬럼 스페이서는 제1 컬럼 스페이서와 상기 제1 컬럼 스페이서보다 높이가 작은 제2 컬럼 스페이서를 포함하며,

상기 제1 컬럼 스페이서는 상기 제2 컬럼 스페이서보다 개수가 적은 액정표시장치.

청구항 7

제6항에 있어서,

상기 제1 컬럼 스페이서는 갭 스페이서이고 상기 제2 컬럼 스페이서는 푸쉬 스페이서인 액정표시장치.

청구항 8

제7항에 있어서,

상기 개구 면적이 상대적으로 큰 개구부들 중 적어도 하나의 개구부에 상기 제1 기판 상의 복수의 박막트랜지스터가 위치하는 영역에 제3 컬럼 스페이서가 상기 블랙매트릭스 상에 추가로 배치되는 액정표시장치.

청구항 9

제8항에 있어서,

상기 제3 컬럼 스페이서는 푸쉬 스페이서인 액정표시장치.

청구항 10

제11항에 있어서,

상기 컬럼 스페이서와 상기 블랙매트릭스 및 상기 컬러필터 사이에 오버코팅층을 추가로 포함하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 영상을 표시하는 액정표시장치에 관한 것이다.

배경 기술

[0003] 액정표시장치(Liquid Crystal Display; LCD)는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 및 항공기 등에 이르기까지 응용분야가 넓고 다양하다.

[0004] 액정표시장치는 박막 트랜지스터가 배치된 하부 기판, 컬러필터가 배치된 상부 기판, 및 하부 기판과 상부 기판 사이에 배치된 액정층을 포함한다. 또한, 하부 기판과 상부 기판 사이의 셀 갭(cell gap)을 유지하기 위해서 하부 기판과 상부 기판 사이에 블랙매트릭스 상에 컬럼 스페이서가 배치된다.

[0005] 블랙매트릭스의 개구부들의 개구 면적을 동일하므로 블랙매트릭스 상에 컬럼 스페이서를 배치할 공간이 좁다.

발명의 내용

해결하려는 과제

[0007] 본 실시예들의 목적은 블랙매트릭스 상에 컬럼 스페이서를 배치할 공간이 넓은 액정표시장치를 제공하는 것이다.

과제의 해결 수단

[0008] 본 실시예들에 따른 액정표시장치는 서로 대향하는 제1 기판 및 제2 기판, 제1 기판 상에 복수의 게이트 라인 및 데이터 라인이 교차하는 복수의 화소영역에 각각 배치되는 복수의 박막트랜지스터, 제2 기판 상에 상기 복수의 화소영역에 대응하여 복수의 개구부를 포함하는 블랙매트릭스를 포함한다.

[0009] 또한 본 실시예들에 따른 액정표시장치는 제2 기판 상에 블랙매트릭스의 복수의 개구부에 위치하는 제1색층과 제2색층, 제3색층을 포함하며 제1색층과 제2색층, 제3색층이 위치하는 개구부들 중 적어도 하나의 개구부의 개구 면적이 상대적으로 작은 컬러필터 및 제2 기판 상의 블랙매트릭스 상에 배치되는 컬럼 스페이서를 포함한다.

발명의 효과

[0011] 본 실시예들에 따른 액정표시장치는 개구부들 중 적어도 하나의 개구부의 개구 면적을 상대적으로 작게 함으로써 컬럼 스페이서를 배치할 블랙매트릭스의 공간이 넓은 효과가 있다.

도면의 간단한 설명

- [0013] 도 1은 실시예들이 적용되는 액정표시장치에 관한 시스템 구성도이다.
- 도 2는 일 실시예에 따른 액정표시장치에 대한 개략적인 평면도이다.
- 도 3은 도 2의 A영역의 부분 확대 평면도이다.
- 도 4는 도 2의 I-I' 및 II-II'를 따라 절단한 단면도이다.
- 도 5는 다른 실시예에 따른 액정표시장치에 대한 개략적인 평면도이다.
- 도 6은 도 5의 B영역의 부분 확대 평면도이다.
- 도 7은 도 5의 I-I', II-II' 및 III-III'를 따라 절단한 단면도이다.
- 도 8은 또 다른 실시예로 도 7의 단면도 상에서 오버코팅층이 추가된 것을 도시한 것이다.
- 도 9는 비교예에 따른 액정표시장치에 대한 개략적인 평면도이다.
- 도 10은 도 9의 C영역의 부분 확대 평면도이다.
- 도 11은 도 9의 VI-VI', V-V', VI-VI'를 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형상으로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형상으로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐서 동일 참조 번호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장될 수 있다.

- [0016] 소자(element) 또는 층이 다른 소자 또는 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않는 것을 나타낸다.
- [0017] 공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함 할 수 있다.
- [0018] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다.
- [0019] 도 1은 실시예들이 적용되는 액정표시장치에 관한 시스템 구성도이다.
- [0020] 도 1을 참조하면, 액정표시장치(100)는 액정표시패널(140), 데이터 구동부(120), 게이트 구동부(130), 컨트롤러(110) 등을 포함한다.
- [0021] 컨트롤러(110)는 호스트 시스템으로부터 입력되는 수직/수평 동기신호(Vsync, Hsync)와 영상데이터(data), 클럭 신호(CLK) 등의 외부 타이밍 신호에 기초하여 데이터 구동부(120)를 제어하기 위한 데이터 제어 신호(DCS)와 게이트 구동부(130)를 제어하기 위한 게이트 제어신호(GCS)를 출력한다. 또한, 컨트롤러(110)는 호스트 시스템으로부터 입력되는 영상데이터(data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식으로 변환하고 변환된 영상데이터(data')를 데이터 구동부(120)로 공급할 수 있다.
- [0022] 데이터 구동부(120)는 컨트롤러(110)로부터 입력되는 데이터 제어신호(DCS) 및 변환된 영상데이터 (data')에 응답하여, 영상데이터(data')를 계조 값에 대응하는 전압 값인 데이터 신호(아날로그 화소신호 혹은 데이터 전압)로 변환하여 데이터 라인에 공급한다.
- [0023] 게이트 구동부(130)는 컨트롤러(110)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 게이트 라인에 스캔신호(게이트 펄스 또는 스캔 펄스, 게이트 온신호)를 순차적으로 공급한다.
- [0024] 한편 액정표시패널(140)은, 두 장의 기관들과 그 사이에 위치하는 액정층을 포함할 수 있다.
- [0025] 또한 액정표시패널(140)의 제1 기관(하부 기관)에는 복수의 데이터 라인들(D1~Dm, m은 자연수), 데이터 라인들(D1~Dm)과 교차되는 복수의 게이트 라인들(또는 스캔라인들)(G1~Gn, n은 자연수), 데이터 라인들(D1~Dm)과 게이트 라인들(G1~Gn)의 교차부들에 형성되는 복수의 박막트랜지스터들, 액정 셀들에 데이터전압을 충전시키기 위한 다수의 화소전극, 화소전극에 접속되어 액정셀의 전압을 유지시키기 위한 스토리지 캐패시터(Storage Capacitor) 등을 포함할 수 있다.
- [0026] 한편, 액정표시패널(140)의 화소영역들(P)은 데이터 라인들(D1~Dm)과 게이트 라인들(G1~Gn)에 의해 정의되어 매트릭스 형태로 배치된다. 화소영역들(P) 각각의 액정셀은 화소전극에 인가되는 데이터전압과 공통전극에 인가되는 공통전압의 전압차에 따라 인가되는 전계에 의해 구동되어 입사광의 투과량을 조절한다.
- [0027] 한편 액정표시패널(140)의 제2 기관(상부 기관)에는 광차단층(예를 들면, 블랙 매트릭스(black matrix)), 컬러 필터 등이 배치될 수 있다. 액정표시패널(140)의 제1 기관(하부 기관)은 COT(Color filter On TFT) 구조로 구현될 수 있다. 이 경우에 블랙매트릭스와 컬러필터는 제1 기관(하부 기관)에 형성될 수 있다. 이하에서 제2 기관(상부 기관)에 블랙매트릭스와 컬러필터가 배치되는 것으로 설명하나, 이에 제한되지 않는다.
- [0028] 이러한 액정표시패널(140)은 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 등 공지된 어떠한 액정 모드로도 구현될 수 있다.
- [0029] 이때 공통전극은 TN 모드와 VA 모드와 같은 수직전계 구동방식에서는 제 2 기관(상부 기관)에 형성될 수 있고, IPS 모드와 FFS 모드와 같은 수평전계 구동방식에서 화소전극과 함께 제 1 기관(하부 기관)에 형성될 수 있다.
- [0030] 전술한 바와 같이, 제1기관과 제2기관 사이의 셀 갭(cell gap)을 유지하기 위해서 제1기관과 제2기관 사이에 블랙매트릭스 상에 컬럼 스페이서가 배치된다. 블랙매트릭스의 개구부들의 개구 면적을 동일하므로 블랙매트릭스

상에 컬럼스페이서를 배치할 공간이 좁다.

- [0031] 제2 기관(상부 기관)에 배치된 컬럼 스페이서는 외력을 받았을 때 다방면으로 제1 기관(하부 기관) 면을 미끄러져 이동하다가 원래의 자리로 되돌아오게 된다. 이때, 블랙매트릭스 상에 컬럼 스페이서를 배치할 공간이 좁기 때문에, 컬럼 스페이서는 화소영역(P)까지 이동하여 배향막에 손상을 줄 수 있다. 이러한 배향막의 손상은 제1 기관(하부 기관)이 원래 위치로 복귀하더라도 회복되지 않아 액정의 배향이 원래의 배열로부터 틀어지게 되며, 그 결과 원하는 빛이 새는 빛샘이 발생할 수 있다.
- [0032] 이렇게 새어 나오는 빛은 액정표시패널(140)의 블랙 화상에서 컬럼 스페이서의 형성 위치에 따라 붉은색을 띠거나, 녹색을 띠거나, 또는 푸른색을 띠게 되는데, 통상 이를 레드 아이(red eye) 불량이라 부른다.
- [0033] 또한, 액정 마진을 증가시키고 고온의 환경에 노출되는 액정이 팽창됨에 따라 셀 갭 유지의 신뢰성이 저하되는 문제를 해결하기 위해 두 종류의 컬럼 스페이서를 사용하는 듀얼 스페이서 구조를 채용한 액정표시장치가 제안되었으나 스페이서 사이의 단차가 일정하지 않게 형성될 수 있어 액정 마진 향상에 한계가 있다.
- [0034] 따라서, 레드 아이 불량을 방지하고 액정 마진을 더욱 향상시킬 수 있는 액정표시장치가 요구되고 있다.
- [0035] 이하에서는, 도 1에서 설명한 액정표시패널(140)을 포함하는 액정표시장치(100)에 관한 실시예들에 대하여 상세히 설명한다.
- [0036] 도 2는 일 실시예에 따른 액정표시장치에 대한 개략적인 평면도이고, 도 3은 도 2의 A영역의 부분 확대 평면도이며, 도 4는 도 2의 I-I' 및 II-II'를 따라 절단한 단면도이다.
- [0037] 도 2 및 도 4를 참조하면, 일 실시예에 따른 액정표시장치(200)는 제1 기관(201), 제2 기관(251) 및 제1 기관(201)과 제2 기관(251) 사이에 형성된 액정층(미도시)을 포함한다. 제1 기관(201)은 박막트랜지스터 기관이라 할 수 있고, 제2 기관(251)은 컬러필터 기관이라 할 수 있다.
- [0038] 도 2에서 도시한 바와 같이, 제1 기관(201) 상에는 복수의 게이트 라인(202)과 복수의 데이터 라인(204)이 교차하여 복수의 화소영역들(P)을 정의하며, 복수의 화소영역들(P) 각각에는 박막트랜지스터(Thin Film Transistor, Tr)가 구비된다.
- [0039] 도 2에서는 복수의 게이트 라인(202)과 복수의 데이터 라인(204)이 직선인 것으로 도시하였으나 이에 제한되지 않는다. 예를 들어, 지그재그이거나 일부 도출된 형상일 수도 있다. 이에 따라 각 화소영역(P)의 형상도 달라질 수 있다.
- [0040] 도 2 및 도 4를 참조하면, 박막트랜지스터(Tr)는 게이트 전극(206), 게이트 절연막(216), 반도체층(208), 소스 전극(210) 및 드레인 전극(212)을 포함한다. 도 4에서는 박막트랜지스터(Tr)의 게이트 전극(206)이 반도체층(208)의 아래에 배치되는 바텀 게이트(Bottom Gate) 구조로 도시하였으나 이에 제한되지 않는다. 예를 들어, 게이트 전극(206)이 반도체층(208) 위에 배치되는 탑 게이트(Top Gate) 구조일 수 있다.
- [0041] 도 2 및 도 4에 도시한 바와 같이, 제2 기관(251)은 제1 기관(201)과 서로 대향하여 배치되고 제2 기관(251) 상에는 블랙매트릭스(253)가 배치된다. 블랙매트릭스(253)는 화소영역(P)에 대응하여 배치되며 복수의 개구부(263)를 포함할 수 있다. 블랙매트릭스(253)는 게이트 라인(202) 및 데이터 라인(204), 박막트랜지스터(Tr)에 대응하는 영역에 배치될 수 있다.
- [0042] 도 2를 참조하면, 복수의 개구부(263)에는 블랙매트릭스(253)와 가장자리가 중첩될 수 있는 제1색층, 제2색층, 제3색층을 포함하는 컬러필터(Color Filter)가 배치된다. 제1색층은 레드층(R), 제2색층은 그린층(G), 제3색층은 블루층(B)일 수 있으나 이제 제한되지 않는다.
- [0043] 제1색층(R), 제2색층(G), 제3색층(B)이 위치하는 개구부들(263a, 263b, 263c) 중 하나의 개구부(263c)의 개구면적이 나머지 개구부들(263a, 263b)보다 상대적으로 작을 수 있고, 개구면적이 상대적으로 작은 개구부(263c)는 블랙매트릭스(253)의 면적이 상대적으로 넓을 수 있다.
- [0044] 또한, 개구부들(263a, 263c)의 개구면적이 다른 개구부(263b)보다 상대적으로 작고, 2개의 개구부들(263a, 263c) 중 하나(263c)의 개구면적이 다른 하나(263a)보다 상대적으로 작을 수 있다. 개구부들(263a, 263c)의 개구면적의 차이는 게이트 라인(202)을 중심으로 양쪽에 위치하는 화소영역들(P)에서 나타날 수도 있고 데이터 라인(204)을 중심으로 위치하는 화소영역들(P)에서 나타날 수도 있다. 이하에서는 개구부들(263a, 263c)의 개구면적의 차이는 게이트 라인(202)을 중심으로 양쪽에 위치하는 화소영역들(P)에서 나타나는 것으로 설명한다.

- [0045] 개구부들(263a, 263b, 263c)의 개구 면적이 서로 다른 것으로 도시하였으나 개구부들(263a, 263b, 263c)의 일부는 개구 면적이 같을 수 있다. 예를 들어, 제1색층(R)이 위치하는 개구부(263a)와 제2색층(G)이 위치하는 개구부(263b)는 개구 면적이 같을 수 있다.
- [0046] 도 2 및 도 3을 참조하면, 제1 기관(201) 상에 화소영역들(P) 각각에는 화소전극(미도시) 과 공통전극(미도시)이 배치될 수 있다.
- [0047] 전술한 바와 같이, 개구부들(263a, 263b, 263c)과 블랙매트릭스(253)의 구조 및 배치가 상이하더라도, 제1 기관(201) 상에 복수의 화소영역들(P)은 구조 및 배치가 동일할 수 있다. 즉, 제1 기관(201) 상의 복수의 화소영역들(P)에 각각 배치되며 복수의 박막 트랜지스터와 연결되는 복수의 화소전극 및 화소전극에 대항하는 공통전극을 포함할 수 있다. 이때, 제1 기관(201) 상에 화소영역들(P) 각각에 배치되는 복수의 화소전극과 공통전극은 동일할 수 있다.
- [0048] 전술한 바와 같이, 제1색층(R), 제2색층(G), 제3색층(B)이 위치하는 개구부들(263a, 263b, 263c) 중 하나의 개구부(263c)의 개구 면적이 나머지 개구부들(263a, 263b)보다 상대적으로 작을 수 있다. 그러나, 제1색층(R), 제2색층(G), 제3색층(B)이 위치하는 개구부들(263a, 263b, 263c)에 위치하는 화소전극과 공통전극은 배치와 구조가 실질적으로 동일할 수 있다. 예를 들어 제1색층(R), 제2색층(G), 제3색층(B)이 위치하는 개구부들(263a, 263b, 263c) 중 가장 개구 면적이 넓은 개구부의 개구 면적에 맞게 화소전극과 공통전극이 배치될 수 있다.
- [0049] 따라서, 개구부들(263a, 263b, 263c) 중 개구 면적이 작은 개구부(263c)보다 화소전극과 공통전극이 커서 화소전극과 공통전극의 일부는 블랙매트릭스(253)에 가려질 수 있다.
- [0050] 공통전극이 제2 기관(251)에 배치되는 경우 제1 기관(201) 상에 화소영역들(P) 각각에 배치되는 화소전극이 동일하다.
- [0051] 아울러, 화소전극과 공통전극 뿐만 아니라 데이터 라인(204)과 게이트 라인(202), 박막트랜지스터(Tr)의 배치도 동일할 수 있다.
- [0052] 도 2 및 도 3에서는 제1 기관(201) 상에 복수의 화소영역들(P)은 구조 및 배치가 동일한 것으로 도시하였으나 이에 제한되지 않는다. 예를 들어, 복수의 화소영역들(P)의 구조 및 배치는, 개구부들(263a, 263b, 263c) 및 블랙매트릭스(253)와 구조 및 배치가 동일할 수도 있다.
- [0053] 도 2 및 도 4를 참조하면, 제2 기관(251) 상의 블랙매트릭스(253) 상에는 제1 기관(201)과 제2 기관(251) 사이의 간격 유지를 위한 컬럼 스페이서(271)가 배치될 수 있다.
- [0054] 도 2 및 도 3을 참조하면, 컬럼 스페이서(271)은 제1색층(R), 제2색층(G), 제3색층(B)이 위치하는 개구부들(263a, 263b, 263c) 중 개구 면적이 가장 작은 개구부(263c)와 인접하여 배치될 수 있으며, 제1 기관(201) 상의 박막트랜지스터(Tr)가 위치하지 않는 영역, 예를 들어 제1 기관(201) 상의 게이트 라인(202)이 위치하는 영역에 배치될 수 있다.
- [0055] 개구부들(263a, 263b, 263c) 중 개구 면적이 가장 작은 개구부(263c)는 블랙매트릭스(253)의 면적이 가장 넓을 수 있고, 블랙매트릭스(253) 상에 컬럼 스페이서(271)를 배치할 공간이 넓어질 수 있다.
- [0056] 도 2 및 도 4를 참조하면, 컬럼 스페이서(271)는 제1 컬럼 스페이서(271a)와 제2 컬럼 스페이서(271b)를 포함할 수 있다. 제2 컬럼 스페이서(271b)의 높이(H2)는 제1 컬럼 스페이서(271a)의 높이(H1)보다 작을 수 있고, 제1 컬럼 스페이서(271a)는 제2 컬럼 스페이서(271b)보다 개수가 적을 수 있다. 컬럼 스페이서(271)의 높이(H1, H2)는 제2 기관(251) 상의 컬럼 스페이서(271)의 접촉면(271aa, 271ba)으로부터 제1 기관(201) 방향으로 돌출된 컬럼 스페이서(271)의 상부면(271ab, 271bb)까지의 수직한 거리이다.
- [0057] 컬럼 스페이서(271)를 높이(H1, H2)가 다른 제1 컬럼 스페이서(271a)와 제2 컬럼 스페이서(271b)으로 배치하고, 높이(H1)가 높은 제1 컬럼 스페이서(271a)는 제2 컬럼 스페이서(271b)보다 개수를 적게 배치하여 액정 마진을 증가시킬 수 있다.
- [0058] 도 3 및 도 4에서 도시한 바와 같이, 제1 컬럼 스페이서(271a)는 제1 기관(201)에 구비된 절연층(218)과 접촉하는 갭 스페이서이고, 제2 컬럼 스페이서(271b)는 제1기관(201)에 구비된 절연층(218)과 일정 간격 이격된 푸쉬 스페이서일 수 있다. 갭 스페이서는 대항하는 제1 기관(201)과 제2 기관(251) 사이에서 일정한 두께의 액정 셀 갭을 유지하기 위한 스페이서이고, 푸쉬 스페이서는 제2 기관(251)이 눌렸을 때, 셀 갭이 과도하게 감소하는 것을 방지하고, 갭 스페이서가 받는 힘을 분산시킬 수 있다.

- [0059] 도 3 및 도 4를 참조하면, 제1 컬럼 스페이스(271a) 상부면(271ab)의 폭(r1)은 제2 컬럼 스페이스(271b) 상부면(271bb)의 폭(r2)보다 좁을 수 있다. 이 폭(r1, r2)은 컬럼 스페이스(271) 상부면(271ab, 271bb)의 중심으로부터 말단까지의 거리이다.
- [0060] 도 2 내지 도 4를 참조하면, 제1 컬럼 스페이스(271a)와 제2 컬럼 스페이스(271b)를 제1색층(R), 제2색층(G), 제3색층(B)이 위치하는 개구부들(263a, 263b, 263c) 중 개구 면적이 가장 작은 개구부(263c)는 블랙매트릭스(253)의 면적이 가장 넓을 수 있다. 블랙매트릭스(253) 상에 컬럼 스페이스(271)를 배치할 공간이 넓어져 레드 아이 마진(M)을 증가시키고, 레드 아이 불량인 빛샘 현상을 방지할 수 있다. 레드 아이 마진(M)은 제2 기관(251) 상의 컬럼 스페이스(271)의 접촉면(271aa, 271ba) 말단으로부터 블랙매트릭스(253) 말단까지의 거리이다.
- [0061] 또한, 제1 컬럼 스페이스(271a)와 제2 컬럼 스페이스(271b)를 인접한 제1 기관(201)의 박막트랜지스터(Tr)에 대응되지 않는 영역에 배치하여 셀 갭 지지능력을 향상시켜 액정 마진을 증가시킬 수 있다.
- [0062] 도 5는 다른 실시예에 따른 액정표시장치에 대한 개략적인 평면도이고, 도 6은 도 5의 B영역의 부분 확대 평면도이며, 도 7은 도 5의 I-I', II-II' 및 III-III'를 따라 절단한 단면도이다.
- [0063] 다른 실시예에 따른 액정표시장치(300)는 도 2 내지 도 4의 액정표시장치(200)와 비교하여 제3 컬럼 스페이스(371c)를 추가로 포함하는 것만이 상이할 뿐, 다른 구성은 실질적으로 동일하다.
- [0064] 도 5 및 도 6을 참조하면, 제1 컬럼 스페이스(371a)와 제2 컬럼 스페이스(371b)를 제1색층(R), 제2색층(G), 제3색층(B)이 위치하는 개구부들(363a, 363b, 363c) 중 개구 면적이 작은 개구부(363c)에 인접한 제1 기관(301) 상의 박막트랜지스터(Tr)가 위치하지 않는 영역, 예를 들어 제1 기관(301) 상의 게이트 라인(302)이 위치하는 영역에 배치된다. 또한, 개구 면적이 상대적으로 큰 개구부들(363a, 363b) 중 일부 또는 전부에 제1 기관(301) 상의 박막트랜지스터(Tr)가 위치하는 영역에 제3 컬럼 스페이스(371c)가 제2 기관(351)의 블랙매트릭스(353) 상에 추가로 배치될 수 있다.
- [0065] 도 5 및 도 6에서는 제1색층(R)이 위치하는 개구부(363a) 일부에 제1 기관(301)의 박막트랜지스터(Tr)가 위치하는 영역에 제3 컬럼 스페이스(371c)가 추가로 배치된 것으로 도시하였으나 이에 제한되지 않으며, 예를 들어 제2색층(G)이 위치하는 개구부(363b) 일부에만 제3 컬럼 스페이스(371c)가 추가로 배치되거나, 제1색층(R) 및 제2색층(G)이 위치하는 개구부들(363a, 363b) 전부에 제3 컬럼 스페이스(371c)가 추가로 배치될 수 있다.
- [0066] 도 7을 참조하면, 제3 컬럼 스페이스(371c)는 제1 기관(301)에 구비된 절연층(318)과 일정 간격 이격된 푸쉬 스페이스일 수 있다. 제3 컬럼 스페이스(371c)의 높이(H3) 및 폭(r3)은 제2 컬럼 스페이스(371b)의 높이(H2) 및 폭(r2)과 동일할 수 있다.
- [0067] 도 5 내지 도 7을 참조하면, 다른 실시예에 따른 액정표시장치(300)는 제3 컬럼 스페이스(371c)를 추가로 배치하여 제1 컬럼 스페이스(371a)의 셀 갭 지지능력을 더욱 향상시킬 수 있으며, 제1 컬럼 스페이스(371a)와 제2 컬럼 스페이스(371b) 및 제3 컬럼 스페이스(371c) 사이의 단차(ΔH)가 균일해져 액정 마진을 더욱 향상시킬 수 있다.
- [0068] 단차(ΔH)는 제1 컬럼 스페이스(371a)의 높이(H1)와 제2 컬럼 스페이스(371b)의 높이(H2)의 차이를 의미하며, 제2 컬럼 스페이스(371b)의 높이(H2)와 제3 컬럼 스페이스(371c)의 높이(H3)는 같을 수 있다.
- [0069] 도 8은 또 다른 실시예로 도 7의 단면도 상에서 오버코팅층이 추가된 것을 도시한 것이다.
- [0070] 또 다른 실시예에 따른 액정표시장치(400)는 도 5 내지 도 7의 액정표시장치(300)와 비교하여 오버코팅층(480)을 추가로 포함하는 것만이 상이할 뿐, 다른 구성은 실질적으로 동일하다.
- [0071] 도 8을 참조하면, 컬럼 스페이스(471)와 블랙매트릭스(453) 및 컬러필터(Color Filter) 사이에 오버코팅층(480)을 추가로 포함할 수 있다.
- [0072] 도 8에서 도시한 바와 같이, 오버코팅층(480) 상에 컬럼 스페이스(471)가 배치되어 제1 컬럼 스페이스(471a)와 제2 컬럼 스페이스(471b) 및 제3 컬럼 스페이스(471c) 사이의 단차(ΔH)가 더욱 균일해져 액정 마진을 더욱 향상시킬 수 있다.
- [0073] 도 9는 비교예에 따른 액정표시장치에 대한 개략적인 평면도이고, 도 10은 도 9의 C영역의 부분 확대 평면도이며, 도 11는 도 9의 VI-VI', V-V', VI-VI'를 따라 절단한 단면도이다.
- [0074] 도 9를 참조하면, 비교예에 따른 액정표시장치(500)는 제1 기관(501), 제2 기관(551) 및 제1 기관(501)과 제2

기관(551) 사이에 형성된 액정층(미도시)을 포함한다.

- [0075] 도 9 내지 도 11을 참조하면, 서로 대향하는 제1 기관(501) 및 제2 기관(551), 제1 기관(501) 상에 복수의 게이트 라인(502) 및 데이터 라인(504)이 교차하는 복수의 화소영역(P)에 배치되는 복수의 박막트랜지스터(Tr), 제2 기관(551) 상에 복수의 화소영역(P)에 대응하여 복수의 개구부(563a, 563b, 563c)를 포함하는 블랙매트릭스(553), 제2 기관(551) 상에 블랙매트릭스(553)의 복수의 개구부(564a, 564b, 564c)에 위치하는 제1색층(R), 제2색층(G), 제3색층(B)을 포함하는 컬러필터 및 제2 기관(551) 상의 블랙매트릭스(553) 상에 배치되는 컬럼 스페이서(571)를 포함할 수 있다.
- [0076] 도 9 내지 도 10을 참조하면, 전술한 실시예들과 달리 제1색층(R), 제2색층(G), 제3색층(B)이 위치하는 복수의 개구부들(563a, 563b, 563c)의 개구 면적은 동일할 수 있고, 복수의 개구부들(563a, 563b, 563c)의 블랙매트릭스(553)의 면적도 동일할 수 있다. 블랙매트릭스(553) 상에 제1 기관(501) 상의 복수의 박막트랜지스터(Tr)에 대응하는 영역에 컬럼 스페이서(571)가 배치될 수 있다.
- [0077] 도 9 내지 도 10에서 도시한 바와 같이, 전술한 실시예들과 달리 제4 컬럼 스페이서(571d)는 제1색층(R)이 위치하는 개구부들(564a) 모두에 배치될 수 있으며, 제5 컬럼 스페이서(571e)는 제2색층(G) 및 제3색층(B)이 위치하는 나머지 개구부들(564b, 564c) 모두에 배치될 수 있다.
- [0078] 도 11을 참조하면, 제4 컬럼 스페이서(571d)는 갭 스페이서이고, 제5 컬럼 스페이서(571e)는 푸쉬 스페이서일 수 있다.
- [0079] 도 4, 도 10 내지 도 11을 참조하면, 제5 컬럼 스페이서(571e)와 전술한 제2 컬럼 스페이서(도4의 271b)는 동일할 수 있으나, 제4 컬럼 스페이서(571d)와 전술한 제1 컬럼 스페이서(도4의 271a)는 다를 수 있다. 예를 들어, 제4 컬럼 스페이서(571d)의 높이(H4)는 전술한 제1 컬럼 스페이서(도4의 271a)의 높이(도4의 H1)보다 작을 수 있고, 제4 컬럼 스페이서(571d)의 폭(r4)는 전술한 제1 컬럼 스페이서(도4의 271a)의 폭(도4의 r1)보다 넓을 수 있다.
- [0080] 도 9 내지 도 11을 참조하면, 제1색층(R), 제2색층(G), 제3색층(B)이 위치하는 복수의 개구부들(563a, 563b, 563c)의 개구 면적은 동일할 수 있고, 복수의 개구부들(563a, 563b, 563c)의 블랙매트릭스(553)의 면적도 동일할 수 있다. 제4 컬럼 스페이서(571d)는 제1색층(R)이 위치하는 개구부들(564a)에 배치되어 블랙매트릭스 상에 배치될 제4 컬럼 스페이서(571d)를 배치할 공간이 좁아져 레드 아이 마진(M) 확보를 위해 제1색층(R)의 개구 면적이 감소될 수 있고, 배향막 손상에 의한 레드 아이 불량인 빛샘 현상이 발생할 수 있다.
- [0081] 또한, 제4 컬럼 스페이서(571d)가 평탄하지 않은 절연층(518), 예를 들어 제1 기관(501) 상의 박막트랜지스터(Tr)가 위치하는 영역에 배치되어 셀 갭 지지 능력이 저하될 수 있고, 제4 컬럼 스페이서(571d)와 제5 컬럼 스페이서(571e) 사이의 단차(ΔH)가 불균일하여 액정 마진 향상에 한계가 있을 수 있다.
- [0082] 전술한 바와 같이, 실시예들에 따른 액정표시장치(200, 300, 400)는 본 발명의 실시예들에 따른 액정표시장치는 컬럼 스페이서를 개구부의 개구 면적이 상대적으로 작은 컬러필터를 배치함으로써 블랙매트릭스 상에 컬럼 스페이서를 배치할 공간이 넓어져 레드 아이 마진을 증가시키고, 레드 아이 불량인 빛샘 현상을 방지 할 수 있다.
- [0083] 또한, 실시예들에 따른 액정표시장치(200, 300, 400)는 컬럼 스페이서 의 셀갭 지지능력을 증가시키고, 컬럼 스페이서 사이의 단차가 균일해져 액정 마진을 더욱 향상시킬 수 있다.
- [0084] 상술한 실시예에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0085] 또한, 이상에서 실시예들을 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예들에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다.

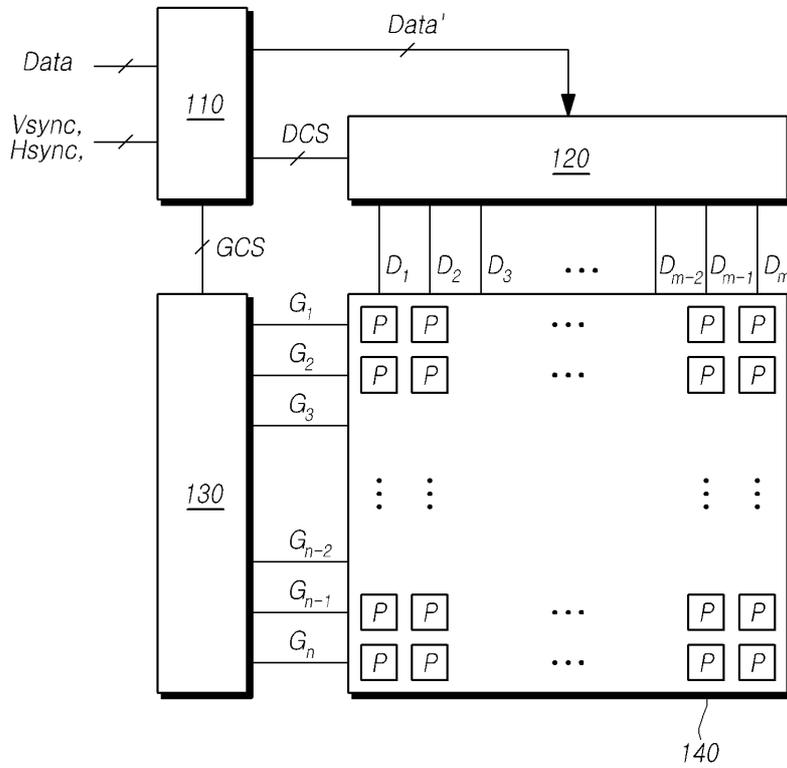
부호의 설명

- [0087] 100, 200, 300, 400: 액정표시장치
 202, 302, 402: 게이트 라인
 204, 304, 404: 데이터 라인
 P: 화소영역
 Tr: 박막트랜지스터
 253, 353, 453: 블랙매트릭스
 271, 371, 471: 컬럼 스페이서

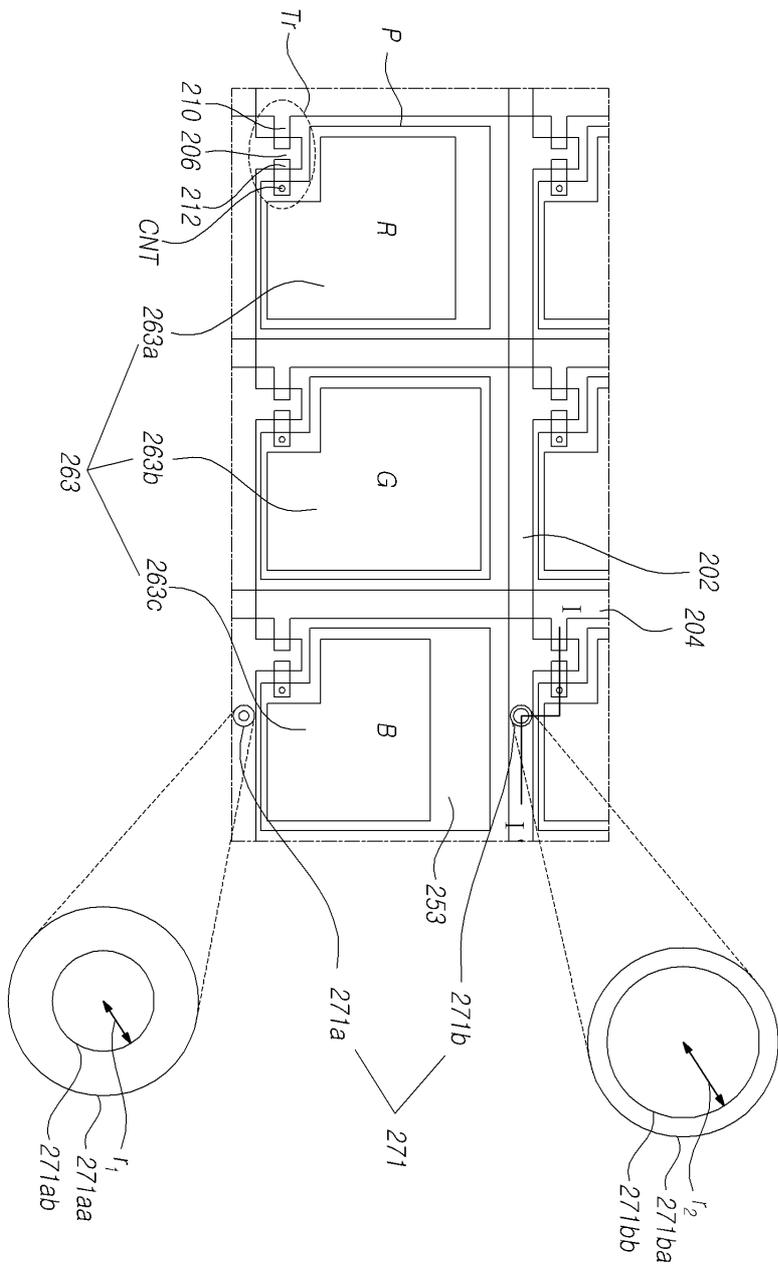
도면

도면1

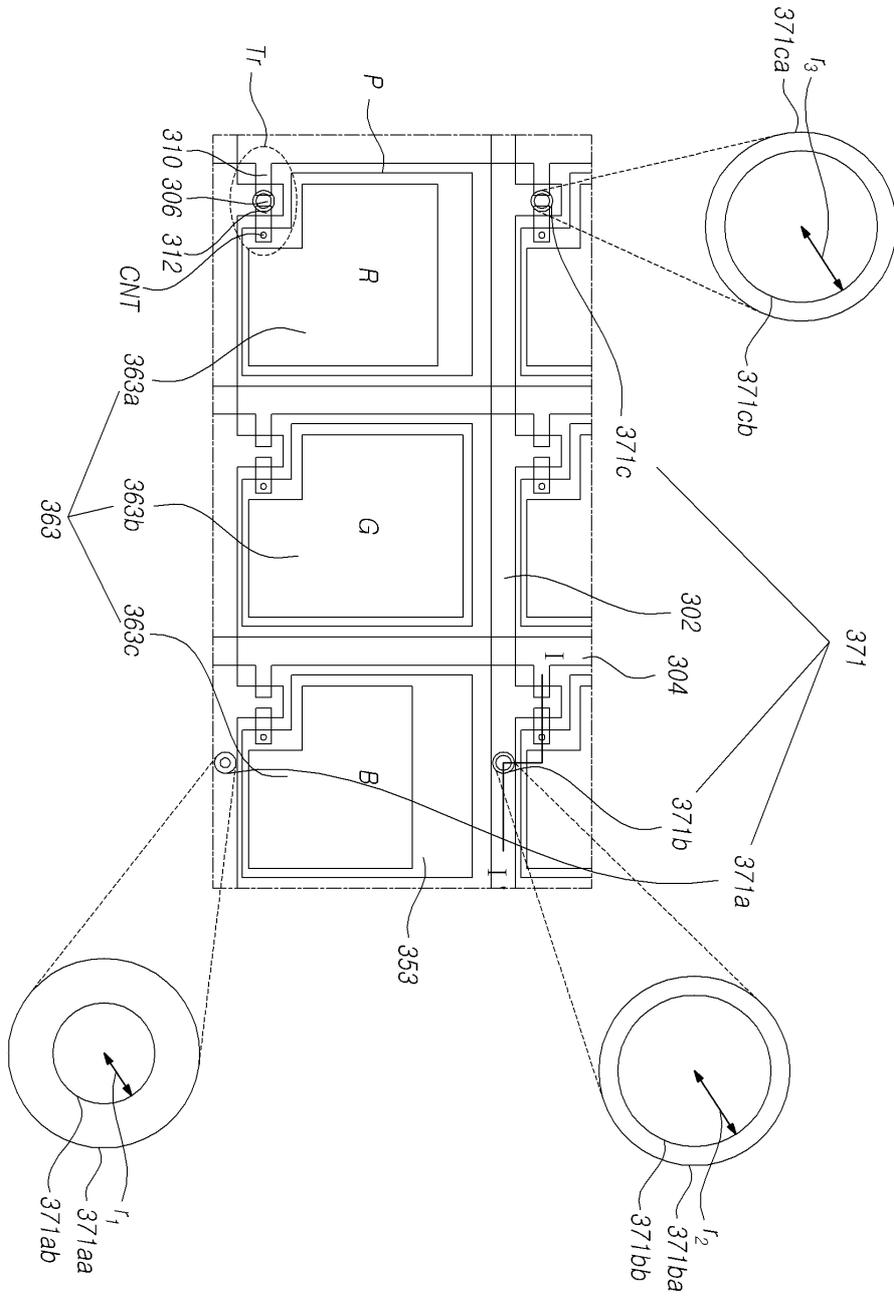
100



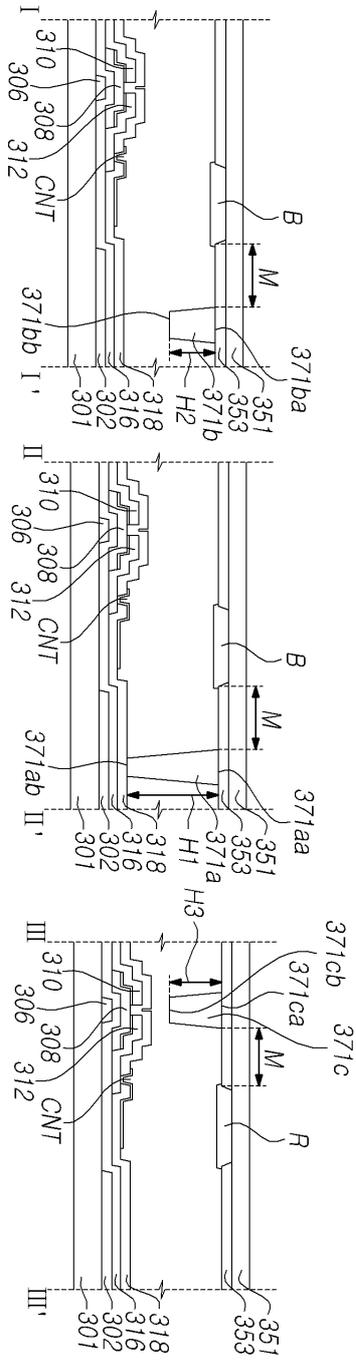
도면3



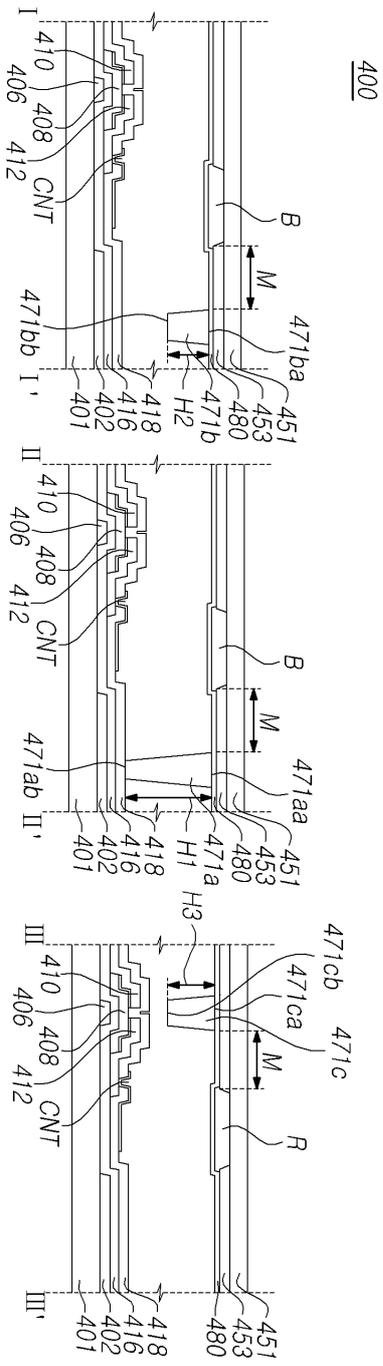
도면6



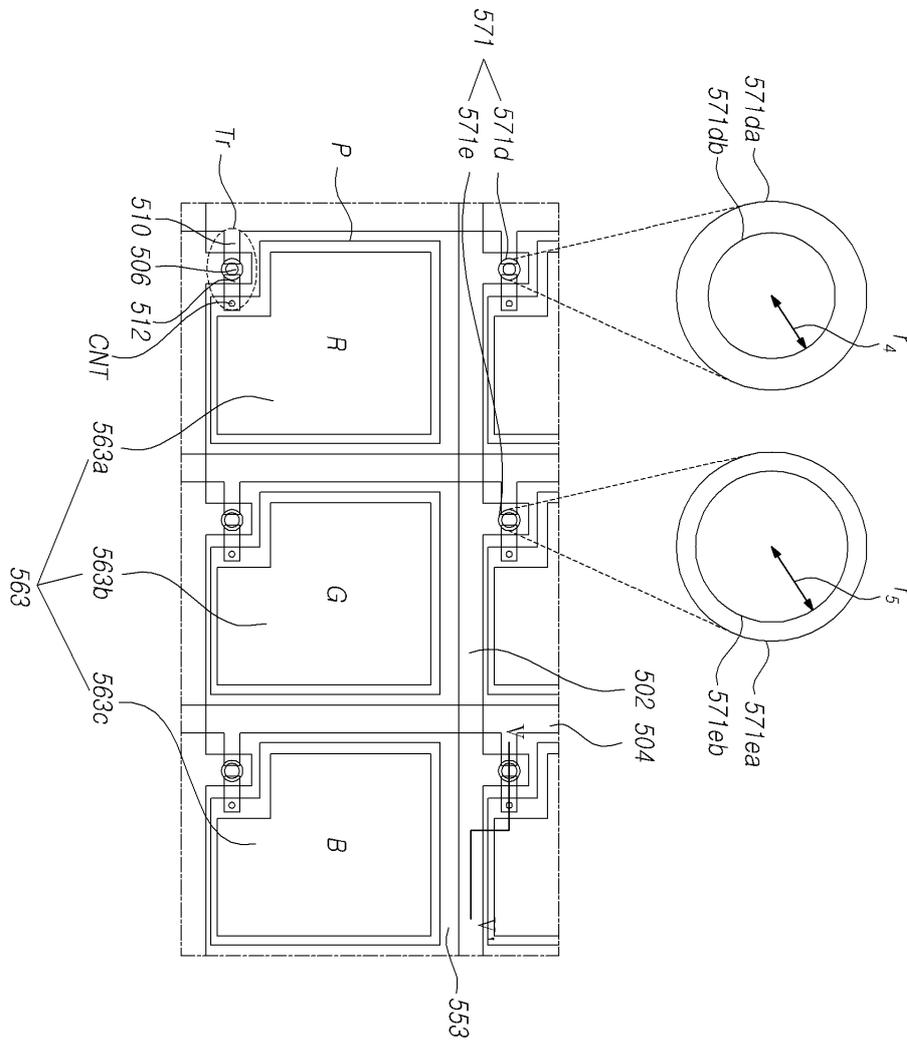
도면7



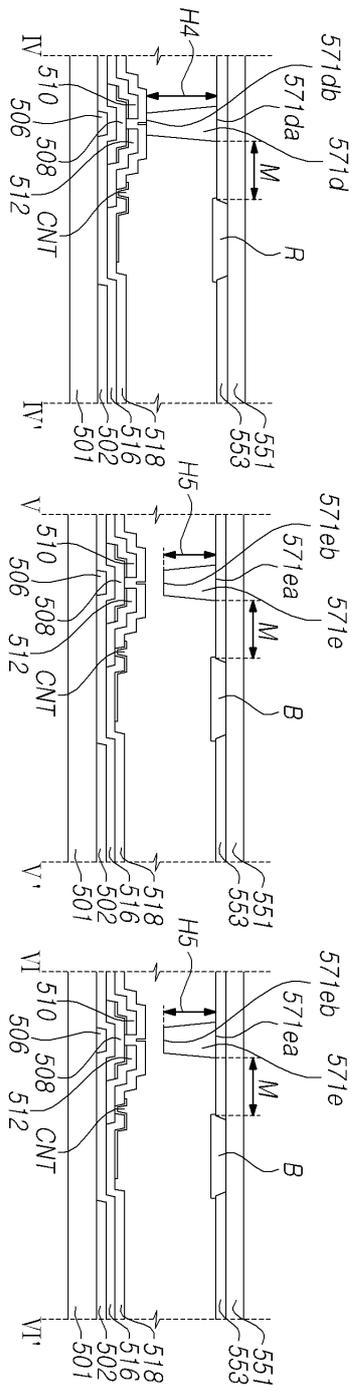
도면8



도면10



도면11



专利名称(译)	液晶显示器		
公开(公告)号	KR1020180079565A	公开(公告)日	2018-07-11
申请号	KR1020160183948	申请日	2016-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JAE SEOK 이재석		
发明人	이재석		
IPC分类号	G02F1/1339 G02F1/1335 G02F1/1362		
CPC分类号	G02F1/1339 G02F1/133512 G02F1/1362 G02F2001/13396		
外部链接	Espacenet		

摘要(译)

本说明书提供了包括第一颜色层和第二颜色层的液晶显示器，以及设置在开口部分之间的柱状间隔物，同时包括位于多个开口部分中的黑色矩阵，第一颜色层和第二颜色层。所述第二基板上的黑矩阵，所述第三颜色层包括彼此，与所述第一基板和第二基板相对，所述多条栅极线位于所述第一基板上，所述多个薄膜晶体管布置在所述数据线交叉的多个像素区域中，多个开口部分对应于第二基板上的多个像素区域。对于布置在其中的柱状间隔物，第三颜色层位于滤色器上的黑色矩阵上，其中至少一个开口部分的开口面积相对较小，并且第二基板。

