



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0044005  
(43) 공개일자 2018년05월02일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1339 (2006.01) G02F 1/1335 (2006.01)  
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)

(52) CPC특허분류  
G02F 1/13394 (2013.01)  
G02F 1/133512 (2013.01)

(21) 출원번호 10-2016-0137542  
(22) 출원일자 2016년10월21일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
박경석  
경기도 안성시 고수2로 28, 101동 804호 (당왕동, 태영아파트)

(74) 대리인  
특허법인인벤티스

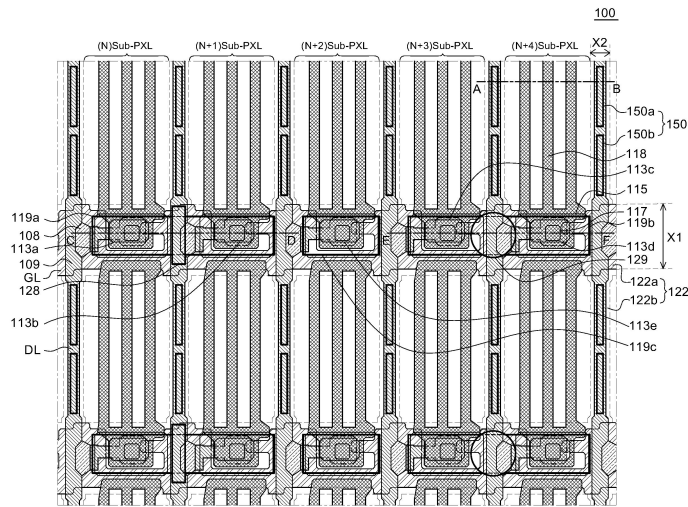
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치

**(57) 요약**

본 발명의 실시예에 따른 액정 표시 장치는 복수의 서브 화소를 포함하며, 액정층을 사이에 두고 서로 대향하여 위치하는 제1 기관과 제2 기관과 제1 기관 상의 게이트 라인 및 데이터 라인과 게이트 라인과 데이터 라인이 교차하는 영역에 위치한 박막 트랜지스터와 데이터 라인 상에 위치하고, 데이터 라인의 길이 방향을 따라 연장된 제1 스페이서 및 게이트 라인 상에 위치하고, 박막 트랜지스터 상의 평탄화층에 구비된 콘택홀의 적어도 일부를 덮도록 형성된 제2 스페이서를 포함한다.

**대표도**



(52) CPC특허분류

*G02F 1/133514* (2013.01)

*G02F 1/136227* (2013.01)

*G02F 1/136286* (2013.01)

*G02F 1/1368* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

복수의 서브 화소를 포함하며, 액정층을 사이에 두고 서로 대향하여 위치하는 제1 기판과 제2 기판;  
 상기 제1 기판 상의 게이트 라인 및 데이터 라인;  
 상기 게이트 라인과 상기 데이터 라인이 교차하는 영역에 위치한 박막 트랜지스터;  
 상기 데이터 라인 상에 위치하고, 상기 데이터 라인의 길이 방향을 따라 연장된 제1 스페이서; 및  
 상기 게이트 라인 상에 위치하고, 상기 박막 트랜지스터 상의 평탄화층에 구비된 컨택홀의 적어도 일부를 덮도록 형성된 제2 스페이서를 포함하는 액정 표시 장치.

#### 청구항 2

제 1 항에 있어서,  
 상기 제1 스페이서와 상기 제2 스페이서는 동일한 물질로 이루어진 액정 표시 장치.

#### 청구항 3

제 1 항에 있어서,  
 상기 제1 스페이서는 서로 분리된 제1 영역과 제2 영역을 포함하여 이루어진 액정 표시 장치.

#### 청구항 4

제 1 항에 있어서,  
 상기 제1 스페이서는 인접한 서브 화소로부터의 빛의 경로를 차단하여 상기 복수의 서브 화소 사이의 혼색 현상을 최소화하는 액정 표시 장치.

#### 청구항 5

제 1 항에 있어서,  
 상기 제1 스페이서는 상기 게이트 라인과 중첩되지 않는 액정 표시 장치.

#### 청구항 6

제 1 항에 있어서,  
 상기 제1 스페이서의 높이는 1.0 $\mu\text{m}$  내지 1.5 $\mu\text{m}$ 인 액정 표시 장치.

#### 청구항 7

제 1 항에 있어서,  
 상기 제1 스페이서와 상기 제2 스페이서는 동일한 층에서 동일한 공정으로 이루어진 액정 표시 장치.

#### 청구항 8

제 1 항에 있어서,  
 상기 제2 기판 상에 있고, 상기 복수의 서브 화소 각각에 개구 영역과 차광 영역을 정의하는 블랙 매트릭스를 더 포함하고,  
 상기 블랙 매트릭스는 상기 게이트 라인을 따라 배치된 게이트 BM 및 상기 데이터 라인을 따라 배치된 데이터 BM을 포함하며,

상기 제1 스페이서는 상기 데이터 BM의 하부에 위치하는 액정 표시 장치.

**청구항 9**

제 8 항에 있어서,

상기 제1 스페이서는 상기 제2 기관과 접촉하지 않는 액정 표시 장치.

**청구항 10**

제 1 항에 있어서,

상기 제2 기관 상에 있고, 상기 제2 스페이서에 대응되어 위치하는 제3 스페이서를 더 포함하는 액정 표시 장치.

**청구항 11**

제 10 항에 있어서,

상기 제3 스페이서는 상기 제2 스페이서와 접촉된 액정 표시 장치.

**청구항 12**

제 1 항에 있어서,

상기 제2 기관 상에 있고, 상기 제2 스페이서에 대응되어 위치하며, 상기 제 2 스페이서와 접촉하지 않는 제4 스페이서를 더 포함하는 액정 표시 장치.

**청구항 13**

복수의 서브 화소를 포함하며, 게이트 라인, 데이터 라인 및 박막 트랜지스터를 포함하는 제1 기관과 상기 제1 기관과 대향하여 위치하는 제2 기관을 포함하는 액정 표시 장치에 있어서,

상기 데이터 라인 상에 위치하고, 상기 데이터 라인의 길이 방향을 따라 연장되어 배치되며, 상기 인접한 서브 화소로부터의 빛의 경로를 차단하여 상기 복수의 서브 화소 사이의 혼색 현상을 최소화하는 스페이서를 포함하는 액정 표시 장치.

**청구항 14**

제 13 항에 있어서,

상기 스페이서는 둘 이상의 분리된 영역을 포함하여 이루어진 액정 표시 장치.

**청구항 15**

제 14 항에 있어서,

상기 데이터 라인은 적어도 하나의 굴곡부를 포함하고,

상기 스페이서는 상기 데이터 라인의 굴곡부에서 분리되어 있는 액정 표시 장치.

**청구항 16**

제 13 항에 있어서,

상기 게이트 라인 상에 위치하고, 상기 박막 트랜지스터 상의 평탄화층에 구비된 컨택홀을 덮도록 형성된 보조 스페이서를 포함하는 액정 표시 장치.

**청구항 17**

제 16 항에 있어서,

상기 스페이서와 상기 보조 스페이서는 동일한 층에서 동일한 물질로 이루어진 액정 표시 장치.

**청구항 18**

제 13 항에 있어서,

상기 스페이서의 높이는 상기 제1 기관과 상기 제2 기관 사이의 거리보다 낮은 액정 표시 장치.

**청구항 19**

제 13 항에 있어서,

상기 제2 기관은 상기 게이트 라인을 따라 배치된 게이트 BM 및 상기 데이터 라인을 따라 배치된 데이터 BM을 포함하며,

상기 스페이서는 상기 데이터 BM의 하부에 위치하는 액정 표시 장치.

**청구항 20**

제 19 항에 있어서,

상기 스페이서의 폭은 상기 데이터 BM의 폭보다 작은 액정 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 액정 표시 장치에 관한 것으로서, 보다 구체적으로 복수의 서브 화소 사이의 혼색 불량 발생을 최소화할 수 있는 액정 표시 장치에 관한 것이다.

**배경 기술**

[0002] 본격적인 정보화 시대가 도래함에 따라, 전기적 정보 신호를 시각적으로 표시하는 디스플레이(display) 분야가 급속도로 발전하고 있다. 이에 여러 가지 다양한 표시 장치(Display Device)에 대해 박형화, 경량화 및 저 소비 전력화 등의 성능을 개선시키기 위한 연구가 계속되고 있다.

[0003] 이와 같은 표시 장치의 대표적인 예로는 액정 표시 장치(Liquid Crystal Display device: LCD), 플라즈마 표시 장치(Plasma Display Panel device: PDP), 전계 방출 표시 장치(Field Emission Display device: FED) 및 유기 발광 표시 장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.

[0004] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 액정 표시 장치가 가장 많이 사용되고 있다. 액정 표시 장치는 노트북 컴퓨터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

[0005] 액정 표시 장치(LCD)는 컬러 필터가 형성된 컬러 필터 어레이 기관, 박막 트랜지스터가 형성된 박막 트랜지스터 어레이 기관 및 컬러 필터 어레이 기관과 박막 트랜지스터 어레이 기관 사이에 형성된 액정층을 포함하여 이루어진다.

[0006] 다양한 액정 모드의 액정 표시 장치 중에서, 수평 전계 방식의 액정 표시 장치는 하부 기관에 평행하게 배치된 화소 전극과 공통 전극 사이에 수평 전계를 형성하여 인 플레인 스위칭(In Plane Switching: IPS) 방식으로 액정층을 구동한다. 이러한 인 플레인 스위칭 방식의 액정 표시 장치는 시야각이 넓은 장점이 있으나 개구율 및 투과율이 낮은 단점을 가진다.

[0007] 이러한 인 플레인 스위칭 방식의 액정 표시 장치의 단점을 개선하기 위해 프린지 필드(Fringe Field)에 의해 동작되는 프린지 필드 스위칭(Fringe Field Switching: FFS) 방식의 액정 표시 장치가 제안되었다. 프린지 필드 스위칭 방식의 액정 표시 장치는 각 화소 영역에 절연층을 사이에 두고 위치하는 공통 전극과 화소 전극을 구비하고, 공통 전극과 화소 전극의 상부에 포물선 형태의 프린지 필드를 형성하도록 만든다. 프린지 필드에 의해 상부 기관 및 하부 기관 사이에 개재된 액정 분자들이 모두 동작하게 함으로써 인 플레인 스위칭 방식의 액정 표시 장치와 대비하여 개구율 및 투과율이 향상될 수 있다.

[0008] 액정 표시 장치는 게이트 라인과 데이터 라인이 교차하는 영역마다 형성되어 있는 서브 화소 내 박막 트랜지스

터를 포함하는 하부 기관, 상기 하부 기관과 대향하여 위치하며 블랙 매트릭스 및 컬러 필터가 형성되어 있는 상부 기관 및 상기 하부 기관 및 상부 기관 사이에 형성되는 액정층을 포함한다. 즉, 액정 표시 장치는 상기 하부 기관 및 상부 기관이 각각 제조된 후 상기 하부 기관 및 상부 기관이 합착됨으로써 완성된다.

- [0009] 그러나, 일반적인 액정 표시 장치의 경우, 시야각 방향에서 서로 인접하여 위치하는 서브 화소 간의 색이 섞여 인식되는 혼색(color washout) 불량이 발생할 수 있다. 특히, 하부 기관과 상부 기관이 합착될 때 정렬 오차에 의한 미스 얼라인먼트(mis-alignment)가 발생하는 경우 혼색(color washout) 불량이 더욱 심하게 나타날 수 있다.
- [0010] 도 1은 일반적인 액정 표시 장치의 혼색 현상에 따른 불량 발생을 설명하기 위한 개략적인 단면도이다.
- [0011] 도 1을 참조하면, 일반적인 액정 표시 장치(10)의 하부 기관 상에는 공통 전극(14), 보호층(16), 화소 전극(18)이 순차적으로 적층되고, 화소 전극(18) 상에 형성되는 하부 배향막(19)이 배치된다. 일반적인 액정 표시 장치(10)의 상부 기관 상에는 블랙 매트릭스(22), 복수의 블랙 매트릭스(22) 사이에 형성된 녹색 컬러 필터(25) 및 청색 컬러 필터(26), 상기 컬러 필터층(25, 26)을 덮는 오버 코트층(27) 및 오버 코트층(27) 상에 형성되는 상부 배향막(28)이 배치된다. 또한, 일반적인 액정 표시 장치(10)는 하부 기관의 하부 배향막(19)과 상부 기관의 상부 배향막(28) 사이에 형성되는 액정층(40)을 포함하여 구성된다.
- [0012] 도 1을 참조하면, 복수의 서브 화소 중에서 N번째 서브 화소((N)Sub-PXL)는 상부 기관의 녹색 컬러 필터(25)에 대응되는 녹색 서브 화소일 수 있으며, N+1번째 서브 화소((N+1)Sub-PXL)는 N번째 서브 화소((N)Sub-PXL)와 인접하여 위치하고 상부 기관의 청색 컬러 필터(26)에 대응되는 청색 서브 화소일 수 있다.
- [0013] 도 1에 도시된 바와 같이, 상부 기관의 청색 컬러 필터(26)에 대응되는 N+1번째 서브 화소((N+1)Sub-PXL)인 청색 서브 화소를 턴-온(turn on)하고, 청색 서브 화소에 인접하여 위치하는 녹색 컬러 필터(25)에 대응되는 N번째 서브 화소((N)Sub-PXL)인 녹색 서브 화소를 오프(off)한 상태에서 도 1의 (a)의 위치, 즉 정면에서 기존의 액정 표시 장치(10)를 바라보면, 청색 서브 화소와 인접하여 위치하는 녹색 서브 화소의 빛이 상기 블랙 매트릭스(22)에 의해 차단되면서 청색의 화면만 구현되게 된다.
- [0014] 이에 반해, 도 1의 (b)의 위치, 즉 정면이 아닌 측면에서 기존 액정 표시 장치(10)의 동일한 화면을 바라보면, 도 1에 도시한 것과 같이 빛의 경로가 바뀌면서, 청색 서브 화소를 투과하는 빛 뿐만 아니라 상기 청색 서브 화소와 인접하여 위치하는 녹색 서브 화소를 투과하는 빛이 투과된다.
- [0015] 즉, 일반적인 액정 표시 장치(10)의 경우, 측면에서 바라볼 때, 상기 블랙 매트릭스(22)의 하부에 위치하는 청색 서브 화소의 끝단의 전계가 약해지는 영역을 통과하는 시야각 방향의 빛이 블랙 매트릭스(22)에 의해 차단되지 못하고 인접하여 위치하는 녹색 서브 화소를 통과하게 되면서, 턴-온(turn on)되어 있는 청색 서브 화소의 색과 오프(off) 되어 있는 녹색 서브 화소의 색이 혼색되어 인식될 수 있다.
- [0016] 이에 따라, 일반적인 액정 표시 장치(10)는 측면에서 바라볼 때 청색 서브 화소와 인접하여 위치하는 녹색 서브 화소의 빛의 혼합에 의한 혼색(color washout) 불량이 발생할 수 있다. 이러한 혼색(color washout) 불량은 녹색 서브 화소가 턴-온되고, 녹색 서브 화소와 인접하여 위치한 적색 서브 화소가 오프된 경우에도 동일하게 발생할 수 있다.
- [0017] 따라서, 일반적인 액정 표시 장치(10)는 혼색에 의한 불량으로 인하여 액정 표시 장치의 색 재현율이 저하될 수 있으며, 이에 따라 액정 표시 장치의 표시 품질 및 신뢰성이 저하되는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

- [0018] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 데이터 라인 상에 데이터 라인의 길이 방향을 따라 연장된 스페이서를 형성함으로써, 복수의 서브 화소 사이의 혼색 불량을 최소화할 수 있는 액정 표시 장치를 제공하는 것이다.
- [0019] 본 발명의 실시예에 따른 해결 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

- [0020] 본 발명의 실시예에 따른 액정 표시 장치는 복수의 서브 화소를 포함하며, 액정층을 사이에 두고 서로 대향하여 위치하는 제1 기판과 제2 기판과 제1 기판 상의 게이트 라인 및 데이터 라인과 게이트 라인과 데이터 라인이 교차하는 영역에 위치한 박막 트랜지스터와 데이터 라인 상에 위치하고, 데이터 라인의 길이 방향을 따라 연장된 제1 스페이서 및 게이트 라인 상에 위치하고, 박막 트랜지스터 상의 평탄화층에 구비된 컨택홀의 적어도 일부를 덮도록 형성된 제2 스페이서를 포함한다.
- [0021] 또한, 다른 측면에서, 본 발명의 실시예에 따른 복수의 서브 화소를 포함하며, 게이트 라인, 데이터 라인 및 박막 트랜지스터를 포함하는 제1 기판과 제1 기판과 대향하여 위치하는 제2 기판을 포함하는 액정 표시 장치는 제1 기판의 데이터 라인 상에 위치하고, 데이터 라인의 길이 방향을 따라 연장되어 인접한 서브 화소로부터의 빛의 경로를 차단함으로써, 복수의 서브 화소 사이의 혼색 현상을 최소화하는 스페이서를 포함한다.
- [0022] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0023] 본 발명의 실시예에 따른 액정 표시 장치는 데이터 라인 상에 데이터 라인의 길이 방향을 따라 연장된 스페이서를 포함하므로, 스페이서가 인접하여 위치한 서브 화소로부터의 빛의 경로를 차단함으로써 복수의 서브 화소 사이의 혼색 불량이 최소화될 수 있다.
- [0024] 또한, 본 발명의 실시예에 따른 액정 표시 장치는 복수의 서브 화소 사이의 혼색 불량의 발생을 최소화함으로써 액정 표시 장치의 표시 품질 및 신뢰성을 향상시킬 수 있다.
- [0025] 본 발명의 효과는 이상에서 언급한 효과에 제한되지 않으며, 언급되지 않은 또 다른 효과는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.
- [0026] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 발명의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 발명의 내용에 기재된 사항에 의하여 제한되지 않는다.

**도면의 간단한 설명**

- [0027] 도 1은 일반적인 액정 표시 장치의 혼색 현상을 설명하기 위한 개략적인 단면도이다.
- 도 2는 본 발명의 실시예에 따른 액정 표시 장치의 구조를 개략적으로 나타내는 도면이다.
- 도 3은 본 발명의 실시예에 따른 액정 표시 장치의 평면 구조를 나타내는 도면이다.
- 도 4는 본 발명의 실시예에 따른 액정 표시 장치의 제1 스페이서 영역의 단면 구조를 나타내는 도면이다.
- 도 5는 본 발명의 실시예에 따른 액정 표시 장치의 제2 스페이서 및 제3 스페이서 영역의 단면 구조를 나타내는 도면이다.
- 도 6은 본 발명의 실시예에 따른 액정 표시 장치의 제2 스페이서 및 제4 스페이서 영역의 단면 구조를 나타내는 도면이다.
- 도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 평면 구조를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0028] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0029] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0030] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0031] 또한, 제1, 제2 등이 다양한 구성 요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성 요소일 수도 있다.
- [0032] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0033] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 액정 표시 장치에 대해 상세히 설명하기로 한다.
- [0034] 도 2는 본 발명의 실시예에 따른 액정 표시 장치의 평면 구조를 개략적으로 나타내는 도면이다.
- [0035] 도 2를 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)는 복수의 게이트 라인(GL), 복수의 데이터 라인(DL) 및 복수의 게이트 라인(GL)과 복수의 데이터 라인(DL)에 의해 정의되는 복수의 표시 화소(P)를 포함하는 제1 기관(101)을 포함하여 구성된다.
- [0036] 또한, 본 발명의 실시예에 따른 액정 표시 장치(100)의 게이트 구동 IC(integrated circuit)(130) 및 데이터 구동 IC(135)는 액티브 영역 또는 표시 영역 외곽의 비표시 영역에 형성된다. 상기 게이트 구동 IC(130) 및 데이터 구동 IC(135)는 액티브 영역의 표시 화소(P)가 동작하도록 게이트 라인(GL) 및 데이터 라인(DL)에 각각 게이트 신호 및 데이터 신호를 제공하기 위해 구성된다.
- [0037] 각각의 표시 화소(P)는 게이트 전극, 소스 전극 및 드레인 전극을 갖는 박막 트랜지스터(Thin Film Transistor: TFT)를 포함한다. 또한, 각각의 표시 화소(P)는 화소 전극(118)과 공통 전극(114)으로 형성된 커패시터(capacitor)를 포함한다.
- [0038] 박막 트랜지스터(TFT)의 게이트 전극은 게이트 라인(GL)과 연결되고, 박막 트랜지스터(TFT)의 소스 전극은 데이터 라인(DL)과 연결되고, 박막 트랜지스터(TFT)의 드레인 전극은 표시 화소(P)의 화소 전극(118)과 연결된다.
- [0039] 게이트 라인(GL)은 게이트 패드를 통해 게이트 구동 IC(130)로부터 인가된 스캔 신호를 표시 화소(P)에 공급하고, 데이터 라인(DL)은 데이터 패드를 통해 데이터 구동 IC(135)로부터 인가된 데이터 신호를 표시 화소(P)에 공급한다. 이러한 게이트 라인(GL) 및 데이터 라인(DL)은 게이트 절연층(gate insulation layer)을 사이에 두고 교차하여 각 표시 화소(P) 영역을 정의한다. 여기서 액티브 영역은 표시 화소(P)가 위치하여 디스플레이되는 영역일 수 있으며, 표시 영역이라고도 할 수 있다. 그리고 비액티브 영역은 액티브 영역의 외곽에 위치하며, 비표시 영역이라고도 할 수 있다.
- [0040] 도 1에서 게이트 구동 IC(130) 및 데이터 구동 IC(135) 각각은 액정 표시 장치(100)에서 별개의 구성 요소로 도시되어 있지만, 이러한 구동 IC들의 일부 또는 전부는 단일의 구성 요소로 서로 통합될 수도 있다. 예를 들어, 게이트 구동 IC(130)는 제1 기관(101) 상에 형성되어 제1 기관(101)의 일 부분으로서 제공될 수 있다.
- [0041] 또한, 데이터 구동 IC(135)는 액정 표시 장치(100) 상의 터치 센싱 관련 신호를 송신하고 수신하도록 구성된 터치 구동 IC와 함께 제1 기관(101) 상에 형성된 공통 신호 배선들 및 데이터 라인들과 연결된 동일한 인쇄 회로 기관 상에 형성될 수도 있다.
- [0042] 또한, 본 발명의 실시예에 따른 액정 표시 장치(100)의 표시 화소(P)들은 표시 기능 및 터치 센싱 기능을 위해 사용될 수 있는 정전 용량 구성 요소(capacitive elements) 또는 전극을 포함할 수 있다. 예를 들어, 본 발명의 실시예에 따른 액정 표시 장치(100)의 공통 전극(114)은 복수의 공통 전극 블록(block)들로 분리되어 구성될 수도 있다.
- [0043] 이하에서는 도 3 내지 도 5를 참조하여 본 발명의 실시예에 따른 액정 표시 장치의 상세 구조에 대해서 구체적으로 설명한다.
- [0044] 도 3은 본 발명의 실시예에 따른 액정 표시 장치의 평면 구조를 나타내는 도면이다. 도 4는 본 발명의 실시예에 따른 액정 표시 장치의 제1 스페이서 영역의 단면 구조를 나타내는 도면이다. 도 5는 본 발명의 실시예에 따른

액정 표시 장치의 제2 스페이서 영역 및 제3 스페이서 영역의 단면 구조를 나타내는 도면이다.

- [0045] 먼저, 도 3을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)는 복수의 서브 화소를 포함하여 구성된다. 복수의 서브 화소는 녹색(Green) 서브 화소, 청색(Blue) 서브 화소 및 적색(Red) 서브 화소의 순서로 배치될 수 있다. 예를 들어서, N번째 서브 화소((N)Sub-PXL)인 제1 서브 화소는 녹색(Green) 서브 화소, N+1번째 서브 화소((N+1)Sub-PXL)인 제2 서브 화소는 청색(Blue) 서브 화소, N+2번째 서브 화소((N+2)Sub-PXL)인 제3 서브 화소는 적색(Red) 서브 화소, N+3번째 서브 화소((N+3)Sub-PXL)인 제4 서브 화소는 녹색(Green) 서브 화소, 그리고 N+4번째 서브 화소((N+4)Sub-PXL)인 제5 서브 화소는 청색(Blue) 서브 화소일 수 있으나, 이에 반드시 한정되는 것은 아니다.
- [0046] 도 3 내지 도 5를 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)의 제 1 기판(101) 상에는 게이트 전극(106), 반도체층(108), 소스 전극(109) 및 드레인 전극(110)을 포함하는 역 스테거드(inverted staggered) 구조의 박막 트랜지스터(TFT)가 형성된다.
- [0047] 박막 트랜지스터(TFT)를 보다 구체적으로 살펴보기 위해 도 5를 참조하면, 박막 트랜지스터(TFT)는 제1 기판(101) 상에 게이트 전극(106), 소스 전극(109) 및 드레인 전극(110)이 포함된다.
- [0048] 본 명세서에서는 박막 트랜지스터가 역 스테거드 구조인 것으로 설명하였으나, 이에 제한되지 않고 본 발명의 실시예에 따른 액정 표시 장치(100)에는 코플래너(coplanar) 구조를 포함한 다양한 구조의 박막 트랜지스터가 사용될 수 있다.
- [0049] 제1 기판(101)은 액정 표시 장치(100)의 다양한 구성 요소들을 지지하기 위한 것으로, 절연 물질로 형성된다. 예를 들어서, 제1 기판(101)은 글라스(glass) 또는, PET(PolyEthylene Terephthalate), PEN(PolyEthylene Naphthalate), 폴리이미드(Polyimide) 등의 플라스틱 기판 등으로 이루어질 수 있다.
- [0050] 제1 기판(101) 상에 게이트 전극(106)이 형성된다. 게이트 전극(106)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뮴(Nd), 구리(Cu) 또는 이들의 합금으로 이루어질 수 있다. 또한, 게이트 전극(106)은 상기 금속 또는 합금의 단일층 또는 적어도 2층 이상의 다중층으로 이루어질 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0051] 게이트 전극(106)은, 도 3을 참조하면, 제1 기판(101) 상에 수평 방향인 제1 방향으로 배열된 게이트 라인(GL)으로부터 각 표시 화소(P) 영역에 대응하도록 분기된 형태로 형성된다.
- [0052] 게이트 전극(106) 상의 제1 기판(101) 전면에는 게이트 전극(106)을 덮도록 게이트 절연층(107)이 형성된다.
- [0053] 게이트 절연층(107)은 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(SiN<sub>x</sub>) 등과 같은 무기 절연 물질로 이루어진 단일층 또는 적어도 2층 이상의 다중층으로 이루어질 수도 있으나, 반드시 이에 한정되는 것은 아니다.
- [0054] 게이트 절연층(107) 상에는 게이트 전극(106)의 일부와 오버랩되도록 구성되는 반도체층(108)이 형성된다.
- [0055] 반도체층(108)은 비정질 실리콘(Amorphous Silicon), 다결정 실리콘(Poly Crystalline Silicon) 및 금속 산화물(Metal Oxide) 반도체 물질인 인듐 갈륨 징크 옥사이드(Indium Gallium Zinc Oxide: IGZO), 징크 틴 옥사이드(Zinc Tin Oxide: ZTO) 및 징크 인듐 옥사이드(Zinc Indium Oxide: ZIO) 중 어느 하나로 이루어질 수 있으나, 반드시 이에 한정되지 않는다.
- [0056] 반도체층(108)의 양측 상에는 각각 반도체층(108)과 일부 중첩되고 서로 이격되어 배치되는 소스 전극(109) 및 드레인 전극(110)이 형성된다.
- [0057] 소스 전극(109) 및 드레인 전극(110)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 구리(Cu) 또는 이들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수도 있으나, 반드시 이에 한정되는 것은 아니다.
- [0058] 소스 전극(109)은, 도 3을 참조하면, 게이트 절연층(107) 상에 상기 제1 방향에 교차하는 수직 방향인 제2 방향으로 배열된 데이터 라인(DL)으로부터 각 표시 화소(P) 영역에 대응하도록 분기된 형태로 형성된다.
- [0059] 소스 전극(109) 및 드레인 전극(110)은 하프톤(half tone) 마스크(mask)를 이용하여 게이트 절연층(107) 상에 순차적으로 적층되어 형성된 반도체층(108)과 함께 패터닝됨으로써 하나의 마스크 공정으로 형성될 수 있다.
- [0060] 도 5를 참조하면, 소스 전극(109) 및 드레인 전극(110)이 형성된 제1 기판(101) 전면에는 반도체층(108)과 소스 전극(109) 및 드레인 전극(110)을 덮도록 배치되되, 드레인 전극(110)의 일부를 노출하는 컨택홀(113a, 113b)을

구비한 제1 보호층(112)이 형성된다.

- [0061] 제1 보호층(112)은 포토 아크릴(photo-acryl) 또는 벤조사이클로부텐(BCB)과 같은 평탄한 표면을 갖는 유기 절연 물질로 이루어질 수 있으며, 제1 기판(101)의 상부를 평탄화하는 평탄화층(planarization layer)일 수 있다.
- [0062] 제1 보호층(112)의 하부에는 제3 보호층(111)을 더 배치될 수 있다. 제3 보호층(111)은 실리콘 산화물(SiO<sub>x</sub>) 또는 실리콘 질화물(SiN<sub>x</sub>)과 같은 무기 절연 물질로 이루어질 수 있으나, 반드시 이에 한정되는 것은 아니다. 또한, 제3 보호층(111)은 하부 드레인 전극(110)의 일부를 노출하는 콘택홀을 구비한다.
- [0063] 도 4를 참조하면, 제1 보호층(112) 상에 공통 전극(114)이 형성된다. 공통 전극(114)은 판(plate) 형상으로 제1 기판(101)의 전면에 대응되도록 인듐 틴 옥사이드(Indium Tin Oxide: ITO)와 같은 투명 도전성 물질로 이루어질 수 있으나, 반드시 이에 한정되는 것은 아니다. 공통 전극(114)은 드레인 전극(110)의 일부를 노출하는 공통 전극 홀(115)을 포함하여 형성된다.
- [0064] 공통 전극(114) 상의 제1 기판(101) 전면에는 제2 보호층(116)이 형성된다. 제2 보호층(116)은 공통 전극(114)을 덮도록 형성되고, 드레인 전극(110)의 일부를 노출하는 제2 보호층 콘택홀(117)을 구비한다. 제2 보호층(116)은 실리콘 산화물(SiO<sub>x</sub>) 또는 실리콘 질화물(SiN<sub>x</sub>)과 같은 무기 절연 물질로 이루어질 수 있으나 반드시 이에 한정되는 것은 아니다.
- [0065] 제2 보호층(116) 상에 화소 전극(118)이 형성된다. 화소 전극(118)은 제3 보호층(111)에 구비된 콘택홀과 제1 보호층(112) 및 제2 보호층(116) 각각에 구비된 콘택홀(113) 및 제2 보호층 콘택홀(117)을 통해 드레인 전극(110)과 연결된다.
- [0066] 한편, 도 5에서는 박막 트랜지스터가 P형(P-type) 박막 트랜지스터인 경우를 가정하여 화소 전극(118)이 드레인 전극(110)과 연결되는 것으로 설명하였다. 그러나, 박막 트랜지스터가 N형(N-type) 박막 트랜지스터인 경우에는 화소 전극(118)이 소스 전극(109)에 연결될 수도 있다.
- [0067] 또한, 화소 전극(118)은 복수의 핑거부(finger)를 포함하는 구조로 이루어질 수 있으며, 화소 전극(118)은 직선(straight) 형상 또는 적어도 하나 이상 굴곡된 형상인 지그재그(zigzag) 형상으로 형성될 수도 있다.
- [0068] 화소 전극(118)은 제2 보호층(116)을 사이에 두고 서로 다른 층에 있는 공통 전극(114)과 프린지 필드(fringe field)를 형성한다. 이와 같이, 화소 전극(118)과 공통 전극(114)에 의한 전계에 의한 프린지 필드에 의해 액정층(140)의 액정 분자들이 유전율 이방성에 의해 회전하며, 이러한 액정 분자들의 회전 정도에 따라 표시 화소 영역을 투과하는 광 투과율이 달라짐으로써 화상이 구현된다.
- [0069] 도 4 및 도 5를 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)의 제1 기판(101)과 대향하여 위치하는 제2 기판(121) 상에는 표시 화소의 개구 영역과 차광 영역을 정의하는 블랙 매트릭스(Black Matrix: BM, 122)가 배치된다. 즉, 블랙 매트릭스(122)가 배치된 영역은 차광 영역으로 정의되고, 블랙 매트릭스(122)가 형성되지 않은 영역은 개구 영역으로 정의된다. 차광 영역에 대응되는 영역에는 박막 트랜지스터(TFT), 게이트 라인(GL), 데이터 라인(DL) 등과 같은 다양한 구동 소자 및 배선이 배치되고, 개구 영역에 대응되는 영역에는 공통 전극(114)과 화소 전극(118)이 배치된다.
- [0070] 상술한 바와 같이, 블랙 매트릭스(122)는 제1 기판(101)의 박막 트랜지스터, 게이트 라인(GL) 및 데이터 라인(DL) 중 적어도 어느 하나와 중첩되도록 제2 기판(121) 상에 형성된다. 보다 구체적으로, 블랙 매트릭스(122)는 게이트 라인(GL)을 따라 배치된 게이트 BM(122a) 및 데이터 라인(DL)을 따라 배치된 데이터 BM(122b)을 포함하여 이루어질 수 있다. 블랙 매트릭스(122)는 불투명한 유기 물질로 이루어질 수 있으며, 예를 들어서 블랙 레진(black resin)을 포함하여 이루어질 수 있다. 또한, 블랙 매트릭스(122)는 직선(straight) 형상 또는 적어도 하나 이상 굴곡된 형상인 지그재그(zigzag) 형상으로 형성될 수도 있다.
- [0071] 도 3을 참조하면, 제2 기판(121)에 형성되는 게이트 BM(122a)은 하부에 배치되는 게이트 라인(GL) 및 박막 트랜지스터 영역을 가릴 수 있도록 제1 폭(X1)을 갖도록 형성될 수 있다. 또한, 데이터 BM(122b)은 하부에 배치되는 데이터 라인(DL) 영역을 가릴 수 있도록 제2 폭(X2)을 갖도록 형성될 수 있다.
- [0072] 도 4를 참조하면, 블랙 매트릭스(122b) 상에는 적색 컬러 필터(124), 녹색 컬러 필터(125), 청색 컬러 필터(126)를 포함하는 컬러 필터(Color Filter)가 형성된다. 상기 컬러 필터(124, 125, 126)는 각각 자신이 포함하고 있는 적색, 녹색, 및 청색 안료를 통해 특정 파장의 광을 흡수 또는 투과시킴으로써 적색, 녹색 및 청색을 표현할 수 있다. 컬러 필터(124, 125, 126)는 직선(straight) 형상 또는 적어도 하나 이상 굴곡된 형상인 지그

재그(zigzag) 형상으로 형성될 수도 있다.

- [0073] 컬러 필터(124, 125, 126) 상에는 오버 코트층(127)가 배치된다. 오버 코트층(127)은 컬러 필터(124, 125, 126)를 보호하는 역할을 할 수 있으며, 평탄화 특성이 우수한 유기 물질 또는 무기 물질로 이루어질 수 있다.
- [0074] 이와 같이 구성되는 본 발명의 실시예에 따른 액정 표시 장치(100)는 제1 기관(101)과 제2 기관(121) 사이에 유전을 이방성을 갖는 액정(LC)으로 이루어진 액정층(140)을 포함하여 구성될 수 있다.
- [0075] 액정층(140)은, 도 4를 참조하면, 제1 기관(101) 상의 하부 배향막(156)과 제2 기관(121) 상의 상부 배향막(157) 사이에 형성된다. 하부 배향막(156) 및 상부 배향막(157)은 액정층(140) 내 액정(LC)의 초기 배향을 결정하고 유지하는 역할을 한다.
- [0076] 액정층(140)에 포함되는 액정(LC)은 공통 전극(114)과 화소 전극(118)에 의해 형성된 전계에 의해서 배열 상태가 조절된다. 음의 유전을 이방성을 갖는 액정(LC) 즉, 네거티브(negative) 액정은 유전을 이방성( $\Delta \epsilon = \epsilon_{\parallel} - \epsilon_{\perp}$ )이 음(-)의 값을 가지는 액정으로, 수직 유전율이 수평 유전율보다 큰 값을 갖는다. 반면에 포지티브(positive) 액정의 경우, 유전을 이방성이 양(+)의 값을 가지는 액정으로, 수평 유전율이 수직 유전율 보다 큰 값을 갖는다.
- [0077] 음의 유전을 이방성을 갖는 액정(LC) 즉, 네거티브(negative) 액정은 전계 방향과 수직인 방향으로 액정(LC)의 방향자(director)가 배열된다. 따라서, 공통 전극(114)과 화소 전극(118) 사이에 전계가 형성되면, 공통 전극(114)과 화소 전극(118) 사이 영역의 액정뿐만 아니라 공통 전극(114)과 화소 전극(118) 상부 영역의 액정의 방향자가 모두 제1 기관(101) 및 제2 기관(121)의 수평 면에 대해서 평행하게 배열된다. 따라서, 포지티브 액정에 비하여 네거티브 액정(LC)의 경우, 광 투과율이 향상되어 상대적으로 우수한 휘도 특성을 나타낼 수 있다.
- [0078] 다음으로, 도 4를 참조하여 제1 스페이서에 대하여 보다 상세히 살펴보기로 한다.
- [0079] 도 4는 본 발명의 실시예에 따른 액정 표시 장치의 제1 스페이서 영역의 단면 구조를 나타내는 도면으로, 다시 말해, 도 3에서 도시한 A-B선에 따른 단면 구조를 나타낸 것이다.
- [0080] 도 3 및 도 4를 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)는 데이터 라인(DL) 상의 제1 보호층(112) 상에 배치되고, 데이터 라인(DL)의 길이 방향을 따라 연장된 제1 스페이서(150)를 더 포함하여 구성된다.
- [0081] 제1 스페이서(150)는, 도 1을 참조하여 설명한 바와 같이, 시야각 방향에서 나타날 수 있는 인접한 서브 화소로부터의 빛의 경로를 차단함으로써, 측면 시야각 방향에서 인접한 서브 화소 사이에서 발생할 수 있는 혼색 현상에 의한 불량을 최소화하는 역할을 할 수 있다.
- [0082] 보다 구체적으로, 제1 스페이서(150)는 제1 기관(101)의 제 2 보호층(116) 상에 위치하고, 제2 기관(121) 상에 형성된 데이터 BM(122b)의 하부에 위치할 수 있다. 여기서, 제1 스페이서(150)가 제2 기관(121) 상에 형성된 데이터 BM(122b)에 의해 완전히 가려질 수 있도록 제1 스페이서(150)의 폭(Y)은 데이터 BM(122b)의 제2폭(X2)보다 작게 형성될 수 있다.
- [0083] 또한, 도 3을 참조하면, 제1 스페이서(150)는 서로 분리된 제1 영역(150a)과 제2 영역(150b)을 포함하여 이루어질 수 있다. 이와 같이, 제1 스페이서(150)를 서로 분리된 제1 영역(150a)과 제2 영역(150b)을 포함하도록 형성하는 이유는 제1 영역(150a)과 제2 영역(150b) 사이에 공간을 확보함으로써 액정층(140)에 포함된 액정(LC)이 제1 영역(150a)과 제2 영역(150b) 사이의 분리된 영역을 통해 고르게 퍼져나갈 수 있으며, 액정(LC)의 미퍼짐 현상에 의해 나타날 수 있는 얼룩과 같은 화질 불량의 발생을 최소화하기 위해서이다.
- [0084] 도 3에서는 제1 스페이서(150)가 분리된 제1 영역(150a)과 제2 영역(150b)을 포함하는 것으로 도시하였으나, 반드시 이에 한정되지 않으며, 제1 스페이서(150)는 적어도 둘 이상의 분리된 영역을 더 포함하여 이루어질 수 있다.
- [0085] 또한, 도 4를 참조하면, 제1 기관(101) 상에 형성되는 제1 스페이서(150)는 제2 기관(121)과 접촉하지 않는 높이로 형성될 수 있다. 예를 들어서, 제1 스페이서(150)의 높이(H)가 너무 높게 형성되는 경우, 외부로부터 액정 표시 장치(100)에 압력이 가해져 눌러질 수 있다. 이에 따라, 제1 스페이서(150)와 상부 배향막(157)은 서로 접촉될 수 있고, 상부 배향막(157)이 제1 스페이서(150)에 의해 굽히면서 상부 배향막(157)이 손상될 수 있다.
- [0086] 따라서, 제1 스페이서(150)의 높이(H)는 제1 기관(101)과 제2 기관(121) 사이의 거리(Z), 즉 액정 표시 장치(100)의 셀 갭(cell gap)보다 작게 형성되는 것이 바람직하다. 즉, 제1 스페이서(150)의 높이(H)는 하부 배향막(156)과 상부 배향막(157) 사이의 거리(Z)보다 작게 형성될 수 있다. 예를 들어, 제1 스페이서(150)의 높이(H)

는 1.0 $\mu$ m 내지 1.5 $\mu$ m의 수준으로 형성될 수 있다.

- [0087] 다음으로, 본 발명의 실시예에 따른 제2 스페이서 및 제3 스페이서에 대하여 도 5를 참조하여 설명하면 아래와 같다.
- [0088] 도 5는 본 발명의 실시예에 따른 액정 표시 장치의 제2 스페이서 및 제3 스페이서 영역의 단면 구조를 나타내는 도면으로, 도 3에서 도시한 C-D에서의 단면 구조를 나타낸 것이다. 보다 구체적으로, 도 5는 도 3에 도시된 제1 영역의 범프 스페이서(119a) 및 갭 스페이서인 제3 스페이서(128)를 설명하기 위한 도면이다.
- [0089] 도 3 및 도 5를 참조하면, 제2 스페이서(119)는 게이트 라인(GL) 상에 위치하고, 박막 트랜지스터 상의 평탄화층의 역할을 하는 제1 보호층(112)에 구비된 콘택홀의 적어도 일부를 덮도록 형성된다.
- [0090] 도 3을 참조하면, 제2 스페이서(119)는 제1 영역의 제2 스페이서(119a), 제2 영역의 제2 스페이서(119b) 및 제3 영역의 제2 스페이서(119c)를 포함하여 이루어질 수 있다. 여기서, 제2 스페이서(119)는 제1 스페이서(150) 형성 시 동시에 형성되는 보조 스페이서일 수 있다.
- [0091] 제1 영역의 제2 스페이서(119a), 제2 영역의 제2 스페이서(119b) 및 제3 영역의 제2 스페이서(119c) 각각은 바(bar) 형태의 평면 구조를 가지며, 데이터 라인(DL)이 연장된 방향보다 게이트 라인(GL)이 연장된 방향으로 길게 형성될 수 있다.
- [0092] 보다 구체적으로, 도 3을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)는 복수의 서브 화소 중에서 N번째 서브 화소((N)Sub-PXL), 즉 제1 서브 화소와 N+1번째 서브 화소((N+1)Sub-PXL), 즉 제2 서브 화소에 각각 대응되는 제1 콘택홀(113a)과 제2 콘택홀(113b)을 덮도록 제1 기판(101) 상에 형성된 제1 영역의 제2 스페이서(119a)를 포함한다. 제1 영역의 제2 스페이서(119a)은 제1 콘택홀(113a)과 제2 콘택홀(113b)의 적어도 일부를 덮도록 형성되어 상기 콘택홀(113a, 113b)에 의해 형성된 제1 기판(101)의 단차를 줄이는 역할을 할 수 있다.
- [0093] 또한, N+3번째 서브 화소((N+3)Sub-PXL), 즉 제4 서브 화소와 N+4번째 서브 화소((N+4)Sub-PXL), 즉 제5 서브 화소에 각각 대응되는 제3 콘택홀(113c)과 제4 콘택홀(113d)을 덮도록 제1 기판(101) 상에는 형성된 제2 영역의 제2 스페이서(119b)를 포함한다. 제2 영역의 제2 스페이서(119b)는 제3 콘택홀(113c)과 제4 콘택홀(113d)의 적어도 일부를 덮도록 형성되어 콘택홀(113c, 113d)에 의한 형성된 제1 기판(101)의 단차를 줄이는 역할을 할 수 있다.
- [0094] 도 3을 참조하면, N+2번째 서브 화소((N+2)Sub-PXL), 즉 제3 서브 화소에 대응되는 제5 콘택홀(113e)을 덮도록 제1 기판(101) 상에 형성되고, 제2 스페이서의 제1 영역(119a)과 제2 스페이서의 제2 영역(119b) 사이에 위치하는 제3 영역의 제2 스페이서(119c)를 포함한다. 제3 영역의 제2 스페이서(119c)는 제5 콘택홀(113e)의 적어도 일부를 덮도록 형성되어 콘택홀(113e)에 의해 형성된 제1 기판(101)의 단차를 줄이는 역할을 할 수 있다.
- [0095] 제2 스페이서(119), 즉, 제1 영역의 제2 스페이서(119a), 제2 영역의 제2 스페이서(119b) 및 제3 영역의 제2 스페이서(119c)는 모두 동일한 층에서 동일한 물질로 형성될 수 있다.
- [0096] 덧붙여, 제1 스페이서(150)와 제2 스페이서(119c)는 모두 동일한 층에서 동일한 물질로 형성될 수 있다. 즉, 제1 스페이서(150)와 제1 영역의 제2 스페이서(119a), 제2 영역의 제2 스페이서(119b) 및 제3 영역의 제2 스페이서(119c)는 동일한 물질로 이루어질 수 있다.
- [0097] 또한, 제1 스페이서(150)와 제1 영역의 제2 스페이서(119a), 제2 영역의 제2 스페이서(119b) 및 제3 영역의 제2 스페이서(119c)는 동일한 층에 형성되며, 동일한 공정으로 형성될 수 있다.
- [0098] 또한, 제1 스페이서(150)는 제2 기판(121)에 형성된 블랙 매트릭스(122)와 동일한 물질로 형성될 수도 있다.
- [0099] 한편, 도 3을 참조하면, 제1 스페이서(150)는 게이트 라인(GL) 및 제2 스페이서(119)와 중첩되지 않도록 형성될 수 있다. 보다 구체적으로, 제1 스페이서(150)를 게이트 라인(GL)과 중첩되지 않도록 배치함으로써, 제1 스페이서(150)와 제2 스페이서(119)가 중첩되지 않도록 형성될 수 있다. 즉, 제1 스페이서(150)와 게이트 라인(GL) 상에 배치되는 제2 스페이서(119) 사이에 충분한 공간을 확보하여 액정층(140)에 포함된 액정(LC)이 상기 공간을 통해 고르게 퍼져나갈 수 있도록 함으로써 액정(LC)의 미퍼짐 현상에 의해 나타날 수 있는 얼룩과 같은 화질 불량 발생을 최소화할 수 있다.
- [0100] 도 3 및 도 5를 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)는 제2 기판(121) 상에 형성되고, 제1 기판(101) 상에 형성된 제1 영역의 제2 스페이서(119a)에 대응되어 위치하는 갭 스페이서(gap spacer)인 제3 스페이서(128)를 포함한다.

페이서(128)를 더 포함할 수 있다. 즉, 제3 스페이서(128)는 제2 기관(121)에 배치되고, 제1 기관(101)의 박막 트랜지스터 상에 형성된 제1 영역의 제2 스페이서(119a)와 적어도 일부가 중첩되어 상호 교차한 형태로 배치된다.

- [0101] 제3 스페이서(128)는 바(bar) 형태의 평면 구조를 가지며, 게이트 라인(GL)이 연장된 방향보다 데이터 라인(DL)이 연장된 방향으로 길게 형성될 수 있다. 제1 영역의 제2 스페이서(119a)와 제3 스페이서(128) 각각은 바(bar) 형태의 평면 구조를 가진다.
- [0102] 또한, 제1 영역의 제2 스페이서(119a)는 제3 스페이서(128)에 대응되는 위치에 배치되며, 제2 기관(121) 상에 형성된 제3 스페이서(128)와 접촉되어 액정 표시 장치의 셀 갭(cell gap)을 유지하는 범프 스페이서(bump spacer)의 역할을 한다.
- [0103] 제3 스페이서(128)는 제2 기관(121)의 오버 코트층(127) 상에 형성되며, 제1 기관(101) 상에 형성된 제1 영역의 제2 스페이서(119a)와 접촉되어 액정 표시 장치의 셀 갭(cell gap)을 유지하는 갭 스페이서(gap spacer)의 역할을 하며, 제1 영역의 제2 스페이서(119a)와 적어도 일부가 중첩되어 상호 교차하여 배치된다.
- [0104] 또한, 제3 스페이서(128)는 청색(Blue) 서브 화소와 적색(Red) 서브 화소 사이에서 데이터 라인(DL)과 적어도 일부가 중첩되도록 하여 블랙 매트릭스(122) 상의 차광 영역에 대응되어 위치할 수 있다. 그러나 반드시 이에 한정되지 않으며, 제3 스페이서(128)는 적색(Red) 서브 화소와 녹색(Green) 서브 화소 사이의 블랙 매트릭스(122) 상의 차광 영역에 대응되어 위치할 수도 있다.
- [0105] 다음으로, 본 발명의 실시예에 따른 제4 스페이서를 도 3 및 도 6을 참조하여 설명하면 다음과 같다.
- [0106] 도 6은 본 발명의 실시예에 따른 액정 표시 장치의 제2 스페이서 및 제4 스페이서 영역의 단면 구조를 나타내는 도면으로, 도 3에서 도시한 E-F에서의 단면 구조를 나타낸 것이다. 보다 구체적으로, 도 6은 도 3에 도시된 범프 스페이서인 제2 영역의 제2 스페이서(119b) 및 돌림 스페이서인 제4 스페이서(129)를 설명하기 위한 도면이다.
- [0107] 도 3 및 도 6을 참조하여, 본 발명의 실시예에 따른 액정 표시 장치(100)를 설명함에 있어서, 이전 도면을 참조하여 설명한 동일 또는 대응되는 구성 요소에 대한 중복되는 상세한 설명은 생략하거나 간단히 설명하기로 한다.
- [0108] 도 3을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)는 제2 기관(121) 상에 형성되고, 제1 기관(101) 상에 형성된 제2 영역의 제2 스페이서(119b)에 대응되어 위치하는 돌림 스페이서(push spacer)인 제4 스페이서(129)를 더 포함할 수 있다. 제4 스페이서(129)는 원형(circle)의 평면 구조를 가지며, 제2 영역의 제2 스페이서(119b)와 제4 스페이서(129)는 적어도 일부가 서로 중첩된 형태로 배치된다.
- [0109] 즉, 본 발명의 실시예에 따른 액정 표시 장치(100)에 구성된 컬럼 스페이서(column spacer)는 제1 기관(101)에 형성된 범프 스페이서인 제1 스페이서(150)와 제2 스페이서(119), 그리고, 제2 기관(121)에 형성된 갭 스페이서인 제3 스페이서(128)와 돌림 스페이서인 제4 스페이서(129)를 포함하여 구성될 수 있다.
- [0110] 도 3 및 도 6을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)는 복수의 서브 화소 중에서 N+3번째 서브 화소((N+3)Sub-PXL), 즉 제4 서브 화소와 N+4번째 서브 화소((N+4)Sub-PXL), 즉 제5 서브 화소에 각각 대응되는 제3 컨택홀(113c)과 제4 컨택홀(113d)을 덮도록 제1 기관(101) 상에 형성된 제2 영역의 제2 스페이서(119b)를 포함한다. 제2 영역의 제2 스페이서(119b)는 제3 컨택홀(113c)과 제4 컨택홀(113d)의 적어도 일부를 덮도록 형성되어 컨택홀(113c, 113d)에 의한 제1 기관(101) 상의 단차를 줄이는 역할을 할 수 있다.
- [0111] 제2 영역의 제2 스페이서(119b)는 제4 스페이서(129)에 대응되는 위치에 배치되며, 제2 기관(121) 상에 형성된 제4 스페이서(129)와 접촉하지 않고 일정 거리를 가지고 이격되어 위치하는 범프 스페이서(bump spacer)의 역할을 한다. 즉, 제2 영역의 제2 스페이서(119b)는 제2 기관(121)에 외력이 가해졌을 때 제2 기관(121) 상의 제4 스페이서(129)의 돌림 및 이동에 의해 액정 표시 장치가 파손되는 것을 방지하는 역할을 한다.
- [0112] 제2 영역의 제2 스페이서(119b)는 무기막 또는 유기막의 단일층 또는 2층 이상의 무기막 또는 유기막이 적층된 다중층으로 이루어질 수도 있으나, 반드시 이에 한정되는 것은 아니다.
- [0113] 제4 스페이서(129)는 제2 기관(121)의 오버 코트층(127) 상에 형성되며, 제1 기관(101) 상에 형성된 제2 영역의 제2 스페이서(119b)와 접촉하지 않고 일정 거리를 가지고 이격되어 위치하여 액정 표시 장치의 돌림 갭을 형성하는 돌림 스페이서(push spacer)의 역할을 하며, 제2 영역의 제2 스페이서(119b)와 적어도 일부가 중첩되어 상

호 교차하여 배치된다. 제4 스페이서(129)는 제3 스페이서(128) 보다 낮은 높이로 형성될 수 있으며, 제4 스페이서(129)와 제3 스페이서(128)는 하프톤 마스크(halftone mask)를 이용한 하프톤 공정을 통해 동시에 형성될 수 있다.

- [0114] 또한, 제4 스페이서(129)는 청색(Blue) 서브 화소와 적색(Red) 서브 화소 사이에서 데이터 라인(DL)과 적어도 일부가 중첩되도록 하여 블랙 매트릭스(122) 상의 차광 영역에 대응되어 위치할 수 있다. 그러나, 반드시 이에 한정되지 않으며, 제4 스페이서(129)는 적색(Red) 서브 화소와 녹색(Green) 서브 화소 사이의 블랙 매트릭스(122) 상의 차광 영역에 대응되어 위치할 수도 있다.
- [0115] 제4 스페이서(129)는 무기막 또는 유기막의 단일층 또는 2층 이상의 무기막 또는 유기막이 적층된 다중층으로 이루어질 수도 있으나, 반드시 이에 한정되는 것은 아니다. 제2 영역의 제2 스페이서(119b)와 제4 스페이서(129)는 동일한 물질로 이루어질 수 있다.
- [0116] 도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 평면 구조를 나타내는 도면이다.
- [0117] 도 7을 참조하여, 본 발명의 다른 실시예에 따른 액정 표시 장치(200)를 설명함에 있어서, 이전 도면을 참조하여 설명한 동일 또는 대응되는 구성 요소에 대한 중복되는 상세한 설명은 생략하거나 간단히 설명하기로 한다.
- [0118] 도 7에서 도시한 것과 같이, 본 발명의 다른 실시예에 따른 액정 표시 장치(200)의 경우, 데이터 라인(DL2)은 적어도 하나의 굴곡부를 포함하고, 또한 화소 전극(218)은 데이터 라인(DL2)과 평행한 방향으로 동일하게 적어도 하나의 굴곡부를 갖도록 형성될 수 있다.
- [0119] 도 7을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치(200)는 소스 전극(109) 또는 드레인 전극(110)으로 이루어진 데이터 라인(DL2) 상의 평탄화층의 역할을 하는 제1 보호층(112) 상에 위치하고, 데이터 라인(DL2)이 형성된 길이 방향을 따라 연장되어 형성된 제1 스페이서(250)를 포함하여 구성된다.
- [0120] 제1 스페이서(250)는 시야각 방향에서 나타날 수 있는 인접한 서브 화소로부터의 빛의 경로를 물리적으로 차단함으로써, 측면 시야각 방향에서 인접한 서브 화소 사이에서 발생할 수 있는 혼색 현상에 의한 불량을 최소화하는 역할을 할 수 있다.
- [0121] 또한, 도 7을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치(200)의 제1 스페이서(250)는 데이터 라인(DL2)의 굴곡부에서 분리되어 형성될 수 있다. 즉, 제1 스페이서(250)는 서로 분리된 제1 영역(250a)과 제2 영역(250b)을 포함하여 이루어질 수 있다.
- [0122] 즉, 데이터 라인(DL2) 상의 제1 스페이서(250)를 데이터 라인(DL2)의 굴곡부에서 제1 영역(150a)과 제2 영역(150b)으로 분리하고, 제1 영역(150a)과 제2 영역(150b) 사이에 공간을 확보하여 액정층(140)에 포함된 액정(LC)이 분리된 영역 사이를 통해 고르게 퍼져나갈 수 있도록 함으로써 액정(LC)의 미퍼짐 현상에 의해 나타날 수 있는 얼룩과 같은 화질 불량의 발생을 최소화할 수 있다.
- [0123] 도 7에서는 제1 스페이서(250)가 분리된 제1 영역(250a)과 제2 영역(250b)을 포함하는 것으로 도시하였으나, 반드시 이에 한정되지 않으며, 둘 이상의 분리된 영역을 더 포함하여 이루어질 수도 있다.
- [0124] 이와 같은 본 발명의 실시예에 따른 액정 표시 장치는 데이터 라인 상에 데이터 라인의 길이 방향을 따라 연장된 스페이서를 포함하도록 구성되어, 상기 스페이서가 인접하여 위치한 서브 화소로부터의 빛의 경로를 차단함으로써 복수의 서브 화소 사이의 혼색 불량의 발생이 최소화될 수 있다.
- [0125] 또한, 본 발명의 실시예에 따른 액정 표시 장치는 복수의 서브 화소 사이의 혼색 불량 발생을 최소화함으로써 액정 표시 장치의 표시 품질 및 신뢰성을 향상시킬 수 있다.
- [0126] 본 발명의 실시예에 따른 액정 표시 장치는 다음과 같이 설명될 수 있다.
- [0127] 본 발명의 실시예에 따른 액정 표시 장치는 복수의 서브 화소를 포함하며, 액정층을 사이에 두고 서로 대향하여 위치하는 제1 기판과 제2 기판과 제1 기판 상의 게이트 라인 및 데이터 라인과 게이트 라인과 데이터 라인이 교차하는 영역에 위치한 박막 트랜지스터와 데이터 라인 상에 위치하고, 데이터 라인의 길이 방향을 따라 연장된 제1 스페이서 및 게이트 라인 상에 위치하고, 박막 트랜지스터 상의 평탄화층에 구비된 컨택홀의 적어도 일부를 덮도록 형성된 제2 스페이서를 포함한다. 즉, 본 발명의 실시예에 따른 액정 표시 장치는 데이터 라인 상에 데이터 라인의 길이 방향을 따라 연장되도록 구성된 스페이서가 인접하여 위치한 서브 화소로부터의 빛의 경로를 차단함으로써 복수의 서브 화소 사이의 혼색 현상이 최소화될 수 있다. 또한, 본 발명의 실시예에 따른 액정 표시 장치는 복수의 서브 화소 사이의 혼색 현상을 최소화함으로써 액정 표시 장치의 표시 품질을 향상시킬 수 있다.

다.

- [0128] 본 발명의 다른 특징에 따르면, 제1 스페이서와 제2 스페이서는 동일한 물질로 이루어질 수 있다.
- [0129] 본 발명의 또 다른 특징에 따르면, 제1 스페이서는 서로 분리된 제1 영역과 제2 영역을 포함하여 이루어질 수 있다.
- [0130] 본 발명의 또 다른 특징에 따르면, 제1 스페이서는 인접한 서브 화소로부터의 빛의 경로를 차단하여 복수의 서브 화소 사이의 혼색 현상을 최소화할 수 있다.
- [0131] 본 발명의 또 다른 특징에 따르면, 제1 스페이서는 게이트 라인과 중첩되지 않을 수 있다.
- [0132] 본 발명의 또 다른 특징에 따르면, 제1 스페이서의 높이는 1.0 $\mu\text{m}$  내지 1.5 $\mu\text{m}$ 일 수 있다.
- [0133] 본 발명의 또 다른 특징에 따르면, 제1 스페이서와 제2 스페이서는 동일한 층에서 동일한 공정으로 이루어질 수 있다.
- [0134] 본 발명의 또 다른 특징에 따르면, 제2 기관 상에 있고, 복수의 서브 화소 각각에 개구 영역과 차광 영역을 정의하는 블랙 매트릭스를 더 포함하고, 블랙 매트릭스는 게이트 라인을 따라 배치된 게이트 BM 및 데이터 라인을 따라 배치된 데이터 BM을 포함하며, 제1 스페이서는 데이터 BM의 하부에 위치할 수 있다.
- [0135] 본 발명의 또 다른 특징에 따르면, 제1 스페이서는 제2 기관과 접촉하지 않을 수 있다.
- [0136] 본 발명의 또 다른 특징에 따르면, 제2 기관 상에 있고, 제2 스페이서에 대응되어 위치하는 제3 스페이서를 더 포함할 수 있다.
- [0137] 본 발명의 또 다른 특징에 따르면, 제3 스페이서는 제2 스페이서와 접촉될 수 있다.
- [0138] 본 발명의 또 다른 특징에 따르면, 제2 기관 상에 있고, 제2 스페이서에 대응되어 위치하며, 제2 스페이서와 접촉하지 않는 제4 스페이서를 더 포함할 수 있다.
- [0139] 다른 측면에서, 본 발명의 실시예에 따른 복수의 서브 화소를 포함하며, 게이트 라인, 데이터 라인 및 박막 트랜지스터를 포함하는 제1 기관과 제1 기관과 대향하여 위치하는 제2 기관을 포함하는 액정 표시 장치는 제1 기관의 데이터 라인 상에 위치하고, 데이터 라인의 길이 방향을 따라 연장되어 인접한 서브 화소로부터의 빛의 경로를 차단함으로써, 복수의 서브 화소 사이의 혼색 현상을 최소화하는 스페이서를 포함한다. 즉, 본 발명의 실시예에 따른 액정 표시 장치는 데이터 라인 상에 데이터 라인의 길이 방향을 따라 연장되도록 구성된 스페이서가 인접하여 위치한 서브 화소로부터의 빛의 경로를 차단함으로써 복수의 서브 화소 사이의 혼색 현상이 최소화될 수 있다. 또한 복수의 서브 화소 사이의 혼색 현상을 최소화함으로써 액정 표시 장치의 표시 품질을 향상시킬 수 있다.
- [0140] 본 발명의 다른 특징에 따르면, 스페이서는 둘 이상의 분리된 영역을 포함하여 이루어질 수 있다.
- [0141] 본 발명의 또 다른 특징에 따르면, 데이터 라인은 적어도 하나의 굴곡부를 포함하고, 스페이서는 데이터 라인의 굴곡부에서 분리될 수 있다.
- [0142] 본 발명의 또 다른 특징에 따르면, 게이트 라인 상에 위치하고, 박막 트랜지스터 상의 평탄화층에 구비된 콘택홀을 덮도록 형성된 보조 스페이서를 포함할 수 있다.
- [0143] 본 발명의 또 다른 특징에 따르면, 스페이서와 보조 스페이서는 동일한 층에서 동일한 물질로 이루어질 수 있다.
- [0144] 본 발명의 또 다른 특징에 따르면, 스페이서의 높이는 제1 기관과 제2 기관 사이의 거리보다 작을 수 있다.
- [0145] 본 발명의 또 다른 특징에 따르면, 게이트 라인을 따라 배치된 게이트 BM 및 데이터 라인을 따라 배치된 데이터 BM을 포함하며, 스페이서는 데이터 BM의 하부에 위치할 수 있다.
- [0146] 본 발명의 또 다른 특징에 따르면, 스페이서의 폭은 데이터 BM의 폭보다 작을 수 있다.
- [0147] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술 사상을 벗어나지 않는 범위 내에서 다양하게 변형되어 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기

술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

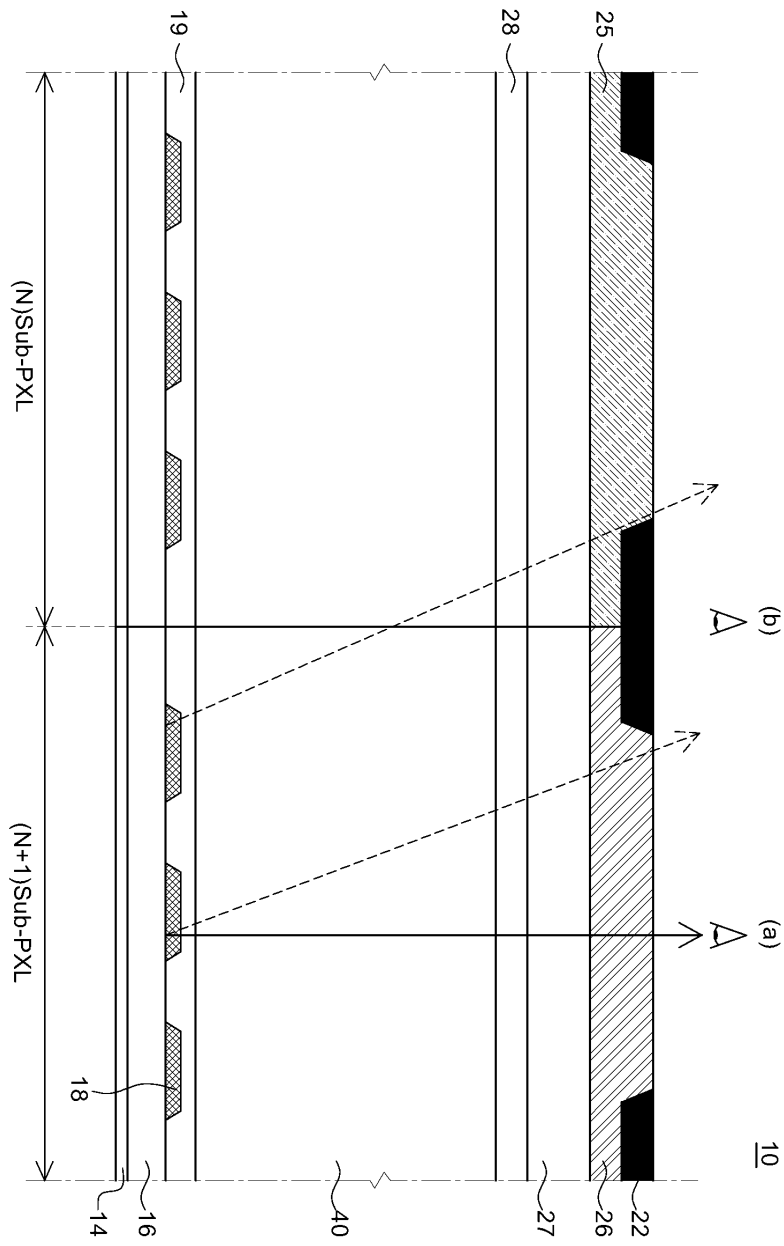
**부호의 설명**

[0148]

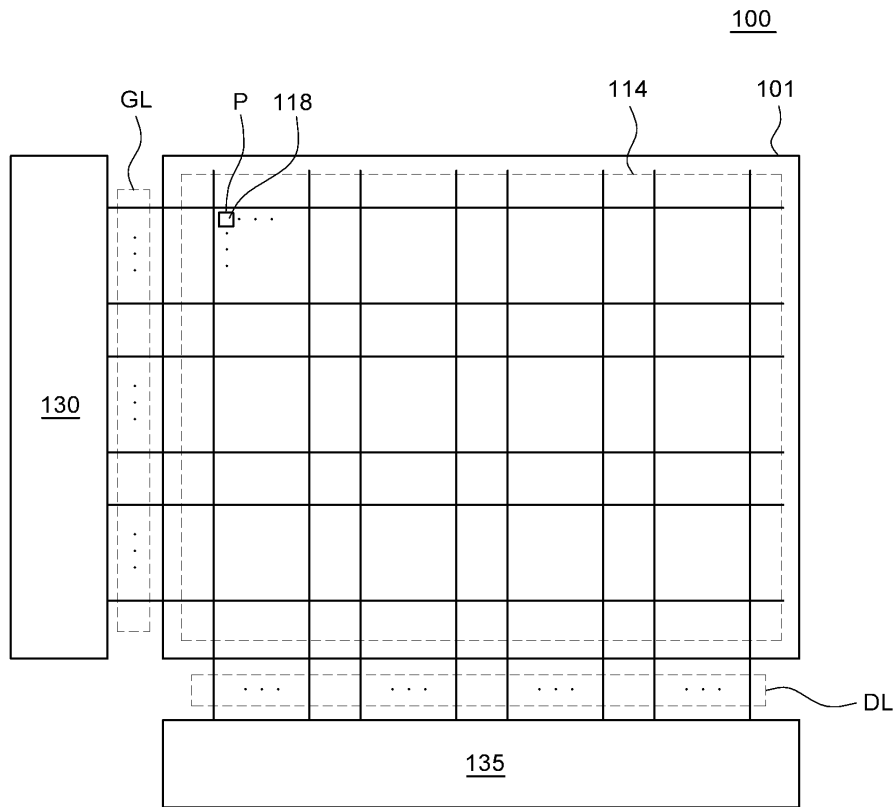
- 100 : 액정 표시 장치
- 101 : 제 1 기관
- 106 : 게이트 전극
- 107 : 게이트 절연층
- 108 : 반도체층
- 109 : 소스 전극
- 110 : 드레인 전극
- 111 : 제 3 보호층
- 112 : 제 1 보호층
- 113a : 제 1 컨택홀
- 113b : 제 2 컨택홀
- 113c : 제 3 컨택홀
- 113d : 제 4 컨택홀
- 113e : 제 5 컨택홀
- 114 : 공통 전극
- 115 : 공통 전극 홀
- 116 : 제 2 보호층
- 117 : 제 2 보호층 컨택홀
- 118 : 화소 전극
- 119 : 제 2 스페이서
- 119a : 제 2 스페이서 제 1 영역
- 119b : 제 2 스페이서 제 2 영역
- 119c : 제 2 스페이서 제 3 영역
- 121 : 제 2 기관
- 122 : 블랙 매트릭스(BM)
- 122a : 게이트 BM
- 122b : 데이터 BM
- 124 : 적색 컬러 필터
- 125 : 녹색 컬러 필터
- 126 : 청색 컬러 필터
- 127 : 오버 코트
- 128 : 제 3 스페이서

- 129 : 제 4 스페이서
- 130 : 게이트 구동 IC
- 135 : 데이터 구동 IC
- 140 : 액정층
- 150 : 제 1 스페이서
- 150a : 제 1 스페이서 제 1 영역
- 150b : 제 1 스페이서 제 2 영역
- 156 : 하부 배향막
- 157 : 상부 배향막
- GL : 게이트 라인
- DL : 데이터 라인
- P : 표시 화소
- (N)Sub-PXL : 제 1 서브 화소
- (N+1)Sub-PXL : 제 2 서브 화소
- (N+2)Sub-PXL : 제 3 서브 화소
- (N+3)Sub-PXL : 제 4 서브 화소
- (N+4)Sub-PXL : 제 5 서브 화소

도면  
도면1

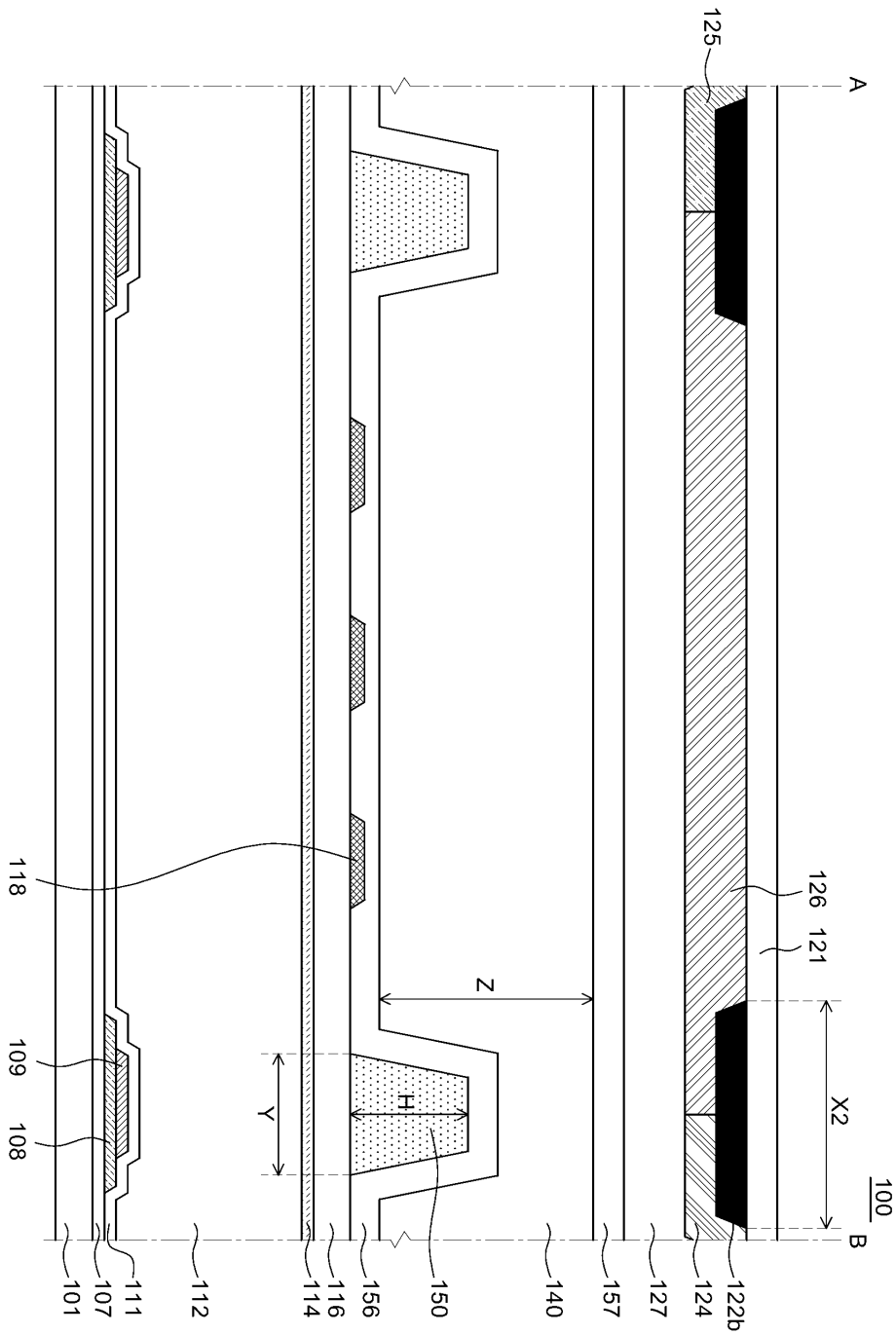


도면2

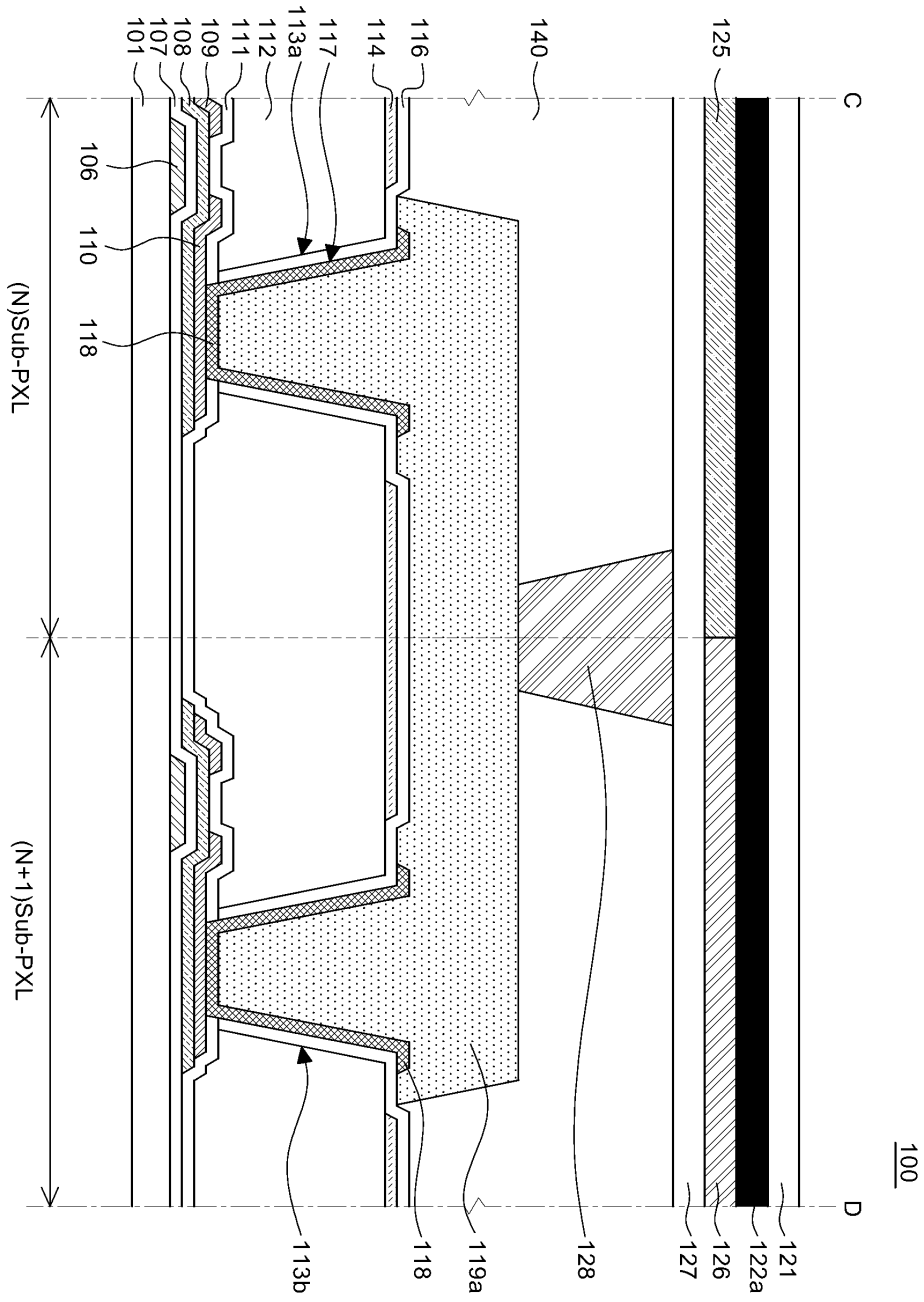




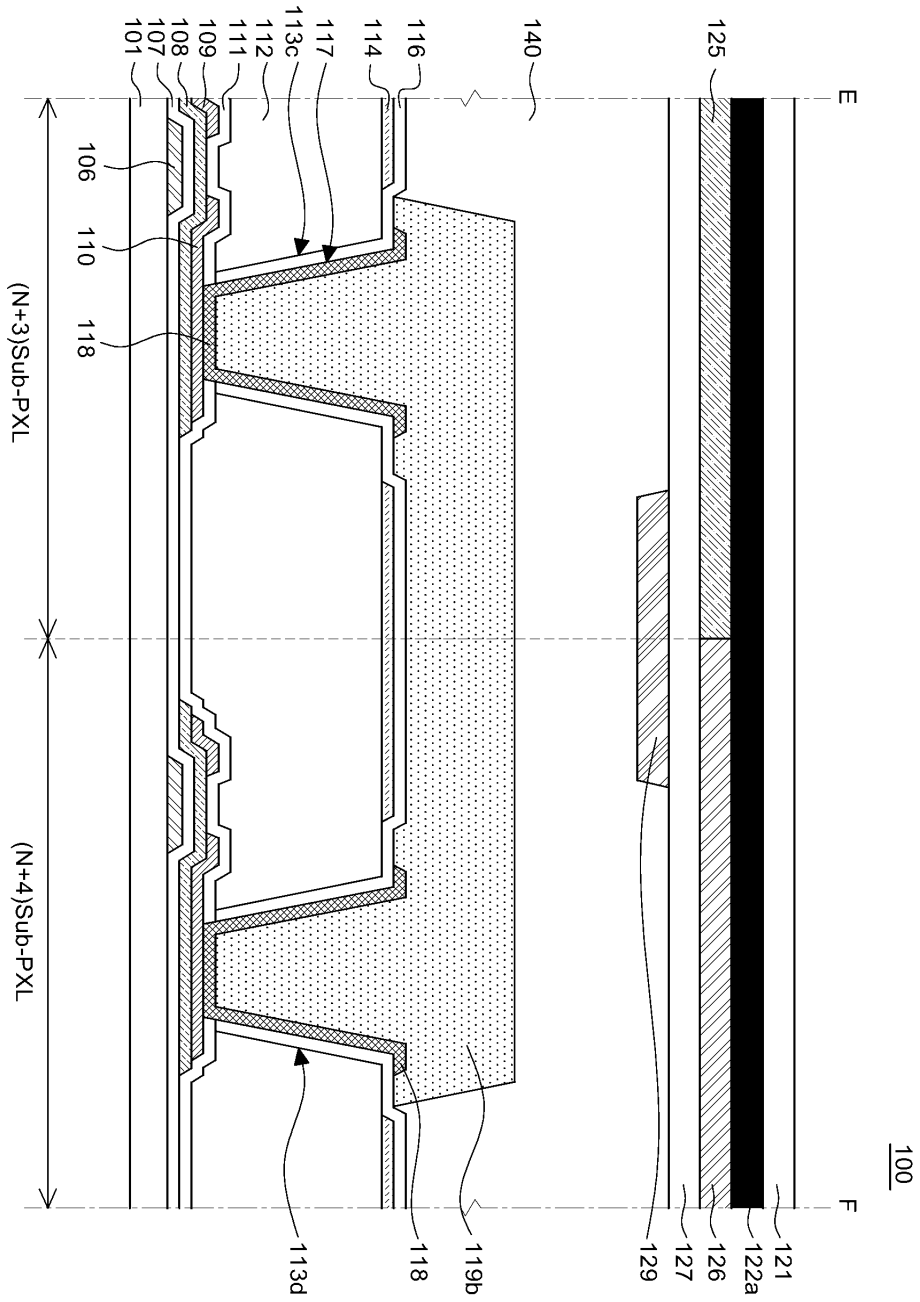
도면4



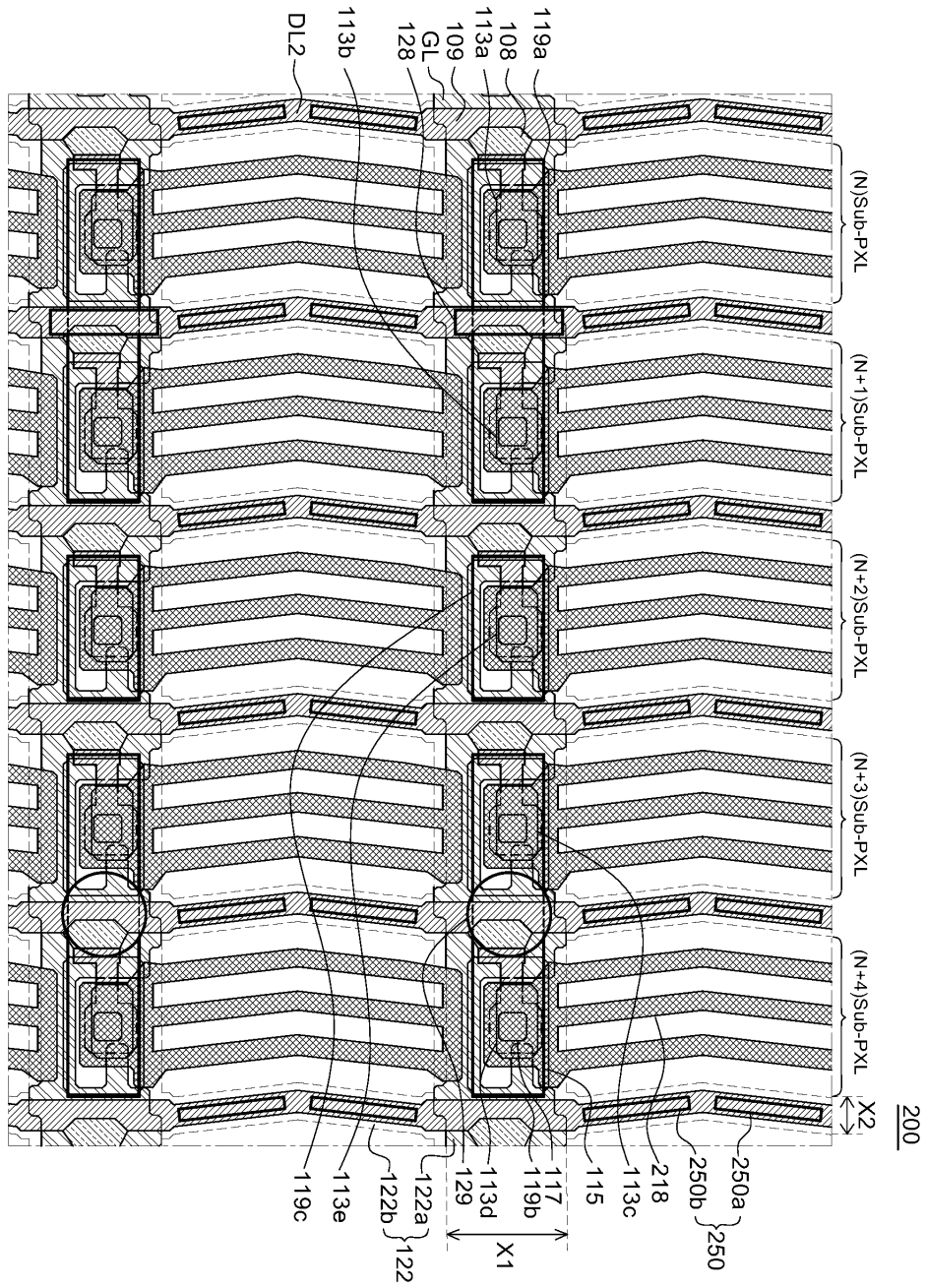
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020180044005A</a>	公开(公告)日	2018-05-02
申请号	KR1020160137542	申请日	2016-10-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK KYOUNG SEOK 박경석		
发明人	박경석		
IPC分类号	G02F1/1339 G02F1/1335 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/13394 G02F1/136286 G02F1/133514 G02F1/133512 G02F1/136227 G02F1/1368		

摘要(译)

根据本发明实施例的液晶显示器包括多个子像素，并且包括在第一基板上的第一基板，第二基板，栅极线和数据线以及栅极线以及数据线和数据线并且第二间隔物位于栅极线上并形成覆盖设置在薄膜晶体管上的平坦化层中的接触孔的至少一部分。

