



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0015647
(43) 공개일자 2017년02월09일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(52) CPC특허분류

G09G 3/36 (2013.01)

G09G 2300/043 (2013.01)

(21) 출원번호 10-2015-0107596

(22) 출원일자 2015년07월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

유옥상

대전광역시 서구 월평새뜸로8번길 15-12 (월평동)

이주영

경기도 파주시 후곡로 77 103동 402호 (금촌동, 쇠재마을풍림아이원아파트)

(뒷면에 계속)

(74) 대리인

특허법인로알

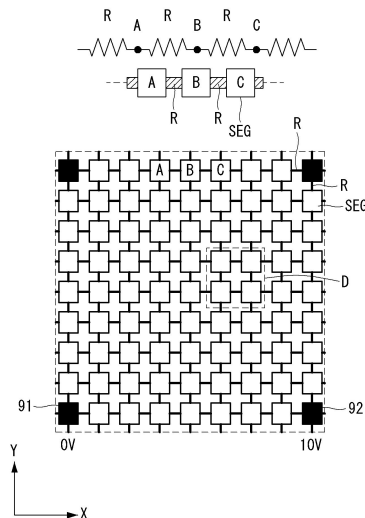
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 광 밸브 패넬과 이를 이용한 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 데이터 라인들을 통해 전압이 공급되는 다수의 블록들을 포함한다. 상기 블록들은 저항 패턴을 통해 연결된 다수의 세그먼트 전극들로 분할되어 상기 블록 내에서 상기 세그먼트 전극들 간에 전압 분배가 발생된다. 본 발명에 의하면, 광 밸브 패넬을 이용하여 명암비를 극대화할 수 있을 뿐 아니라 무아레 현상을 방지하고 측면 시야각에서의 화질 저하를 방지할 수 있다.

대표도 - 도10



(52) CPC특허분류

G09G 2320/02 (2013.01)

G09G 2320/066 (2013.01)

(72) 발명자

남상진

충청남도 천안시 서북구 불당17길 14 101동 705호
(불당동, 현대아이파크)

유승진

경기도 고양시 일산서구 홀트로 11 303동 701호 (탄현동, 탄현마을3단지아파트)

명세서

청구범위

청구항 1

데이터 라인들을 통해 전압이 공급되는 다수의 블록들을 포함하고,

상기 블록들은 저항 패턴을 통해 연결된 다수의 세그먼트 전극들로 분할되어 상기 블록 내에서 상기 세그먼트 전극들 간에 전압 분배가 발생하는 광 밸브 패널.

청구항 2

제 1 항에 있어서,

상기 블록을 통과하는 휘도가 상기 블록의 일측 끝단에서 타측 끝단으로 갈수록 점진적으로 증가 또는 감소하는 광 밸브 패널.

청구항 3

제 1 항에 있어서,

상기 세그먼트 전극들과 상기 저항 패턴은 투명 전극 물질을 포함하는 광 밸브 패널.

청구항 4

제 1 항에 있어서,

상기 데이터 라인들은 상기 세그먼트 전극에 연결되어 상기 블록 단위로 전압을 공급하는 광 밸브 패널.

청구항 5

데이터 라인들을 통해 전압이 공급되는 단일 투명 전극막을 포함하고,

미리 설정된 블록 단위로 상기 데이터 라인들이 상기 단일 투명 전극에 연결되어 상기 블록 내에서 전압 분배가 발생하는 광 밸브 패널.

청구항 6

입력 영상이 기입되는 픽셀들을 가지는 표시패널;

상기 표시패널에 빛을 조사하는 백라이트 유닛; 및

상기 표시패널과 상기 백라이트 유닛 사이에 배치되어 입력 영상에 따라 상기 백라이트 유닛으로부터의 광량을 조절하는 광 밸브 패널을 포함하고,

상기 광 밸브 패널은,

데이터 라인들을 통해 전압이 공급되는 다수의 블록들을 포함하고,

상기 블록들은 저항 패턴을 통해 연결된 다수의 세그먼트 전극들로 분할되어

상기 블록 내에서 상기 세그먼트 전극들간에 전압 분배가 발생하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 세그먼트 전극들과 상기 저항 패턴은 투명 전극 물질을 포함하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 데이터 라인들은 상기 세그먼트 전극에 연결되어 상기 블록 단위로 전압을 공급하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 표시패널은

고계조 데이터를 표시하는 제1 픽셀; 및

상기 제1 픽셀과 이웃하고 저계조 데이터가 기입되는 제2 픽셀을 포함하고,

상기 광 밸브 패널은,

상기 제1 픽셀 아래에 배치되어 상기 제1 픽셀에 빛을 조사하는 제1 블록; 및

상기 제2 픽셀 아래에 배치되어 상기 제2 픽셀에 빛을 조사하는 제2 블록을 포함하고,

상기 제2 블록 내에서 휘도가 상기 제1 블록으로부터 멀어질수록 점진적으로 낮아지는 액정표시장치.

청구항 10

제 8 항에 있어서,

상기 제2 픽셀의 계조를 낮추는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 제2 블록 내에서 상기 제1 픽셀로부터 멀수록 픽셀에 기입될 데이터의 계조를 점진적으로 높이는 액정표시장치.

청구항 12

입력 영상이 기입되는 픽셀들을 가지는 표시패널;

상기 표시패널에 빛을 조사하는 백라이트 유닛; 및

상기 표시패널과 상기 백라이트 유닛 사이에 배치되어 입력 영상에 따라 상기 백라이트 유닛으로부터의 광량을 조절하는 광 밸브 패널을 포함하고,

상기 광 밸브 패널은

데이터 라인들을 통해 전압이 공급되는 단일 투명 전극막을 포함하고,

미리 설정된 블록 단위로 상기 데이터 라인들이 상기 단일 투명 전극에 연결되어 상기 블록 내에서 전압 분배가 발생하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 입력 영상의 휘도 분포를 바탕으로 표시패널에 입사되는 광량을 조절하는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display : OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등 각종 평판 표시장치가 개발되고 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치에는 픽셀 마다 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)가 형성되어 있다.

[0003] 액정표시장치는 액정층을 가진 표시패널, 표시패널에 빛을 조사하는 백라이트 유닛(Back Light Unit, BLU), 표

시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, 이하 "IC"라 함), 표시패널의 게이트라인들(또는 스캔라인들)에 게이트 펄스(또는 스캔 펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

- [0004] 표시패널의 액정층에 인가되는 데이터 전압으로 입력 영상의 제도가 표현된다. 액정표시장치는 백라이트로 인하여 어두운 영상의 재현성이 떨어진다. 이는 백라이트 유닛이 입력 영상의 휘도 분포에 관계 없이 표시패널의 화면 전체에 균일한 광량으로 빛을 조사하기 때문이다. 따라서, 액정표시장치의 명암비(contrast ratio)를 개선하는데에 한계가 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 표시패널에 입사되는 광량을 입력 영상에 따라 조절하여 명암비를 향상시키도록 한 광 밸브 패널과 이를 이용한 액정표시장치에 관한 것이다.

과제의 해결 수단

- [0006] 본 발명의 광 밸브 패널은 데이터 라인들을 통해 전압이 공급되는 다수의 블록들을 포함한다. 상기 블록들은 저항 패턴을 통해 연결된 다수의 세그먼트 전극들로 분할되어 상기 블록 내에서 상기 세그먼트 전극들 간에 전압 분배가 발생된다.
- [0007] 본 발명의 광 밸브 패널은 데이터 라인들을 통해 전압이 공급되는 단일 투명 전극막을 포함한다. 미리 설정된 블록 단위로 상기 데이터 라인들이 상기 단일 투명 전극에 연결되어 상기 블록 내에서 전압 분배가 발생된다.
- [0008] 본 발명의 액정표시장치는 입력 영상이 기입되는 픽셀들을 가지는 표시패널, 상기 표시패널에 빛을 조사하는 백라이트 유닛, 및 상기 표시패널과 상기 백라이트 유닛 사이에 배치된 상기 광 밸브 패널을 포함한다.

발명의 효과

- [0009] 본 발명은 광 밸브 패널을 이용하여 명암비를 극대화할 수 있고, TFT와 게이트 라인 없이 광 밸브 패널의 블록들에 데이터 라인들을 통해 데이터 전압을 공급하고, 블록 내의 전극들과 데이터 라인을 투명 전극으로 형성함으로써 무아레 현상을 방지할 수 있다.
- [0010] 본 발명은 광 밸브 패널의 블록 내에서 휘도가 점진적으로 증가 또는 감소하도록 휘도를 그라데이션(gradation)으로 조절함으로써 측면 시야각에서의 휘도와 색 왜곡을 방지하고 휘선 현상을 방지할 수 있다.
- [0011] 나아가, 본 발명은 무아레 현상과 휘선을 방지할 수 있을 뿐 아니라 광 밸브 패널의 구조를 단순하게 하여 광 밸브 패널의 제조 공정수를 감소시켜 수율을 높이고 광 밸브 패널(PNL2)을 구동하기 위한 게이트 구동회로를 생략하여 염가의 광 밸브 패널(PNL2)을 구현할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 블록도이다.
- 도 2는 도 1에 도시된 표시패널, 광 밸브 패널 및 백라이트 유닛의 적층 구조를 보여 주는 단면도이다.
- 도 3은 광 밸브 패널로 인한 명암비 개선 효과를 보여 주는 도면이다.
- 도 4는 표시패널의 금속 배선들과 광 밸브 패널의 금속 배선들이 겹쳐질 때 초래되는 빛의 간섭으로 인하여 보이는 무아레를 보여 주는 도면이다.
- 도 5는 표시패널과 광 밸브 패널 간의 갭으로 인하여 발생하는 색(color) 왜곡을 보여 주는 도면이다.
- 도 6은 측면 시야각의 색 왜곡을 개선하기 위하여 광 밸브 패널에서 밝은 블록과 이웃하는 어두운 블록을 점등할 때 보이는 휘선 불량의 예를 보여 주는 도면이다.
- 도 7은 표시패널의 픽셀 데이터 변조 방법과 광 밸브 패널의 블록 휘도 제어 방법을 보여 주는 도면들이다.
- 도 8은 도 7에서 (C)의 제어 방법으로 표시패널의 데이터와 휘도를 제어할 때 측면 시야각에서 픽셀의 휘도를

보여 주는 도면이다.

도 9는 광 밸브 패널의 블록 분할 예를 보여 주는 평면도이다.

도 10은 도 9에서 점선 박스를 확대하여 블록 내에서 분할된 세그먼트들과 그 사이의 저항 패턴을 보여 주는 평면도이다.

도 11은 도 10에서 D로 표기된 점선 박스를 확대한 평면도이다.

도 12 및 도 13은 다양한 세그먼트 전극 배치 방법을 보여 주는 평면도들이다.

도 14 내지 도 17은 도 12에 도시된 광 밸브 패널의 전극 구조에 대한 시뮬레이션 결과를 보여 주는 도면들이다.

도 18은 본 발명의 제2 실시예에 따른 광 밸브 패널의 블록 구조를 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0014] 도 1 및 도 2를 참조하면, 본 발명의 액정표시장치는 픽셀 어레이가 형성된 표시패널(PNL1), 표시패널(PNL1)에 빛을 조사하는 백라이트 유닛(BLU), 표시패널(PNL1)과 백라이트 유닛(BLU) 사이에 배치된 광 밸브 패널(PNL2), 제1 패널 구동 회로(100, 20, 30, 100), 제2 패널 구동 회로(110, 50), 백라이트 구동 회로(40)를 포함한다.
- [0015] 표시패널(PNL1)은 액정층을 사이에 두고 대향하는 상판과 하판을 포함한다. 표시패널(PNL1)의 픽셀 어레이는 데이터라인들(DL)과 게이트라인들(GL)의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함하여 입력 영상을 표시한다. 픽셀들 각각은 TFT를 통해 데이터 전압을 충전하는 픽셀 전극(11)과 공통전압(Vcom)이 인가되는 공통 전극(12)의 전압차에 의해 구동되는 액정 분자들을 이용하여 빛의 투과량을 조정한다. 픽셀 전극(11)과 공통 전극(12)은 투명 전극 예를 들면, ITO(Indium-Tin Oxide)으로 형성될 수 있다.
- [0016] 표시패널(PNL1)의 액정 모드는 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 등 공지된 어떠한 액정 모드로도 적용될 수 있다.
- [0017] 표시패널(PNL1)의 하판은 하부 투명 기판(12)을 포함한다. 하부 투명 기판(12)에는 데이터라인들(DL), 게이트라인들(GL), 공통 전극(12), TFT에 접속된 픽셀 전극(11), 및 픽셀 전극(11)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등이 형성된다. TFT들은 서브 픽셀 마다 하나씩 형성되어 픽셀 전극(11)에 연결된다. TFT들은 비정질 실리콘(amorphous Si, a-Si) TFT, LTPS(Low Temperature Poly Silicon) TFT, 산화물 TFT(Oxide TFT) 등으로 구현될 수 있다. TFT들은 서브 픽셀들의 화소 전극에 1:1로 연결된다. 공통 전극(12)과 픽셀 전극(11)은 절연막을 사이에 두고 분리된다.
- [0018] 표시패널(PNL1)의 상판은 상부 투명 기판(11)을 포함한다. 상부 투명 기판(11)에는 블랙 매트릭스(Black matrix, BM)와 컬러 필터(Color filter, CF)를 포함한 컬러 필터 어레이가 형성된다.
- [0019] 표시패널(PNL1)의 상판과 하판 각각에는 편광 필름(13, 14)이 접착되고, 액정의 선경사각(pretilt angle)을 설정하기 위한 배향막이 형성된다. 상판과 하판 사이에는 액정셀의 셀갭(Cell gap)을 유지하기 위한 스페이서(spacer)가 형성될 수 있다.
- [0020] 백라이트 유닛(BLU)은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다. 백라이트 유닛은 광원(LS), 도광판(LGP), 광학 시트(OPT) 등을 포함한다. 광원(LS)은 LED(Light Emitting Diode)와 같은 점광원으로 구현될 수 있다. 광원들(LS)은 백라이트 구동부(40)로부터 공급되는 구동 전압에 따라 그 휘도가 독립적으로 조절된다. 광학 시트(OPT)는 1 매 이상의 프리즘 시트와 1 매 이상의 확산 시트를 포함하여 도광판(LGP)으로부터 입사되는 빛을 확산하고 표시패널(PNL)의 광입사면에 대하여 실질적으로 수직인 각도로 빛의 진행경로를 굴절시킨다.
- [0021] 광 밸브 패널(PNL2)은 표시패널(PNL1)과 백라이트 유닛(BLU) 사이에 배치된다. 광 밸브 패널(PNL2)은 상판과 하판에 인가되는 전압차에 따라 액정 분자들을 구동하여 표시패널(PNL1)에 조사되는 광량을 조절한다. 광 밸브 패널(PNL2)은 전기적으로 제어되는 액정 분자들을 이용하여 입력 영상에 동기하여 광량을 조절하는 액정 셔터

(shutter)이다. 광 밸브 패널(PNL2)은 액정층을 사이에 두고 대향하는 상판과 하판을 포함한다. 광 밸브 패널(PNL2)의 액정 모드는 TN(Twisted Nematic) 모드일 수 있으나 이에 한정되지 않는다.

- [0022] 광 밸브 패널(PNL2)은 다수의 블록들(Block)로 분할되고, 블록들은 다수의 세그먼트들(segment)로 분할된다. 세그먼트들 사이의 저항으로 인하여 블록 내에서 전압이 세그먼트 단위로 분배된다. 이로 인하여, 블록의 휘도는 세그먼트 단위로 달라질 수 있다.
- [0023] 광 밸브 패널(PNL2)의 하판은 하부 투명 기관(22)을 포함한다. 하부 투명 기관(22)은 블록 단위로 연결된 데이터 라인들을 포함한다. 하나의 블록은 수평 방향으로 2 개 이상의 세그먼트 전극들을 포함하고, 수직 방향으로 2 개 이상의 세그먼트 전극들로 나뉘어진다. 데이터 라인들은 세그먼트 전극에 연결되어 블록 단위로 전압을 직접 공급한다. 따라서, 광 밸브 패널(PNL2)에는 TFT나 게이트 라인(또는 스캔 라인)이 필요 없다. 이로 인하여, 본 발명은 무아레 현상과 휘선을 방지할 수 있을 뿐 아니라 광 밸브 패널의 구조를 단순하게 하여 광 밸브 패널의 제조 공정수를 감소시켜 수율을 높이고 광 밸브 패널(PNL2)을 구동하기 위한 게이트 구동회로를 생략하여 염가의 광 밸브 패널(PNL2)을 구현할 수 있다.
- [0024] 세그먼트 전극과 데이터 라인은 ITO(Indium-Tin Oxide), IZO(Indium Zinc Oxide)와 같은 투명 전극 물질로 형성된다. 데이터 라인은 무아레(Moire)를 방지하기 위하여 투명 전극으로 형성되는 것이 바람직하나 이에 한정되지 않는다. 데이터 라인은 투명 전극의 저항을 보상하기 위하여 저저항 금속으로 형성될 수도 있다. 광 밸브 패널(PNL2)의 하판에는 TFT와 게이트 라인이 없다.
- [0025] 세그먼트 전극은 표시패널(PNL1)의 픽셀들과 대향하도록 픽셀 전극(11)과 같은 크기로 분할될 수 있으나 이에 한정되지 않는다. 세그먼트 전극에는 데이터 라인을 통해 데이터 전압을 공급 받는다.
- [0026] 광 밸브 패널(PNL2)의 액정 분자들은 세그먼트 전극의 전압과 공통 전압 간의 전압차에 따라 구동되어 표시패널(PNL1)에 조사되는 광량을 조절한다. 세그먼트 전극에 인가되는 데이터 전압은 입력 영상의 휘도 분포에 따라 달라진다. 공통 전압은 표시패널(PNL1)의 공통 전압(Vcom)과 마찬가지로 모든 세그먼트들에 같은 전압으로 인가된다.
- [0027] 광 밸브 패널(PNL2)의 상판은 상부 투명 기관(21)을 포함한다. 상부 투명 기관(21)에는 공통 전극이 형성된다. 공통 전극은 ITO와 같은 투명 전극 물질로 형성된다. <1>상판은 광 투과율을 높이기 위하여 컬러 필터를 포함하지 않는다. 상판은 필요에 따라 블랙 매트릭스(BM)를 포함할 수 있다.
- [0028] 광 밸브 패널(PNL2)의 하판에는 편광 필름(24)이 접착된다. 광 밸브 패널(PNL2)의 하판과 상판 각각에서 액정층과 접하는 면에 배향막이 형성된다. 상판과 하판 사이에는 액정셀의 셀갭(Cell gap)을 유지하기 위한 스페이서(spacer)가 형성될 수 있다.
- [0029] 표시패널(PNL1)과 광 밸브 패널(PNL2)은 접착제(23) 예를 들어, OCA(Optical Clear Adhesive)로 접착될 수 있다.
- [0030] 제1 패널 구동 회로(100, 20, 30)는 입력 영상의 데이터를 픽셀들에 기입한다. 제1 패널 구동 회로(100, 20, 30)는 제1 타이밍 콘트롤러(100), 제1 데이터 구동부(20) 및 게이트 구동부(30)를 포함한다.
- [0031] <1>광 밸브 패널(PNL2)에서 하부 전극을 고저항의 단일 투명 전극막으로 형성할 수 있다. 고저항의 투명 전극막의 급전 위치(91, 92)에서 전류가 많이 흐르기 때문에 그 급전위치에서 전압강하가 커져 피크 전압이 나타날 수 있다. 급전 위치는 데이터 라인(LVL)과 투명 전극막이 연결된 부분이다. 급전 위치와, 그 급전 위치로부터 먼 위치 사이에서 저항 차이가 클수록 전압 강하가 커진다.
- [0032] <2>고저항 투명 전극의 일 예로, IZO가 있고 이에 한정되지 않는다. 따라서, 고저항의 투명 전극막에 데이터 라인들을 블록 단위로 연결하면, 블록을 저항 패턴과 세그먼트들로 분리할 필요없이 블록 내에서 휘도를 그라데이션(gradation)으로 조절할 수 있다.
- [0033] 광 밸브 패널(PNL2)에서 투명 전극막을 세그먼트 전극들로 분할하고 그 사이에 전극 패턴을 연결하는 예는 저저항 투명 도전막에 적용될 수 있다. 고저항 투명 전극막은 분할되지 않더라도 높은 저항으로 인하여 전압 분배가 발생할 수 있기 때문에 별도의 저항을 추가할 필요가 없다. 양산 ITO는 면저항 50 ohm/□(=ohm/sq)이고 최대 약 250 ohm/□ 정도이다. 이 면저항 보다 큰 고저항 투명 전극막의 일 예로는 IZO가 있다.
- [0034] 도 2에서 "DIC1"는 제1 데이터 구동부(20)의 회로가 집적된 IC를 나타낸다. 제1 패널 구동 회로(100, 20, 30, 100)는 하나의 IC로 집적될 수 있다.

- [0035] 제1 타이밍 콘트롤러(100)는 호스트 시스템(200)으로부터 수신된 입력 영상의 디지털 비디오 데이터를 데이터 구동부(20)로 전송한다. 제1 타이밍 콘트롤러(100)는 입력 영상 데이터와 동기되는 타이밍 신호들을 호스트 시스템(200)으로부터 수신한다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 클럭(CLK) 등을 포함한다. 제1 타이밍 콘트롤러(100)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, CLK)을 바탕으로 데이터 구동부(20)와 게이트 구동부(30)의 동작 타이밍을 제어한다. 제1 타이밍 콘트롤러(100)는 픽셀 어레이의 극성을 제어하기 위한 극성제어신호를 제1 데이터 구동부(20)의 소스 드라이브 IC들 각각에 전송할 수 있다.
- [0036] 제1 데이터 구동부(20)의 출력 채널들은 픽셀 어레이의 데이터 라인들(DL)에 연결된다. 제1 데이터 구동부(20)는 제1 타이밍 콘트롤러(100)로부터 입력 영상의 디지털 비디오 데이터를 수신한다. 제1 데이터 구동부(20)는 제1 타이밍 콘트롤러(100)의 제어 하에 입력 영상의 디지털 비디오 데이터를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 제1 데이터 구동부(20)의 출력 전압은 데이터 라인들(DL)에 공급된다. 제1 데이터 구동부(20)는 타이밍 콘트롤러(100)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 반전시킨다.
- [0037] 게이트 구동부(30)는 제1 타이밍 콘트롤러(100)의 제어 하에 게이트 라인들(GL)에 데이터 전압에 동기되는 게이트 펄스를 순차적으로 공급한다. 게이트 구동부(30)로부터 출력된 게이트 펄스는 데이터 라인들(DL)에 공급되는 데이터 전압에 동기된다.
- [0038] 제2 패널 구동 회로(110, 50)는 입력 영상에 동기하여 광 밸브 패널(PNL2)을 투과하는 광량을 조절함으로써 표시패널(PNL1)에서 재현된 영상의 명암비를 향상시킨다. 제2 패널 구동 회로(110, 50)는 제2 타이밍 콘트롤러(110)와 제2 데이터 구동부(50)를 포함한다. 도 2에서 "DIC2"는 제2 데이터 구동부(50)의 회로가 집적된 IC를 나타낸다. 제2 패널 구동 회로(110, 50)는 하나의 IC로 집적될 수 있다.
- [0039] 제2 타이밍 콘트롤러(110)는 입력 영상의 데이터를 제2 데이터 구동부(50)로 전송한다. 제2 타이밍 콘트롤러(110)는 입력 영상 데이터와 동기되는 타이밍 신호들을 호스트 시스템(200)으로부터 수신한다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 클럭(CLK) 등을 포함한다. 제2 타이밍 콘트롤러(110)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, CLK)을 바탕으로 데이터 구동부(50)의 동작 타이밍을 제어한다.
- [0040] 제2 데이터 구동부(50)는 제2 타이밍 콘트롤러(110)로부터 입력 영상의 디지털 비디오 데이터를 입력 받는다. 제2 데이터 구동부(50)는 제2 타이밍 콘트롤러(100)의 제어 하에 입력 영상의 디지털 비디오 데이터를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 제2 데이터 구동부(50)는 출력 전압은 데이터 라인들(LVL)에 공급된다. 제2 데이터 구동부(50)는 제2 타이밍 콘트롤러(100)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 반전시킨다.
- [0041] 제1 및 제2 패널 구동회로는 다양한 형태로 집적될 수 있다. 예를 들어, 제1 및 제2 타이밍 콘트롤러(100, 110)는 하나의 IC로 집적될 수 있다. 제1 및 제2 패널 구동회로는 하나의 IC 집적 회로로 집적될 수 있다.
- [0042] 호스트 시스템(200)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.
- [0043] 본 발명의 액정표시장치는 도시하지 않은 전원부를 더 포함한다. 전원부는 직류-직류 변환기(DC-DC converter)를 이용하여 표시패널(PNL1)과 광 밸브 패널(PNL2)의 구동에 필요한 전압들을 발생한다. 이 전압들은 고전위 전원전압(VDD), 로직 전원전압(VCC), 감마기준전압, 게이트 하이 전압(VGH), 게이트 로우 전압(VGL), 공통전압(Vcom) 등을 포함한다. 고전위 전원전압(VDD)은 표시패널(PNL1)과 의 픽셀에 충전될 최대 데이터 전압이다. 로직 전원전압(VCC)은 제1 및 제2 패널 구동 회로의 IC 전원 전압이다. 게이트 하이전압(VGH)은 픽셀 어레이의 TFT들의 문턱 전압 이상으로 설정된 게이트 펄스의 하이 논리 전압이고, 게이트 로우전압(VGL)은 픽셀 어레이의 TFT들의 문턱 전압 보다 낮은 전압으로 설정된 게이트 펄스의 로우 논리 전압이다. 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)은 게이트 구동부(30)에 공급된다. 게이트 펄스는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스위칭한다. 공통 전압(Vcom)은 액정셀들(C1c)의 공통전극(12)에 공급된다. 전원부는 고전위 전원전압(VDD)을 분압하여 감마기준전압을 발생한다. 감마기준전압은 데이터 구동부(20) 내의 분압 회로에서 분압되어 제조에 따라 정극성/부극성 감마보상전압으로 나뉘어 진다.
- [0044] 광 밸브 패널(PNL2)은 픽셀 어레이에 표시되는 입력 영상의 데이터에 동기되어 픽셀들 각각에 조사되는 광량을 정밀하게 제어하여 표시패널(PNL1)에서 재현되는 영상의 명암비를 극대화한다. 이를 도 3을 결부하여 설명하기

로 한다.

- [0045] 도 3의 (A)는 광 밸브 패널(PNL2) 없이 백라이트가 표시패널(PNL1)에 직접 조사될 때 표시패널(PNL1)에 표시되는 샘플 이미지의 일 예이다. 도 3의 (B)는 광 밸브 패널(PNL2) 상에서 재현되는 샘플 이미지를 나타낸다. 도 3의 (C)는 표시패널(PNL1)과 백라이트 유닛(BLU) 사이에 광 밸브 패널(PNL2)을 배치함으로써 액정표시장치에서 재현되는 영상의 명암비를 보여 준다. 광 밸브 패널(PNL2)은 입력 영상에서 어두운 부분에 입사되는 광량을 더욱 낮추어 명암비를 향상시킨다.
- [0046] 표시패널(PNL1)과 광 밸브 패널(PNL2) 각각에는 배선들이 형성되는데, 이러한 배선들이 투명하지 않고 반사율이 높은 금속 배선으로 형성될 수 있다. 금속 배선은 수직 방향의 데이터 라인들과, 수평 방향의 게이트 라인 및 공통 라인(Vcom line)을 포함한다. 공통 라인은 픽셀들의 공통 전극에 연결되어 공통 전압(Vcom)을 공통 전극에 공급한다. 반사율이 높은 금속 배선들은 외부 광을 반사시켜 명암비를 떨어 뜨리므로 그 금속 배선들과 TFT는 블랙 매트릭스 패턴에 의해 가려진다. 이 경우에, 표시패널(PNL1)의 배선들과 광 밸브 패널(PNL2)의 배선들이 겹쳐질 때 도 4와 같이 미스 얼라인(mis-align)되면 빛의 간섭으로 인하여 수직 및 수평 방향의 무아레(Moire) 현상이 발생한다. 이러한 무아레 현상을 감소시키기 위하여 표시패널(PNL1)과 광 밸브 패널(PNL2) 사이에 빛을 확산시키는 확산 시트(diffuser sheet)를 배치할 수 있다. 본 발명은 광 밸브 패널(PNL2)에서 수평 배선을 제거하고, 상하판 전극들과 배선을 투명 전극 물질로 형성함으로써 확산 시트 추가 없이 무아레 현상을 최소화한다.
- [0047] 사용자가 액정표시장치를 정면 시야각에서 바라볼 때 원하는 휘도로 영상을 감상할 수 있지만, 그 액정표시장치를 측면 시야각에서 바라 보면 휘도와 색이 달라질 수 있다. 정면 시야각은 도 5의 중앙 도면과 같이 사용자가 표시패널(PNL1)의 표시면에 대하여 90° 각도에서 바라 볼 때의 각도이다. 측면 시야각은 표시패널(PNL1)의 표시면을 좌측 또는 우측으로 치우친 각도에서 바라볼 때의 시야각이다. 도 5의 예에서 좌측 도면은 좌측 45° 시야각이고, 우측 도면은 우측 좌측 45° 시야각이다. 특히, 표시패널(PNL1)과 광 밸브 패널(PNL2) 사이에는 소정의 갭(ΔG)이 존재할 수 밖에 없기 때문에 광 밸브 패널(PNL2)을 적용한 액정표시장치는 측면 시야각에서 컬러 왜곡이 더 잘 보일 수 있다. 도 5의 예는 광 밸브 패널(PNL2)에서 백색으로 표시된 픽셀들의 아래의 블록에서만 광이 투과되고 그 이외의 다른 블록들에서 광이 차단된다. 이 경우에, 측면 시야각에서 액정표시장치를 바라 보면 일부 컬러의 휘도가 낮어져 색 왜곡이 보이게 된다. 측면 시야각의 휘도를 개선하기 위하여, 도 6과 같은 방법으로 광 밸브 패널(PNL2)의 휘도를 조절하는 방법을 고려할 수 있다. 도 6은 종래 기술이 아니라는 것에 주의하여야 한다.
- [0048] 도 6은 측면 시야각의 색 왜곡을 개선하기 위하여 광 밸브 패널(PNL2)에서 밝은 블록과 이웃하는 어두운 블록을 점등할 때 보이는 휘선 불량률의 예를 보여주는 도면이다. 밝은 블록은 표시패널(PNL1)에서 밝은 픽셀(이하, "ON 픽셀"이라 함) 아래에 배치되어 그 ON 픽셀에 빛을 조사하는 광 밸브 패널(PNL2)의 블록(이하, "ON 블록"이라 함)을 의미한다. 밝은 픽셀은 화이트 계조와 같은 고계조 데이터가 기입되는 픽셀이다. 표시패널(PNL1)에서 ON 픽셀과 이웃하는 어두운 픽셀(이하, "OFF 픽셀"이라 함) 아래에 배치되는 광 밸브 패널의 블록(이하, "OFF 블록"이라 함)을 의미한다. 어두운 픽셀은 ON 픽셀 보다 낮은 계조 예컨대, 블랙 계조와 같은 저계조 데이터가 기입되는 픽셀이다. 도 6과 같이 ON 블록에 이웃한 OFF 블록들의 휘도를 높이면 측면 시야각에서 RGB 각각의 휘도를 원하는 휘도로 보이게 할 수 있기 때문에 측면 시야각에서 색 왜곡을 개선할 수 있다. OFF 블록들의 휘도를 높이면 OFF 픽셀들의 휘도가 상승하여 정면 시야각에서 OFF 픽셀들의 휘도가 상승할 수 있다. 이러한 정면 시야각에서의 화질 저하를 보상하기 위하여, ON 픽셀에 이웃하는 OFF 픽셀의 데이터 값을 낮추는 변조 방법을 이용하여 OFF 픽셀의 휘도를 낮출 수 있다. 그런데 이 방법은 데이터가 기입된 OFF 픽셀과 원 데이터(Original data)가 기입되는 OFF 픽셀 사이의 경계 부분이 밝게 보이는 휘선 현상이 발생될 수 있다.
- [0049] 본 발명은 측면 시야각에서 휘도와 색 왜곡을 줄이고 휘선 현상을 방지하기 위하여, 광 밸브 패널(PNL2)에서 ON 블록과 이웃하는 OFF 블록에서 휘도가 점진적으로 변하도록 블록 내에서 전압을 분배함으로써 광 밸브 패널(PNL2)의 휘도를 그라데이션(Gradation) 방법으로 조절한다. 또한, 본 발명은 ON 픽셀과 이웃하는 OFF 픽셀의 계조값을 OFF 블록의 그라데이션 휘도 제어 방법과 반대로 제어할 수 있다.
- [0050] 도 7은 표시패널의 픽셀 데이터 변조 방법과 광 밸브 패널의 블록 휘도 제어 방법을 보여주는 도면들이다. 도 8은 도 7에서 (C)의 제어 방법으로 표시패널의 데이터와 휘도를 제어할 때 측면 시야각에서 픽셀의 휘도를 보여주는 도면이다.
- [0051] 도 7을 참조하면, D1는 ON 픽셀과 그 아래의 ON 블록 위치를 나타낸다. D2 및 D3는 ON 픽셀과 이웃하는 OFF 픽셀과 그 아래의 OFF 블록 위치를 나타낸다.

- [0052] 도 7의 (A)는 ON 픽셀에만 고계조의 데이터가 기입되고, ON 블록만 높은 휘도로 점등된 예이다. 도 7의 (B)는 측면 시야각을 개선하기 위하여 ON 블록과 이웃하는 OFF 블록의 휘도를 ON 블록 만큼 높이고, ON 픽셀과 이웃하는 OFF 픽셀에 기입될 데이터의 계조 값을 낮추는 방법이다.
- [0053] 도 7의 (C)와 도 8은 측면 시야각과 휘선 불량을 개선하기 위하여 ON 블록과 이웃하는 OFF 블록의 휘도를 ON 블록 만큼 높이되, ON 블록으로부터 멀어질수록 점진적으로 낮추는 방법이다. 광 밸브 패널(PNL2)의 블록들 각각은 다수의 세그먼트들로 나뉘어지고, 블록 내에서 세그먼트들에 인가되는 전압에 따라 휘도가 그라데이션 방법으로 증감된다. 세그먼트의 크기는 픽셀 크기로 설정되어 픽셀 단위로 백라이트 휘도를 조절할 수 있다. 이 방법에서 ON 픽셀과 이웃하는 OFF 픽셀에 기입될 데이터의 계조 값을 낮추고, 하나의 OFF 블록 영역 내에서 ON 픽셀로부터 멀어질수록 OFF 픽셀에 기입될 데이터의 계조값을 점진적으로 높일 수 있다. 광 밸브 패널(PNL2)의 블록들 각각은 다수의 픽셀들 아래에 배치되어 그 픽셀들에 빛을 조사한다. 따라서, ON 블록과 이웃하는 OFF 블록 내에서 다수의 OFF 픽셀들이 존재하고, 그 픽셀들의 계조값은 도 7의 (C) 및 도 8과 같이 개별로 조절될 수 있다. 픽셀 데이터의 변조 방법은 도 7의 (C)와 같은 그라데이션 방법이 바람직하지만 이에 한정되지 않는다. 예를 들어, 광 밸브 패널(PNL2)의 휘도는 도 7의 (C)와 같은 그라데이션 방법을 적용하고, 픽셀 데이터의 변조 방법은 도 7의 (B) 또는 (C)와 같은 방법으로 적용될 수 있다.
- [0054] 도 9는 광 밸브 패널(PNL2)의 블록 분할 예를 보여 주는 평면도이다. 도 10은 도 9에서 점선 박스를 확대하여 하나의 블록 내에서 분할된 세그먼트들과 그 사이의 저항 패턴을 보여 주는 평면도이다. 도 11은 도 10에서 D로 표기된 점선 박스를 확대한 평면도이다.
- [0055] 도 9 내지 도 11을 참조하면, 광 밸브 패널(PNL2)은 M (M 은 2 이상의 양의 정수) $\times N$ (N 은 2 이상의 양의 정수) 개의 블록들(BL)로 분할된다. 블록들(BL) 각각은 m (m 은 2 이상의 양의 정수) $\times n$ (n 은 2 이상의 양의 정수) 개의 세그먼트 전극들(SEG)로 분할된다. 이웃한 세그먼트들은 저항 패턴(R)을 통해 연결된다. 무아레를 방지하기 위하여, 데이터 라인들(LVL)과 세그먼트 전극들(SEG)은 투명 전극 물질 예를 들어, ITO로 형성될 수 있다.
- [0056] 데이터 라인들(LVL)은 블록의 가장자리(91)에 배치된 세그먼트 전극(SEG)에 연결된다. 데이터 라인들(LVL)과 세그먼트 전극들(SEG)은 절연층을 통하여 절연되고, 블록의 가장자리(91)에 배치된 세그먼트 전극(SEG)은 절연층을 관통하는 콘택홀(Contact hole)을 통해 데이터 라인(LVL)에 연결된다.
- [0057] 데이터 전압은 데이터 라인들을 통해 직접 블록(BL)에 공급된다. 따라서, 광 밸브 패널(PNL2)에는 TFT나 게이트 라인(또는 스캔 라인)이 필요 없다.
- [0058] 세그먼트들(SEG) 사이의 저항 패턴들(R)은 세그먼트들(A, B, C) 사이에 전압이 다르게 인가될 수 있도록 세그먼트들 사이에 저항값을 부여한다. 도 10과 같이 하나의 블록 내에서 일측 가장자리(91)의 세그먼트(SEG)에 10V의 데이터 전압이 직접 인가되고, 타측 가장자리(92)의 세그먼트(SEG)에 0V의 전압이 직접 인가되면, 그 사이의 세그먼트들에 인가되는 전압이 전압 분배된다. 예를 들어, 10V가 인가되는 세그먼트(SEG)와 0V가 인가되는 세그먼트(SEG) 사이의 세그먼트들은 저항 패턴들의 저항으로 인하여 전압 분배되어 10V와 0V 사이의 전압이 인가된다. 세그먼트 위치에 따라 세그먼트에 인가되는 전압이 달라진다. 10V가 인가되는 세그먼트(SEG)와 가까울수록 세그먼트(SEG)의 전압은 10V에 가까운 전압이 인가되고, 0V가 인가되는 세그먼트(SEG)에 가까울수록 세그먼트(SEG)의 전압은 0V에 가까운 전압이 인가된다.
- [0059] 세그먼트들(SEG)에 인가되는 전압은 저항 패턴(R)의 저항값에 따라 조절될 수 있다. 저항 패턴(R)은 도 11과 같이 지그재그 형태로 구부러진 패턴으로 형성되어 이웃한 세그먼트들(SEG)을 연결할 수 있다. 저항 패턴(R)의 저항은 저항 패턴(R)의 길이나 두께로 조절할 수 있다. 일 예로, 저항 패턴(R)의 길이를 길게 하거나 선폭을 좁게 하면 저항값이 증가되는 반면, 저항 패턴(R)의 길이를 길게 하거나 선폭을 넓히면 저항값이 감소될 수 있다.
- [0060] 광 밸브 패널(PNL2)의 세그먼트 전극 구조는 도 12 및 도 13과 같이 다양한 형태로 설계될 수 있다. 세그먼트 전극들의 형상, 크기 및 배치 방법은 다양한 형태로 변형될 수 있으므로 도 12 및 도 13에 한정되지 않는다는 것에 주의하여야 한다. 도 12의 예와 같이 광 밸브 패널(PNL2)의 블록은 동일 크기의 세그먼트들이 저항 패턴(R)을 통해 메쉬(Mesh) 형태로 연결될 수 있다. 도 13의 예에서, 광 밸브 패널(PNL2)의 블록은 부분적으로 배치된 메쉬 형태의 전극 패턴을 포함하도록 세그먼트들(SEG1~SEG4)이 위치별로 다르게 설계될 수 있다. 예를 들어, 블록 내의 중앙 부분에 배치된 제1 세그먼트(SEG1)는 큰 크기로 설계되고, 제1 세그먼트(SEG1)와 상하좌우로 이웃하는 제2 및 제3 세그먼트들(SEG2, SEG3)은 제1 세그먼트(SEG1) 보다 작은 크기로 설계될 수 있다. 블록 가장자리에 배치된 제4 세그먼트들(SEG4)은 제2 및 제3 세그먼트들(SEG2, SEG3) 보다 작은 크기로 설계될 수

있다.

- [0061] 광 밸브 패널(PNL2)의 액정은 TN 모드로 구동될 수 있다. TN 모드에서 액정셀(liquid crystal cell)의 휘도는 노말리 화이트(Normally White)의 투과율 대 전압 커브(transmittance-voltage curve, TV curve)를 따라 조절된다. 노말리 화이트의 TV 커브는 도 16과 같이 전압이 낮을수록 투과율(y축)이 높아져 액정셀의 휘도가 높아지고, 전압이 높을수록 투과율이 낮아져 액정셀의 휘도가 낮아진다.
- [0062] 도 14 내지 도 17은 도 12에 도시된 광 밸브 패널의 전극 구조에 대한 시뮬레이션 결과를 보여 주는 도면들이다. 도 14 내지 도 17에서 전압 분포 그래프에서 x축은 블록 위치이고, y축은 전압이다. 도 16 및 도 17에서, 휘도 분포는 x축에서 블록 위치이고, y축은 휘도이다.
- [0063] 도 14를 참조하면, 블록 내의 저항 값이 균일하게 분포된 5×5 블록에서 중앙부 9 개 블록들에 10V를 공급하고 가장자리 블록들에 0V를 공급하였다. 이 시뮬레이션 결과, ON 블록과 이웃하는 OFF 블록에서 점진적으로 변하는 전압 분배를 확인할 수 있었다. 다만, 데이터 라인과 연결된 세그먼트(SEG)에 직접 전압이 공급되는 위치(91, 92)에서 급격히 전압 강하가 발생한다. 따라서, 데이터 라인과 연결되어 전압이 직접 공급되는 세그먼트(SEG)는 블랙 매트릭스로 가려질 수 있으나, 피크 전압이 도 16의 TV 커브에서 알 수 있는 바와 같이 액정셀에서 급격한 휘도 변화를 초래하지 않으므로 블랙 매트릭스를 생략할 수도 있다.
- [0064] 도 15를 참조하면, 이웃한 세그먼트들(SEG) 사이의 저항을 차등 적용하여 피크 전압을 줄여 전압의 급격한 변화를 방지할 수 있다. 전류가 많이 흐르는 부분(A) 즉, 급전 위치(91, 92)에서 저항을 낮게 설정하고 전류가 적게 흐르는 부분에서 저항을 크게 하면, 피크 전압을 줄일 수 있다.
- [0065] 도 16 및 도 17을 참조하면, 광 밸브 패널(PNL2)을 TN 모드로 구동한 시뮬레이션 결과는 피크 전압은 TV 커브에서 휘도가 일정하게 되므로 휘도 변화를 초래하지 않는다. TV 커브에서 x축은 전압이고, y축은 휘도이다.
- [0066] 도 18은 본 발명의 제2 실시예에 따른 광 밸브 패널의 블록 구조를 보여 주는 도면이다.
- [0067] 도 18을 참조하면, 광 밸브 패널(PNL2)에서 하부 전극을 고저항의 단일 투명 전극막으로 형성할 수 있다. 고저항의 투명 전극막에 데이터 라인들을 블록 단위로 연결하면, 블록을 저항 패턴과 세그먼트들로 분리할 필요없이 블록 내에서 상기 블록 내에서 전압 분배가 발생되어 블록의 휘도를 그라데이션(gradation)으로 조절할 수 있다.
- [0068] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

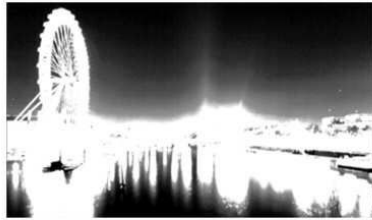
부호의 설명

- [0069] PNL1 : 표시패널 PNL2 : 광 밸브 패널
- BLU : 백라이트 유닛 100 : 제1 타이밍 컨트롤러
- 110 : 제2 타이밍 컨트롤러 20 : 제1 데이터 구동부
- 30 : 게이트 구동부 50 : 제2 데이터 구동부

도면3



(A)

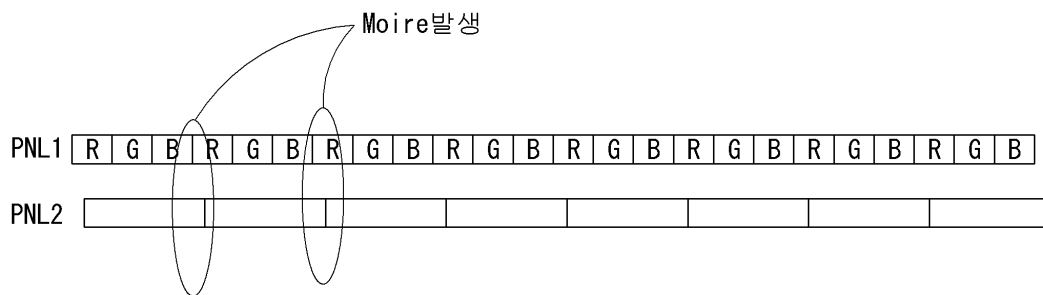


(B)

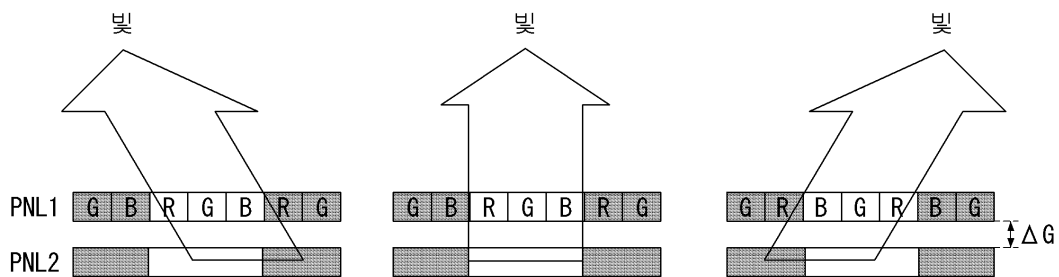


(C)

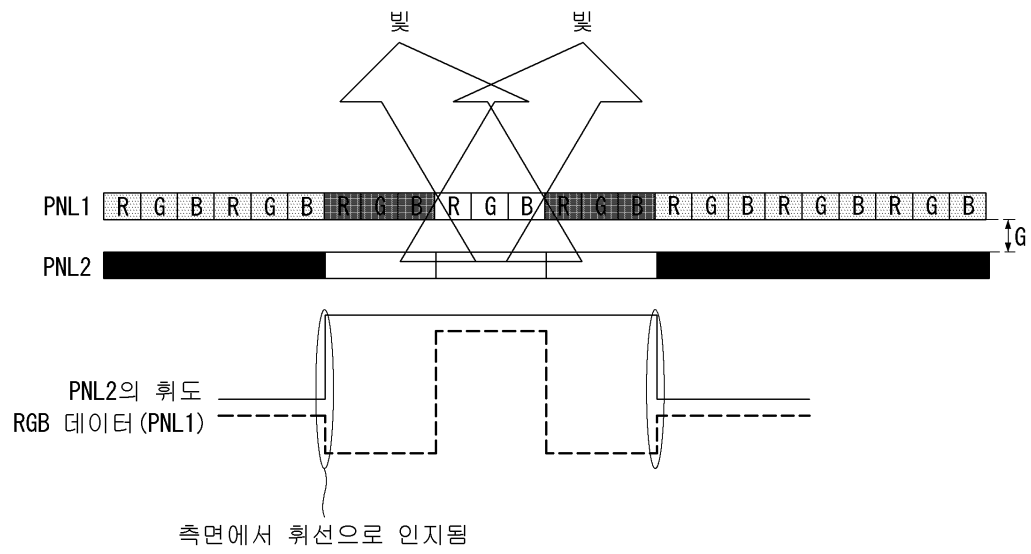
도면4



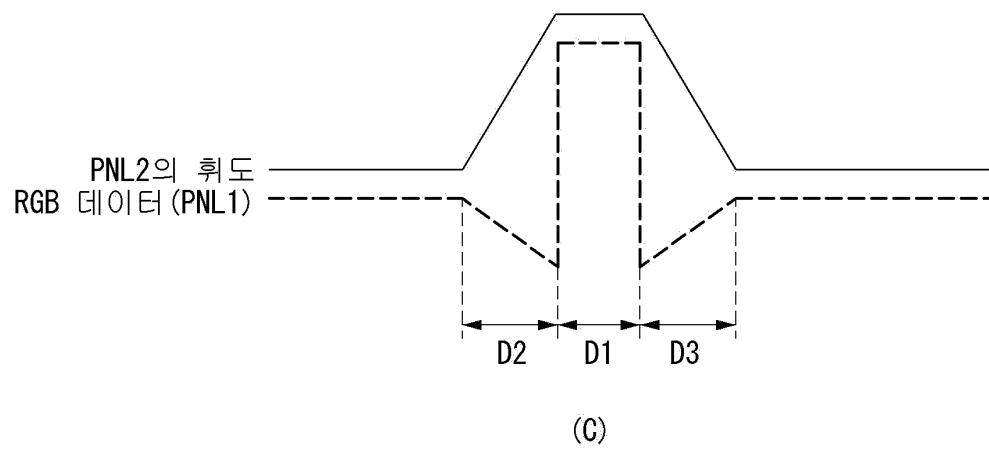
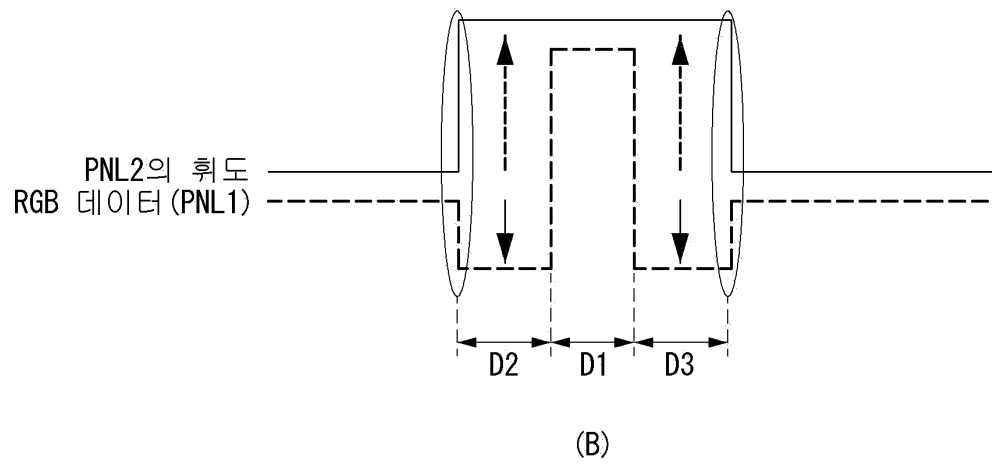
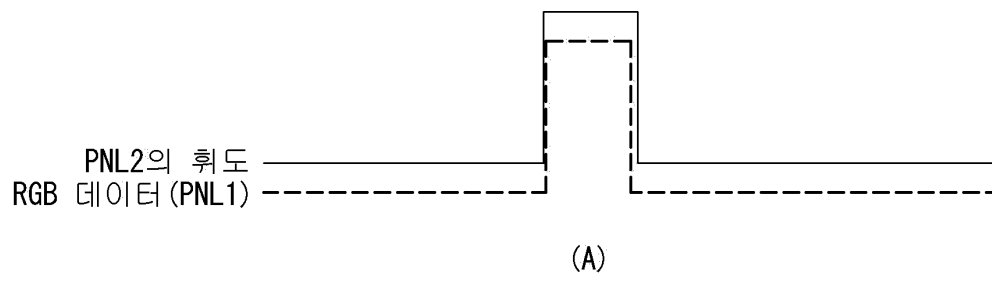
도면5



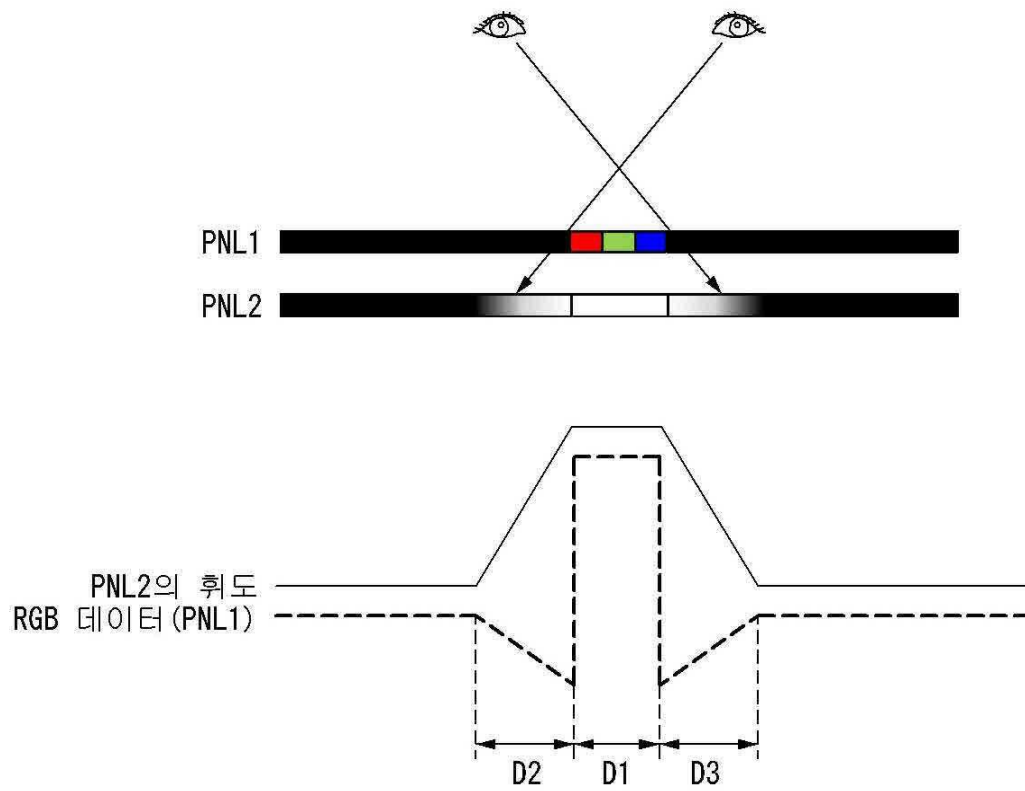
도면6



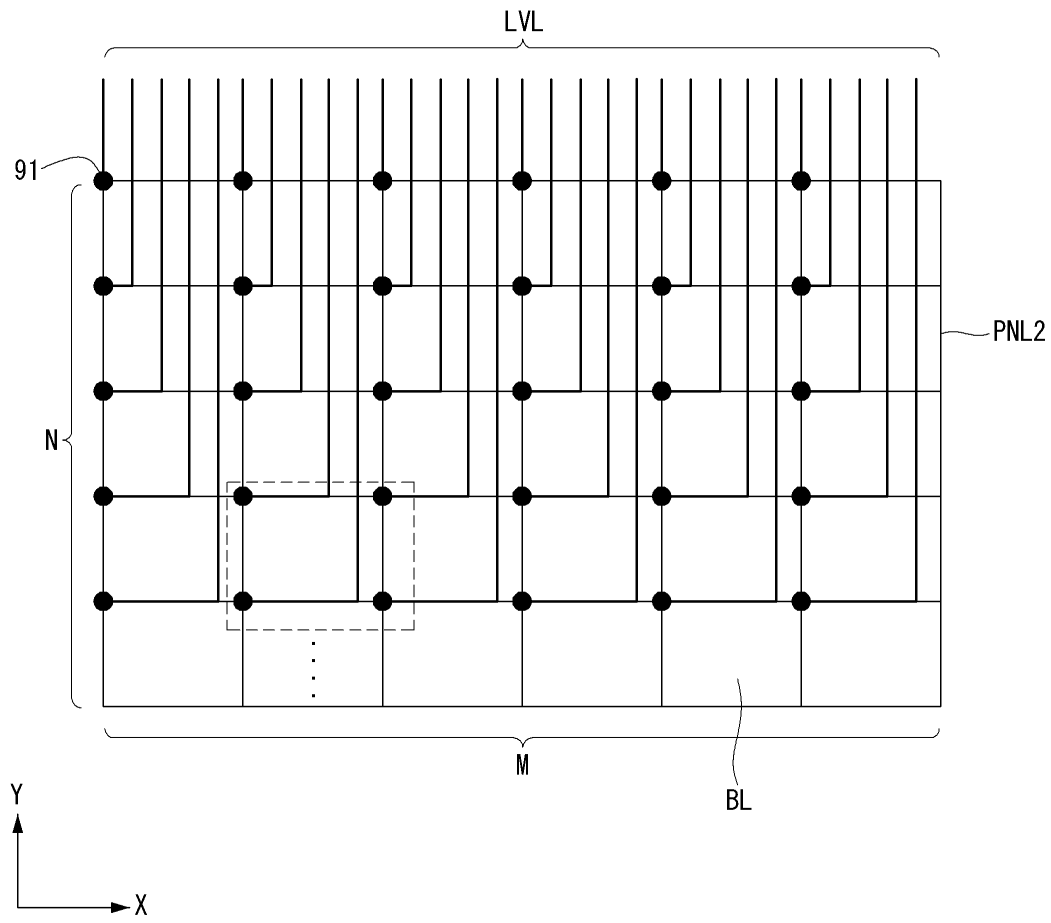
도면7



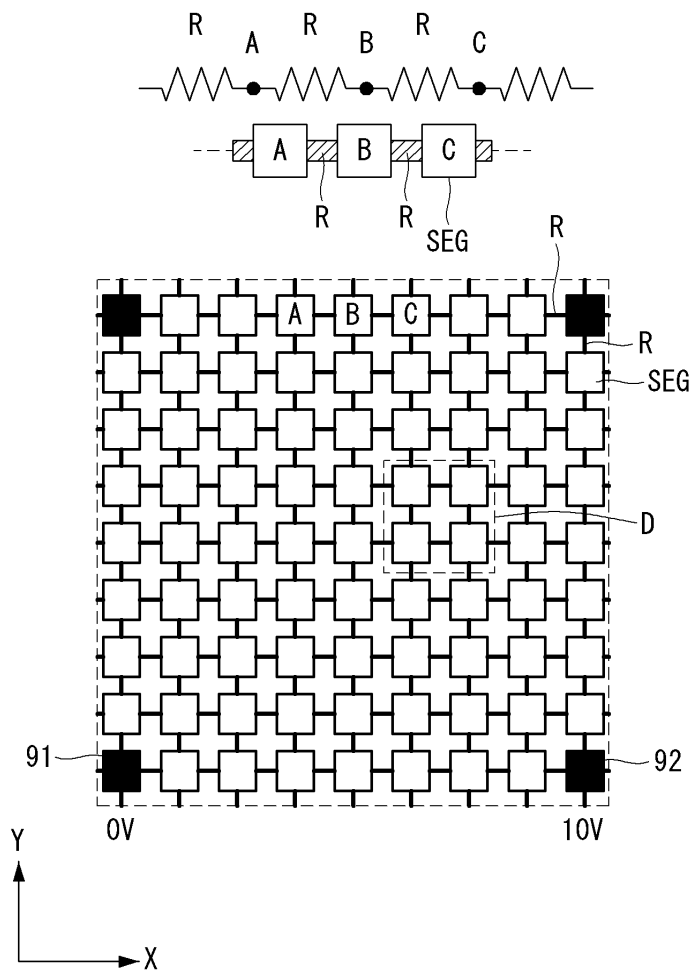
도면8



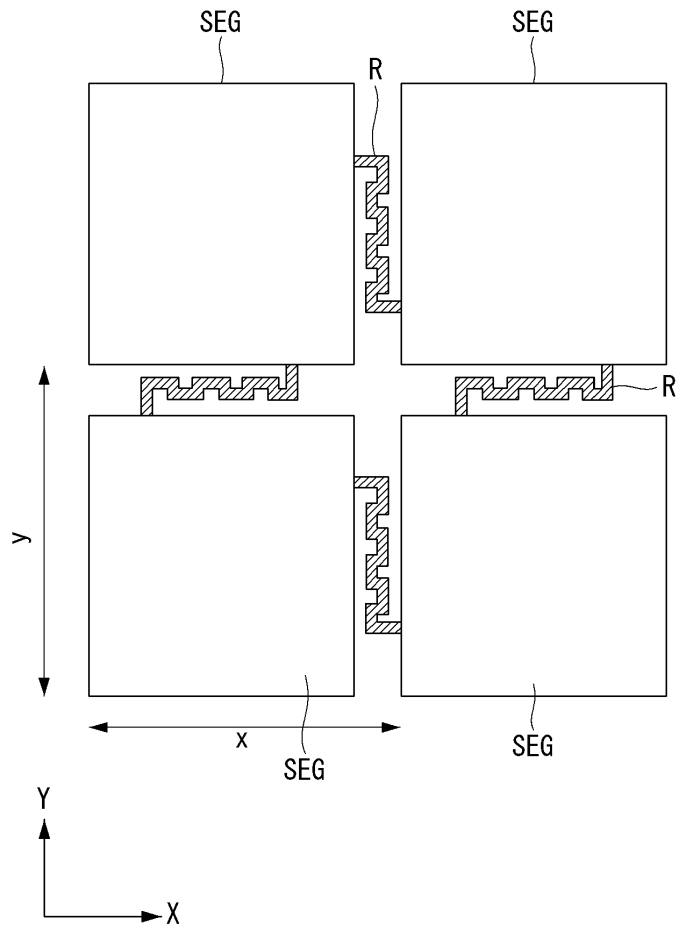
도면9



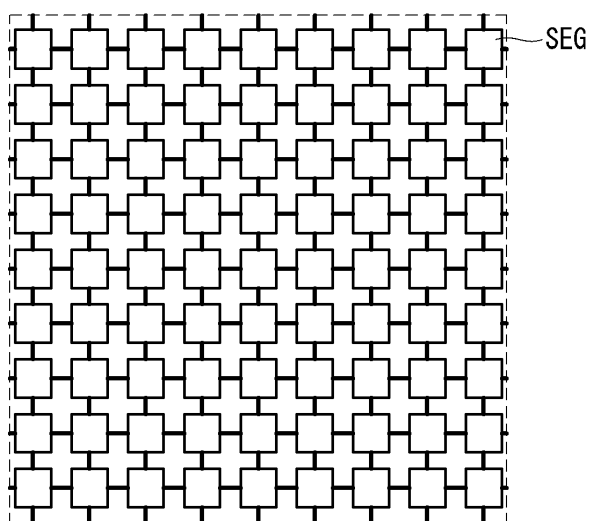
도면10



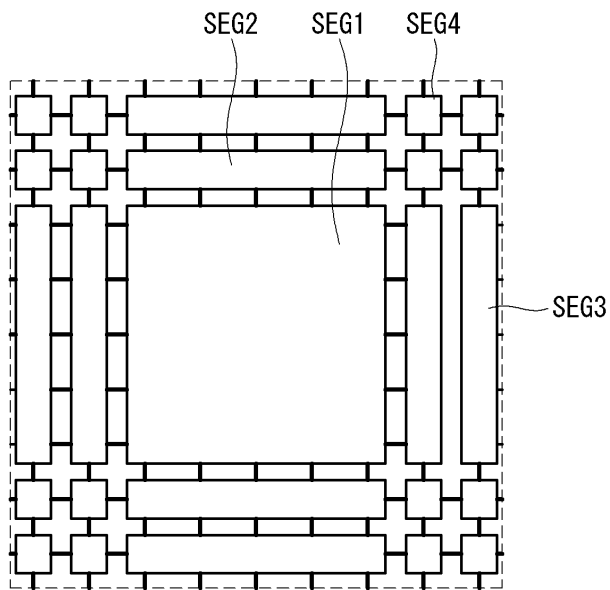
도면11



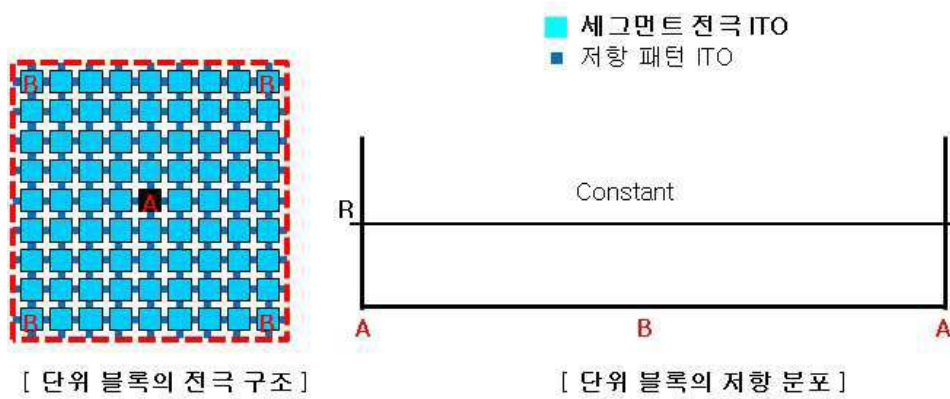
도면12



도면13



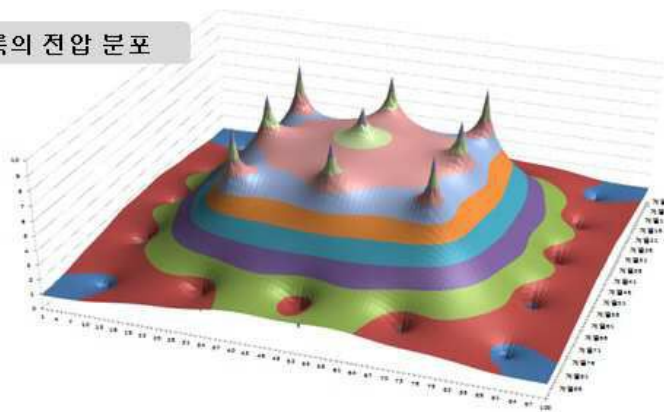
도면14



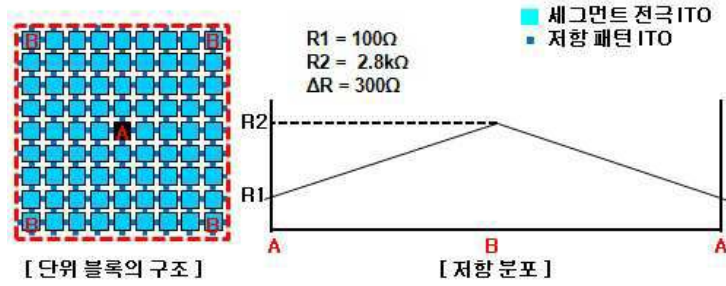
5X5 블록의 구동 전압

0V	0V	0V	0V	0V
0V	10V	10V	10V	0V
0V	10V	10V	10V	0V
0V	10V	10V	10V	0V
0V	0V	0V	0V	0V

단위 블록의 전압 분포



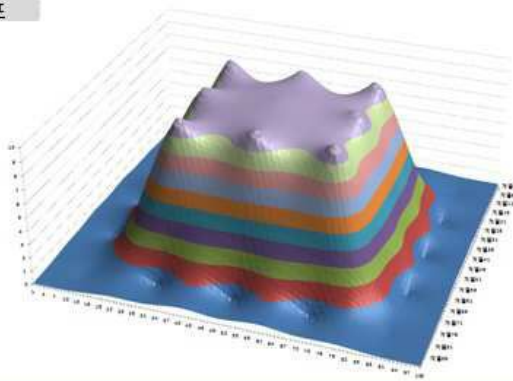
도면15



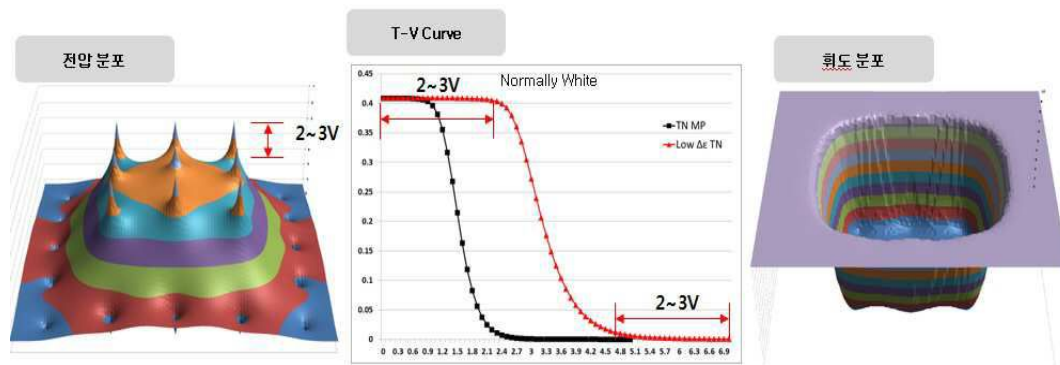
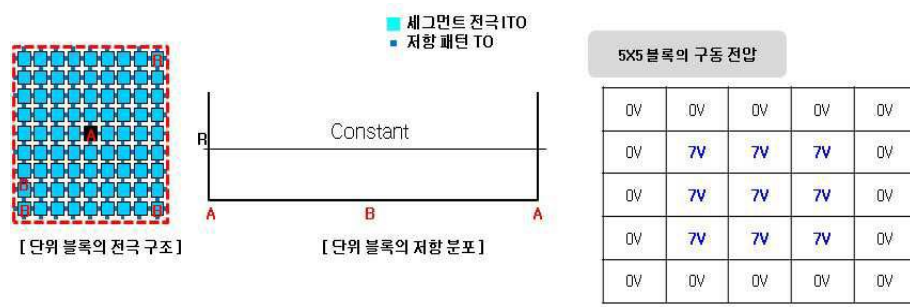
5X5 블록의 구동 전압

0V	0V	0V	0V	0V
0V	10V	10V	10V	0V
0V	10V	10V	10V	0V
0V	10V	10V	10V	0V
0V	0V	0V	0V	0V

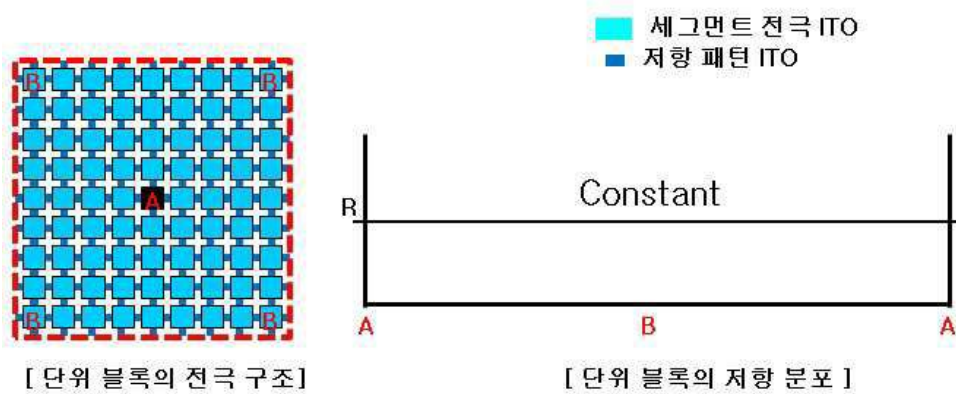
전압 분포



도면16

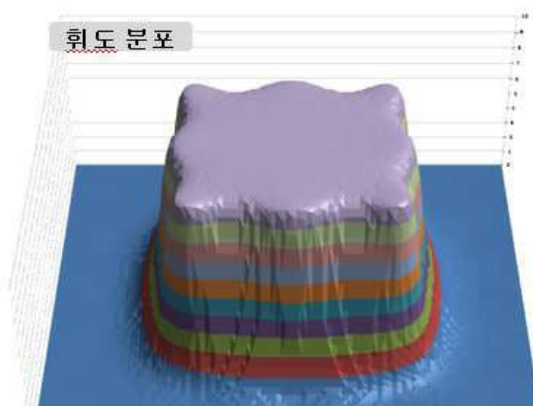


도면17

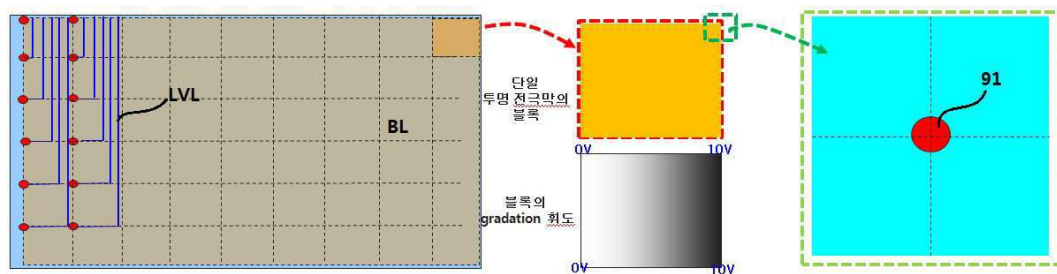


5×5 블록의 구동 전압

7V	7V	7V	7V	7V
7V	0V	0V	0V	7V
7V	0V	0V	0V	7V
7V	0V	0V	0V	7V
7V	7V	7V	7V	7V



도면18



专利名称(译)	标题：光阀面板和使用其的液晶显示装置		
公开(公告)号	KR1020170015647A	公开(公告)日	2017-02-09
申请号	KR1020150107596	申请日	2015-07-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOO OOK SANG 유옥상 LEE JU YOUNG 이주영 NAM SANG JIN 남상진 YOO SEUNG JIN 유승진		
发明人	유옥상 이주영 남상진 유승진		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G2300/043 G09G2320/066 G09G2320/02 G09G3/3406 G02F1/133512 G02F1/133528 G02F1/134309 G02F1/13439 G02F1/136286 G02F1/1368 G02F2201/121 G02F2201/123 G09G3/2007 G09G3/3648 G09G3/3688 G09G2300/023 G09G2300/0426 G09G2310/08 G09G2320/0233 G09G2320/ /0242 G09G2320/0276 G09G2320/0626		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器，并包括多个块，其中通过数据线提供电压。块被分成通过电阻图案连接的多个分段电极，并且在分段电极之间的块中产生分压。根据本发明，另外，使用光阀面板可以使对比度最大化，可以防止莫尔现象，并且可以防止在侧视角下降低图像质量。

