



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0103243
(43) 공개일자 2016년09월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)
G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/134336 (2013.01)
G02F 1/13624 (2013.01)
(21) 출원번호 10-2015-0025397
(22) 출원일자 2015년02월23일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
정연학
충청남도 천안시 서북구 충무로 124-25, 103동
104호 (쌍용동, 현대아이파크홈타운)
김보영
충청남도 아산시 탕정면 삼성로 181, 삼성크리스탈기숙사 609호
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

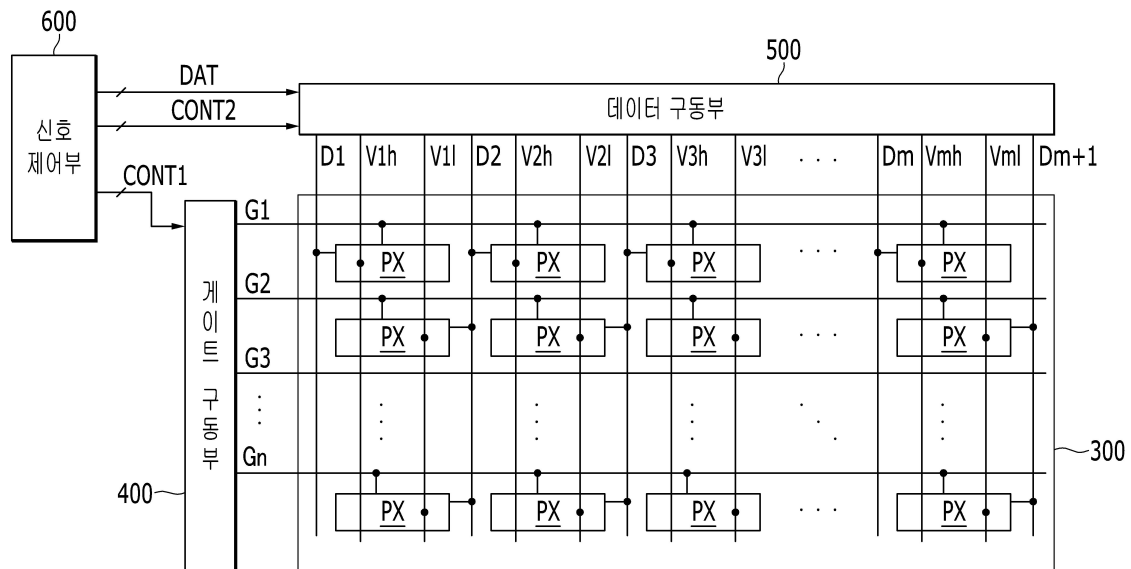
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명은 절연 기판 위에 형성되어 있는 한 쌍의 박막 트랜지스터 및 보상 트랜지스터; 상기 한 쌍의 박막 트랜지스터 중 하나의 드레인 전극과 연결되어 있는 저계조 부화소 전극; 상기 한 쌍의 박막 트랜지스터 중 나머지 하나의 드레인 전극과 상기 보상 트랜지스터의 드레인 전극과 연결되어 있는 고계조 부화소 전극; 및 상기 고계조 부화소 전극 및 상기 저계조 부화소 전극 중 적어도 하나와 중첩하는 한 쌍의 기준 전압선을 포함하며, 상기 저계조 부화소 전극과 상기 고계조 부화소 전극이 차지하는 화소 영역은 가로 방향으로 길게 형성되어 있으며, 상기 한 쌍의 기준 전압선은 상기 가로 방향의 상기 화소 영역을 세로 방향으로 가로지르며, 상기 한 쌍의 기준 전압선 중 하나는 상기 보상 트랜지스터의 소스 전극과 연결되어 있다.

대표도 - 도1



(52) CPC특허분류

G02F 1/1368 (2013.01)

G02F 2001/134345 (2013.01)

(72) 발명자

김장수

충청남도 아산시 탕정면 탕정면로 37, 104동 1305호 (삼성트라펠리스아파트)

윤홍민

서울특별시 강동구 고덕로62길 29, 101동 701호 (명일동, 명일삼환아파트)

이성영

경기도 화성시 동탄중앙로 189, 348동 503호 (반송동, 시범다은마을월드메르디앙반도유보라아파트)

이호준

충청남도 아산시 탕정면 탕정면로 37, 403동 2702호 (탕정삼성트라펠리스아파트)

명세서

청구범위

청구항 1

절연 기판 위에 형성되어 있는 한 쌍의 박막 트랜지스터 및 보상 트랜지스터;

상기 한 쌍의 박막 트랜지스터 중 하나의 드레인 전극과 연결되어 있는 저계조 부화소 전극;

상기 한 쌍의 박막 트랜지스터 중 나머지 하나의 드레인 전극과 상기 보상 트랜지스터의 드레인 전극과 연결되어 있는 고계조 부화소 전극; 및

상기 고계조 부화소 전극 및 상기 저계조 부화소 전극 중 적어도 하나와 중첩하는 한 쌍의 기준 전압선을 포함하며,

상기 저계조 부화소 전극과 상기 고계조 부화소 전극이 차지하는 화소 영역은 가로 방향으로 길게 형성되어 있으며,

상기 한 쌍의 기준 전압선은 상기 가로 방향의 상기 화소 영역을 세로 방향으로 가로지르며,

상기 한 쌍의 기준 전압선 중 하나는 상기 보상 트랜지스터의 소스 전극과 연결되어 있는 액정 표시 장치.

청구항 2

제1항에서,

상기 고계조 부화소 전극 및 상기 저계조 부화소 전극은 적어도 하나의 화소 중앙부와 이로부터 뻗어 있는 복수의 미세 가지부를 포함하는 액정 표시 장치.

청구항 3

제2항에서,

상기 절연 기판에 대향하는 상부 절연 기판; 및

상기 상부 절연 기판에 위치하는 공통 전극을 더 포함하며,

상기 공통 전극은 상기 화소 중앙부에 대응하는 십자형 개구부를 포함하는 액정 표시 장치.

청구항 4

제3항에서,

상기 공통 전극은 중앙 개구부를 더 포함하는 액정 표시 장치.

청구항 5

제2항에서,

상기 중앙 전극과 상기 복수의 미세 가지부는 하나의 단위 화소 전극을 구성하며,

상기 화소 영역에는 2행으로 배열된 복수의 상기 단위 화소 전극이 위치하는 액정 표시 장치.

청구항 6

제5항에서,

상기 고계조 부화소 전극은 상기 2행으로 배열된 상기 단위 화소 전극 중 첫번째 행의 중앙에 배치된 상기 단위 화소 전극으로 이루어진 액정 표시 장치.

청구항 7

제6항에서,

상기 저계조 부화소 전극은 첫번째 행의 나머지 상기 단위 화소 전극 및 두번째 행의 상기 단위 화소 전극으로 이루어진 액정 표시 장치.

청구항 8

제7항에서,

상기 한 쌍의 기준 전압선은 상기 저계조 부화소 전극 중 상기 화소 중앙부를 따라서 세로 방향으로 연장되어 있는 액정 표시 장치.

청구항 9

제2항에서,

상기 저계조 부화소 전극은 두 개로 구성되어 있으며, 상기 고계조 부화소 전극은 한 개로 구성되어 있으며, 상기 저계조 부화소 전극 두 개의 사이에 상기 고계조 부화소 전극이 위치하고 있는 액정 표시 장치.

청구항 10

제9항에서,

상기 한 쌍의 기준 전압선은 각각 상기 저계조 부화소 전극 두 개의 상기 화소 중앙부를 따라서 세로 방향으로 연장되어 있는 액정 표시 장치.

청구항 11

제2항에서,

상기 고계조 부화소 전극은 두 개로 구성되어 있으며, 상기 저계조 부화소 전극은 한 개로 구성되어 있으며, 상기 고계조 부화소 전극 두 개의 사이에 상기 저계조 부화소 전극이 위치하고 있는 액정 표시 장치.

청구항 12

제11항에서,

상기 한 쌍의 기준 전압선은 각각 상기 고계조 부화소 전극 두 개의 중앙을 따라서 세로 방향으로 연장되어 있는 액정 표시 장치.

청구항 13

제2항에서,

상기 고계조 부화소 전극은 일 행으로 배열되어 있으며, 상기 저계조 부화소 전극도 상기 고계조 부화소 전극의 일측에 또 다른 일 행으로 배열되어 있는 액정 표시 장치.

청구항 14

제13항에서,

상기 한 쌍의 기준 전압선은 상기 고계조 부화소 전극 및 상기 저계조 부화소 전극을 세로 방향으로 가로지르면서 연장되어 있는 액정 표시 장치.

청구항 15

제1항에서,

가로 방향으로 연장되어 있는 게이트선; 및

세로 방향으로 연장되어 있는 데이터선을 더 포함하며,

상기 한 쌍의 박막 트랜지스터 및 상기 보상 트랜지스터의 게이트 전극은 모두 동일한 게이트선에 연결되어 있

는 액정 표시 장치.

청구항 16

제15항에서,

상기 한 쌍의 박막 트랜지스터의 소스 전극은 모두 동일한 데이터선과 연결되어 있는 액정 표시 장치.

청구항 17

제16항에서,

상기 한 쌍의 박막 트랜지스터, 상기 보상 트랜지스터, 상기 저계조 부화소 전극 및 상기 고계조 부화소 전극은 제1 화소를 이루며,

상기 제1 화소와 상기 데이터선 방향으로 인접하는 제2 화소는 상기 제1 화소와 다른 게이트선, 다른 데이터선과 연결되어 있으며,

상기 제1 화소에 연결되어 있는 상기 기준 전압선과 상기 제2 화소에 연결되어 있는 상기 기준 전압선도 서로 다른 액정 표시 장치.

청구항 18

제17항에서,

상기 한 쌍의 기준 전압선은 일정 기간마다 고레벨 전압과 저레벨 전압이 스윙하며, 한 쌍의 기준 전압선에 인가되는 전압레벨은 서로 반대인 액정 표시 장치.

청구항 19

제16항에서,

상기 한 쌍의 박막 트랜지스터, 상기 보상 트랜지스터, 상기 저계조 부화소 전극 및 상기 고계조 부화소 전극은 제1 화소를 이루며,

상기 제1 화소와 상기 게이트선의 연장 방향으로 인접하는 제3 화소는 상기 제1 화소와 동일한 게이트선 및 다른 데이터선과 연결되어 있으며,

상기 제3 화소에 연결되어 있는 기준 전압선과 상기 제1 화소에 연결되어 있는 기준 전압선은 동일한 전압을 인가하는 액정 표시 장치.

청구항 20

제19항에서,

상기 한 쌍의 기준 전압선은 일정 기간마다 고레벨 전압과 저레벨 전압이 스윙하며, 한 쌍의 기준 전압선에 인가되는 전압레벨은 서로 반대인 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 대한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극(field generating electrode)이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 인가하고 이를 통하여 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 액정 표시 장치 중에서도 전기장이 인가되지 않은 상태에서 액정 분자를 그 장축이 표시판에 대하여 수직을 이

루도록 배열한 수직 배향 방식(vertically aligned mode) 액정 표시 장치가 개발되고 있다.

[0004] 수직 배향 방식 액정 표시 장치에서는 측면 시인성 확보가 중요한 문제이고, 이를 위하여 전기장 생성 전극에 미세 슬릿 등의 절개부를 형성하는 등의 방법을 사용한다. 절개부 및 돌기는 액정 분자가 기울어지는 방향(tilt direction)을 결정해 주므로, 이들을 적절하게 배치하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 측면에서의 시인성을 넓힐 수 있다.

[0005] 또한, 수직 배향 방식 액정 표시 장치에서는 하나의 화소를 두 부화소로 구분하여 서로 다른 전압으로 화상을 표현하도록 하여 측면에서의 시인성을 향상시키는 구조도 개발되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 하나의 화소가 서로 다른 전압을 가지는 두 부화소로 구성되도록 하기 위하여 인가하는 기준 전압이 변동함으로 인한 표시 품질의 저하가 없는 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0007] 이러한 과제를 해결하기 위하여 본 발명의 실시예에 따른 액정 표시 장치는 절연 기판 위에 형성되어 있는 한 쌍의 박막 트랜지스터 및 보상 트랜지스터; 상기 한 쌍의 박막 트랜지스터 중 하나의 드레인 전극과 연결되어 있는 저계조 부화소 전극; 상기 한 쌍의 박막 트랜지스터 중 나머지 하나의 드레인 전극과 상기 보상 트랜지스터의 드레인 전극과 연결되어 있는 고계조 부화소 전극; 및 상기 고계조 부화소 전극 및 상기 저계조 부화소 전극 중 적어도 하나와 중첩하는 한 쌍의 기준 전압선을 포함하며, 상기 저계조 부화소 전극과 상기 고계조 부화소 전극이 차지하는 화소 영역은 가로 방향으로 길게 형성되어 있으며, 상기 한 쌍의 기준 전압선은 상기 가로 방향의 상기 화소 영역을 세로 방향으로 가로지르며, 상기 한 쌍의 기준 전압선 중 하나는 상기 보상 트랜지스터의 소스 전극과 연결되어 있다.

[0008] 상기 고계조 부화소 전극 및 상기 저계조 부화소 전극은 적어도 하나의 화소 중앙부와 이로부터 뻗어 있는 복수의 미세 가지부를 포함할 수 있다.

[0009] 상기 절연 기판에 대향하는 상부 절연 기판; 및 상기 상부 절연 기판에 위치하는 공통 전극을 더 포함하며, 상기 공통 전극은 상기 화소 중앙부에 대응하는 십자형 개구부를 포함할 수 있다.

[0010] 상기 공통 전극은 중앙 개구부를 더 포함할 수 있다.

[0011] 상기 중앙 전극과 상기 복수의 미세 가지부는 하나의 단위 화소 전극을 구성하며, 상기 화소 영역에는 2행으로 배열된 복수의 상기 단위 화소 전극이 위치할 수 있다.

[0012] 상기 고계조 부화소 전극은 상기 2행으로 배열된 상기 단위 화소 전극 중 첫번째 행의 중앙에 배치된 상기 단위 화소 전극으로 이루어질 수 있다.

[0013] 상기 저계조 부화소 전극은 첫번째 행의 나머지 상기 단위 화소 전극 및 두번째 행의 상기 단위 화소 전극으로 이루어질 수 있다.

[0014] 상기 한 쌍의 기준 전압선은 상기 저계조 부화소 전극 중 상기 화소 중앙부를 따라서 세로 방향으로 연장되어 있을 수 있다.

[0015] 상기 저계조 부화소 전극은 두 개로 구성되어 있으며, 상기 고계조 부화소 전극은 한 개로 구성되어 있으며, 상기 저계조 부화소 전극 두 개의 사이에 상기 고계조 부화소 전극이 위치하고 있을 수 있다.

[0016] 상기 한 쌍의 기준 전압선은 각각 상기 저계조 부화소 전극 두 개의 상기 화소 중앙부를 따라서 세로 방향으로 연장되어 있을 수 있다.

[0017] 상기 고계조 부화소 전극은 두 개로 구성되어 있으며, 상기 저계조 부화소 전극은 한 개로 구성되어 있으며, 상기 고계조 부화소 전극 두 개의 사이에 상기 저계조 부화소 전극이 위치하고 있을 수 있다.

[0018] 상기 한 쌍의 기준 전압선은 각각 상기 고계조 부화소 전극 두 개의 중앙을 따라서 세로 방향으로 연장되어 있을 수 있다.

[0019] 상기 고계조 부화소 전극은 일 행으로 배열되어 있으며, 상기 저계조 부화소 전극도 상기 고계조 부화소 전극의

일측에 또 다른 일 행으로 배열되어 있을 수 있다.

- [0020] 상기 한 쌍의 기준 전압선은 상기 고계조 부화소 전극 및 상기 저계조 부화소 전극을 세로 방향으로 가로지르면서 연장되어 있을 수 있다.
- [0021] 가로 방향으로 연장되어 있는 게이트선; 및 세로 방향으로 연장되어 있는 데이터선을 더 포함하며, 상기 한 쌍의 박막 트랜지스터 및 상기 보상 트랜지스터의 게이트 전극은 모두 동일한 게이트선에 연결되어 있을 수 있다.
- [0022] 상기 한 쌍의 박막 트랜지스터의 소스 전극은 모두 동일한 데이터선과 연결되어 있을 수 있다.
- [0023] 상기 한 쌍의 박막 트랜지스터, 상기 보상 트랜지스터, 상기 저계조 부화소 전극 및 상기 고계조 부화소 전극은 제1 화소를 이루며, 상기 제1 화소와 상기 데이터선 방향으로 인접하는 제2 화소는 상기 제1 화소와 다른 게이트선, 다른 데이터선과 연결되어 있으며, 상기 제1 화소에 연결되어 있는 상기 기준 전압선과 상기 제2 화소에 연결되어 있는 상기 기준 전압선도 서로 다를 수 있다.
- [0024] 상기 한 쌍의 기준 전압선은 일정 기간마다 고레벨 전압과 저레벨 전압이 스윙하며, 한 쌍의 기준 전압선에 인가되는 전압레벨은 서로 반대일 수 있다.
- [0025] 상기 한 쌍의 박막 트랜지스터, 상기 보상 트랜지스터, 상기 저계조 부화소 전극 및 상기 고계조 부화소 전극은 제1 화소를 이루며, 상기 제1 화소와 상기 게이트선의 연장 방향으로 인접하는 제3 화소는 상기 제1 화소와 동일한 게이트선 및 다른 데이터선과 연결되어 있으며, 상기 제3 화소에 연결되어 있는 기준 전압선과 상기 제1 화소에 연결되어 있는 기준 전압선은 동일한 전압을 인가할 수 있다.
- [0026] 상기 한 쌍의 기준 전압선은 일정 기간마다 고레벨 전압과 저레벨 전압이 스윙하며, 한 쌍의 기준 전압선에 인가되는 전압레벨은 서로 반대일 수 있다.

발명의 효과

- [0027] 이상과 같이 하나의 화소가 서로 다른 전압을 가지는 두 부화소로 구성되도록 하기 위하여 인가하는 기준 전압의 변동을 줄여 표시 품질이 향상된다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.
- 도 2는 본 발명의 실시예에 따른 표시 장치에서 기준 전압선의 연결 구조를 도시한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 화소의 구조를 도시한 배치도이다.
- 도 4는 도 3의 IV-IV선을 따라 자른 단면도이다.
- 도 5는 본 발명의 일 실시예에 따른 화소의 회로도이다.
- 도 6은 본 발명의 일 실시예에 따른 화소의 회로도에서 화소의 동작에 따른 배선 연결 관계를 도시한 도면이다.
- 도 7은 비교예에 따른 화소의 회로도이다.
- 도 8은 비교예에서 화소의 동작에 따른 배선 연결 관계 및 기준 전압의 변동을 보여주는 도면이다.
- 도 9 내지 도 11은 본 발명의 일 실시예에 따른 화소 전극 및 기준 전압선의 배치를 도시한 도면이다.
- 도 12는 자외선 등의 광에 의해 중합되는 전중합체를 이용해 액정 분자들이 선경사를 갖도록 하는 과정을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0030] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로

어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

- [0031] 이제 본 발명의 실시예에 따른 표시 장치에 대하여 도 1을 참고로 하여 상세하게 설명한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.
- [0033] 본 발명의 일 실시예에 따른 표시 장치는 도 1에 도시된 바와 같이 영상을 표시하는 표시 패널(300), 표시 패널(300)을 구동하는 데이터 구동부(500), 게이트 구동부(400) 및 데이터 구동부(500) 및 게이트 구동부(400)를 제어하는 신호 제어부(600)를 포함한다.
- [0034] 표시 패널(300)은 복수의 게이트선(G1-Gn)과 복수의 데이터선(D1-Dm+1) 및 한 쌍의 기준 전압선(V1h-Vmh, V1l-Vml)을 포함한다.
- [0035] 복수의 게이트선(G1-Gn)은 가로 방향으로 연장되어 있으며, 복수의 데이터선(D1-Dm+1)은 복수의 게이트선(G1-Gn)과 절연되어 교차하면서 세로 방향으로 연장되어 있다. 또한, 복수의 데이터선(D1-Dm+1)의 사이에는 세로 방향으로 연장되어 있는 기준 전압선(V1-Vm)이 위치하고 있다. 기준 전압선(V1-Vm)도 게이트선(G1-Gn)과 절연되어 교차한다.
- [0036] 한 쌍의 기준 전압선(V1h-Vmh, V1l-Vml)은 제1 기준 전압선(V1h-Vmh)과 제2 기준 전압선(V1l-Vml)로 구분된다. 제1 기준 전압선(V1h-Vmh) 및 제2 기준 전압선(V1l-Vml)은 하이 레벨과 로우 레벨의 두 전압이 교대로 인가되며, 일정 주기로 스위칭하는 전압이 인가된다. 또한, 제1 기준 전압선(V1h-Vmh)에 하이 레벨의 전압이 인가될 때 제2 기준 전압선(V1l-Vml)에는 로우 레벨의 전압이 인가되어 서로 반전되는 전압 레벨을 가진다. 제1 기준 전압선(V1h-Vmh)끼리는 동일한 전압이 인가되며, 제2 기준 전압선(V1l-Vml)끼리도 동일한 전압이 인가된다.
- [0037] 복수의 게이트선(G1-Gn) 중 하나와 복수의 데이터선(D1-Dm+1) 중 하나 및 한 쌍의 기준 전압선(V1h-Vmh, V1l-Vml) 중 하나는 하나의 화소(PX)와 연결되어 있다. 화소(PX)는 매트릭스 형태로 배열되어 있으며, 화소(PX)는 게이트선(G1-Gn)의 연장 방향인 가로 방향으로 길게 형성되어 있다. 화소(PX)는 두 개의 부화소(고계조 부화소 및 저계조 부화소)를 포함하며, 각 부화소 각각에는 박막 트랜지스터, 액정 커패시터 및 유지 커패시터를 포함할 수 있다. 또한, 두 부화소 중 하나인 고계조 부화소에는 보상 트랜지스터를 더 포함할 수 있다.
- [0038] 두 부화소에 포함되어 있는 박막 트랜지스터의 제어 단자는 하나의 게이트선(G1-Gn)에 연결되며, 박막 트랜지스터의 입력 단자는 하나의 데이터선(D1-Dm+1)에 연결되며, 박막 트랜지스터의 출력 단자는 액정 커패시터의 일측 단자(화소 전극) 및 유지 커패시터의 일측 단자에 연결될 수 있다. 액정 커패시터의 타측 단자는 공통 전극에 연결되며, 유지 커패시터의 타측 단자는 유지 전압(Vcst)을 인가 받을 수 있다.
- [0039] 또한 고계조 부화소에 포함되어 있는 보상 트랜지스터의 제어 단자는 하나의 게이트선, 즉, 해당 박막 트랜지스터에 연결된 게이트선과 동일한 게이트선에 연결되며, 출력 단자는 한 쌍의 기준 전압선 중 하나와 연결되며, 입력 단자에는 액정 커패시터 및 유지 커패시터가 연결되어 있다.
- [0040] 실시예에 따라서는 박막 트랜지스터의 채널층은 비정질 실리콘, 폴리 실리콘 또는 산화물 반도체일 수 있다.
- [0041] 본 발명의 실시예에 따른 액정 표시 장치에서 하나의 데이터선은 좌우에 위치하는 화소(PX)와 번갈아 연결되어 있다. 즉, 첫번째 행에서 우측에 위치하는 화소(PX)와 연결되면, 두번째 행에서는 좌측에 위치하는 화소(PX)와 연결되며, 세번째 행에서는 다시 우측에 위치하는 화소(PX)와 연결된다. 한편, 하나의 게이트선은 한 행의 화소(PX) 전체와 연결되어 있다.
- [0042] 이와 같은 구조에 의하면 하나의 화소열에 속하는 홀수번째 화소과 짝수번째 화소는 서로 다른 데이터선에 연결되어 있으며, 데이터선(D1-Dm+1)이 한 프레임 동안 동일한 극성의 데이터 전압을 인가하는 경우에도 화소(PX)에 표시되는 극성 반전은 도트 반전으로 나타내게 된다.
- [0043] 데이터선(D1-Dm+1)은 화소열의 수(m)보다 하나 더 많은 개수를 가질 수 있다. 도 1의 실시예에서 첫번째 데이터선(D1)의 좌측에는 화소열이 존재하지 않아 우측에 위치하는 화소열과만 번갈아 연결되어 있으며, m+1번째 데이터선(Dm+1)은 우측에 화소열이 존재하지 않아 좌측에 위치하는 화소열과만 번갈아 연결되어 있을 수 있다.
- [0044] 또한, 본 발명의 실시예에 따른 액정 표시 장치에서 한 쌍의 기준 전압선(V1h-Vmh, V1l-Vml)은 데이터선(D1-Dm+1)과 평행하는 방향으로 배열되어 있으며, 하나의 화소(PX)열마다 각각 하나씩의 제1 기준 전압선(V1h-Vmh)과 제2 기준 전압선(V1l-Vml)이 배치되어 있다.

- [0045] 하나의 화소 열에 위치하는 화소(PX)는 교대로 제1 기준 전압선(V1h-Vmh)과 제2 기준 전압선(V1l-Vml)에 연결되며, 하나의 화소 행에 위치하는 화소(PX)는 동일한 기준 전압선에 연결된다. 즉, 도 1의 실시예에 의하면, 제1 화소 행에 위치하는 화소(첫번째 게이트선(G1)에 연결된 화소)는 모두 제1 기준 전압선(V1h-Vmh)에 연결되어 있으며, 제2 화소 행에 위치하는 화소(두번째 게이트선(G2)에 연결된 화소)는 모두 제2 기준 전압선(V1l-Vml)에 연결되어 있다. 하지만, 실시예에 따라서는 하나의 화소행에 위치하는 화소가 서로 다른 기준 전압선에 연결될 수도 있다.
- [0046] 신호 제어부(600)는 외부로부터 입력되는 입력 데이터(input data) 및 이의 제어 신호, 예를 들어 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 메인 클럭 신호(MCLK), 및 데이터 인에이블 신호(DE) 등에 응답하여 액정 표시 패널(300)의 동작 조건에 적합하게 처리한 후, 영상 데이터(DAT), 게이트 제어 신호(CONT1), 데이터 제어 신호(CONT2) 및 클럭 신호를 생성하여 출력한다.
- [0047] 게이트 제어 신호(CONT1)는 게이트 온 전압(Von)의 출력 시작을 지시하는 수직 동기 시작 신호(STV) 및 게이트 온 전압(Von)의 출력 시기를 제어하는 게이트 클럭 신호(CPV) 등을 포함할 수 있다.
- [0048] 데이터 제어 신호(CONT2)는 영상 데이터(DAT)의 입력 시작을 지시하는 수평 동기 시작 신호(STH)와 데이터선(D1-Dm+1)에 해당 데이터 전압을 인가하라는 로드 신호(TP) 등을 포함할 수 있다.
- [0049] 표시 패널(300)의 복수의 게이트선(G1-Gn)은 게이트 구동부(400)와 연결되어 있으며, 게이트 구동부(400)는 신호 제어부(600)로부터 인가된 게이트 제어 신호(CONT1)에 따라서 게이트 온 전압(Von)이 순차적으로 인가된다.
- [0050] 게이트선(G1-Gn)에 게이트 온 전압(Von)이 인가되지 않는 구간에는 게이트 오프 전압(Voff)이 인가된다.
- [0051] 표시 패널(300)의 복수의 데이터선(D1-Dm+1)은 데이터 구동부(500)와 연결되어 있으며, 데이터 구동부(500)는 신호 제어부(600)로부터 데이터 제어 신호(CONT2) 및 영상 데이터(DAT)를 전달받는다. 데이터 구동부(500)는 게조 전압 생성부(도시하지 않음)에서 생성된 게조 전압을 이용하여 영상 데이터(DAT)를 데이터 전압으로 변환하고 이를 데이터선(D1-Dm+1)으로 전달한다. 데이터 전압은 양의 극성의 데이터 전압과 음의 극성의 데이터 전압을 포함한다. 양의 극성의 데이터 전압과 음의 극성의 데이터 전압은 프레임, 행 또는 열을 기준으로 교대로 인가되어 반전 구동한다. 이러한 반전 구동은 동영상 표시하거나 정지 영상을 표시하거나 모두 적용된다.
- [0052] 한 쌍의 기준 전압선(V1h-Vmh, V1l-Vml)에 인가되는 전압도 반전하며, 반전하는 주기는 복수의 게이트선(G1-Gn)에 게이트 온 전압(Von)이 인가되는 주기와 동일한 주기를 가질 수 있다.
- [0053] 실시예에 따라서는 도 1에서 도시하고 있지 않은 다양한 화소 연결 구조를 가질 수도 있다.
- [0054] 도 2에서는 한 쌍의 기준 전압선(V1h-Vmh, V1l-Vml)의 배치 구조를 보다 상세하게 살펴본다.
- [0055] 도 2는 본 발명의 실시예에 따른 표시 장치에서 기준 전압선의 연결 구조를 도시한 도면이다.
- [0056] 도 2는 도 1과 달리 실제 표시 장치를 개략적으로 도시한 것으로 본 발명의 일 실시예에서는 표시 패널(300)이 형성되어 있는 기판의 좌우측에 게이트 구동부(400)가 형성되어 있다. 게이트 구동부(400)는 화소(PX)를 형성하는 제조 공정에서 함께 형성할 수 있다. 또한, 표시 패널(300)이 형성되어 있는 기판의 상측에는 신호 제어부(600) 및 데이터 구동부(500)를 구성하는 데이터 구동 IC 칩(550)이 가요성 인쇄 회로 기판(FPC; 660) 및 인쇄 회로 기판(PCB; 650)에 의하여 부착되어 있다.
- [0057] 또한, 한 쌍의 기준 전압선(V1h-Vmh, V1l-Vml)은 각 가요성 인쇄 회로 기판(660)을 통하여 표시 패널(300)로 전달되며, 제1 기준 전압선(V1h-Vmh)과 제2 기준 전압선(V1l-Vml)은 각각 서로 방향으로 뻗어 각 화소(PX)를 지나 는 본선과 이러한 복수의 본선을 연결하는 가로 연결부를 가진다. 본 실시예에서는 가로 연결부가 상하로 한 쌍씩 형성되어 있다.
- [0058] 이하에서는 도 3 및 도 4를 통하여 본 발명의 실시예에 따른 화소의 구조를 상세하게 살펴본다.
- [0059] 도 3은 본 발명의 일 실시예에 따른 화소의 구조를 도시한 배치도이고, 도 4는 도 3의 IV-IV선을 따라 자른 단면도이다.
- [0060] 본 발명의 표시 패널은 상부 표시판, 하부 표시판 및 그 사이에 위치하는 액정층을 포함한다.
- [0061] 먼저, 하부 표시판에 대하여 설명하면, 절연 기판 위에 복수의 게이트선(121)이 위치한다.
- [0062] 게이트선(121)은 주로 가로 방향으로 뻗어 있으며, 게이트선(121)에서 상부로 돌출되어 연장되어 있는 제1 게이

트 전극(124a), 제2 게이트 전극(124b) 및 제3 게이트 전극(124c)을 포함한다. 제1 게이트 전극(124a), 제2 게이트 전극(124b) 및 제3 게이트 전극(124c)은 게이트선(121)에서 상부를 향하여 연장되다가 확장되어 제3 게이트 전극(124c)이 위치하고, 제3 게이트 전극(124c)에서 다시 연장되어 제1 게이트 전극(124a)과 제2 게이트 전극(124b)이 위치하고 있다. 제1 게이트 전극(124a)과 제2 게이트 전극(124b)은 하나의 확장된 영역에 형성될 수도 있다.

[0063] 게이트선(121) 위에 게이트 절연막이 위치하고, 그 위이며, 제1 게이트 전극(124a), 제2 게이트 전극(124b) 및 제3 게이트 전극(124c)의 위에 제1 반도체(154a), 제2 반도체(154b), 및 제3 반도체(154c)가 각각 위치한다.

[0064] 제1 반도체(154a), 제2 반도체(154b), 및 제3 반도체(154c) 위이며, 게이트 절연막의 위에는 데이터선(171), 제1 드레인 전극(175a), 제2 드레인 전극(175b), 제3 소스 전극(173c) 및 제3 드레인 전극(175c), 그리고 한 쌍의 기준 전압선(178a, 178b)을 포함하는 데이터 도전체가 위치한다.

[0065] 데이터선(171)은 주로 세로 방향으로 뻗으며 제1 및 제2 게이트 전극(124a, 124b)을 향하여 각각 뻗은 제1 소스 전극(173a) 및 제2 소스 전극(173b)을 포함한다.

[0066] 한 쌍의 기준 전압선(178a, 178b)은 데이터선(171)과 평행하며, 인접하는 데이터선(171)의 사이에 제1 기준 전압선(178a) 및 제2 기준 전압선(178b)이 위치한다. 한 쌍의 기준 전압선(178a, 178b)은 데이터선(171)과 평행한 본선(178a, 178b)과 본선(178a, 178b)으로부터 뻗어 나와 보상 트랜지스터의 소스 전극(173c)과 연결되는 가지부(178-1a, 178-1b)를 포함한다. 한 쌍의 기준 전압선(178a, 178b)은 하나의 화소 열마다 한 쌍씩 존재하지만, 가지부는 하나의 화소에 대해서 하나씩만 존재한다. 그 결과 하나의 화소는 한 쌍의 기준 전압선(178a, 178b) 중 하나와만 연결된다.

[0067] 제1 드레인 전극(175a)은 제1 소스 전극(173a)과 마주하고, 제2 드레인 전극(175b)은 제2 소스 전극(173b)과 마주하고, 제3 드레인 전극(175c)은 제3 소스 전극(173c)과 마주한다. 제3 드레인 전극(175c)은 제1 드레인 전극(175a)과 연결되어 있다.

[0068] 제1 게이트 전극(124a), 제1 소스 전극(173a), 및 제1 드레인 전극(175a)은 제1 반도체(154a)와 함께 제1 박막 트랜지스터를 형성하고, 제2 게이트 전극(124b), 제2 소스 전극(173b), 및 제2 드레인 전극(175b)은 제2 반도체(154b)와 함께 제2 박막 트랜지스터를 형성하며, 제3 게이트 전극(124c), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)은 제3 반도체(154c)와 함께 제3 박막 트랜지스터(보상 트랜지스터)를 형성한다. 즉, 제1 박막 트랜지스터 및 제2 박막 트랜지스터는 소스 전극을 통하여 데이터 전압이 인가되지만, 제3 박막 트랜지스터(보상 트랜지스터)는 소스 전극을 통하여 기준 전압이 인가되고 있다. 여기서 기준 전압은 하이 레벨과 로우 레벨이 변하지만, 하나의 게이트 온 전압이 인가되는 동안에는 하나의 레벨의 전압이 일정하게 인가된다.

[0069] 데이터 도전체 위에는 보호막이 위치하고, 그 위에 화소 전극이 위치한다.

[0070] 하나의 화소 전극은 하나의 고계조 화소 전극(191a)과 하나의 저계조 화소 전극(191b)을 포함한다.

[0071] 하나의 화소(PX)내에 위치하는 화소 전극은 고계조 부화소의 화소 전극인 고계조 화소 전극(191a)과 저계조 부화소의 화소 전극인 저계조 화소 전극(191b)를 포함한다.

[0072] 고계조 화소 전극(191a)과 저계조 화소 전극(191b)은 총 12개의 도메인에 대응하는 12개의 단위 화소 전극(198, 199)을 포함하며, 각 단위 화소 전극은 중앙 전극(198)과 중앙 전극(198)의 변으로부터 바깥쪽으로 뻗는 복수의 미세 가지부(199)를 포함한다. 복수의 미세 가지부(199)는 가로 방향 또는 세로 방향에 대하여 45도의 각도를 가질 수 있으며, 40도 이상 50도 이하의 각도로 형성될 수 있다. 또한, 중앙 전극(198)의 일 변과 미세 가지부(199)는 직교할 수도 있다.

[0073] 도 3의 실시예에서는 중앙 전극(198)의 크기가 단위 화소 전극이 형성되는 영역의 변과 접하도록 형성되어 있지만, 중앙 전극(198)이 이보다 작을 수 있으며, 이 때, 중앙 전극(198)의 모서리에 미세 가지부(199)가 위치할 수도 있다. 단위 화소 전극의 연장부는 중앙 전극(198)에서 연장되거나 미세 가지부(199)에서 연장될 수도 있다. 연장부에 의하여 연결되어 있는 단위 화소 전극은 서로 동일한 전압을 인가받는다. 고계조 화소 전극(191a)과 저계조 화소 전극(191b) 내에 속하는 각각의 단위 화소 전극은 서로 연장부를 통하여 연결되어 있으며, 다른 화소 전극(191a, 191b)에 속하는 단위 화소 전극과는 분리되어 있다.

[0074] 제1 박막 트랜지스터의 제1 드레인 전극(175a)는 고계조 화소 전극(191a)과 제1 접촉 구멍(185a)를 통하여 연결되어 있다. 도 3의 실시예에서는 제1 연결부(195a)를 통하여 화소의 상부 영역을 따라서 연결되어 있다. 제1 연결부(195a)는 꺾이어 고계조 화소 전극(191a)의 하나의 단위 화소 전극으로 연결되어 있다. 제1 연결부

(195a)는 고계조 화소 전극(191a)과 연결될 때 도 3과 같이 직접 중앙 전극(198)과 연결되는 구조를 가진다.

- [0075] 제2 박막 트랜지스터의 제2 드레인 전극(175b)은 제2 연결부(195b)를 통하여 저계조 화소 전극(191b)와 연결되어 있다. 이 때 제2 접촉 구멍(185b)를 통하여 연결되어 있다.
- [0076] 도 3의 실시예에서는 두 행으로 배열되어 있는 단위 화소 전극 중 제1행의 중앙에 위치하는 4개의 단위 화소 전극만이 고계조 화소 전극(191a)을 구성하며, 나머지 단위 화소 전극은 저계조 화소 전극(191b)를 구성한다. 이러한 배열은 실시예에 따라서 다양할 수 있다.
- [0077] 또한, 한 쌍의 기준 전압선(178a, 178b)가 지나가는 위치는 하나의 단위 화소 전극 중 중앙 전극(198)으로 가려질 수 있도록 중앙 전극(198)의 중앙을 세로 방향으로 가로지르면서 배열되어 있다. 또한, 도 3의 실시예에서는 좌우측에 위치하는 단위 화소 전극의 중앙 전극(198)과 중첩되면서 지나도록 형성되어 있다. 기준 전압선(178a, 178b)이 지나가는 위치도 실시예 별로 다양할 수 있으나, 중앙 전극(198)으로 가려질 수 있으면, 좋고, 중첩하는 단위 화소 전극에 인가되는 전압이 동일하면 일정한 영향을 받을 수 있어 표시 품질이 일정할 수 있다.
- [0078] 다음 상부 표시판에 대하여 설명하면, 절연 기판 위에 화소 전극과 마주하며 공통 전압(Vcom)을 인가 받는 공통 전극(270)이 위치한다.
- [0079] 도 4를 참고하면, 선펠터(230) 및 차광 부재(220)는 상부 표시판(200)에 위치하며, 이들을 덮는 평탄화막(250)이 위치한다. 평탄화막(250)의 아래에는 공통 전극(270)이 위치하고 있다. 실시예에 따라서는 선펠터(230) 및 차광 부재(220)가 하부 표시판(100)에 위치할 수도 있다.
- [0080] 공통 전극(270)은 도 3 및 도 4에서 살펴본 바와 같이 개구부(72, 73, 78)를 가진다. 실시예에 따라서는 공통 전극의 개구부 대신 돌기 구조가 형성되어 도메인 분할 수단으로 사용될 수 있다.
- [0081] 하부의 단위 화소 전극(198, 199)이 위치하는 하나의 도메인 영역의 상부 공통 전극(270)에는 도메인 분할 수단인 개구부(72, 73, 78)가 형성되어 있다. 즉, 상부 공통 전극(270)에는 가로 개구부(72) 및 이와 교차하는 세로 개구부(73)로 이루어진 십자형 개구부가 형성되어 있으며, 본 실시예에서는 십자형 개구부의 중심 부분에 위치하는 중앙 개구부(78)를 더 포함할 수 있다. 중앙 개구부(78)는 십자형 개구부에 의하여 나뉘는 네 부영역에 각각 위치하는 네 직선변을 포함하는 다각형 구조를 가지며, 본 실시예에서는 마름모 구조를 가진다.
- [0082] 본 실시예에서는 인접하는 단위 화소 전극에 대응하는 개구부(72, 73, 78)가 서로 연결되어 있지 않다. 하지만, 실시예에 따라서는 인접하는 개구부(72, 73, 78)가 모두 연결되어 있을 수도 있다.
- [0083] 하부 표시판과 상부 표시판 사이에 들어 있는 액정층(3)은 음의 유전율 이방성을 가지는 액정 분자를 포함한다. 액정 분자는 전기장이 없는 상태에서 대체로 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0084] 데이터 전압이 본 화소(PX)로 전달되면, 제계조 화소 전극(191b)에는 제2 박막 트랜지스터를 통하여 데이터 전압이 그대로 인가된다. 이에 반하여 고계조 화소 전극(191a)에는 제1 박막 트랜지스터를 통하여 인가되는 데이터 전압과 제3 박막 트랜지스터(보상 트랜지스터)를 통하여 전달되는 높은 기준 전압으로 인하여 보다 높은 전압이 인가된다. 그 결과 고계조 화소 전극(191a)과 저계조 화소 전극(191b)에는 서로 다른 레벨의 전압이 인가된다.
- [0085] 서로 다른 레벨의 데이터 전압이 인가된 고계조 및 저계조 화소 전극(191a, 191b)은 상부 표시판의 공통 전극과 함께 액정층에 전기장을 생성함으로써 두 전극 사이의 액정층의 액정 분자의 방향을 결정한다. 이 때, 액정 분자들이 기울어지는 방향은 일차적으로 화소 전극이 위치하지 않는 간극과 공통 전극의 개구부의 변이 표시판의 표면에 거의 수직인 주 전기장을 왜곡하여 만들어내는 수평 성분에 의하여 결정될 수 있다. 이러한 주 전기장의 수평 성분은 단위 화소 전극 및 개구부의 변에 거의 수직이며, 액정 분자들은 이들 변에 대략 수직인 방향으로 기울어진다.
- [0086] 이와 같은 화소 구조를 가지는 표시 장치를 회로도도 도시하면 도 5와 같다.
- [0087] 도 5는 본 발명의 일 실시예에 따른 화소의 회로도이다.
- [0088] 하나의 화소(PX)는 제1 박막 트랜지스터(High TFT), 제2 박막 트랜지스터(Low TFT) 및 보상 트랜지스터(HB TFT)를 포함하며, 고계조 화소 전극(191a), 공통 전극(270) 및 액정층(3)으로 구성되는 고계조 액정 커패시터(C1ch)와 저계조 화소 전극(191b), 공통 전극(270) 및 액정층(3)으로 구성되는 저계조 액정 커패시터(C1cl)를

더 포함한다.

- [0089] 고계조 액정 커패시터(C1ch)는 기준 전압선(Vh, V1) 중 하나로부터 인가되는 기준 전압에 의하여 제1 박막 트랜지스터(High TFT)로 인가되는 데이터 전압이 부스트업 되어 더 높은 전압으로 충전된다. 한 프레임 내에서 하나의 화소로 양의 극성의 데이터 전압이 인가되면, 이 때, 이와 연결된 기준 전압선에서도 양의 극성의 전압이 인가되어 부스트업된다. 한편, 다음 프레임에서 음의 극성의 데이터 전압이 인가되면, 기준 전압선에서도 전압이 변경되어 음의 극성의 전압이 인가되면서 부스트업된다. 즉, 공통 전압을 기준으로 더 큰 전압으로 변경된다.
- [0090] 이상과 같이 기준 전압선과 화소간의 연결은 극성 반전과 관련되며, 도 5의 실시예에서는 도트 반전되는 표시 패널을 도시하고 있다. 즉, 극성 반전이 변경되면, 화소와 기준 전압선의 연결 관계가 변경될 수 있다.
- [0091] 도 5와 같은 구조의 표시 장치가 실제 동작하는 경우에는 도 6과 같은 연결관계가 이루어진다.
- [0092] 도 6은 본 발명의 일 실시예에 따른 화소의 회로도에서 화소의 동작에 따른 배선 연결 관계를 도시한 도면이다.
- [0093] 즉, 하나의 화소 열에 형성되어 있는 한 쌍의 기준 전압선(Vh, V1)은 각 화소 열에 위치하는 화소 중 고계조 액정 커패시터(C1ch)로 전압을 제공하게 된다. 즉, 첫번째 게이트선(G1)에 게이트 온 전압이 인가되면, 첫번째 게이트선(G1)에 연결된 화소 내의 고계조 액정 커패시터(C1ch1)와 제1 기준 전압선(Vh)이 연결된다. 그 후 두번째 게이트선(G2)에 게이트 온 전압이 인가되면, 두번째 게이트선(G2)에 연결된 화소 내의 고계조 액정 커패시터(C1ch2)와 제2 기준 전압선(V1)이 연결된다. 또한, 세번째 게이트선(G3)에 게이트 온 전압이 인가되면, 세번째 게이트선(G3)에 연결된 화소 내의 고계조 액정 커패시터(C1ch3)와 제1 기준 전압선(Vh)이 연결된다. 그 후 네번째 게이트선(G4)에 게이트 온 전압이 인가되면, 네번째 게이트선(G4)에 연결된 화소 내의 고계조 액정 커패시터(C1ch4)와 제2 기준 전압선(V1)이 연결된다.
- [0094] 이와 같이 하나의 화소 행에 게이트 온 전압이 인가되더라도 각 화소 열마다 배치된 한 쌍의 기준 전압선(Vh, V1) 중 하나만이 화소내의 고계조 액정 커패시터와 연결된다. 그 결과 기준 전압선(Vh, V1) 자체가 가지는 로드의 변화는 크지않다. 즉, 본 실시예에서는 하나의 게이트선에 게이트 온 전압이 인가되더라도 기준 전압선 하나의 로드 변화는 하나의 화소의 고계조 액정 커패시터가 추가 연결되는 정도로 미미하다.
- [0095] 이하에서는 도 7 및 도 8의 비교예를 통하여 게이트 온 전압에 따른 기준 전압선의 로드 변화에 대하여 본 발명과 비교하여 살펴본다.
- [0096] 도 7은 비교예에 따른 화소의 회로도이고, 도 8은 비교예에서 화소의 동작에 따른 배선 연결 관계 및 기준 전압의 변동을 보여주는 도면이다.
- [0097] 먼저, 도 7의 화소도 본 발명의 실시예와 동일하게 3개의 박막 트랜지스터와 두 개의 액정 커패시터를 포함한다. 즉, 화소의 구조는 본 발명의 실시예와 비교예가 차이가 없다.
- [0098] 다만, 도 7의 실시예에서는 한 쌍의 기준 전압선이 게이트선과 평행하게 연장되어 있으며, 행의 연장 방향에 따라 위치하는 화소가 서로 다른 기준 전압선에 연결되도록 구성되어 있다.
- [0099] 그 결과 하나의 게이트선에 게이트 온 전압이 인가되는 경우에 하나의 기준 전압선에는 화소행 개수의 반에 해당하는 수의 고계조 액정 커패시터가 연결되며, 그로 인한 로드의 변화가 크다.
- [0100] 또한, 도 8에서 도시하고 있는 바와 같이 표시 영역의 중앙에 화이트 상자를 표시하는 경우에는 더욱 큰 로드의 변화가 발생한다.
- [0101] 도 8의 좌상측 도면에 의하면, 표시 영역의 중앙에 화이트 상자를 표시하는 것을 도시하고 있다. 도 8의 표시 장치의 화소 구조는 도 7과 같다. 또한, 도 8의 좌상측 도면에서는 표시 영역을 ①, ②, ③ 3개의 영역을 구분하였다. ① 및 ③ 영역은 블랙만을 표시하는 화소행으로 구성되어 있으며, ①은 화이트 상자 상측의 블랙 화소행이고, ③은 화이트 상자 하측의 블랙 화소행이다. ②는 한 행의 중간에서 화이트를 표시하는 화소행이다.
- [0102] 여기서 블랙을 표시하는 경우와 화이트를 표시하는 경우가 도 8의 우상측 도면에 도시되어 있다.
- [0103] 블랙을 표시하는 경우(①, ③)는 공통 전압(Vcom)을 기준으로 가장 낮은 전압이 화소 전극에 인가되면 되고, 화이트를 표시하는 경우(②번 중 일부 화소)에는 공통 전압(Vcom)을 기준으로 가장 높은 전압이 인가되면 된다.
- [0104] 도 7 및 도 8에 따른 표시 패널에서 기준 전압선을 따라서 인가되는 전압은 화이트를 표시하는 데이터 전압과 거의 동등한 수준의 전압을 가지므로, 화이트를 표시하는 경우에는 실질적으로 기준 전압선으로부터 화소 전극

으로 전달되는 전류가 존재하지 않는다. 그 결과 기준 전압선의 입장에서는 별다른 로드가 추가되지 않는다. 이에 반하여 블랙을 표시하는 경우에는 기준 전압선으로부터 전류가 인가되면서 기준 전압선의 입장에서는 로드가 제공되는 것으로 느끼게 된다.

[0105] 이는 도 8의 하단에 도시되어 있다.

[0106] 도 8의 하단에서 도시하고 있는 바와 같이 블랙만을 표시하는 경우(①, ③)는 기준 전압선의 입장에서는 모든 화소가 로드로 부가되어 있는 경우와 동일한 등가 회로를 가지고, 일부 화이트를 표시하는 경우(②)는 화이트를 표시하는 경우에는 로드가 없는 것과 동일한 등가 회로를 가진다.

[0107] 한 행에 속하는 총 화소의 수가 해상도의 화소수의 3배(RGB 3색의 경우)이므로 풀 HD의 경우 $1920 \times 3 = 5760$ 개의 커패시터가 부착되어 있는 것이므로 ① 및 ③ 화소행과 ②의 화소행은 로드의 차이가 크게 발생된다.

[0108] 그 결과 게이트선 하나씩 순차적으로 게이트 온 전압이 인가되는 경우 ① 및 ③ 화소행은 동일한 블랙을 표시하게 되지만, ②의 화소행에 속하는 블랙을 표시하는 화소는 기준 전압선이 가지는 로드가 적어지면서 블랙대신 그레이를 표시하는 문제가 발생한다.

[0109] 이러한 문제는 하나의 기준 전압선에 연결된 로드가 하나의 게이트선에 게이트 온 전압이 인가될 때마다 크게 변할 수 있기 때문이다.

[0110] 하지만, 본 발명의 실시예에 따른 화소의 구조에 의하면 도 5 및 도 6에서 도시하고 있는 바와 같이 하나의 게이트 온 전압이 인가되는 타이밍에 하나의 기준 전압선에는 하나의 액정 커패시터만 부가되므로 그 변동이 적어서 기준 전압의 변동으로 인한 표시 품질의 변화는 발생하지 않는다.

[0111] 이상의 실시예에서는 하나의 게이트 온 전압이 인가되는 타이밍에 기준 전압선에 연결된 액정 커패시터가 하나인 경우를 나타내었지만, 기준 전압의 변동이 무시할 정도이면 되므로 수십개 정도의 액정 커패시터가 동시에 연결되어 있더라도 무방할 수 있다.

[0112] 기준 전압의 변동에 의해서도 표시 품질의 영향이 보다 더 적기 위해서는 도 3에서 도시하고 있는 바와 같이 두 개의 기준 전압선이 하나의 화소를 지날 때 동일한 화소 전극(예를 들면, 고계조 화소 전극 또는 저계조 화소 전극)과 중첩할 수 있다. 저계조 화소 전극과 한 쌍의 기준 전압선이 중첩하는 경우가 도 3에서 도시되어 있다.

[0113] 또한, 화소 전극의 구조도 다양할 수 있는데, 이러한 구조의 변경에 대해서 이하 도 9 내지 도 11에서 살펴본다.

[0114] 도 9 내지 도 11은 본 발명의 일 실시예에 따른 화소 전극 및 기준 전압선의 배치를 도시한 도면이다.

[0115] 먼저, 도 9는 한 쌍의 기준 전압선(178a, 178b)이 저계조 부화소 전극(Low sub pixel)의 아래를 따라서 형성되며, 하나의 화소는 두 개의 저계조 부화소 전극(Low sub pixel)과 하나의 고계조 부화소 전극(High sub pixel)을 포함한다.

[0116] 고계조 부화소 전극(High sub pixel) 및 저계조 부화소 전극(Low sub pixel)은 각각 십자 모양의 중앙 줄기부(198-1)와 각 중앙 줄기부(198-1)로부터 바깥쪽으로 뻗는 복수의 미세 가지부(199)를 포함한다. 복수의 미세 가지부(199)는 가로 방향 또는 세로 방향에 대하여 45도의 각도를 가질 수 있으며, 40도 이상 50도 이하의 각도로 형성될 수 있다.

[0117] 도 9의 실시예에서는 고계조 부화소 전극(High sub pixel)은 저계조 부화소 전극(Low sub pixel)과 달리 십자 모양의 줄기부의 가운데에 중앙 줄기부가 형성되어 있으며, 도 9에서는 8각형 모양을 가지는 것으로 도시되어 있다. 하지만, 실시예에 따라서는 4각형이나 그 외 다양한 다각형으로 형성될 수 있다. 또한, 저계조 부화소 전극(Low sub pixel)에서도 중앙 줄기부를 가질 수도 있다.

[0118] 화소가 가로 방향으로 길게 형성되며, 화소 전극이 위치하는 화소 영역의 중앙에 고계조 부화소 전극(High sub pixel)이 위치하며, 양측에 한 쌍의 저계조 부화소 전극(Low sub pixel)이 배치된다. 한 쌍의 기준 전압선(178a, 178b)은 한 쌍의 저계조 부화소 전극(Low sub pixel)의 십자 모양의 줄기부 중 세로 부분과 중첩한다.

[0119] 도 9의 화소 전극의 구조는 도 3과 달리 중앙 전극이 형성되어 있지 않다. 즉, 실시예에 따라서 중앙 전극을 사용하거나 십자 모양의 줄기부만을 사용하거나 또는 십자 모양의 줄기부의 중앙에 중앙 줄기부를 추가로 가질 수도 있다.

- [0120] 이상과 같은 다양한 화소 전극의 구조를 가질 수 있는데, 이하에서는 화소 전극의 구조는 제외하고 부화소 전극이 위치하는 부화소 영역과 한 쌍의 기준 전압선(178a, 178b)의 위치 관계를 도 10 및 도 11을 통하여 살펴본다.
- [0121] 먼저, 도 10은 도 9 및 도 3과 달리 고계조 부화소 전극과 한 쌍의 기준 전압선(178a, 178b)이 중첩하는 구조를 가진다.
- [0122] 도 10은 도 9와 반대로 화소 영역의 중앙에 저계조 부화소 전극(Low sub pixel)이 위치하며, 양측에 한 쌍의 고계조 부화소 전극(High sub pixel)이 배치되는 구조를 가진다.
- [0123] 한편, 도 11에서는 화소 영역이 두 행의 단위 화소 전극의 모임으로 구성되며, 하나의 행이 고계조 부화소 전극(High sub pixel)이며, 나머지 행이 저계조 부화소 전극(Low sub pixel)인 경우 한 쌍의 기준 전압선(178a, 178b)이 양 측면에서 두 부화소 전극과 중첩하는 구조를 도시하고 있다.
- [0124] 도 10 및 도 11에서의 점선으로 표시된 하나의 부화소 영역에는 하나 이상의 단위 화소 전극(중앙 전극 또는 십자 모양의 줄기부 및 이로부터 연장되어 있는 복수의 미세가지 전극)이 형성되어 있을 수 있다.
- [0125] 이상에서는 중앙 전극 및 십자 모양의 줄기부를 구분하여 실시예로 살펴보았다. 이하에서는 중앙 전극과 십자 모양의 줄기부를 합하여 화소 중앙부라는 용어를 사용할 수 있다
- [0126] 이상에서는 본 발명의 다양한 실시예에 대하여 살펴보았다.
- [0127] 이상과 같은 액정 표시 장치에서는 화소 전극에 속하는 단위 화소 전극이 미세 가지부(199)를 가지며, 단위 화소 전극의 개수가 많아 미세 가지부(199)의 수도 많다. 그 결과 액정 분자를 제어하기에 충분한 액정 제어력을 가질 수 있어, 액정층에 별도로 광에 의하여 중합되는 전중합체를 포함시키지 않을 수 있다.
- [0128] 하지만, 실시예에 따라서는 액정 제어력이 부분적으로 떨어질 수 있어, 액정층에 전중합체를 포함시킬 수 있다.
- [0129] 전중합체를 포함하는 경우 선경사를 형성하는 방법에 대하여 도 12에서 도시하고 있다.
- [0130] 도 12는 자외선 등의 광에 의해 중합되는 전중합체를 이용해 액정 분자들이 선경사를 갖도록 하는 과정을 도시한 도면이다.
- [0131] 도 12를 참고하면, 우선 자외선 등의 광에 의한 중합 반응(polymerization)에 의해 경화되는 단량체(monomer) 등의 전중합체(prepolymer)(330)를 액정 물질과 함께 두 표시판(100, 200) 사이에 주입한다. 전중합체(330)는 자외선 등의 광에 의해 중합 반응을 하는 반응성 메조겐(reactive mesogen)일 수 있다.
- [0132] 다음 제1 및 제2 부화소 전극에 데이터 전압을 인가하고 상부 표시판(200)의 공통 전극(270)에 공통 전압을 인가하여 두 표시판(100, 200) 사이의 액정층(3)에 전기장을 생성한다. 그러면, 액정층(3)의 액정 분자(31)들은 그 전기장에 응답하여, 일정 방향으로 기울어진다.
- [0133] 이렇게 액정층(3)의 액정 분자(31)가 일정 방향으로 기울어진 상태에서, 자외선 등의 광을 조사하면 전중합체(330)가 중합 반응을 하여 도 12에 도시한 바와 같이 선경사 제공 중합체(350)가 형성된다. 선경사 제공 중합체(350)는 표시판(100, 200)에 접하여 형성된다. 선경사 제공 중합체(350)에 의해 액정 분자(31)들은 앞서 설명한 방향으로 선경사를 가지도록 배향 방향이 정해진다. 따라서, 전기장 생성 전극(191, 270)에 전압을 가하지 않은 상태에서도 액정 분자(31)들은 서로 다른 네 방향으로 선경사를 가지고 배열하게 된다.
- [0134] 그 결과, 하나의 화소 중 상부 부화소 또는 하부 부화소 각각의 영역에서 액정 분자(31)들이 총 네 방향으로 선경사를 가지게 된다.
- [0135] 도 12와 같은 중합체를 이용한 선 경사는 색필터(230)의 미세 가지부(199)가 제공하는 액정 제어력만으로는 텍스처를 줄이지 못하는 경우에 부수적으로 사용된다.
- [0136] 도 12에서는 액정층에 광반응 물질을 포함하는 실시예를 중심으로 기술하였지만, 배향막에 광반응 물질을 포함시키는 경우도 이에 준하여 형성된다.
- [0137] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

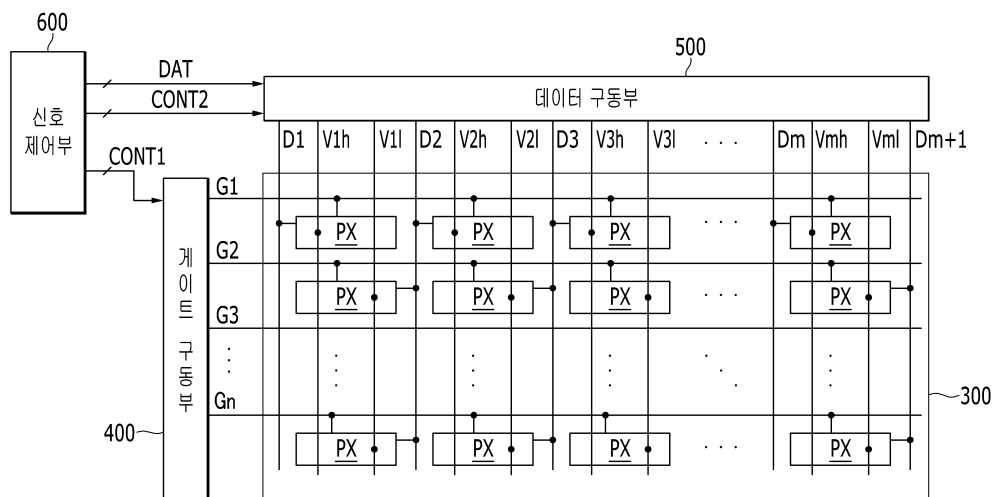
부호의 설명

[0138]

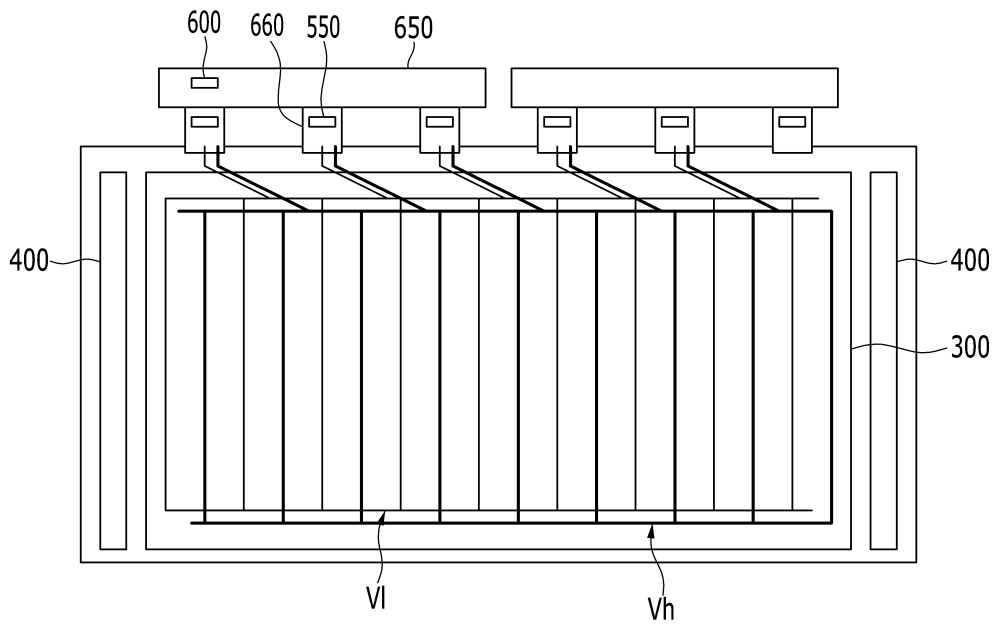
100: 하부 표시판 121: 게이트선
124: 게이트 전극 154: 반도체
171: 데이터선 173: 소스 전극
175: 드레인 전극 178a, 178b, Vh, Vl: 기준 전압선
185: 접촉 구멍 191a: 고계조 화소 전극
191b: 저계조 화소 전극 195a: 제1 연결부
195b: 제2 연결부 198: 중앙 전극
198-1: 십자 줄기부 199: 미세 가지부
200: 상부 표시판 220: 차광 부재
230: 색필터 250: 평탄화막
270: 공통 전극 3: 액정층
300: 표시 패널 31: 액정 분자
330: 전중합체 350: 선경사 제공 중합체
400: 게이트 구동부 500: 데이터 구동부
550: 구동 IC 칩 600: 신호 제어부
650: 인쇄 회로 기판 660: 가요성 인쇄 회로 기판
72, 73, 78: 개구부

도면

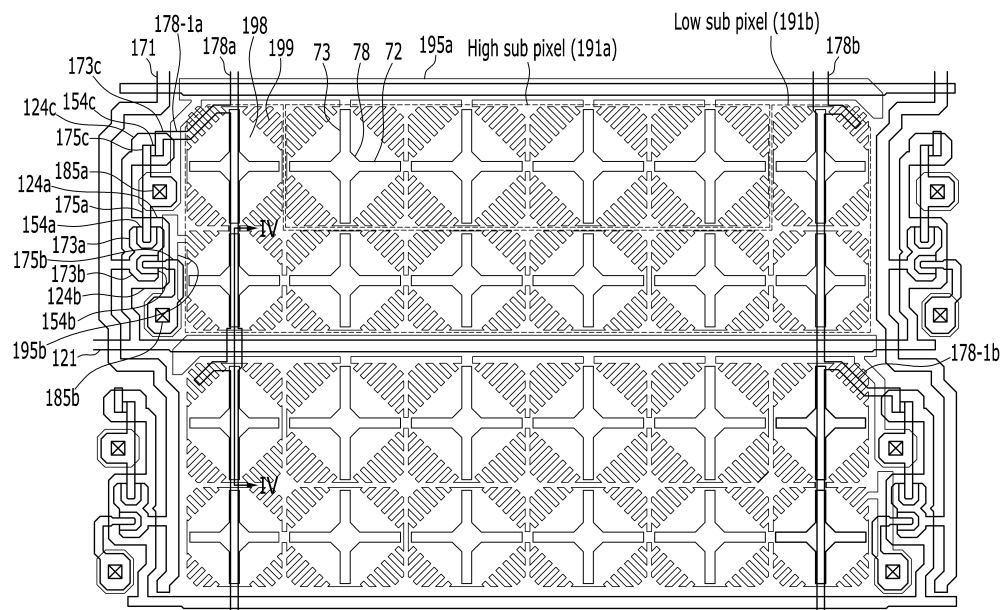
도면1



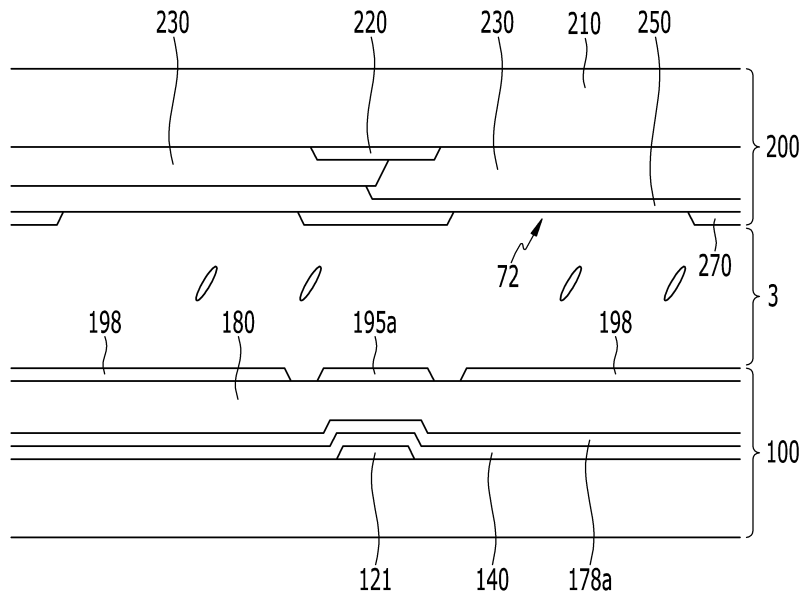
도면2



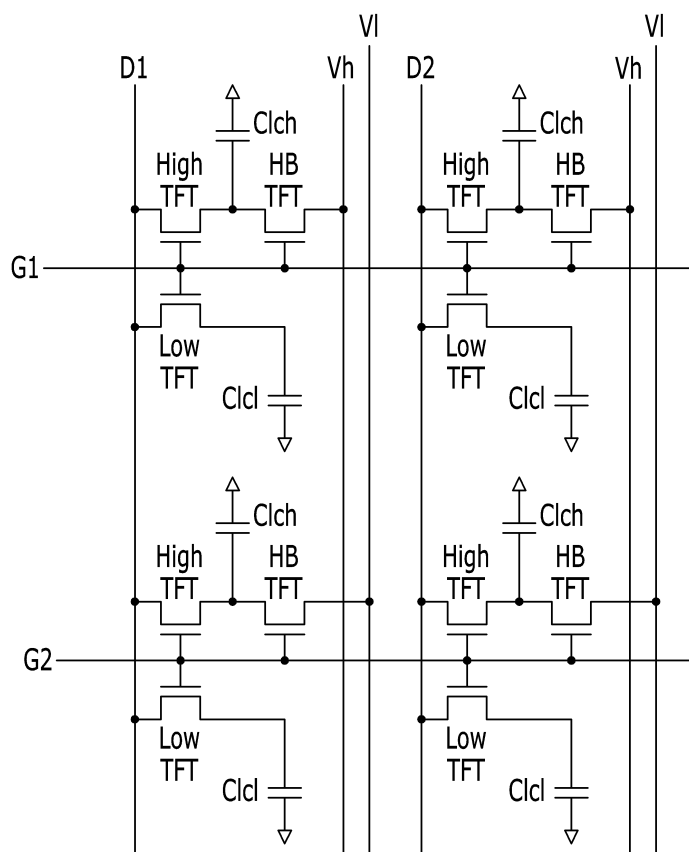
도면3



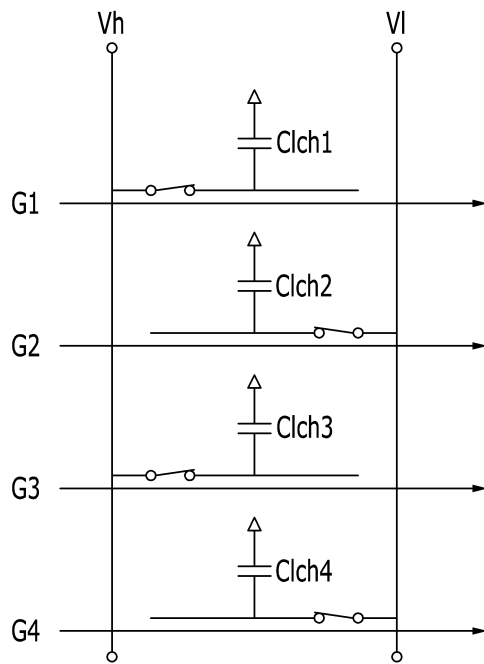
도면4



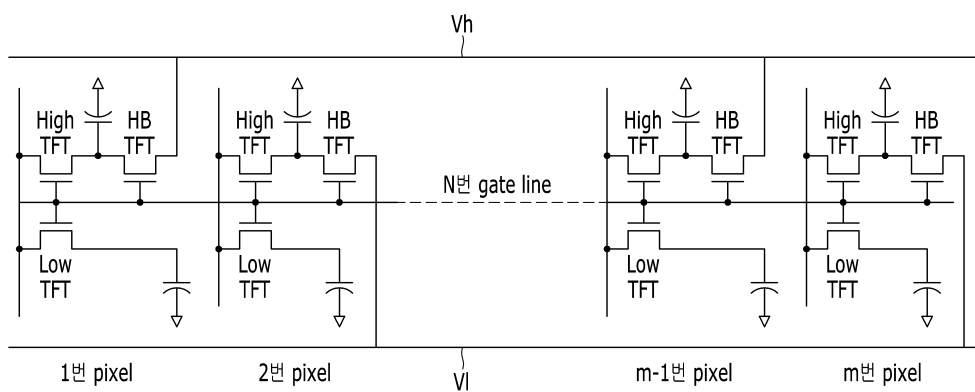
도면5



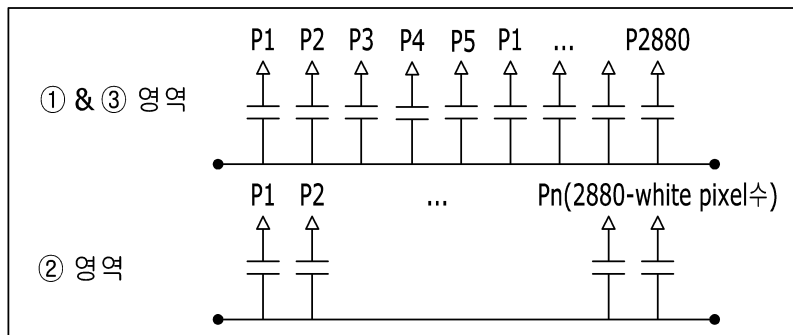
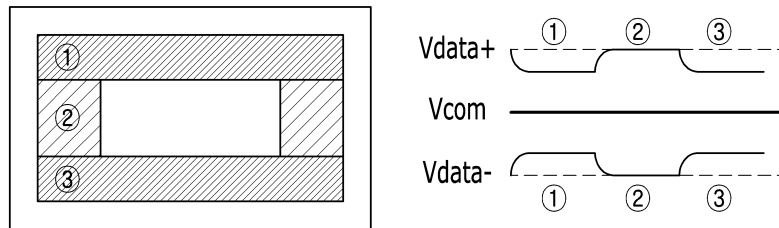
도면6



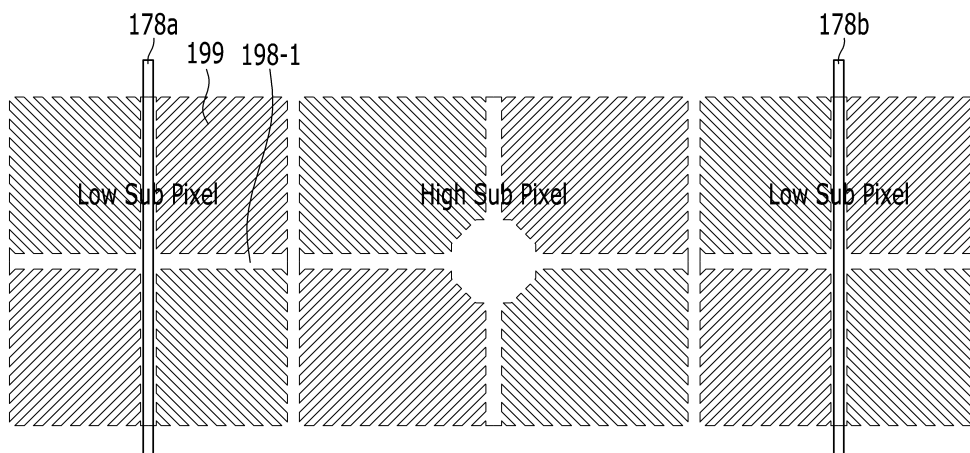
도면7



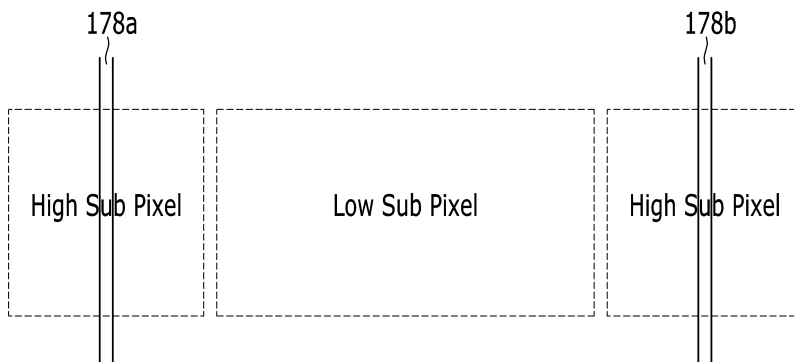
도면8



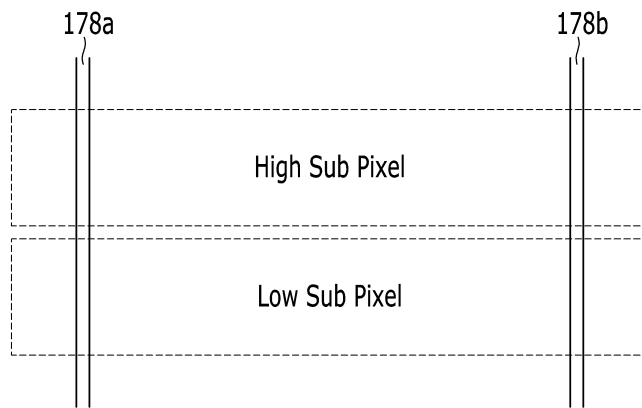
도면9



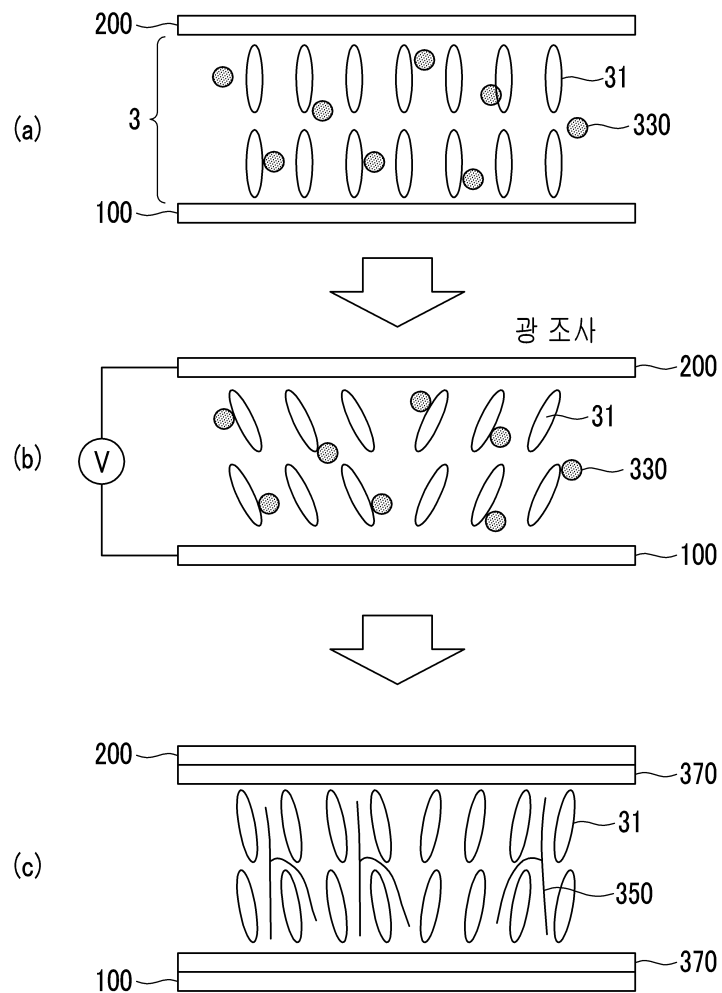
도면10



도면11



도면12



专利名称(译)	液晶显示器		
公开(公告)号	KR1020160103243A	公开(公告)日	2016-09-01
申请号	KR1020150025397	申请日	2015-02-23
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEONG YOUN HAK 정연학 KIM BO YEONG 김보영 KIM JANG SOO 김장수 YOON HONG MIN 윤홍민 LEE SEONG YOUNG 이성영 LEE HO JUN 이호준		
发明人	정연학 김보영 김장수 윤홍민 이성영 이호준		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/134336 G02F1/13624 G02F1/1368 G02F2001/134345 G02F1/134309 G02F1/136227 G02F1/136286 G02F2001/134318 H01L27/1222 H01L27/124 H01L29/42384		
外部链接	Espacenet		

摘要(译)

成对的薄膜晶体管和补偿晶体管，低灰度级子像素电极连接到一对薄膜晶体管中的一个漏电极，高灰度级子像素电极连接到补偿晶体管的漏电极和漏电极。在一对薄膜晶体管中的另一个，并且包括与高灰度级子像素电极中的至少一个重叠的高灰度级子像素电极的参考电压线，只要本发明形成在绝缘基板和低灰度级子像素电极以及高灰度级子像素电极占据的像素区域形成得比横向方向长，并且一对参考电压线朝向纵向交叉横向的像素区域。一个参考电压线中的一个连接到补偿晶体管的源电极。

